



(12)发明专利申请

(10)申请公布号 CN 108010909 A

(43)申请公布日 2018.05.08

(21)申请号 201711166309.8

(22)申请日 2017.11.21

(71)申请人 武汉华星光电技术有限公司

地址 430079 湖北省武汉市东湖开发区高新大道666号生物城C5栋

(72)发明人 洪光辉

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

H01L 27/02(2006.01)

H01L 27/32(2006.01)

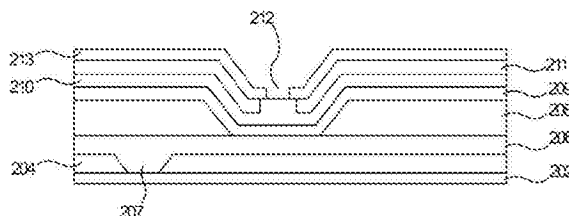
权利要求书2页 说明书5页 附图3页

(54)发明名称

阵列基板及OLED显示装置

(57)摘要

本发明提供一种阵列基板,包括虚拟像素单元;虚拟像素单元包括:第一多晶硅层、制备于第一多晶硅层表面的第一栅绝缘层,制备于第一栅绝缘层表面的第一栅极金属;覆盖第一栅绝缘层与第一栅极金属的第一间绝缘层;以及制备于第一间绝缘层表面的第一源/漏极金属;其中,第一源/漏极金属与第一多晶硅层通过第一金属通孔连接;有益效果为:本发明提供的阵列基板,将虚拟像素单元的间绝缘层增加通孔将,将虚拟像素单元的多晶硅层与源漏极金属连接,将生产过程中的制程ESD经过一行扫描线首尾端的虚拟像素的间绝缘层通孔进入而释放,避免这种类型的制程ESD炸伤AA区的Pixel,从而提高AA区Pixel的抗制程ESD能力。



1. 一种阵列基板, 其特征在于, 包括显示区域, 以及位于所述显示区域边缘的非显示区域; 所述显示区域内阵列设置有显示像素单元, 所述非显示区域内设置有虚拟像素单元;

所述虚拟像素单元包括:

第一基板;

第一多晶硅层, 制备于所述第一基板表面;

第一栅绝缘层, 制备于所述第一多晶硅层表面;

第一栅极金属, 制备于所述第一栅绝缘层表面;

第一间绝缘层, 覆盖所述第一栅绝缘层与所述第一栅极金属;

第一源/漏极金属, 制备于所述第一间绝缘层表面;

其中, 所述第一源/漏极金属与所述第一多晶硅层通过第一金属通孔连接。

2. 根据权利要求1所述的阵列基板, 其特征在于, 所述虚拟像素单元还包括:

第一平坦化层, 覆盖所述第一间绝缘层以及所述第一源/漏极金属;

第一介质层, 制备于所述第一平坦化层表面;

第一公共电极块, 制备于所述第一介质层表面;

第一钝化层, 制备于所述第一公共电极块表面; 所述第一钝化层开设有第二金属通孔; 以及,

第一像素电极块, 制备于所述第一钝化层表面; 所述第一像素电极块与所述第一公共电极块通过所述第二金属通孔连接。

3. 根据权利要求2所述的阵列基板, 其特征在于,

所述阵列基板还包括连接所述第一栅极金属的扫描线, 以及连接所述第一源/漏极金属的数据线, 所述扫描线与所述数据线相互垂直;

所述第一公共电极块包括与所述扫描线相平行的第一边缘和第二边缘, 所述第一边缘靠近所述扫描线, 所述第二边缘相对远离所述扫描线;

其中, 所述第一边缘朝向所述扫描线延伸形成一子公共电极块; 所述第二边缘朝向所述扫描线内凹形成一缺口, 所述缺口的形状与所述子公共电极块的形状相适配。

4. 根据权利要求3所述的阵列基板, 其特征在于, 所述子公共电极块的形状为等腰梯形, 所述缺口的形状同为等腰梯形。

5. 根据权利要求3所述的阵列基板, 其特征在于, 所述显示像素单元包括:

第二基板;

第二多晶硅层, 制备于所述第二基板表面;

第二栅绝缘层, 制备于所述第二多晶硅层表面;

第二栅极金属, 制备于所述第二栅绝缘层表面;

第二间绝缘层, 覆盖所述第二栅绝缘层与所述第二栅极金属;

第二源/漏极金属, 制备于所述第二间绝缘层表面; 所述第二源/漏极金属与所述第二多晶硅层通过第三金属通孔连接;

第二平坦化层, 覆盖所述第二间绝缘层以及所述第二源/漏极金属;

第二介质层, 制备于所述第二平坦化层表面;

第二公共电极块, 制备于所述第二介质层表面;

第二钝化层, 制备于所述第二公共电极块表面; 以及,

第二像素电极块,制备于所述第二钝化层表面;所述第二像素电极块与所述第二源/漏极金属通过第四金属通孔连接。

6. 根据权利要求5所述的阵列基板,其特征在于,

在垂直于所述扫描线的方向上,相邻两所述第二公共电极块之间具有缝隙,所述缝隙位于相邻两所述显示像素单元之间;

在平行于所述扫描线的方向上,相邻两所述第二公共电极块相连接。

7. 根据权利要求6所述的阵列基板,其特征在于,位于所述显示区域边缘的所述第二公共电极块,与位于所述非显示区内的所述第一公共电极块相连接。

8. 一种OLED显示装置,其特征在于,包括阵列基板、设置于所述阵列基板表面的发光层、以及设置于所述发光层外表面的封装部;

所述阵列基板包括显示区域,以及位于所述显示区域边缘的非显示区域;所述显示区域内阵列设置有显示像素单元,所述非显示区域内设置有虚拟像素单元;

所述虚拟像素单元包括:

第一基板;

第一多晶硅层,制备于所述第一基板表面;

第一栅绝缘层,制备于所述第一多晶硅层表面;

第一栅极金属,制备于所述第一栅绝缘层表面;

第一间绝缘层,覆盖所述第一栅绝缘层与所述第一栅极金属;

第一源/漏极金属,制备于所述第一间绝缘层表面;

其中,所述第一源/漏极金属与所述第一多晶硅层通过第一金属通孔连接。

9. 根据权利要求8所述的OLED显示装置,其特征在于,所述虚拟像素单元还包括:

第一平坦化层,覆盖所述第一间绝缘层以及所述第一源/漏极金属;

第一介质层,制备于所述第一平坦化层表面;

第一公共电极块,制备于所述第一介质层表面;

第一钝化层,制备于所述第一公共电极块表面;所述第一钝化层开设有第二金属通孔;以及,

第一像素电极块,制备于所述第一钝化层表面;所述第一像素电极块与所述第一公共电极块通过所述第二金属通孔连接。

10. 根据权利要求9所述的OLED显示装置,其特征在于,

所述阵列基板还包括连接所述第一栅极金属的扫描线,以及连接所述第一源/漏极金属的数据线,所述扫描线与所述数据线相互垂直;

所述第一公共电极块包括与所述扫描线相平行的第一边缘和第二边缘,所述第一边缘靠近所述扫描线,所述第二边缘相对远离所述扫描线;

其中,所述第一边缘朝向所述扫描线延伸形成一子公共电极块;所述第二边缘朝向所述扫描线内凹形成一缺口,所述缺口的形状与所述子公共电极块的形状相适配。

阵列基板及OLED显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及阵列基板及具有所述阵列基板的OLED显示装置。

背景技术

[0002] Dummy Pixel (虚拟像素单元) 是现行的面板设计方案中的一个重要结构,其可以起到保证AA区Pixel (有效显示区域像素单元) 的制程精度的目的。通常Dummy Pixel (虚拟像素单元) 设计都是将AA区Pixel 中的ILD (间绝缘层) 孔去掉并将T1T0 (像素电极) 层与B1T0 (公共电极) 层短路来防止像素电极Floating (浮置)。但是,实际发现生产过程中制程ESD通常经过一行Gate (扫描线) 首尾段的ILD孔进入导致ESD (制程静电) 炸伤,一旦发生这种类型的制程ESD时,由于现行的设计方案中去除了Dummy Pixel 中Poly (多晶硅) 层与SD (源/漏极金属) 层连接的ILD孔,导致制程ESD会经过AA中一行Gate首尾段的ILD孔进入,导致AA区的Pixel 出现炸伤,最终造成AA区一行或一列的Pixel 失效。

[0003] 综上所述,现有技术的阵列基板,Dummy Pixel 设计方案不能起到抵抗制程ESD的目的,在制程中,显示像素单元易被制程静电炸伤,进而影响显示产品生产过程的良率。

发明内容

[0004] 本发明提供一种阵列基板,可通过改进虚拟像素单元的膜层结构进而将制程ESD释放,避免制程ESD进入显示像素单元内炸伤金属线路;以解决现有技术的阵列基板,Dummy Pixel 设计方案不能起到抵抗制程ESD的目的,在制程中,显示像素单元易被制程静电炸伤,进而影响显示产品生产过程的良率的技术问题。

[0005] 为解决上述问题,本发明提供的技术方案如下:

[0006] 本发明提供一种阵列基板,包括显示区域,以及位于所述显示区域边缘的非显示区域;所述显示区域内阵列设置有显示像素单元,所述非显示区域内设置有虚拟像素单元;

[0007] 所述虚拟像素单元包括:

[0008] 第一基板;

[0009] 第一多晶硅层,制备于所述第一基板表面;

[0010] 第一栅绝缘层,制备于所述第一多晶硅层表面;

[0011] 第一栅极金属,制备于所述第一栅绝缘层表面;

[0012] 第一间绝缘层,覆盖所述第一栅绝缘层与所述第一栅极金属;

[0013] 第一源/漏极金属,制备于所述第一间绝缘层表面;

[0014] 其中,所述第一源/漏极金属与所述第一多晶硅层通过第一金属通孔连接。

[0015] 根据本发明一优选实施例,所述虚拟像素单元还包括:

[0016] 第一平坦化层,覆盖所述第一间绝缘层以及所述第一源/漏极金属;

[0017] 第一介质层,制备于所述第一平坦化层表面;

[0018] 第一公共电极块,制备于所述第一介质层表面;

[0019] 第一钝化层,制备于所述第一公共电极块表面;所述第一钝化层开设有第二金属通孔;以及,

[0020] 第一像素电极块,制备于所述第一钝化层表面;所述第一像素电极块与所述第一公共电极块通过所述第二金属通孔连接。

[0021] 根据本发明一优选实施例,所述阵列基板还包括连接所述第一栅极金属的扫描线,以及连接所述第一源/漏极金属的数据线,所述扫描线与所述数据线相互垂直;

[0022] 所述第一公共电极块包括与所述扫描线相平行的第一边缘和第二边缘,所述第一边缘靠近所述扫描线,所述第二边缘相对远离所述扫描线;

[0023] 其中,所述第一边缘朝向所述扫描线延伸形成一子公共电极块;所述第二边缘朝向所述扫描线内凹形成一缺口,所述缺口的形状与所述子公共电极块的形状相适配。

[0024] 根据本发明一优选实施例,所述子公共电极块的形状为等腰梯形,所述缺口的形状同为等腰梯形。

[0025] 根据本发明一优选实施例,所述显示像素单元包括:

[0026] 第二基板;

[0027] 第二多晶硅层,制备于所述第二基板表面;

[0028] 第二栅绝缘层,制备于所述第二多晶硅层表面;

[0029] 第二栅极金属,制备于所述第二栅绝缘层表面;

[0030] 第二间绝缘层,覆盖所述第二栅绝缘层与所述第二栅极金属;

[0031] 第二源/漏极金属,制备于所述第二间绝缘层表面;所述第二源/漏极金属与所述第二多晶硅层通过第三金属通孔连接;

[0032] 第二平坦化层,覆盖所述第二间绝缘层以及所述第二源/漏极金属;

[0033] 第二介质层,制备于所述第二平坦化层表面;

[0034] 第二公共电极块,制备于所述第二介质层表面;

[0035] 第二钝化层,制备于所述第二公共电极块表面;以及,

[0036] 第二像素电极块,制备于所述第二钝化层表面;所述第二像素电极块与所述第二源/漏极金属通过第四金属通孔连接。

[0037] 根据本发明一优选实施例,在垂直于所述扫描线的方向上,相邻两所述第二公共电极块之间具有缝隙,所述缝隙位于相邻两所述显示像素单元之间;

[0038] 在平行于所述扫描线的方向上,相邻两所述第二公共电极块相连接。

[0039] 根据本发明一优选实施例,位于所述显示区域边缘的所述第二公共电极块,与位于所述非显示区内的所述第一公共电极块相连接。

[0040] 依据本发明的上述目的,提出一种OLED显示面板,包括阵列基板、设置于所述阵列基板表面的发光层、以及设置于所述发光层外表面的封装部;

[0041] 所述阵列基板包括显示区域,以及位于所述显示区域边缘的非显示区域;所述显示区域内阵列设置有显示像素单元,所述非显示区域内设置有虚拟像素单元;

[0042] 所述虚拟像素单元包括:

[0043] 第一基板;

[0044] 第一多晶硅层,制备于所述第一基板表面;

[0045] 第一栅绝缘层,制备于所述第一多晶硅层表面;

- [0046] 第一栅极金属,制备于所述第一栅绝缘层表面;
- [0047] 第一间绝缘层,覆盖所述第一栅绝缘层与所述第一栅极金属;
- [0048] 第一源/漏极金属,制备于所述第一间绝缘层表面;
- [0049] 其中,所述第一源/漏极金属与所述第一多晶硅层通过第一金属通孔连接。
- [0050] 根据本发明一优选实施例,所述虚拟像素单元还包括:
- [0051] 第一平坦化层,覆盖所述第一间绝缘层以及所述第一源/漏极金属;
- [0052] 第一介质层,制备于所述第一平坦化层表面;
- [0053] 第一公共电极块,制备于所述第一介质层表面;
- [0054] 第一钝化层,制备于所述第一公共电极块表面;所述第一钝化层开设有第二金属通孔;以及,
- [0055] 第一像素电极块,制备于所述第一钝化层表面;所述第一像素电极块与所述第一公共电极块通过所述第二金属通孔连接。
- [0056] 根据本发明一优选实施例,所述阵列基板还包括连接所述第一栅极金属的扫描线,以及连接所述第一源/漏极金属的数据线,所述扫描线与所述数据线相互垂直;
- [0057] 所述第一公共电极块包括与所述扫描线相平行的第一边缘和第二边缘,所述第一边缘靠近所述扫描线,所述第二边缘相对远离所述扫描线;
- [0058] 其中,所述第一边缘朝向所述扫描线延伸形成一子公共电极块;所述第二边缘朝向所述扫描线内凹形成一缺口,所述缺口的形状与所述子公共电极块的形状相适配。
- [0059] 本发明的有益效果为:本发明提供的阵列基板,将虚拟像素单元的间绝缘层增加通孔将,将虚拟像素单元的多晶硅层与源漏极金属连接,将生产过程中的制程ESD经过一行扫描线首尾端的虚拟像素的间绝缘层通孔进入而释放,避免这种类型的制程ESD炸伤AA区的Pixel,从而提高AA区Pixel的抗制程ESD能力。

附图说明

[0060] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0061] 图1为本发明阵列基板一结构示意图;
- [0062] 图2为本发明阵列基板的虚拟像素单元膜层结构示意图;
- [0063] 图3、图4为本发明阵列基板的虚拟像素单元正视结构示意图;
- [0064] 图5为本发明阵列基板的显示像素单元膜层结构示意图;
- [0065] 图6为本发明阵列基板的像素单元正视结构示意图。

具体实施方式

[0066] 以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。在图中,结构相似的单元是用以相同标号表示。

[0067] 本发明针对现有技术的阵列基板,Dummy Pixel设计方案不能起到抵抗制程ESD的目的,在制程中,显示像素单元易被制程静电炸伤,进而影响显示产品生产过程的良率;本实施例能够解决该缺陷。

[0068] 如图1所示,本发明提供的阵列基板,包括显示区域101,以及位于所述显示区域101边缘的非显示区域102;所述显示区域101内阵列设置有显示像素单元,所述非显示区域102内设置有虚拟像素单元。

[0069] 如图2所示,本发明提供的阵列基板的虚拟像素单元包括第一基板;第一多晶硅层202,制备于所述第一基板表面;第一栅绝缘层(图中未示出),制备于所述第一多晶硅层202表面;第一栅极金属(图中未示出),制备于所述第一栅绝缘层表面;第一间绝缘层204,覆盖所述第一栅绝缘层与所述第一栅极金属;第一源/漏极金属206,制备于所述第一间绝缘层204表面;所述第一间绝缘层204制备有第一金属通孔207,所述第一源/漏极金属206与所述第一多晶硅层202通过第一金属通孔207连接。

[0070] 所述虚拟像素单元还包括:第一平坦化层208,覆盖所述第一间绝缘层204以及所述第一源/漏极金属206;第一介质层209,制备于所述第一平坦化层208表面;第一公共电极块210,制备于所述第一介质层209表面;第一钝化层211,制备于所述第一公共电极块210表面;所述第一钝化层211开设有第二金属通孔212;以及,第一像素电极块213,制备于所述第一钝化层211表面;所述第一像素电极块213与所述第一公共电极块210通过所述第二金属通孔212连接。

[0071] 如图3、图4所示,本发明提供的阵列基板的虚拟像素单元,包括扫描线301、与所述扫描线301相垂直的第一数据线302、以及相邻像素单元的第二数据线303,所述虚拟像素单元内还设置有TFT器件,所述TFT器件包括第一多晶硅层304、第一栅极金属和第一源/漏极金属305;所述扫描线301连接所述第一栅极金属,所述数据线连接所述第一源/漏极金属305。

[0072] 所述虚拟像素单元还包括覆盖所述扫描线301、所述数据线、所述TFT器件的第一公共电极块306,以及制备于所述第一公共电极块306上方的第一像素电极块307,所述第一像素电极块307与所述第一公共电极块306相连接;以保证显示面板正常工作时,所述第一像素电极块307不会浮置,所述第一像素电极块307保持所述第一公共电极块306的电位。

[0073] 所述第一公共电极块306包括与所述扫描线301相平行的第一边缘和第二边缘,所述第一边缘靠近所述扫描线301,所述第二边缘相对远离所述扫描线301;其中,所述第一边缘朝向所述扫描线301延伸形成一子公共电极块3061;所述第二边缘朝向所述扫描线301内凹形成一缺口3062,所述缺口3062的形状与所述子公共电极块3061的形状相适配。

[0074] 所述第一公共电极块306的子公共电极块3061与相邻的所述第一公共电极块306的缺口3062相配合;所述子公共电极块3061用以增加所述第一公共电极块306的覆盖面积;当位于所述第一钝化层上的所述第二金属通孔由于制备误差而偏移时,所述第一像素电极块307与所述第一公共电极块306仍可有效对应连接,可避免所述第一像素电极块307与所述第一源/漏极金属305短接。

[0075] 例如,所述子公共电极块3061的形状为等腰梯形,所述缺口3062的形状同为等腰梯形。

[0076] 如图5所示,本发明提供的阵列基板的显示像素单元,所述显示像素单元包括:第

二基板；第二多晶硅层501，制备于所述第二基板表面；第二栅绝缘层，制备于所述第二多晶硅层501表面；第二栅极金属，制备于所述第二栅绝缘层表面；第二间绝缘层502，覆盖所述第二栅绝缘层与所述第二栅极金属；第二源/漏极金属503，制备于所述第二间绝缘层502表面；所述第二源/漏极金属503与所述第二多晶硅层501通过第三金属通孔504连接；第二平坦化层505，覆盖所述第二间绝缘层502以及所述第二源/漏极金属503；第二介质层506，制备于所述第二平坦化层505表面；第二公共电极块507，制备于所述第二介质层506表面；第二钝化层509，制备于所述第二公共电极块507表面；以及，第二像素电极块508，制备于所述第二钝化层509表面；所述第二像素电极块508与所述第二源/漏极金属503通过第四金属通孔510连接。

[0077] 如图6所示，本发明提供的阵列基板，包括虚拟像素单元601与显示像素单元602；在垂直于所述扫描线的方向上，相邻两所述第二公共电极块之间具有缝隙，所述缝隙位于相邻两所述显示像素单元602之间；在平行于所述扫描线的方向上，相邻两所述第二公共电极块相连接。

[0078] 位于所述显示区域边缘的所述第二公共电极块，与位于所述非显示区内的所述第一公共电极块相连接。

[0079] 依据本发明的上述目的，提出一种OLED显示面板，包括阵列基板、设置于所述阵列基板表面的发光层、以及设置于所述发光层外表面的封装部；所述阵列基板包括显示区域，以及位于所述显示区域边缘的非显示区域；所述显示区域内阵列设置有显示像素单元，所述非显示区域内设置有虚拟像素单元；所述虚拟像素单元包括：第一基板；第一多晶硅层，制备于所述第一基板表面；第一栅绝缘层，制备于所述第一多晶硅层表面；第一栅极金属，制备于所述第一栅绝缘层表面；第一间绝缘层，覆盖所述第一栅绝缘层与所述第一栅极金属；第一源/漏极金属，制备于所述第一间绝缘层表面；其中，所述第一源/漏极金属与所述第一多晶硅层通过第一金属通孔连接。

[0080] 本优选实施例的OLED显示面板的工作原理跟上述优选实施例的阵列基板的工作原理一致，具体可参考上述优选实施例的阵列基板的工作原理，此处不再做赘述。

[0081] 有益效果为：本发明提供的阵列基板，将虚拟像素单元的间绝缘层增加通孔将，将虚拟像素单元的多晶硅层与源漏极金属连接，将生产过程中的制程ESD经过一行扫描线首尾端的虚拟像素的间绝缘层通孔进入而释放，避免这种类型的制程ESD炸伤AA区的Pixel，从而提高AA区Pixel的抗制程ESD能力。

[0082] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

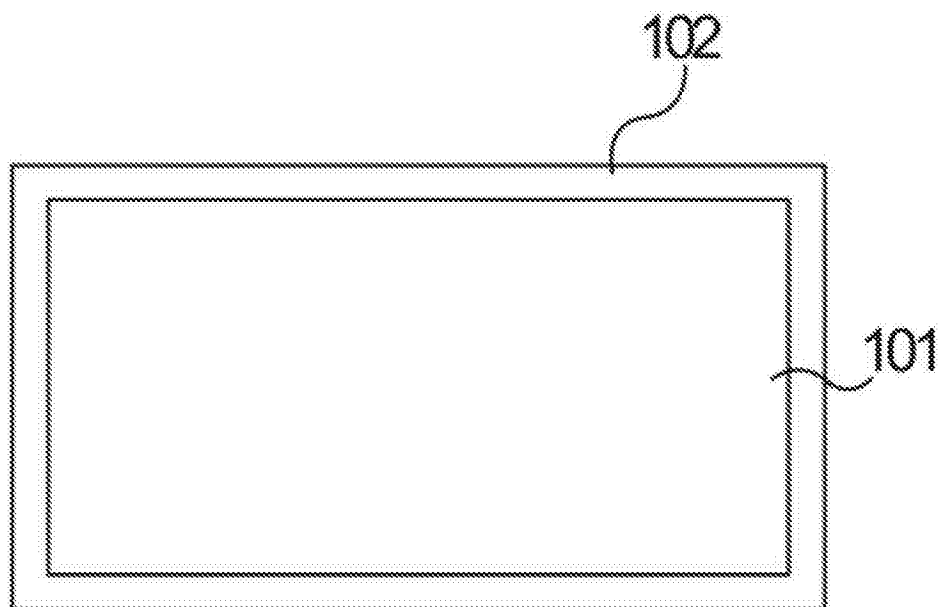


图1

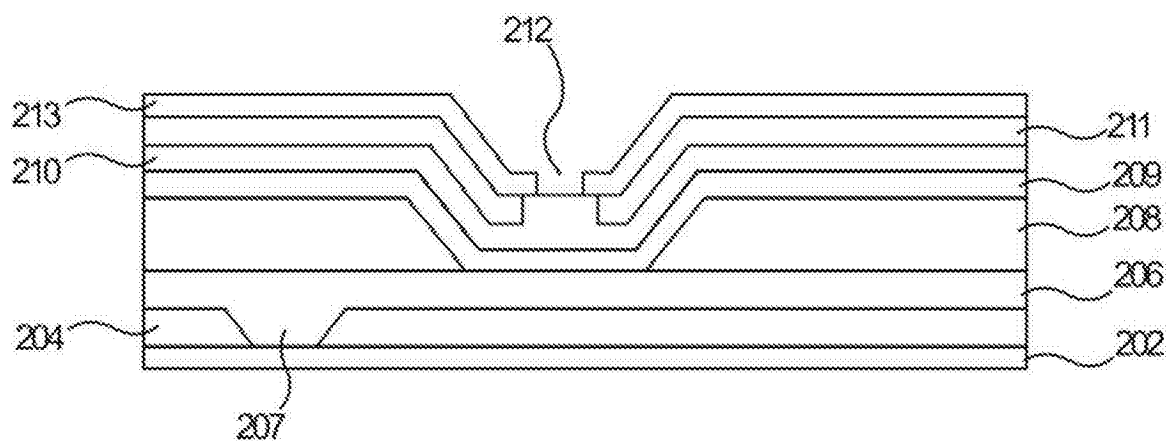


图2

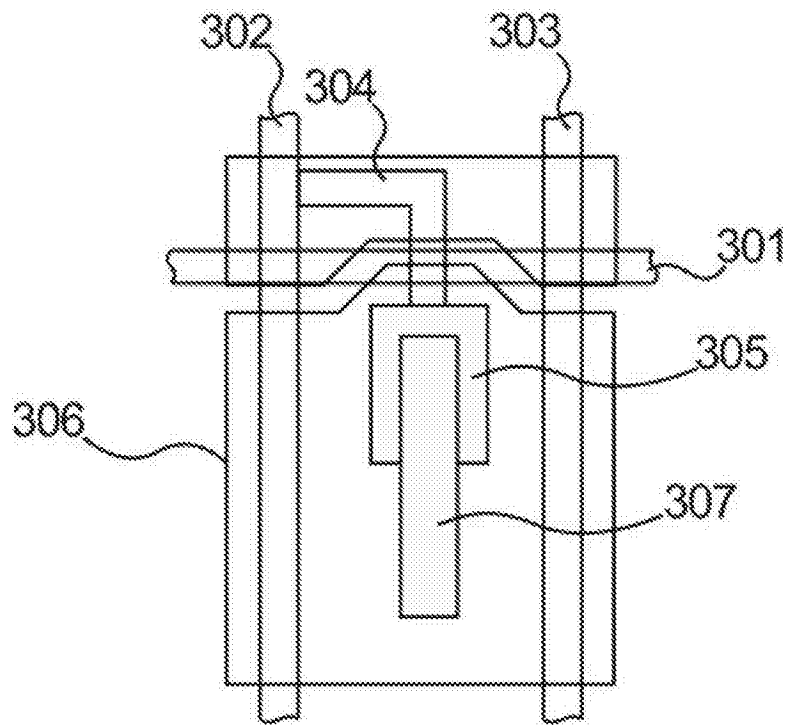


图3

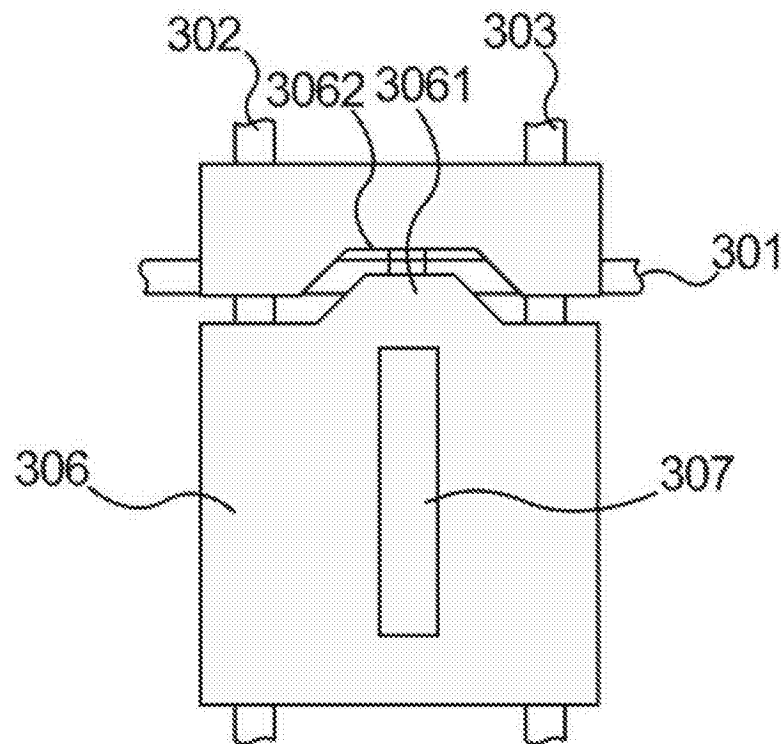


图4

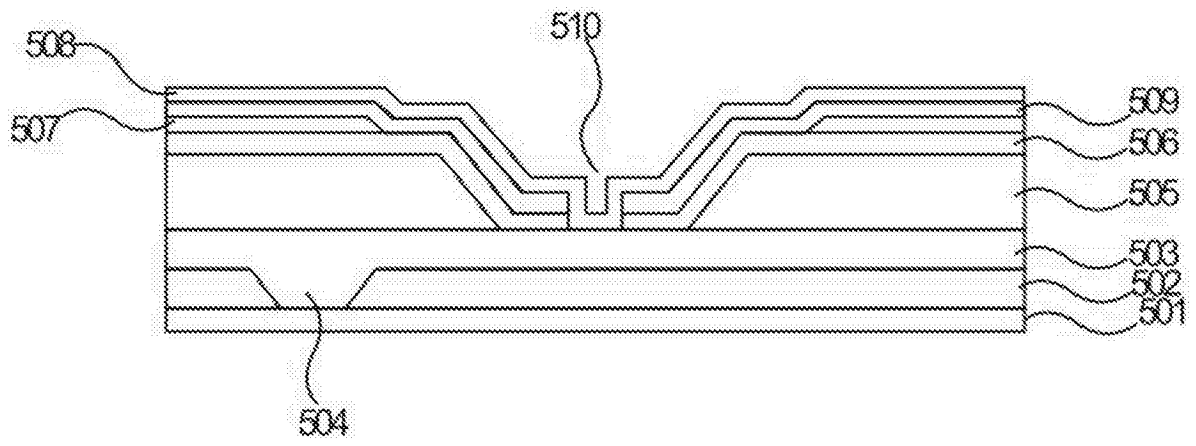


图5

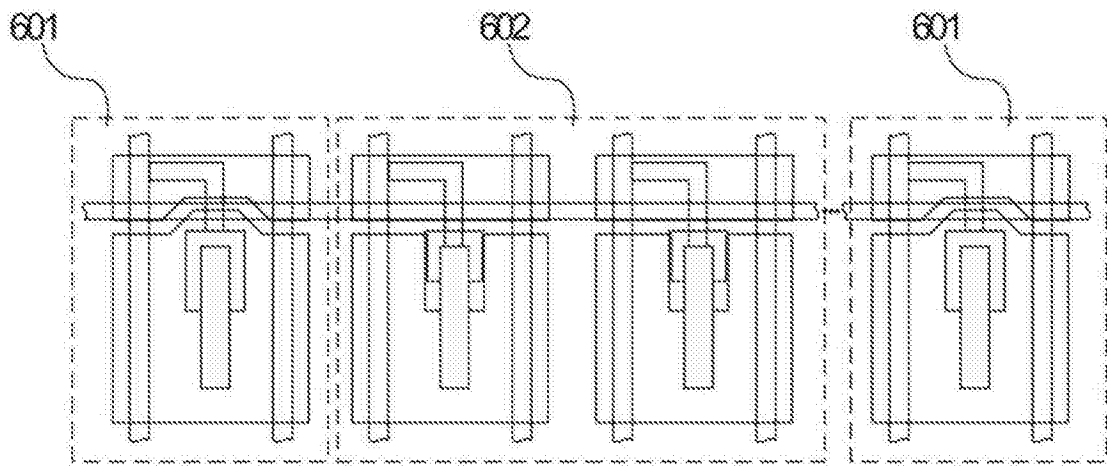


图6

专利名称(译)	阵列基板及OLED显示装置		
公开(公告)号	CN108010909A	公开(公告)日	2018-05-08
申请号	CN201711166309.8	申请日	2017-11-21
[标]申请(专利权)人(译)	武汉华星光电技术有限公司		
申请(专利权)人(译)	武汉华星光电技术有限公司		
当前申请(专利权)人(译)	武汉华星光电技术有限公司		
[标]发明人	洪光辉		
发明人	洪光辉		
IPC分类号	H01L27/02 H01L27/32		
CPC分类号	H01L27/0248 H01L27/3262		
代理人(译)	黄威		
其他公开文献	CN108010909B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基板，包括虚拟像素单元；虚拟像素单元包括：第一多晶硅层、制备于第一多晶硅层表面的第一栅绝缘层，制备于第一栅绝缘层表面的第一栅极金属；覆盖第一栅绝缘层与第一栅极金属的第一间绝缘层；以及制备于第一间绝缘层表面的第一源/漏极金属；其中，第一源/漏极金属与第一多晶硅层通过第一金属通孔连接；有益效果为：本发明提供的阵列基板，将虚拟像素单元的间绝缘层增加通孔将，将虚拟像素单元的多晶硅层与源漏极金属连接，将生产过程中的制程ESD经过一行扫描线首尾端的虚拟像素的间绝缘层通孔进入而释放，避免这种类型的制程ESD炸伤AA区的Pixel，从而提高AA区Pixel的抗制程ESD能力。

