



(12)发明专利申请

(10)申请公布号 CN 110581153 A

(43)申请公布日 2019.12.17

(21)申请号 201910491292.6

(22)申请日 2019.06.06

(30)优先权数据

10-2018-0065631 2018.06.07 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 金成焕 郭源奎 崔相武 贾智铉

姜哲圭 金东煜 李元世

(74)专利代理机构 北京金宏来专利代理事务所

(特殊普通合伙) 11641

代理人 杜正国

(51)Int.Cl.

H01L 27/32(2006.01)

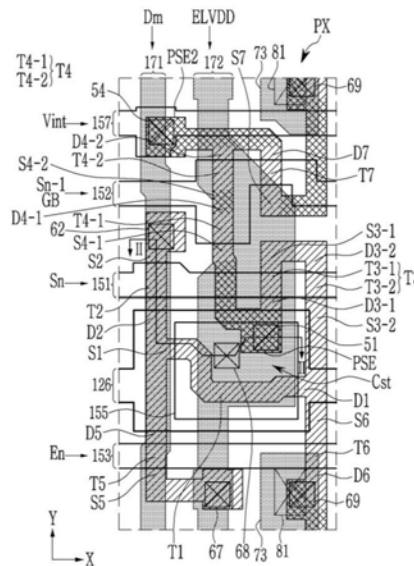
权利要求书2页 说明书22页 附图11页

(54)发明名称

有机发光二极管显示装置

(57)摘要

公开了有机发光二极管显示器。所述有机发光二极管显示器包括衬底、位于衬底上的包括掺杂区域和未掺杂区域的半导体层、覆盖半导体层的第一绝缘层、位于第一绝缘层上的第一导体、覆盖第一导体的第二绝缘层、位于第二绝缘层上的第二导体、覆盖第二导体的第三绝缘层以及位于第三绝缘层上的第三导体,其中,在与第一导体重叠的半导体层中,掺杂区域位于两个未掺杂区域之间。



1. 有机发光二极管显示器,包括:

衬底;

半导体层,所述半导体层位于所述衬底上;

第一绝缘层,所述第一绝缘层覆盖所述半导体层;

第一导体,所述第一导体位于所述第一绝缘层上;

第二绝缘层,所述第二绝缘层覆盖所述第一导体;

第二导体,所述第二导体位于所述第二绝缘层上;

第三绝缘层,所述第三绝缘层覆盖所述第二导体;以及

第三导体,所述第三导体位于所述第三绝缘层上,

其中,所述半导体层包括掺杂区域和两个未掺杂区域,并且在所述半导体层的与所述第一导体重叠的一部分中,所述掺杂区域位于所述两个未掺杂区域之间。

2. 如权利要求1所述的有机发光二极管显示器,还包括:至少第一晶体管至第四晶体管,

其中,所述第四晶体管包括第一个第四晶体管和第二个第四晶体管,

其中,所述第一个第四晶体管的沟道和所述第二个第四晶体管的沟道分别布置在所述半导体层的所述两个未掺杂区域中,以及

其中,所述第一个第四晶体管的一个电极和所述第二个第四晶体管的一个电极位于所述半导体层的所述掺杂区域中。

3. 如权利要求2所述的有机发光二极管显示器,其中,所述第二个第四晶体管的第一电极和所述第一个第四晶体的第二电极位于所述掺杂区域中,

其中,所述半导体层的所述掺杂区域位于所述两个未掺杂区域之间的所述部分具有在一个方向上延伸的直线结构,

其中,所述第一导体包括前一扫描线,并且所述前一扫描线包括覆盖所述掺杂区域和所述两个未掺杂区域的扩展区域。

4. 如权利要求2所述的有机发光二极管显示器,其中,所述半导体层还包括扩展部,所述第一绝缘层包括暴露所述扩展部的开口,并且所述第一导体通过所述开口与所述扩展部直接连接。

5. 如权利要求4所述的有机发光二极管显示器,其中,所述第一导体为驱动晶体管的栅电极,

所述第二导体包括具有扩展的部分的维持线,

所述驱动晶体管的所述栅电极与和所述驱动晶体管的所述栅电极重叠的所述维持线的所述扩展的部分以及位于所述驱动晶体管的所述栅电极与所述维持线的所述扩展的部分之间的所述第二绝缘层一起形成存储电容器,以及

其中,所述维持线施加有驱动电压。

6. 如权利要求5所述的有机发光二极管显示器,其中,所述第三导体包括驱动电压线,所述驱动电压线包括扩展部,

所述驱动电压线的所述扩展部通过所述第三绝缘层中的开口与所述维持线直接连接,

第三晶体管包括串联连接的第一个第三晶体管和第二个第三晶体管,以及

所述驱动电压线的所述扩展部覆盖所述第一个第三晶体管和所述第二个第三晶体管

的连接部分的至少一部分。

7. 如权利要求6所述的有机发光二极管显示器,其中,所述连接部分位于所述半导体层中。

8. 如权利要求6所述的有机发光二极管显示器,其中,所述第一导体还包括扫描线,其中,所述半导体层具有使所述半导体层穿过所述第二个第三晶体管的沟道且然后在向上延伸的同时向左弯曲,且然后向下弯曲并穿过所述第一个第三晶体管的沟道的结构,其中,所述扫描线与所述第二个第三晶体管的所述沟道和所述第一个第三晶体管的所述沟道重叠,

其中,所述半导体层的所述扩展部在穿过所述第一个第三晶体管的所述沟道之后布置,以及

其中,所述半导体层穿过所述第一个第三晶体管的所述沟道且然后向左弯曲,且然后在再次向上弯曲的同时依次与所述第一个第四晶体管的所述沟道和所述第二个第四晶体管的沟道相遇。

9. 如权利要求1所述的有机发光二极管显示器,其中,所述半导体层还包括第二扩展部,所述第一绝缘层包括暴露所述第二扩展部的开口,并且所述第一导体通过所述开口与所述第二扩展部直接连接,以及

其中,所述第一导体为初始化电压线。

10. 如权利要求1所述的有机发光二极管显示器,其中,所述第一导体包括扫描线、前一扫描线和初始化电压线,

所述第三导体包括数据线和驱动电压线,以及一个像素包括:

发光的有机发光元件,

第二晶体管,所述第二晶体管与所述扫描线和所述数据线连接,以及

驱动晶体管,所述驱动晶体管将电流施加到所述有机发光元件,

其中,所述第一导体还包括发光控制线,并且所述像素还包括连接到所述发光控制线的第五晶体管和第六晶体管,并且

其中,所述像素还包括:

串联连接的第一个第三晶体管和第二个第三晶体管;以及

串联连接的第一个第四晶体管和第二个第四晶体管。

有机发光二极管显示装置

相关申请的交叉引用

[0001] 于2018年6月7日提交到韩国知识产权局并且发明名称为“有机发光二极管显示装置”的第10-2018-0065631号韩国专利申请通过引用以其整体地并入本文。

技术领域

[0002] 本公开涉及有机发光二极管显示器。

背景技术

[0003] 显示装置是显示图像的装置,并且最近,有机发光二极管显示器已受到关注。由于有机发光二极管显示器具有自发射特性并且不需要单独的光源,因此与液晶显示装置不同,能够减小其厚度和重量。此外,有机发光二极管显示器具有诸如低功耗、高亮度和高响应速度的高品质特性。

发明内容

[0004] 根据示例性实施方式的有机发光二极管显示器可包括衬底、布置在衬底上的半导体层、覆盖半导体层的第一绝缘层、布置在第一绝缘层上的第一导体、覆盖第一导体的第二绝缘层、布置在第二绝缘层上的第二导体、覆盖第二导体的第三绝缘层以及布置在第三绝缘层上的第三导体,其中,半导体层包括掺杂区域和未掺杂区域,并且在与第一导体重叠的半导体层中,掺杂区域布置在未掺杂区域之间。

[0005] 第(4-1)晶体管的沟道和第(4-2)晶体管的沟道可分别布置在布置于掺杂区域的相对侧处的未掺杂区域中,并且第(4-1)晶体管的一个电极和第(4-2)晶体管的一个电极可布置在掺杂区域中。

[0006] 第(4-2)晶体管的第一电极和第(4-1)晶体的第二电极可布置在掺杂区域中。

[0007] 包括未掺杂区域和布置在未掺杂区域之间的掺杂区域的半导体层可具有在一个方向上延伸的直线结构。

[0008] 第一导体可包括前一扫描线,并且前一扫描线可包括覆盖掺杂区域和未掺杂区域的扩展区域。

[0009] 半导体层还可包括扩展部,第一绝缘层可包括暴露扩展部的开口,并且第一导体可通过开口与扩展部直接连接。

[0010] 第一导体可为驱动晶体管的栅电极。

[0011] 第二导体可包括具有扩展的部分的维持线,并且驱动晶体管的栅电极可与和驱动晶体管的栅电极重叠的维持线的扩展的部分以及布置在驱动晶体管的栅电极与维持线的扩展的部分之间的第二绝缘层一起形成存储电容器。

[0012] 维持线可施加有驱动电压。

[0013] 第三导体可包括驱动电压线,驱动电压线包括扩展部,并且驱动电压线的扩展部可通过形成在第三绝缘层中的开口与维持线直接连接。

- [0014] 驱动电压线的扩展部可覆盖串联连接的第(3-1)晶体管和第(3-2)晶体管的连接部分的至少一部分。
- [0015] 连接部分可布置在半导体层中,并且未被掺杂。
- [0016] 第一导体还可包括扫描线,半导体层可具有使半导体层穿过第(3-2)晶体管的沟道且然后在向上延伸的同时向左弯曲,且然后向下弯曲并穿过第(3-1)晶体管的沟道的结构,并且扫描线可与第(3-2)晶体管的沟道和第(3-1)晶体管的沟道重叠。
- [0017] 半导体层的扩展部在穿过第(3-1)晶体管的沟道之后布置。
- [0018] 半导体层可穿过第(3-1)晶体管的沟道且然后向左弯曲,且然后可在再次向上弯曲的同时依次与第(4-1)晶体管的沟道和第(4-2)晶体管的沟道相遇。
- [0019] 半导体层还可包括第二扩展部,第一绝缘层可包括暴露第二扩展部的开口,并且第一导体可通过开口与第二扩展部直接连接。
- [0020] 第一导体为初始化电压线。
- [0021] 第一导体可包括扫描线、前一扫描线和初始化电压线,第三导体包括数据线和驱动电压线,并且一个像素包括发光的有机发光元件、与扫描线和数据线连接的第二晶体管以及将电流施加到有机发光元件的驱动晶体管。
- [0022] 第一导体还可包括发光控制线,并且像素还可包括连接到发光控制线的第五晶体管和第六晶体管。
- [0023] 像素还可包括串联连接的第(3-1)晶体管和第(3-2)晶体管以及串联连接的第(4-1)晶体管和第(4-2)晶体管。
- [0024] 根据示例性实施方式的有机发光二极管显示器的制造方法可包括:在衬底上形成半导体层;在半导体层上形成掺杂掩模并掺杂半导体层;去除掺杂掩模;形成覆盖半导体层的第一绝缘层;在第一绝缘层上形成第一导体;通过使用第一导体作为掩模来掺杂半导体层;形成覆盖第一导体的第二绝缘层;在第二绝缘层上形成第二导体;形成覆盖第二导体的第三绝缘层;在第三绝缘层上形成第三导体;形成覆盖第三导体的钝化层;在钝化层上形成像素电极。
- [0025] 在衬底上形成半导体层可包括通过使用第一掩模形成非晶硅层,并且然后将非晶硅层结晶成多晶半导体。
- [0026] 在半导体层上形成掺杂掩模并掺杂半导体层可包括通过使用第二掩模形成掺杂掩模,并且然后用杂质掺杂暴露的半导体层。
- [0027] 在去除掺杂掩模中,可以通过使用剥离器去除掺杂掩模。
- [0028] 形成覆盖半导体层的第一绝缘层可包括通过使用第三掩模在第一绝缘层处形成开口。
- [0029] 在第一绝缘层上形成第一导体中,可以通过使用第四掩模形成第一导体。
- [0030] 第一导体可包括扫描线、前一扫描线、发光控制线、初始化电压线和栅电极。
- [0031] 在第二绝缘层上形成第二导体中,可以通过使用第五掩模形成第二导体。
- [0032] 第二导体可以包括维持线,该维持线包括用作第一存储电极的扩展部。
- [0033] 形成覆盖第二导体的第三绝缘层可包括通过使用第六掩模在第三绝缘层处形成开口。
- [0034] 由第六掩模形成的开口可包括也形成在第一绝缘层中的开口,并且第二绝缘层布

置在第三绝缘层下方。

[0035] 第一绝缘层、第二绝缘层和第三绝缘层中的开口可暴露半导体层的一部分,并且通过半导体层的暴露部分,半导体层可接收数据电压或驱动电压,或者可施加驱动电流。

[0036] 由第六掩模形成的开口可包括仅形成在第三绝缘层中的开口,并且由第六掩模形成的开口可暴露用作第一存储电极的维持线的扩展部。

[0037] 在第三绝缘层上形成第三导体中,可通过使用第七掩模形成第三导体。

[0038] 第三导体可包括数据线、驱动电压线和数据连接件。

[0039] 形成覆盖第三导体的钝化层可以包括通过使用第八掩模在钝化层处形成开口。

[0040] 在钝化层上形成像素电极可包括通过使用第九掩模形成像素电极。

[0041] 制造方法还可包括形成围绕像素电极的间隔壁。

[0042] 制造方法还可包括在衬底上形成半导体层之前,在衬底上形成缓冲层。

[0043] 制造方法还可包括在衬底上形成缓冲层之前,在衬底上形成阻挡层。

附图说明

[0044] 通过参照附图对示例性实施方式进行详细描述,特征对本领域技术人员将变得显而易见,在附图中:

[0045] 图1示出了根据示例性实施方式的有机发光二极管显示器的布局图;

[0046] 图2示出了沿图1的线II-II的剖面图;

[0047] 图3至图16示出了根据示例性实施方式的用于制造有机发光二极管显示器的像素的方法中的各阶段的布局图和剖面图;

[0048] 图17示意性地示出了根据示例性实施方式的有机发光二极管显示器的像素的层叠关系;

[0049] 图18示出了根据示例性实施方式的有机发光二极管显示器的像素的第四晶体管的放大视图;

[0050] 图19示出了根据示例性实施方式的有机发光二极管显示器的像素的等效电路图;

[0051] 图20示出了施加到根据示例性实施方式的有机发光二极管显示器的像素的信号时序图;

[0052] 图21示出了根据另一示例性实施方式的有机发光二极管显示器中的像素区域的布局图。

具体实施方式

[0053] 现在将在下文中参照附图对示例实施方式进行更加全面地描述;然而,它们可以以不同的形式实施,并且不应被解释为受限于本文中所记载的实施方式。相反,提供这些实施方式以使得本公开将是彻底的和完整的,并且将向本领域技术人员全面地传达示例性实现方式。

[0054] 在附图中,为了清楚地示出,层和区的尺寸可被放大。也将理解,当层或元件被称为“在”另一层或衬底上“上(on)”时,该层或元件可直接在另一层或衬底上,或者也可存在有中间层。另外,还应当理解,当层被称为在两个层“之间(between)”时,该层可为两个层之间的唯一层,或者也可存在有一个或多个中间层。相反,当元件被称为“直接在(directly

on)”另一元件“上”时,则不存在中间元件。措辞“在……上(on)”或“上方(above)”意味着定位在对象部上或下方,并且不一定意味着基于重力方向定位在对象部的上侧上。相同的附图标记始终表示示相同的元件。

[0055] 另外,除非有明确地相反描述,否则措辞“包括(comprise)”以及诸如“包括(comprises)”或“包括有(comprising)”的变体将被理解为意图包含所述元件,而不排除任何其它元件。此外,在本说明书中,短语“在平面上(on a plane)”意味着从顶部观察目标部,并且短语“在剖面图上(on a cross-section)”意味着从侧部观察通过竖直地切割目标部而形成的剖面。

[0056] 在下文中,将参照图1和图2描述根据示例性实施方式的有机发光二极管显示器的像素结构。图1是根据示例性实施方式的有机发光二极管显示器的布局图,并且图2是沿线II-II截取的图1的剖面图。

[0057] 参照图1,根据示例性实施方式的有机发光二极管(OLED)显示器可包括基本上在第一方向X上延伸并且分别传输扫描信号 S_n 、前一扫描信号 S_{n-1} 、发光控制信号 E_n 和初始化电压 V_{int} 的扫描线151、前一扫描线152、发光控制线153和初始化电压线157。此外,OLED显示器包括在与第一方向X相交的第二方向Y上延伸并且分别传输数据电压 D_m 和驱动电压ELVDD的数据线171和驱动电压线172。

[0058] OLED显示器的每个像素PX包括驱动晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、存储电容器 C_{st} 和有机发光二极管OLED(例如,图19)。第三晶体管T3和第四晶体管T4中的每个包括被连接并且通过相同的栅极信号同步地导通以使得输入到一侧晶体管的信号通过另一侧晶体管输出的多个晶体管,例如,第三晶体管T3具有包括第一个第三晶体管T3-1和第二个第三晶体管T3-2的结构,并且第四晶体管T4具有包括第一个第四晶体管T4-1和第二个第四晶体管T4-2的结构。在下文中,这种连接结构将被称为串联连接结构。

[0059] 在图1和图2中,未示出有机发光二极管OLED,并且有机发光二极管OLED由像素电极、有机发射层和公共电极形成。有机发光二极管OLED的结构形成在图1和图2中所示的晶体管T1至T7的连接结构上。将电流施加到有机发光二极管OLED的晶体管(T1到T7)之间的连接关系直接涉及由像素PX占据的区域,并且图1和图2主要示出了这种连接关系。

[0060] 在本示例性实施方式中,在OLED显示器中,需要半导体层PS(图3)来形成多个晶体管T1、T2、T3、T4、T5、T6和T7,并且半导体层PS被提供为多晶半导体。另外,在本示例性实施方式中,在多晶半导体中除了多个晶体管T1、T2、T3、T4、T5、T6和T7的沟道以外,多晶半导体通过掺杂P型杂质而成为导体,以使得多晶半导体具有布线的属性。因此,不需要形成附加布线层。与此同时,根据示例性实施方式,多晶半导体可掺杂有N型杂质,并且根据另一示例性实施方式,可使用半导体氧化物来代替多晶半导体。

[0061] 根据本示例性实施方式的半导体层PS的结构可在图3的布局图中容易地看到,并且由阴影图案部分指示。半导体层PS相对于驱动晶体管T1的沟道的相对侧垂直地延伸。

[0062] 如图1中所示,第一电极S1布置在驱动晶体管T1的沟道的左侧(即,沿第一方向X)处,并且第二晶体管T2的沟道布置在从第一电极S1向上(即,沿第二方向Y)延伸的半导体层PS中。与此同时,第五晶体管T5的沟道布置在从第一电极S1向下(即,沿第二方向Y)延伸的半导体层PS中。第二电极D1布置在驱动晶体管T1的沟道的右侧(即,沿第一方向X)处,并且

第六晶体管T6的沟道布置在从第二电极D1向下(沿第二方向Y)延伸的半导体层PS中。

[0063] 下一级中的像素PX的半导体层PS连接在第六晶体管T6的沟道下方。半导体层PS从第二电极D1向上延伸并弯曲数次,并且从第二电极D1依次布置有晶体管T3-2的沟道、晶体管T3-1的沟道、晶体管T4-1的沟道、晶体管T4-2的沟道和第七晶体管T7的沟道。更具体地,已从第二电极D1向上(即,沿第二方向Y)延伸的半导体层PS在穿过晶体管T3-2的沟道之后向左(即,沿第一方向X)弯曲,且然后向下(即,沿第二方向Y)弯曲,以使得其穿过晶体管T3-1的沟道。在穿过晶体管T3-1的沟道之后,半导体层PS再次向左(即,沿第一方向X)弯曲,且然后向上(即,沿第二方向Y)弯曲,以使得其依次与晶体管T4-1的沟道和晶体管T4-2的沟道相遇。在依次与晶体管T4-1的沟道和晶体管T4-2的沟道相遇之后,半导体层PS穿过第七晶体管T7的沟道,且然后再次向右(即,沿第一方向X)弯曲,且然后向上(即,沿第二方向Y)弯曲,以使得其与前一级的像素PX的半导体层PS连接。

[0064] 另外,半导体层PS可包括用于与布置在另一层中的布线连接的扩展部。从第二晶体管T2的沟道向上延伸的半导体层PS包括被扩展以接收数据电压 D_m 的扩展部。半导体层PS在从第五晶体管T5的沟道向下弯曲且然后向右弯曲的部分处包括被扩展以接收驱动电压ELVDD的扩展部。半导体层PS在从第六晶体管T6的沟道向下延伸的部分处包括被扩展以与数据连接件73连接并且通过布置在其上方的像素电极将驱动电流施加到有机发光二极管OLED的扩展部。另外,根据本示例性实施方式的半导体层PS还包括布置在晶体管T3-1的沟道与晶体管T4-1的沟道之间的第一扩展部PSE,并且第一扩展部PSE是与栅电极G1连接的部分。半导体层PS还包括向左延伸且然后在晶体管T4-2的沟道与第七晶体管T7的沟道之间扩展的第二扩展部PSE2,并且第二扩展部PSE2是被扩展以接收初始化电压 V_{int} 的部分。

[0065] 这种半导体层PS中的一些被P型杂质重掺杂,并因此重掺杂的部分具有与导体相同的特性。为了这种目的,半导体层PS中的一些需要被覆盖,并且剩余部分不被覆盖,并因此通过用P型杂质掺杂而成为布线。

[0066] 通常,半导体层PS上形成有金属层(例如,栅电极),且然后在使用金属层作为掩模的同时可掺杂半导体层PS。然而,可使用附加掺杂掩模PBLK以在较窄的像素区域中形成所有构成元件,以使得可形成与栅电极的结构不同的掺杂结构。在通过使用附加掺杂掩模PBLK进行掺杂之后,可通过使用金属层作为掩模来附加地掺杂半导体层PS。

[0067] 在图1中,半导体层PS用阴影图案标记,并且半导体层PS的通过掺杂而成为布线的一部分用交叉阴影图案标记。掺杂掩模PBLK的结构如图5中所示,并且图1仅示出掺杂后的半导体层PS。在本示例性实施方式中,光敏材料(例如,光致抗蚀剂)用作掺杂掩模PBLK,并且掺杂掩模PBLK具有足以防止P型杂质接触半导体层PS的厚度。掺杂掩模PBLK未在图1中示出,因为其在掺杂工艺之后被去除。

[0068] 在本示例性实施方式中,半导体层PS包括通过用P型杂质掺杂而成为布线的五个部分。详细地,参照图1,首先,半导体层PS的布置在晶体管T3-1的沟道与晶体管T4-1的沟道之间并且包括第一扩展部PSE的一部分被掺杂。第二,半导体层PS的布置在晶体管T4-1的沟道与晶体管T4-2的沟道之间的一部分被掺杂。第三,半导体层PS的布置在晶体管T4-2的沟道与第七晶体管T7的沟道之间且然后例如连续地向左延伸以包括第二扩展部PSE2的一部分被掺杂。第四,半导体层PS的从第七晶体管T7的沟道向前一级处的像素PX(即,沿第二方向Y)延伸的一部分被掺杂。第五,半导体层PS的从第六晶体管T6的沟道向下一级处的像素

PX延伸的一部分被掺杂。

[0069] 参照图2,第一绝缘层141布置在半导体层PS上以覆盖半导体层PS。第一开口51和第二开口54形成在第一绝缘层141中。如图1中所示,第一开口51和第二开口54分别暴露半导体层PS的第一扩展部PSE和第二扩展部PSE2。

[0070] 在第一方向X上延伸并且分别传输扫描信号 S_n 、前一扫描信号 S_{n-1} 、发光控制信号 E_n 和初始化电压 V_{int} 的扫描线151、前一扫描线152、发光控制线153和初始化电压线157形成在第一绝缘层141上。

[0071] 首先,扫描线151在第一方向X上延伸,并且与第二晶体管T2的沟道、晶体管T3-1的沟道和晶体管T3-2的沟道重叠。另外,扫描线151与半导体层PS的位于晶体管T3-1的沟道与晶体管T4-1的沟道之间的掺杂部分重叠。在本示例性实施方式中,与第二晶体管T2的沟道重叠的区域具有宽的宽度。晶体管形成在半导体层PS的未掺杂的与扫描线151重叠的部分中,因此第二晶体管T2、晶体管T3-1和晶体管T3-2形成在该重叠的部分中。

[0072] 前一扫描线152在第一方向X上延伸,并且与晶体管T4-1的沟道、晶体管T4-2的沟道和第七晶体管T7的沟道重叠。另外,前一扫描线152与半导体层PS的位于晶体管T4-1的沟道与晶体管T4-2的沟道之间的掺杂部分重叠,并且也与半导体层PS的从第七晶体管T7的沟道延伸到前一级处的像素PX的掺杂部分重叠。在本示例性实施方式中,前一扫描线152包括在与晶体管T4-1的沟道和晶体管T4-2的沟道重叠的部分处扩展的扩展区域,并且在穿过第七晶体管T7的沟道的同时向下弯曲。晶体管形成在前一扫描线152与半导体层PS的未掺杂的部分彼此重叠的部分中,因此晶体管T4-1、晶体管T4-2和第七晶体管T7分别形成在该重叠的部分中。

[0073] 发光控制线153也在第一方向X上延伸,并且与第五晶体管T5的沟道和第六晶体管T6的沟道重叠。晶体管形成在发光控制线153与半导体层PS的未掺杂的部分彼此重叠的部分中,因此第五晶体管T5和第六晶体管T6分别形成在该重叠的部分中。

[0074] 初始化电压线157也在第一方向X上延伸,并且仅与半导体层PS的掺杂部分重叠,以使得不形成晶体管。本示例性实施方式的初始化电压线157在半导体层PS的第二扩展部PSE2的一部分处具有宽的宽度,并且通过第二开口54与第二扩展部PSE2直接连接。相应地,初始化电压 V_{int} 通过第二扩展部PSE2施加到半导体层PS。

[0075] 与此同时,驱动晶体管T1的栅电极155也形成在第一绝缘层141上。栅电极155具有四边形结构,并且不仅与驱动晶体管T1的沟道重叠,并且也与半导体层PS的第一扩展部PSE重叠。由于晶体管形成在栅电极155与半导体层PS的未掺杂部分彼此重叠的部分中,因此驱动晶体管T1形成在该部分中。另外,栅电极155与作为半导体层PS的掺杂部分的第一扩展部PSE重叠,并且通过第一开口51与第一扩展部PSE直接连接。相应地,施加到驱动晶体管T1的栅电极155的电压受到晶体管T3-1和晶体管T4-1的操作的影响。另外,驱动晶体管T1的栅电极155也用作存储电容器 C_{st} 的第二存储电极。

[0076] 驱动晶体管T1的栅电极155可由与扫描线151、前一扫描线152、发光控制线153和初始化电压线157相同的材料形成并且位于相同的层上,例如,相对于衬底110的相同的高度。在形成扫描线151、前一扫描线152、发光控制线153和初始化电压线157之后,通过使用这些金属层作为掩模来附加地掺杂半导体层PS。也就是说,通过扫描线151、前一扫描线152、发光控制线153和初始化电压线157对半导体层PS的未覆盖部分进行掺杂,并且然后半

导体层PS的未覆盖部分成为导体,以使得半导体具有布线的属性。

[0077] 栅电极155、扫描线151、前一扫描线152、发光控制线153和初始化电压线157被第二绝缘层142覆盖。

[0078] 维持线126布置在第二绝缘层142上。维持线126在第一方向X上延伸,并且在与栅电极155(例如,图1)重叠的部分处具有在第二方向Y上的扩展的宽度。维持线126的扩展的宽度形成为完全覆盖(例如,完全地重叠)栅电极155的顶表面。维持线126的扩展的部分在平面上与栅电极155重叠,同时使第二绝缘层142布置在它们之间,以使得形成存储电容器Cst。维持线126的扩展的部分形成(例如,限定)存储电容器Cst的第一存储电极,并且栅电极155形成(例如,限定)存储电容器Cst的第二存储电极。维持线126的扩展的部分具有四边形结构,并且没有开放的部分,以使得四边形结构的内部填充有金属材料。相应地,即使减小形成有像素PX的区域,也可确保存储电容器Cst的足够的电容。

[0079] 维持线126上形成有第三绝缘层160。第三绝缘层160中形成有四个开口62、67、68和69。开口62布置在半导体层PS的第二晶体管T2的沟道上方,并且暴露被扩展以接收数据电压Dm的扩展部。开口67布置在半导体层PS的第五晶体管T5的沟道下方,并且暴露被扩展以接收驱动电压ELVDD的扩展部。开口69布置在第六晶体管T6的沟道下方,并且暴露被扩展以将驱动电流施加到有机发光二极管OLED的扩展部。开口68暴露维持线126的扩展的部分的一部分。相应地,尽管开口68仅形成在第三绝缘层160中,但是开口62、67和69形成在第一绝缘层141、第二绝缘层142和第三绝缘层160中。数据线171、驱动电压线172和数据连接件73形成在第三绝缘层160上。

[0080] 数据线171在第二方向Y上延伸,并且可部分地弯曲。数据线171通过开口62将数据电压Dm传输到第二晶体管T2的第一电极S2。

[0081] 驱动电压线172也在第二方向Y上延伸,并且部分地弯曲并且包括在第一方向X上具有扩展的宽度的扩展部。驱动电压线172的扩展部被扩展以覆盖驱动晶体管T1的一部分、晶体管T3-1和T3-2的一部分以及晶体管T4-1和T4-2的一部分。扩展部在与维持线126的扩展的部分重叠的部分处通过开口68将驱动电压ELVDD施加到维持线126。相应地,驱动电压ELVDD被施加到存储电容器Cst的第一存储电极。由于开口68仅需要形成在驱动电压线172与维持线126的扩展的部分重叠的部分处,因此开口68的位置可在所示位置的周边处进行各种改变,而不是被布置在所示位置中。

[0082] 驱动电压线172的扩展部覆盖串联连接的晶体管T3-1和T3-2的连接部分的至少一部分。也就是说,连接部分是晶体管T3-1的第一电极S3-1与晶体管T3-2的第二电极D3-2直接连接的部分,并且布置在半导体层PS上。由于驱动电压线172的扩展部覆盖晶体管T3-1和T3-2的连接部分,因此可稳定连接部分的电压。当晶体管T3-1和T3-2的连接部分的电压被稳定时,可稳定每个像素PX的驱动晶体管T1的特性。这是因为晶体管T3-1和T3-2的输出与驱动晶体管T1的栅电极155彼此电连接,并且数据电压Dm通过晶体管T3-1和T3-2并且存储在存储电容器Cst中。驱动电压线172的扩展部与晶体管T4-1和T4-2以及驱动晶体管T1部分地重叠,并且可根据示例性实施方式的特征来调节重叠区域。另外,驱动电压线172通过开口67将驱动电压ELVDD施加到第五晶体管T5的第一电极S5,并且具有在开口67的周边处稍微加宽的宽度。

[0083] 数据连接件73通过开口69与半导体层PS的布置在第六晶体管T6的沟道下方的扩

展部电连接。数据连接件73将驱动电流传输到有机发光二极管OLED。

[0084] 数据线171、驱动电压线172和数据连接件73上形成有覆盖数据线171、驱动电压线172和数据连接件73的钝化层180。钝化层180中形成有暴露数据连接件73的开口81,并且有机发光二极管OLED布置在钝化层180上。另外,钝化层180上形成有分隔有机发光二极管OLED的间隔壁。此外,可以形成间隔物以与上方附加地形成的层保持预定间隙。

[0085] 有机发光二极管OLED包括像素电极、有机发射层和公共电极。像素电极通过开口81与数据连接件73连接。

[0086] 有机发光二极管OLED、间隔壁和间隔物上形成有保护有机发光二极管OLED免受湿气等影响的封装层。封装层可以或不接触公共电极。封装层可为通过堆叠无机层和有机层形成的薄膜封装层,或者可包括无机层、有机层和无机层的三层堆叠层。公共电极与封装层之间可布置有覆盖层和功能层。

[0087] 如上所述,在半导体层PS与栅电极155、扫描线151、前一扫描线152、发光控制线153、数据线171和驱动电压线172重叠时,形成七个晶体管。七个晶体管如下。多个晶体管T1、T2、T3-1、T3-2、T4-1、T4-2、T5、T6和T7中的每个的沟道与多个晶体管T1、T2、T3-1、T3-2、T4-1、T4-2、T5、T6和T7中的每个的栅电极重叠,并且布置在多个晶体管T1、T2、T3-1、T3-2、T4-1、T4-2、T5、T6和T7中的每个的第一电极与第二电极之间。多个晶体管T1、T2、T3-1、T3-2、T4-1、T4-2、T5、T6和T7可基本上具有相等的层叠结构。

[0088] 驱动晶体管T1包括沟道、栅电极155、第一电极S1和第二电极D1。驱动晶体管T1的沟道布置在第一电极S1与第二电极D2之间,并且在平面上与栅电极155重叠。沟道被弯曲以在有限的区域中增加沟道的长度。随着沟道长度增加,施加到驱动晶体管T1的栅电极155的栅极电压 V_g 的驱动范围增加,并且驱动电流根据栅极电压 V_g 恒定地增加。相应地,可改变栅极电压 V_g 的大小,以使得可更精确地控制从有机发光二极管OLED发射的光的灰度级,并且可提高有机发光二极管显示器的显示品质。另外,沟道在几个方向上延伸,而不是在一个方向上延伸,并因此可抵消因制造工艺中的方向性引起的影响,从而减少工艺变化。因此,可防止因工艺变化引起的驱动晶体管T1的特性的变化而可能发生的诸如污渍缺陷(例如,即使施加相同的数据电压 D_m ,依赖于像素也会出现亮度差异)的图像劣化。沟道的这种形状不限于图中所示的结构,并且可具有各种结构,诸如 Ω 型、S型等。

[0089] 栅电极155也用作存储电容器Cst的第二存储电极。也就是说,存储电容器Cst包括彼此重叠的第一存储电极和第二存储电极,它们之间布置有第二绝缘层142。第二存储电极对应于驱动晶体管T1的栅电极155,并且第一存储电极为维持线126的扩展的部分。此处,第二绝缘层142成为电介质材料,并且充电在存储电容器Cst中的电荷和第一存储电极与第二存储电极之间的电压确定电容。由于驱动电压线172通过开口68连接到第一存储电极,因此与驱动电压ELVDD与栅电极155的栅极电压 V_g 之间的差异对应的电荷存储在存储电容器Cst中。另外,由于栅电极155用作第二存储电极,因此驱动晶体管T1可具有足够的尺寸,并且即使在小尺寸像素中存储电容器Cst也可具有足够的电容,因为驱动晶体管T1和存储电容器Cst在彼此重叠的同时被布置。

[0090] 第二晶体管T2的栅电极为扫描线151的扩展的部分。第二晶体管T2的第一电极S2通过开口62与数据线171连接,并因此,第二电极D2与驱动晶体管T1的第一电极S1连接。第二晶体管T2的沟道在半导体层PS中布置在第一电极S2与第二电极D2之间。

[0091] 第三晶体管T3由彼此相邻并且串联连接的两个晶体管T3-1和T3-2形成。第三晶体管T3串联连接以阻挡漏电流的流动。两个晶体管T3-1和T3-2串联连接的结构意味着两个栅电极接收相同的信号并且由相同的栅极信号同步地导通以使得输入到一个晶体管的信号通过其它晶体管输出的结构。也就是说,晶体管T3-1和T3-2的栅电极布置在扫描线151上,并且沟道形成在与晶体管T3-1和T3-2的栅电极重叠的半导体层PS中。晶体管T3-2的第一电极S3-2与第六晶体管T6的第一电极S6和驱动晶体管T1的第二电极D1连接,并且晶体管T3-1的第二电极D3-1与晶体管T4-1的第一电极S4-1连接。另外,晶体管T3-1的第二电极D3-1通过第一开口51与栅电极155连接。晶体管T3-1的第一电极S3-1和晶体管T3-2的第二电极D3-2彼此连接。

[0092] 第四晶体管T4也由两个晶体管T4-1和T4-2形成,并且两个晶体管T4-1和T4-2串联连接。也就是说,晶体管T4-1和T4-2的栅电极布置在前一扫扫线152上,并且沟道形成在与晶体管T4-1和T4-2的栅电极重叠的半导体层PS中。晶体管T4-1的第一电极S4-1与晶体管T3-1的第二电极D3-1连接,晶体管T4-2的第二电极D4-2与第七晶体管T7的第二电极D7连接,并且晶体管T4-1的第二电极D4-1与晶体管T4-2的第一电极S4-2彼此连接。如上所述,串联连接的结构可防止电流泄漏。晶体管T4-2的第二电极D4-2通过第二开口54与初始化电压线157直接连接。晶体管T4-1的第一电极S4-1通过第一开口51与栅电极155连接。

[0093] 第五晶体管T5的栅电极为发光控制线153的一部分,并且其沟道形成在与第五晶体管T5的栅电极重叠的半导体层PS中。驱动电压线172通过开口67连接到第五晶体管T5的第一电极S5,并且第二电极D5与驱动晶体管T1的第一电极S1连接。

[0094] 第六晶体管T6的栅电极为发光控制线153的一部分,并且其沟道形成在与第六晶体管T6的栅电极重叠的半导体层PS中。第六晶体管T6的第二电极D6通过开口69与数据连接件73连接,并且第一电极S6与驱动晶体管T1的第二电极D1连接。

[0095] 第七晶体管T7为前一扫描线152的一部分,并且沟道形成在与第七晶体管T7的栅电极重叠的半导体层PS中。第七晶体管T7的第一电极S7通过开口69与数据连接件73连接,并且第二电极D7与晶体管T4-2的第二电极D4-2连接。

[0096] 在上文中,已描述了多个晶体管T1、T2、T3、T4、T5、T6和T7的第一电极和第二电极,并且当第一电极和第二电极中的一个为源区时,另一个对应于漏区。另外,根据示例性实施方式,可切换参照图1描述的源区和漏区。

[0097] 本示例性实施方式的半导体层PS在与第一导体重叠的同时通过扩展部PSE和PSE2与布置在其上方的第一导体直接连接。相应地,可减小每个像素PX中用于电连接的结构(包括开口)的区域。另外,由于不需要附加连接布线,因此可减少开口的数量并且可减小由开口占据的区域。

[0098] 在本示例性实施方式的每个像素PX中,除了与像素电极连接的开口81以外,形成总共六个开口51、54、62、67、68、69。六个开口是包括七个晶体管和一个存储电容器Cst的像素PX中的最小数量,并且相应地,像素PX的区域可被减小并且可被应用于高分辨率有机发光二极管显示器。

[0099] 另外,当形成高分辨率像素PX时,通过开口连接的结构数量越多,故障的可能性越大,并因此产量降低。也就是说,在一个母衬底中形成总共一百二十(120)个显示装置,并且下面的表1示出了在一个显示装置具有1440×2880像素(QHD分辨率)的情况下在一个像

素PX具有六个开口的示例性实施方式与一个像素PX具有八个开口或十个开口的比较示例之间发生故障的概率的比较。

(表1)

	示例性实施方式	比较示例 1	比较示例 2
每个像素的开口 的数量	6	8	10
每个显示装置的 像素的数量	1440 x 2880	1440 x 2880	1440 x 2880
每个显示装置的 开口的数量	(1440 x 2880 x 6) 24,883,200	(1440 x 2880 x 8) 33,177,600	(1440 x 2880 x 10) 41,472,000
包括在母衬底中 的显示装置的数 量	120	120	120
包括在母衬底中 的开口的数量	2,985,984,000	3,981,312,000	4,976,640,000
有缺陷的开口的 数量	2986	3981	4977
缺陷率的比较	与比较示例 1 相比, 缺陷率降低了 25%, 并且与比较示例 2 相比, 缺陷率降低了 40%		

[0100] 此处,以百万分之一的概率计算缺陷率。也就是说,可确定缺陷率可通过一个像素PX的仅两个开口的减少而减少了约25%。因此,当形成高分辨率像素PX时,就减小由像素PX占据的区域和缺陷率而言,优选使用具有少量开口的像素结构。

[0101] 在本示例性实施方式中,掺杂的半导体层PS形成在前一扫描线152下方。相应地,减小了由两个晶体管T4-1和T4-2占据的区域。

[0102] 通常,沟道形成在布线(例如,前一扫描线)与半导体层彼此重叠的部分中,并且布线的宽度超过预定宽度。在这种情况下,布线和半导体层需要在两个部分中彼此重叠以形成两个沟道,从而导致该区域的增加。相反,在本示例性实施方式中,掺杂区域形成在一个布线下,并且沟道形成在掺杂区域的相对侧处,以使得可减小由两个晶体管占据的区域。

[0103] 另外,即使掺杂掩模PBLK未对齐,也不会改变第四晶体管T4的沟道的尺寸。也就是说,当掺杂掩模PBLK垂直地未对齐时,可改变晶体管T4-

1的沟道长度(例如,图18中的T4-1的L)和晶体管T4-2的沟道长度(例如,图18中的T4-2的L),但是由于第四晶体管T4的长度是晶体管T4-1的沟道长度(例如,图18中的T4-1的L)与晶体管T4-2的沟道长度(例如,图18中的T4-2的L)之和,因此不会改变第四晶体管T4的长

度。

[0104] 另外,第三晶体管T3和第四晶体管T4具有两个晶体管串联连接的结构,并且相应地,可减小漏电流。

[0105] 在下文中,将参照图3至图16以及图1和图2描述根据制造顺序的有机发光二极管显示器的像素PX的结构。图3至图16是示出根据图1至图2的示例性实施方式的用于制造有机发光二极管显示器的像素PX的方法中的各阶段的布局图和剖面图。

[0106] 首先,参照图3至图4,阻挡层111布置在衬底110上,并且缓冲层112布置在阻挡层111上。半导体层PS布置在缓冲层112上。在图3中示出了俯视图中的半导体层PS的形状,并且图4是沿图3的线IV-IV的剖面图。

[0107] 根据本示例性实施方式的有机发光二极管显示器可为使用塑料或聚酰亚胺(PI)衬底的柔性显示装置。根据示例性实施方式,衬底110和阻挡层111可提供为多个。例如,阻挡层111可布置在衬底110上,且然后另一个衬底110和另一个阻挡层111可布置在阻挡层111上方。在另一示例中,在重复衬底110和阻挡层111的这种单元结构之后,缓冲层112可布置在单元结构的顶部上。然而,根据示例性实施方式,可使用玻璃衬底,并且在这种情况下,可省略阻挡层111或缓冲层112。阻挡层111和缓冲层112可包括无机绝缘材料,例如氧化硅、氮化硅、氧化铝等,或者可包括有机绝缘材料,例如聚酰亚胺、聚丙烯酸(添加环氧树脂)等。

[0108] 参照图3和图4,半导体层PS布置在缓冲层上112,半导体层PS包括多个晶体管T1、T2、T3、T4、T5、T6和T7的沟道、第一电极和第二电极。图3中示出了半导体层PS的结构。

[0109] 半导体层PS由多晶半导体形成,并且可通过形成非晶硅且然后使非晶硅结晶化来形成。根据示例性实施方式,半导体层PS可由氧化物半导体形成。

[0110] 半导体层PS相对于驱动晶体管T1的沟道的相对侧具有垂直延伸的结构,例如,半导体层PS可具有沿图1的第二方向Y延伸的纵向方向。本示例性实施方式的驱动晶体管T1的沟道在向右侧延伸的同时向下弯曲,且然后再次向右延伸。然而,驱动晶体管T1的沟道结构不限于此,并且可具有各种结构,诸如 Ω 型、S型等。

[0111] 如前面参照图1所述,第一电极S1布置在驱动晶体管T1的沟道的左侧处,并且第二晶体管T2的沟道布置在半导体层PS的从第一电极S1向上延伸的一部分中。与此同时,第五晶体管T5的沟道布置在半导体层PS的从第一电极S1向下延伸的一部分中。第二电极D1布置在驱动晶体管T1的沟道的右侧处,并且第六晶体管T6的沟道布置在半导体层PS的从第二电极D1向下延伸的一部分中。下一级处的像素PX的半导体层PS连接在第六晶体管T6的沟道下方。与此同时,半导体层PS从第二电极D1向上延伸并且弯曲数次,并且从第二电极D1依次布置有晶体管T3-2、晶体管T3-1、晶体管T4-1、晶体管T4-2和第七晶体管T7的沟道。更具体地,已从第二电极D1向上延伸的半导体层PS在穿过晶体管T3-2的沟道之后向左弯曲,且然后向下弯曲以使得其穿过晶体管T3-1的沟道。在穿过晶体管T3-1的沟道之后,半导体层PS再次向左弯曲且然后向上弯曲,以使得其依次与晶体管T4-1的沟道和晶体管T4-2的沟道相遇。在依次与晶体管T4-1的沟道和晶体管T4-2的沟道相遇之后,半导体层PS穿过第七晶体管T7的沟道,且然后再次向右弯曲,且然后向上弯曲,以使得其与前一级的像素PX的半导体层PS连接。

[0112] 另外,半导体层PS可包括用于与布置在另一层中的布线连接的扩展部。从第二晶体管T2的沟道向上延伸的半导体层PS包括被扩展以接收数据电压Dm的扩展部。半导体层PS

在从第五晶体管T5的沟道向下弯曲且然后向右弯曲的部分处包括被扩展以接收驱动电压ELVDD的扩展部。半导体层PS在从第六晶体管T6的沟道向下延伸的部分处包括被扩展以与数据连接件73连接并且通过布置在其上方的像素电极将驱动电流施加到有机发光二极管OLED的扩展部。

[0113] 另外,根据本示例性实施方式的半导体层PS还包括布置在晶体管T3-1的沟道与晶体管T4-1的沟道之间的第一扩展部PSE,并且第一扩展部PSE是与栅电极G1(图19)连接的部分。此外,半导体层PS还包括向左延伸且然后在晶体管T4-2的沟道与第七晶体管T7的沟道之间扩展的第二扩展部PSE2,并且第二扩展部PSE2是被扩展以接收初始化电压Vint的部分。

[0114] 具有这种结构的半导体层PS通过掺杂工艺经历布线工艺,如图5和图6中所示。图5是像素PX的俯视图,并且图6是沿图5的线VI-VI的剖面图。

[0115] 在图5中,没有形成掺杂掩模PBLK的部分用阴影图案标记,并且阴影图案的方向垂直于用于标记半导体层PS的阴影图案的方向。掺杂掩模

PBLK布置在未绘制相应的阴影图案的部分中,并且相应地,布置在这些部分中的半导体层PS未被掺杂。然而,布置在图5中用阴影图案标记的部分中的半导体层PS被掺杂。为了区分掺杂的半导体层PS与未掺杂的半导体层PS,在图5中示出了用交叉影线图案标记的半导体层PS。换言之,未掺杂的半导体层PS的阴影图案和由掺杂掩模PBLK暴露的区域的阴影图案在不同方向上取向,因此(待掺杂的)半导体层PS的重叠部分和通过掺杂掩模PBLK暴露的区域是交叉阴影的。还应注意,在图5中用粗实线示出了掺杂掩模PBLK的边界。

[0116] 如图6中所示,掺杂掩模PBLK形成在半导体层PS的未掺杂的一部分上,并且P型杂质完全掺杂在半导体层PS的由掺杂掩模PBLK暴露的部分中。在本示例性实施方式中,光敏材料(例如,光致抗蚀剂)用作掺杂掩模PBLK,并且形成得足够厚以防止P型杂质接触半导体层PS。当如上所述进行掺杂时,暴露于未形成掺杂掩模PBLK的区域的半导体层PS(即,具有图5中用粗线描绘的阴影图案的区域)被掺杂,并因此具有与布线相同的特性。在图5和图6中,掺杂并转向布线的半导体层PS用交叉线图案示出。

[0117] 接着,参照图7和图8,去除掺杂掩模PBLK,并且例如在整个衬底110上形成第一绝缘层141。图7是像素PX的俯视图,并且图8是沿图7的线VIII-VIII的剖面图。

[0118] 详细地,覆盖半导体层PS和缓冲层112的第一绝缘层141形成在半导体层PS和缓冲层112上。第一绝缘层141可由例如氮化硅、氧化硅和氧化铝形成,并且在本示例性实施方式中,第一绝缘层141由氧化硅形成。

[0119] 如图7和图8中所示,第一开口51和第二开口54形成在(例如,穿过)第一绝缘层141中。两个开口51和54分别暴露半导体层PS的两个扩展部PSE和PSE2。

[0120] 现在将参照图9和图10描述形成第一导体的工艺。图9是像素PX的俯视图,并且图10是沿图9的线X-X的剖面图。

[0121] 第一导体可由各种金属形成,例如,在本示例性实施方式中,钼(Mo)用于形成第一导体。在另一示例中,第一导体可具有多个金属层。第一导体包括扫描线151、前一扫描线152、发光控制线153、初始化电压线157和栅电极155。在形成第一导体后,附加地掺杂半导体层PS,并且然后在由第一导体暴露的半导体层PS的部分中掺杂P型杂质。在该附加的掺杂工艺之后,半导体层PS的未掺杂部分将是晶体管的沟道。

[0122] 在第一方向X上延伸并且分别传输扫描信号 S_n 、前一扫描信号 S_{n-1} 、发光控制信号 E_n 和初始化电压 V_{int} 的扫描线151、前一扫描线152、发光控制线153和初始化电压线157形成在第一绝缘层141上。

[0123] 首先,扫描线151在第一方向X上延伸,并且与第二晶体管T2的沟道、晶体管T3-1的沟道和晶体管T3-2的沟道重叠。另外,扫描线151与半导体层PS的位于晶体管T3-1的沟道与晶体管T4-1的沟道之间的掺杂部分重叠。在本示例性实施方式中,与第二晶体管T2的沟道重叠的区域具有宽的宽度。晶体管形成在半导体层PS的未掺杂并且与扫描线151重叠的部分中,因此第二晶体管T2、晶体管T3-1和晶体管T3-2形成在该重叠的部分中。

[0124] 前一扫描线152在第一方向X上延伸,并且在第一方向X上延伸的同时与晶体管T4-1的沟道、晶体管T4-2的沟道和第七晶体管T7的沟道重叠。另外,前一扫描线152与半导体层PS的掺杂在晶体管T4-1的沟道与晶体管T4-2的沟道之间的部分重叠,并且也与半导体层PS的从第七晶体管T7的沟道延伸到前一级处的像素PX的一部分重叠。在本示例性实施方式中,前一扫描线152包括在与晶体管T4-1的沟道和晶体管T4-2的沟道重叠的部分处扩展的扩展区域,并且在穿过第七晶体管T7的沟道的同时向下弯曲。晶体管形成在前一扫描线152与半导体层PS的未掺杂的部分彼此重叠的部分中,因此晶体管T4-1、晶体管T4-2和第七晶体管T7分别形成在该重叠的部分中。

[0125] 发光控制线153也在第一方向X上延伸,并且在第一方向X上延伸的同时与第五晶体管T5的沟道和第六晶体管T6的沟道重叠。晶体管形成在发光控制线153与半导体层PS的未掺杂的部分彼此重叠的部分中,因此第五晶体管T5和第六晶体管T6分别形成在该重叠的部分中。

[0126] 初始化电压线157也在第一方向X上延伸,并且仅与半导体层PS的掺杂部分重叠,以使得不形成晶体管。本示例性实施方式的初始化电压线157在半导体层PS的第二扩展部PSE2的一部分处具有宽的宽度,并且通过第二开口54与第二扩展部PSE2直接连接。相应地,初始化电压 V_{int} 通过第二扩展部PSE2施加到半导体层PS。

[0127] 与此同时,驱动晶体管T1的栅电极155也形成在第一绝缘层141上。栅电极155具有四边形结构,并且不仅与驱动晶体管T1的沟道重叠,而且也与半导体层PS的第一扩展部PSE重叠。由于晶体管形成在栅电极155与半导体层PS的未掺杂部分彼此重叠的部分中,因此驱动晶体管T1形成在该部分中。另外,栅电极155与作为半导体层PS的掺杂部分的第一扩展部PSE重叠,并且通过第一开口51与第一扩展部PSE直接连接。相应地,施加到驱动晶体管T1的栅电极155的电压受到晶体管T3-1和晶体管T4-1的操作的影响。另外,驱动晶体管T1的栅电极155也用作存储电容器 C_{st} 的第二存储电极。

[0128] 接着,参照图11和图12,覆盖第一导体的第二绝缘层142布置在第一导体上。图11是像素PX的俯视图,并且图12是沿图11的线XII-XII的剖面图。

[0129] 详细地,第二绝缘层142可由例如氮化硅、氧化硅和氧化铝形成,并且在本示例性实施方式中,第二绝缘层142由氧化硅形成。如图11和图12中所示,第二导体布置在第二绝缘层142上。第二导体可由例如钼(Mo)形成。另外,第二导体可具有多个金属层。

[0130] 第二导体包括维持线126,并且维持线126的扩展的部分用作第一存储电极。维持线126在第一方向X上延伸,并且在与栅电极155重叠的部分处具有扩展的宽度。维持线126的扩展的宽度形成为完全(例如,完全地)覆盖栅电极155。维持线126的扩展的部分在平面

上与栅电极155重叠,同时使第二绝缘层142布置在它们之间,以使得形成存储电容器Cst。维持线126的扩展的部分形成第一存储电极,并且栅电极155形成第二存储电极。维持线126的扩展的部分具有四边形结构,并且没有开放的部分,以使得四边形结构的内部填充有金属材料。相应地,即使减小形成有像素PX的区域,也可确保持存存储电容器Cst的足够的电容。

[0131] 接着,参照图13和图14,覆盖第二导体的第三绝缘层160形成在第二导体上。图13是像素PX的俯视图,并且图14是沿图13的线XIV-XIV的剖面图。

[0132] 详细地,第三绝缘层160可由例如氮化硅、氧化硅和氧化铝形成,或者可由有机绝缘材料形成。在本示例性实施方式中,第三绝缘层160由氮化硅或氧化硅形成。第三绝缘层160中形成有四个开口62、67、68和69。

[0133] 开口62布置在半导体层PS的第二晶体管T2的沟道上方,并且暴露被扩展以接收数据电压Dm的扩展部。开口67布置在半导体层PS的第五晶体管T5的沟道下方,并且暴露被扩展以接收驱动电压ELVDD的扩展部。开口69布置在第六晶体管T6的沟道下方,并且暴露被扩展以将驱动电流施加到有机发光二极管OLED的扩展部。开口68暴露维持线126的扩展的部分的一部分。相应地,即使开口68仅形成在第三绝缘层160中,开口62、67和69也形成在第一绝缘层141、第二绝缘层142和第三绝缘层160中。

[0134] 接着,参照图15和图16,第三导体形成在第三绝缘层160上。图15是像素PX的俯视图,并且图16是沿图15的线II-II的剖面图。

[0135] 详细地,第三导体可由各种金属形成,并且可包括多个金属层。在本示例性实施方式中,第三导体具有钛(Ti)、铝(Al)和钛(Ti)的三层结构。第三导体包括数据线171、驱动电压线172和数据连接件73。

[0136] 数据线171在第二方向Y上延伸,并且可部分地弯曲。数据线171通过开口62将数据电压Dm传输到第二晶体管T2的第一电极S2。

[0137] 驱动电压线172在第二方向Y上延伸,并且包括部分弯曲并具有扩展的宽度的扩展部。驱动电压线172的扩展部被扩展以覆盖驱动晶体管T1的一部分、晶体管T3-1和T3-2的一部分和晶体管T4-1和T4-2的一部分。扩展部在与维持线126的扩展的部分重叠的部分处通过开口68将驱动电压ELVDD施加到维持线126。相应地,存储电容器Cst的第一存储电极施加有驱动电压ELVDD。驱动电压线172的扩展部覆盖串联连接的晶体管T3-1和T3-2的连接部分的至少一部分。也就是说,连接部分是晶体管T3-1的第一电极S3-1和晶体管T3-2的第二电极D3-2直接连接的部分,并且布置在半导体层PS上。由于驱动电压线172的扩展部覆盖晶体管T3-1和T3-2的连接部分,因此可稳定连接部分的电压。当晶体管T3-1和T3-2的连接部分的电压被稳定时,可稳定每个像素PX的驱动晶体管T1的特性。这是因为晶体管T3-1和T3-2的输出与驱动晶体管T1的栅电极155彼此电连接,并且数据电压Dm通过晶体管T3-1和T3-2并且存储在存储电容器Cst中。驱动电压线172的扩展部与晶体管T4-1和T4-2以及驱动晶体管T1部分地重叠,并且可根据示例性实施方式的特征来调节重叠区域。另外,驱动电压线172通过开口67将驱动电压ELVDD施加到第五晶体管T5的第一电极S5,并且具有在开口67的周边处稍微加宽的宽度。

[0138] 数据连接件73通过开口69与半导体层PS的布置在第六晶体管T6的沟道下方的扩展部电连接。数据连接件73将驱动电流传输到有机发光二极管OLED。

[0139] 返回参照图1和图2,覆盖第三导体的钝化层180形成在第三导体上。钝化层180可

由有机绝缘材料形成,并且在本示例性实施方式中,钝化层180由聚酰亚胺(PI)形成。

[0140] 像素电极布置在钝化层180上。像素电极通过形成在钝化层180中的开口81与数据连接件73连接。像素电极可由透明导电材料或金属形成,并且可包括多个层。在本示例性实施方式中,钝化层180具有ITO和银(Ag)的双层结构。

[0141] 间隔壁和间隔物可布置在钝化层180和像素电极上。间隔壁具有与像素电极重叠的开口部,并且有机发射层布置在开口部中。公共电极布置在有机发射层和间隔壁上。像素电极、有机发射层和公共电极形成有机发光二极管OLED。

[0142] 根据示例性实施方式,像素电极可为作为空穴注入电极的阳极,并且公共电极可为作为电子注入电极的阴极。相反,像素电极可为阴极,并且公共电极可为阳极。空穴和电子分别从像素电极和公共电极注入有机发射层,并且通过耦合注入的空穴与电子而生成的激子从激发态降至基态以发光。

[0143] 间隔壁和间隔物可由各种有机材料形成,并且在本示例性实施方式中,它们由聚酰亚胺(PI)形成。由于间隔壁和间隔物由相同的材料形成,因此它们可通过使用一个掩模一起形成,并且在这种情况下,可使用半色调掩模。相应地,当间隔物形成有半色调区域时,可减少掩模的数量。然而,当形成高分辨率像素PX时,可不使用半色调掩模一起形成间隔壁和间隔物。在这种情况下,间隔壁和间隔物通过使用单独的掩模单独地形成。

[0144] 在下文中,将参照图17描述在本示例性实施方式中使用的掩模的数量。图17是根据图1和图2的示例性实施方式的有机发光二极管显示器的像素PX中的层叠关系的示意图。

[0145] 在图17中,层的顺序在它们的形成顺序中示出为从底部到顶部,其中,第一(左)列指示层的类型/名称,第二列指示与每层对应的材料,并且第三列表示说明书中与每个层对应的附图标记。沿第一列的左侧的数字指示制造期间使用的掩模的序号。

[0146] 详细地,参照图2和图17,阻挡层111和缓冲层112依次形成在衬底110上。在图17中,首先描述缓冲层112,因为当使用玻璃衬底代替柔性衬底时,仅在衬底100上形成缓冲层112,并且在某些情况下柔性衬底可被称为衬底和阻挡层。在本示例性实施方式中,缓冲层112可由例如氧化硅(SiO_x)或氮化硅(SiN_x)形成。

[0147] 接着,半导体层PS形成在缓冲层112上。通过首先形成非晶硅层且然后将其结晶化为多晶半导体(p-Si)来形成半导体层PS。然后,第一掩模用于形成半导体层PS的图案,例如,图17中的数字“1”指示第一掩模。

[0148] 接着,形成掺杂掩模PBLK以掺杂半导体层PS。掺杂掩模PBLK可由光敏材料(诸如光致抗蚀剂)形成,并且可具有使得可在掺杂工艺期间防止杂质的引入的厚度。光致抗蚀剂被完全(例如,全部地)堆叠,且然后通过使用第二掩模进行曝光,并且去除或保持因曝光而改变性质的部分,以使得形成掺杂掩模PBLK,例如,图17中的数字“2”指示第二掩模。接着,掺杂P型杂质以使得暴露的半导体层PS具有与布线相同的特性。随后,通过使用剥离器去除掺杂掩模PBLK。

[0149] 接着,完全堆叠第一绝缘层141。本示例性实施方式的第一绝缘层141由例如氧化硅(SiO_x)形成。接着,通过使用第三掩模形成光致抗蚀剂图案以暴露第一绝缘层141中形成有开口51和54的位置,例如,图17中的数字“3”指示第三掩模,并且通过去除暴露的第一绝缘层141来形成开口51和54。

[0150] 然后,形成第一导体。本示例性实施方式的第一导体由钼(Mo)形成,并且钼被完全

堆叠,且然后通过使用第四掩模形成光致抗蚀剂图案,例如,图17中的数字“4”指示第四掩模。去除因光致抗蚀剂图案而暴露的钼,以使得完成第一导体。相应地,形成扫描线151、前一扫描线152、发光控制线153、初始化电压线157和栅电极155。在形成第一导体之后,附加地掺杂由第一导体暴露的半导体层PS。

[0151] 接着,完全堆叠第二绝缘层142。本示例性实施方式的第二绝缘层142由氮化硅(SiN_x)形成。

[0152] 接着,形成第二导体。本示例性实施方式的第二导体也由钼(Mo)形成,并且钼(Mo)被完全堆叠,且然后通过使用第五掩模在其上形成光致抗蚀剂图案,例如,图17中的数字“5”指示第五掩模。去除因光致抗蚀剂图案而暴露的钼,以使得完成第二导体。相应地,形成包括用作第一存储电极的扩展的部分的维持线126。

[0153] 接着,完全堆叠第三绝缘层160。本示例性实施方式的第三绝缘层160可由氧化硅(SiO_x)或氮化硅(SiN_x)形成。然后通过使用第六掩模形成暴露开口62、67、68和69的位置的光致抗蚀剂图案,例如,图17中的数字“6”指示第六掩模,且然后去除暴露的第三绝缘层160,以使得形成开口62、67、68和69。通过去除暴露的第三绝缘层160和布置在其下方的第一绝缘层141和第二绝缘层142来形成开口62、67和69,但是通过仅去除第三绝缘层160来形成开口68。

[0154] 接着,形成第三导体。在本示例性实施方式中,第三导体具有钛(Ti)、铝(Al)和钛(Ti)的三层结构。在依次层叠三层金属材料之后,通过使用第七掩模在其上形成光致抗蚀剂图案,例如,图17中的数字“7”指示第七掩模。通过去除因光致抗蚀剂图案而暴露的三层金属材料来完成第三导体。相应地,形成数据线171、驱动电压线172和数据连接件73。

[0155] 接着,完全形成钝化层180,并且在本示例性实施方式中,完全堆叠聚酰亚胺(PI)。接着,通过使用第八掩模去除位于开口81的位置处的钝化层180,例如,图17中的数字“8”指示第八掩模,且然后形成开口81,并且暴露数据连接件73。

[0156] 接着,形成像素电极PXL。在本示例性实施方式中,像素电极PXL具有ITO和银(Ag)的双层结构。完全堆叠ITO和银(Ag)的双层,且然后通过使用第九掩模形成光致抗蚀剂图案。通过去除因光致抗蚀剂图案而暴露的双层来完成像素电极PXL。像素电极PXL与通过钝化层180中的开口81暴露的数据连接件73直接连接。

[0157] 接着,形成间隔壁PDL和间隔物SPC。在本示例性实施方式中,首先通过使用聚酰亚胺(PI)形成间隔壁PDL。在本示例性实施方式中,完全堆叠聚酰亚胺(PI),且然后通过使用第十掩模完成围绕像素电极PXL的间隔壁PDL。间隔壁PDL可分隔有机发射层,并且公共电极可形成在有机发射层和间隔壁PDL上。

[0158] 接着,形成间隔物SPC。在本示例性实施方式中,在形成间隔壁PDL之后通过使用附加掩模(即,第十一掩模)形成间隔物SPC,并且可通过堆叠附加聚酰亚胺(PI)来形成间隔物SPC。然而,根据示例性实施方式,可通过使用一个掩模来形成间隔壁PDL和间隔物SPC,并且在这种情况下,可使用半色调掩模,并且可通过该半色调掩模中的半色调区域来形成间隔物SPC。

[0159] 在本示例性实施方式中,间隔壁PDL和间隔物SPC通过使用单独的掩模形成,因为如果使用半色调掩模,则由于在高分辨率像素PX中像素尺寸减小,所以通过使用一个掩模无法一起形成间隔壁PDL和间隔物SPC。因此,在示例性实施方式中使用两个单独的掩模。

[0160] 在下文中,将参照图18详细描述根据本示例性实施方式的像素PX的第四晶体管T4的结构。

[0161] 图18是根据图1至图2的示例性实施方式的有机发光二极管显示器的像素PX的第四晶体管T4的放大视图。

[0162] 参照图18,掺杂掩模PBLK用粗线标记。阴影图案部分示出了由掺杂掩模PBLK暴露(即,暴露于P型杂质)的区域。因此,半导体层PS的布置在阴影图案部分中的部分被掺杂(即,示出为交叉阴影的),并且半导体层PS的位于其它部分(即,相对于掺杂掩模PBLK的暴露区域在不同方向上的阴影图案)中的部分未被掺杂。

[0163] 在这种结构中,与第四晶体管T4的栅电极对应的前一扫描线152的整个宽度不是由一个晶体管形成,而是通过布置在它们之间的掺杂区域(即,交叉阴影区域)划分成两个晶体管T4-1和T4-2。通常,沟道形成在布线(例如,前一扫描线152)与半导体层PS彼此重叠的部分中,并且布线的宽度需要大于预定宽度。因此,当布线和半导体层PS需要在两个部分中重叠以形成两个沟道时,该区域增加。然而,在本示例性实施方式中,掺杂区域形成在一个布线下,并且沟道形成在掺杂区域的相对侧处,以使得由两个晶体管占据的区域可被减小。另外,第四晶体管T4由串联连接的两个晶体管T4-1和T4-2形成,并且相应地,可减小漏电流。

[0164] 另外,即使掺杂掩模PBLK未对齐,第四晶体管T4的沟道的尺寸也不会改变。也就是说,当掺杂掩模PBLK垂直地未对齐时,可改变晶体管T4-1的沟道长度(T4-1的L)和晶体管T4-2的沟道长度(T4-2的L),但是由于第四晶体管T4的长度是晶体管T4-1的沟道长度(T4-1的L)与晶体管T4-2的沟道长度(T4-2的L)之和,因此不会改变第四晶体管T4的长度。

[0165] 在下文中,将参照图19和图20描述根据示例性实施方式的有机发光二极管显示器的电路结构和信号施加的操作。

[0166] 图19示出了根据示例性实施方式的有机发光二极管显示器的像素PX的等效电路图,并且图20示出了施加到根据示例性实施方式的有机发光二极管显示器的像素PX的信号的时序图。

[0167] 参照图19,有机发光二极管显示器的像素PX包括连接到多个信号线151、152、153、157、171、172和741的多个晶体管T1、T2、T3-1和T3-2、T4-1和T4-2、T5、T6和T7、存储电容器Cst和有机发光二极管OLED。另外,线的形状和厚度以不同方式示出,以示出像素PX的每个布线和元件形成在什么层处。

[0168] 在图19中,半导体层PS用虚线标记,第一导体GAT1用实线标记,第二导体GAT2用粗实线标记,并且第三导体DAT用点划线标记。第一导体GAT1对应于信号线151、152、153和157的层,第二导体GAT2对应于包括维持线126的层,并且第三导体DAT对应于包括信号线171、172和741的层。

[0169] 作为形成有第二导体GAT2的部分的用粗实线标记的部分是存储电容器Cst的第一存储电极E1的一部分,并且作为形成有第三导体DAT的部分的用点划线标记的部分是数据线171、驱动电压线172和连接到有机发光二极管OLED的布线。剩余部分是用于半导体层PS和第一导体GAT1的部分,并且包括栅电极的部分形成成为第一导体GAT1,而与晶体管的沟道、第一电极和第二电极对应的部分形成成为半导体层PS。

[0170] 多个晶体管T1、T2、T3-1、T3-2、T4-1、T4-2、T5、T6和T7包括驱动晶体管T1和连接到

扫描线151的开关晶体管,开关晶体管为第二晶体管T2和晶体管T3-1和T3-2。多个晶体管中的剩余晶体管是为有机发光二极管OLED的操作而提供的晶体管(下文中称为补偿晶体管)。补偿晶体管T4-1、T4-2、T5、T6和T7可包括晶体管T4-1和T4-2、第五晶体管T5、第六晶体管T6和第七晶体管T7。

[0171] 多个信号线151、152、153、157、171、172和741可包括扫描线151、前一扫描线152、发光控制线153、初始化电压线157、数据线171、驱动电压线172和公共电压线741。传输施加到第七晶体管T7的栅电极G7的旁路信号GB的线可为前一扫描线152的一部分,或者可电连接到前一扫描线152。

[0172] 扫描线151连接到栅极驱动器,并且将扫描信号 S_n 传输到开关晶体管(即,第二晶体管T2和晶体管T3-1和T3-2)。前一扫描线152与栅极驱动器连接,并且将施加到前一级处像素PX的前一扫描信号 S_{n-1} 传输到晶体管T4-1和T4-2。发光控制线153连接到发光控制器,并且将控制有机发光二极管OLED的发光持续时间的发光控制信号 E_n 传输到第五晶体管T5和第六晶体管T6。旁路信号GB被传输到第七晶体管T7的栅电极G7,并且根据示例性实施方式,与前一扫描信号 S_{n-1} 相同的信号可被传输。

[0173] 数据线171是传输由数据驱动器生成的数据电压 D_m 的布线,并且有机发光二极管OLED(也称为有机发光元件)的亮度根据数据电压 D_m 而改变。驱动电压线172施加驱动电压ELVDD,初始化电压线157传输初始化驱动晶体管T1的初始化电压 V_{int} ,并且公共电压线741施加公共电压ELVSS。驱动电压线172、初始化电压线157和公共电压线741可分别施加有恒定电压。

[0174] 在下文中,将描述多个晶体管。首先,驱动晶体管T1是根据施加的数据电压 D_m 控制输出电流的强度的晶体管,并且输出的驱动电流 I_d 施加到有机发光二极管OLED,并因此有机发光二极管OLED的亮度根据数据电压 D_m 来控制。为此目的,驱动晶体管T1的第一电极S1定位成接收驱动电压ELVDD,并因此经由第五晶体管T5与驱动电压线172连接。另外,驱动晶体管T1的第一电极S1也与第二晶体管T2的第二电极D2连接,并因此接收数据电压 D_m 。第二电极D1(即,输出侧处的电极)定位成朝向有机发光二极管OLED输出电流,并因此经由第六晶体管T6与有机发光二极管OLED的阳极连接。与此同时,栅电极G1与存储电容器 C_{st} 的一个电极(即,第二存储电极E2)连接。因此,栅电极G1的电压根据存储在存储电容器 C_{st} 中的电压而改变,并且相应地,改变从驱动晶体管T1输出的驱动电流 I_d 。

[0175] 第二晶体管T2是将数据电压 D_m 接收到像素PX中的晶体管。栅电极G2与扫描线151连接,并且第一电极S2与数据线171连接。第二晶体管T2的第二电极D2与驱动晶体管T1的第一电极S1连接。当第二晶体管T2根据通过扫描线151传输的扫描信号 S_n 而被导通时,通过数据线171传输的数据电压 D_m 被传输到驱动晶体管T1的第一电极S1。

[0176] 第三晶体管T3是使已在通过驱动晶体管T1的同时从数据电压 D_m 改变的补偿电压(即, D_m+V_{th})传输到存储电容器 C_{st} 的第二存储电极E2的晶体管。第三晶体管T3包括彼此串联连接的晶体管T3-1和晶体管T3-2。两个晶体管T3-1和T3-2的栅电极G3-1和G3-2均与扫描线151连接。晶体管T3-2的第一电极S3-2与驱动晶体管T1的第二电极D1连接,并且晶体管T3-1的第二电极D3-1与存储电容器 C_{st} 的第二存储电极E2和驱动晶体管T1的栅电极G1连接。另外,晶体管T3-1的第一电极S3-1和晶体管T3-2的第二电极D3-2在连接部分中彼此连接。当第三晶体管T3被描述为单个晶体管时,晶体管T3-2的第一电极S3-2成为第三晶体管

T3的第一电极,并且晶体管T3-1的第二电极D3-1成为第三晶体管T3的第二电极。第三晶体管T3根据通过扫描线151传输的扫描信号 S_n 而被导通,并因此驱动晶体管T1的栅电极G1和第二电极D1被连接,并且驱动晶体管T1的第二电极D1和存储电容器Cst的第二存储电极E2被彼此连接。

[0177] 第四晶体管T4初始化驱动晶体管T1的栅电极G1和存储电容器Cst的第二存储电极E2。第四晶体管T4包括彼此串联连接的晶体管T4-1和晶体管T4-2。两个栅电极G4-1和G4-2与前一扫描线152连接,并且晶体管T4-2的第二电极D4-2与初始化电压线157连接。晶体管T4-1的第一电极S4-1经由晶体管T3-1的第二电极D3-1连接到存储电容器Cst的第二存储电极E2和驱动晶体管T1的栅电极G1。第四晶体管T4根据通过前一扫描线152接收到的前一扫描信号 S_{n-1} 而将初始化电压 V_{int} 传输到驱动晶体管T1的栅电极G1和存储电容器Cst的第二存储电极E2。相应地,驱动晶体管T1的栅电极G1的栅极电压和存储电容器Cst被初始化。初始化电压 V_{int} 可为具有可导通驱动晶体管T1的低电压值的电压。

[0178] 第五晶体管T5将驱动电压ELVDD传输到驱动晶体管T1。栅电极G5与发光控制线153连接,并且第一电极S5与驱动电压线172连接。第五晶体管T5的第二电极D5与驱动晶体管T1的第一电极S1连接。

[0179] 第六晶体管T6将从驱动晶体管T1输出的驱动电流 I_d 传输到有机发光二极管OLED。栅电极G6与发光控制线153连接,并且第一电极S6与驱动晶体管T1的第二电极D1连接。第六晶体管T6的第二电极D6与有机发光二极管OLED的阳极连接。

[0180] 第五晶体管T5和第六晶体管T6根据通过发光控制线153传输的发光控制信号 E_n 而被同步地导通,并且当驱动电压ELVDD通过第五晶体管T5施加到驱动晶体管T1的第一电极S1时,驱动晶体管T1根据驱动晶体管T1的栅电极G1的电压(即,存储电容器Cst的第二存储电极E2的电压)而输出驱动电流 I_d 。输出的驱动电流 I_d 通过第六晶体管T6传输到有机发光二极管OLED。因此,电流 I_{oled} 流到有机发光二极管OLED,以使得有机发光二极管OLED发光。

[0181] 第七晶体管T7初始化有机发光二极管OLED的阳极。栅电极G7与前一扫描线152连接,第一电极S7与有机发光二极管OLED的阳极连接,并且第二电极D7与初始化电压线157连接。当第七晶体管T7根据旁路信号GB而被导通时,初始化电压 V_{int} 被施加到有机发光二极管OLED的阳极,以使得有机发光二极管OLED被初始化。

[0182] 存储电容器Cst的第一存储电极E1与驱动电压线172连接,并且第二存储电极E2与驱动晶体管T1的栅电极G1、第三晶体管T3的第二电极D3和第四晶体管T4的第二电极D4连接。相应地,第二存储电极E2确定驱动晶体管T1的栅电极G1的电压,并且通过第三晶体管T3的第二电极D3接收数据电压 D_m 或者通过第四晶体管T4的第二电极D4接收初始化电压 V_{int} 。

[0183] 另外,在图19的示例性实施方式中,第三晶体管T3中的连接部分与驱动电压线172的扩展部重叠,并因此可减小信号变化并且可稳定像素PX的输出电压。与此同时,有机发光二极管OLED的阳极与第六晶体管T6的第二电极D6和第七晶体管T7的第一电极S7连接,并且有机发光二极管OLED的阴极与传输公共电压ELVSS的公共电压线741连接。

[0184] 图19的示例性实施方式的像素电路包括七个晶体管T1至T7和一个电容器Cst,但这不是限制性的。可不同地修改晶体管的数量、电容器的数量以及晶体管与电容器之间的连接。根据示例性实施方式,可省略第七晶体管T7。

[0185] 虽未示出,但是有机发光二极管显示器包括显示图像的显示区域,并且这种像素

PX在显示区域中以各种格式(诸如矩阵)对齐。

[0186] 现在将参照图19和图20描述根据示例性实施方式的有机发光二极管显示器的像素PX的操作。

[0187] 在初始化周期期间,通过前一扫描线152将低电平的前一扫描信号 S_{n-1} 供给到像素PX。然后,已接收到低电平的前一扫描信号 S_{n-1} 的第四晶体管T4被导通,并因此初始化电压 V_{int} 通过第四晶体管T4被施加到驱动晶体管T1的栅电极G1和存储电容器Cst的第二存储电极E2。相应地,驱动晶体管T1和存储电容器Cst被初始化。由于初始化电压 V_{int} 的电压是低电平电压,因此驱动晶体管T1可被导通。

[0188] 与此同时,在初始化周期期间,低电平的旁路信号GB被施加到第七晶体管T7。因此,第七晶体管T7被导通,并且初始化电压 V_{int} 通过第七晶体管T7施加到有机发光二极管OLED的阳极。相应地,有机发光二极管OLED的阳极也被初始化。

[0189] 接着,在数据写入周期期间,通过扫描线151将低电平的扫描信号 S_n 供给到像素PX。第二晶体管T2和第三晶体管T3由低电平的扫描信号 S_n 导通。当第二晶体管T2被导通时,数据电压 D_m 通过第二晶体管T2输入到驱动晶体管T1的第一电极S1。

[0190] 另外,在数据写入周期期间,第三晶体管T3被导通,并且相应地,驱动晶体管T1的第二电极D1与栅电极G1和存储电容器Cst的第二存储电极E2电连接。驱动晶体管T1的栅电极G1和第二电极D1被二极管连接。另外,由于在初始化周期期间驱动晶体管T1的栅电极G1施加有低电平电压(即,初始化电压 V_{int}),因此驱动晶体管T1处于导通状态。相应地,输入到驱动晶体管T1的第一电极S1的数据电压 D_m 通过驱动晶体管T1的沟道输出到第二电极D1,且然后通过第三晶体管T3存储在存储电容器Cst的第二存储电极E2中。

[0191] 在这种情况下,施加到第二存储电极E2的电压根据驱动晶体管T1的阈值电压 V_{th} 而改变,并且当数据电压 D_m 施加到驱动晶体管T1的第一电极S1并且初始化电压 V_{int} 施加到驱动晶体管T1的栅电极G1时,输出到第二电极D1的电压可为 $(V_{gs}+V_{th})$ 。此处, V_{gs} 对应于驱动晶体管T1的栅电极G1处的电压与第一电极S1处的电压之间的差异,并且 V_{gs} 可具有 (D_m-V_{int}) 的值。因此,从第二电极D1输出且然后存储在第二存储电极E2中的电压可为 $(D_m-V_{int}+V_{th})$ 。

[0192] 接着,在发光周期期间,从发光控制线153供给的发光控制信号 E_n 具有低电平值,并因此第五晶体管T5和第六晶体管T6被导通。相应地,驱动电压ELVDD被施加到驱动晶体管T1的第一电极S1,并且驱动晶体管T1的第二电极D1与有机发光二极管OLED连接。驱动晶体管T1根据栅电极G1的电压与第一电极S1的电压(即驱动电压ELVDD)之间的电压差来生成驱动电流 I_d 。驱动晶体管T1的驱动电流 I_d 可具有与 $(V_{gs}-V_{th})$ 的平方成比例的值。此处, V_{gs} 等于存储电容器Cst的相对端处的电压差,并且 V_{gs} 具有 (V_g-V_s) 的值,并因此 V_{gs} 具有 $(D_m-V_{int}+V_{th}-ELVDD)$ 的值。当通过减去 V_{th} 获得 $(V_{gs}-V_{th})$ 的值时,驱动电流 I_d 具有 $(D_m-V_{int}-ELVDD)$ 的值。也就是说,驱动晶体管T1的驱动电流 I_d 具有与驱动晶体管T1的阈值电压 V_{th} 无关的电流来作为输出。

[0193] 因此,尽管每个像素PX的驱动晶体管T1由于工艺变化而具有不同的阈值电压 V_{th} ,但是驱动晶体管T1可输出恒定电流,从而解决晶体管特性中不均匀的问题。

[0194] 在上述计算中,如果使用多晶半导体将晶体管提供为P型晶体管,则 V_{th} 的值可略大于零,或者可具有负值。另外,根据电压计算的方向,可改变+和-的表达。然而,没有变化

的是,作为驱动晶体管T1的输出电流的驱动电流 I_d 可具有与阈值电压 V_{th} 无关的值。当上述发光周期终止时,初始化周期再次开始,并因此从头开始重复相同的操作。

[0195] 在多个晶体管T1、T2、T3、T4、T5、T6和T7中的每个的第一电极和第二电极之中,根据电压或电流施加的方向,一个可成为源电极,另一个可成为漏电极。

[0196] 与此同时,根据示例性实施方式,当第七晶体管T7在初始化周期期间初始化有机发光二极管OLED的阳极时,可防止在驱动晶体管T1基本上不导通的条件下发射的少量电流流向有机发光二极管OLED。在这种情况下,少量电流通过第七晶体管T7被释放到初始化电压 V_{int} 的端子来作为旁路电流 I_{bp} 。相应地,有机发光二极管OLED不发射不必要的光,并因此可更鲜明地显示黑色灰度,并且可提高对比度。在这种情况下,旁路信号GB可为具有与前一扫描信号 S_{n-1} 不同的时序的信号。根据示例性实施方式,可省略第七晶体管T7。

[0197] 在下文中,将参照图21描述在结构上与图1和图2的示例性实施方式不同的示例性实施方式。图21是根据另一示例性实施方式的有机发光二极管显示器中的像素区域的布局图。

[0198] 与图1的示例性实施方式不同,在图21的示例性实施方式中,第七晶体管T7的位置在半导体层PS中改变。为此目的,使用具有与图1的掺杂掩模PBLK的结构不同的结构的掺杂掩模PBLK。为了清楚地示出掺杂掩模PBLK,与图1不同,在图21中附加地示出了掺杂掩模PBLK。即使因为其在掺杂之后被移除,所以其在完成的像素PX中无法被观察到,在图21中也示出了掺杂掩模PBLK以清楚地表示与图1的差异。

[0199] 在图21的示例性实施方式中,掺杂掩模PBLK与图1中所示的掺杂掩模PBLK不同,并因此改变了半导体层PS中的掺杂部分。具体地,第七晶体管T7周边的掺杂位置被改变,并且相应地,如图21中所示,第七晶体管T7的沟道形成得远离晶体管T4-2的沟道。

[0200] 也就是说,即使掺杂部分与前一扫描线152重叠,沟道也无法形成在半导体层PS的掺杂部分中,并且仅半导体层PS的未掺杂部分在与前一扫描线152重叠的同时形成第七晶体管T7的沟道。

[0201] 参照图21,晶体管的沟道形成在第一导体与半导体层PS的未掺杂层重叠的区域中,并因此当使用与图1或图21的示例性实施方式的掺杂掩模PBLK不同的掺杂掩模PBLK时,可改变形成像素PX的每个晶体管的位置。这种示例性变化不限于图21,并且可具有各种示例性变型。

[0202] 图21的示例性实施方式也具有与图1的示例性实施方式相同的效果。也就是说,减少形成在一个像素PX中的接触孔的数量,以使得可减小由像素PX占据的区域的尺寸,并因此可应用于高分辨率像素PX。另外,即使在第四晶体管T4的周边掺杂栅电极与半导体层PS彼此重叠的区域中的一些来形成两个晶体管T4-1和T4-2,像素PX的尺寸也可通过减小由像素PX占据的区域的尺寸来减小。另外,即使掺杂掩模PBLK未对齐,第四晶体管T4的沟道的尺寸也不会第四晶体管T4的这种结构中改变。此外,扩展部PSE和PSE2被添加到半导体层PS,并且扩展部PSE和PSE2在与其上方的第一导体上重叠的同时被直接连接,以使得可在尺寸上减小由像素PX占据的区域。

[0203] 通过总结和回顾,与液晶显示器相比,许多构成元件包括在有机发光二极管显示器的一个像素中,并且随着需要高分辨率的装置的数量增加,像素的尺寸变得更小,并因此,变得越来越难以在相应区域中形成像素的所有部件。

[0204] 相反,示例性实施方式已致力于即使在小尺寸像素区域中也减小由像素占据的区域并且形成每个像素的所有构成元件。也就是说,根据示例性实施方式,可减少形成在一个像素中的接触孔的数量,从而减小由像素占据的区域。另外,可减少形成在像素中的开口的数量,从而降低劣质率。与此同时,通过在栅电极与半导体层彼此重叠的区域中形成掺杂部分,可减小由像素占据的区域。此外,在半导体层中添加扩展部,并且扩展部被设置为与其上方的导体层重叠,从而减小了由像素占据的区域。

[0205] 本文中已公开了示例实施方式,并且尽管采用了特定术语,但是它们仅以一般和描述性意义使用和解释,而不是为了限制的目的。在一些情况下,如本领域普通技术人员随着本申请的提交而将显而易见的,除非另有明确指示,否则结合特定实施方式描述的特征、特性和/或元件可单独使用或者与结合其它实施方式描述的特征、特性和/或元件组合使用。相应地,本领域技术人员将理解,在不背离如所附权利要求书中所记载的本发明的精神和范围的情况下,可进行形式和细节上的各种改变。

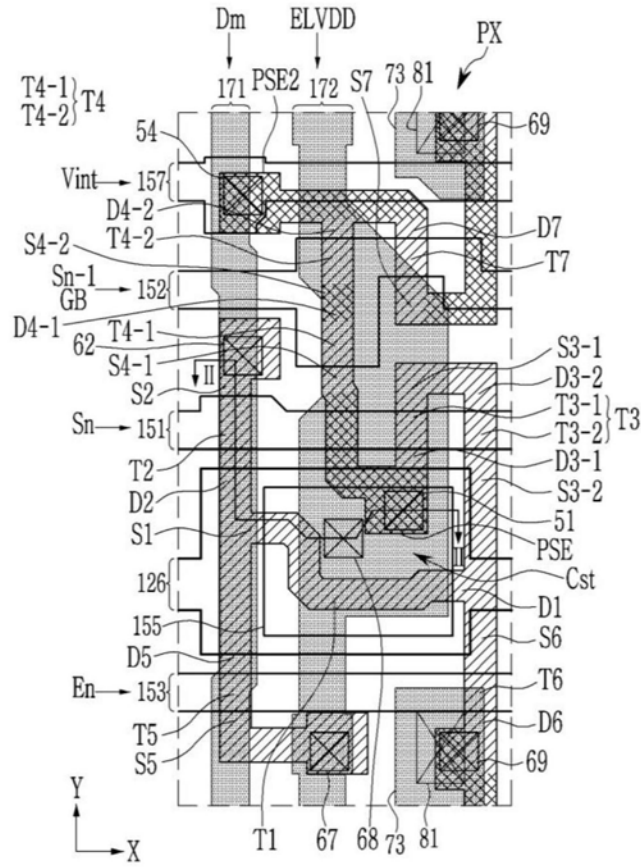


图1

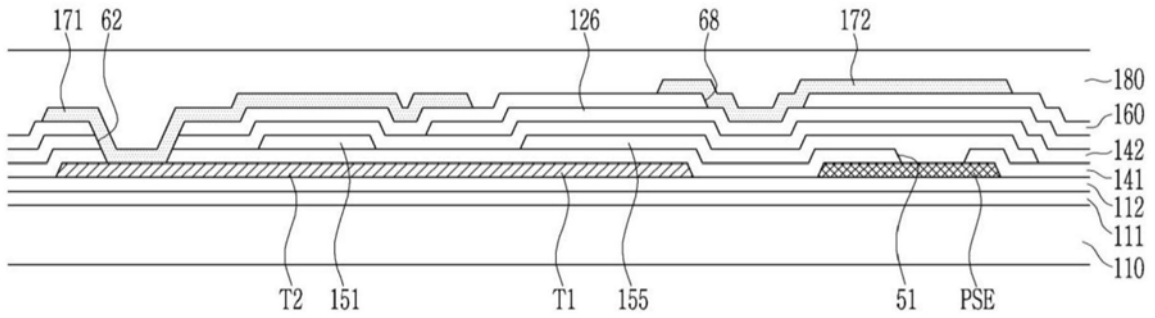


图2

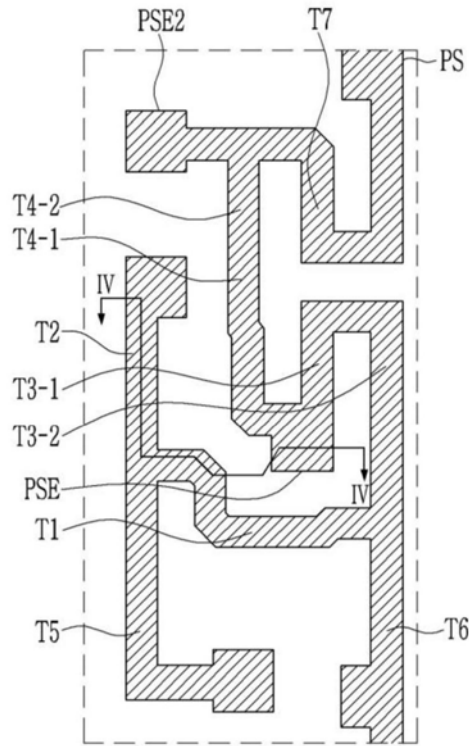


图3

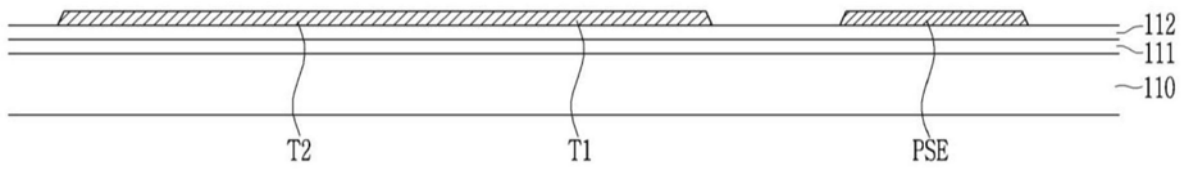


图4

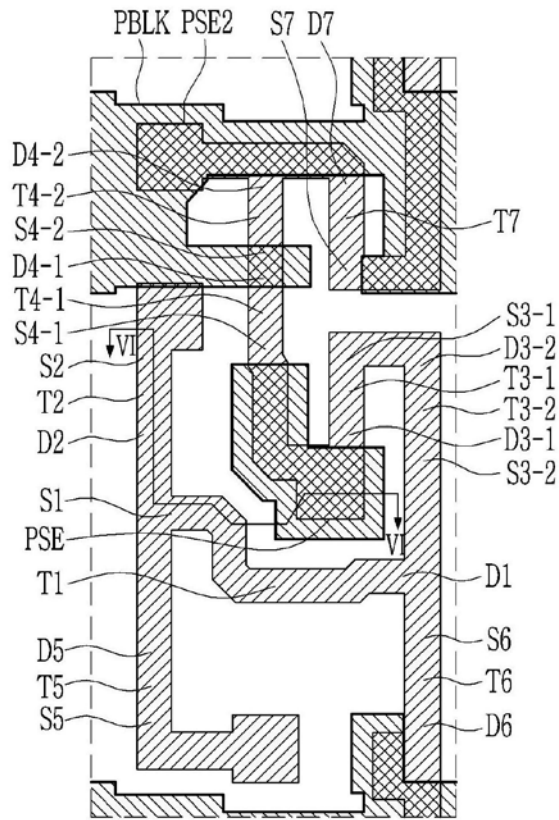


图5

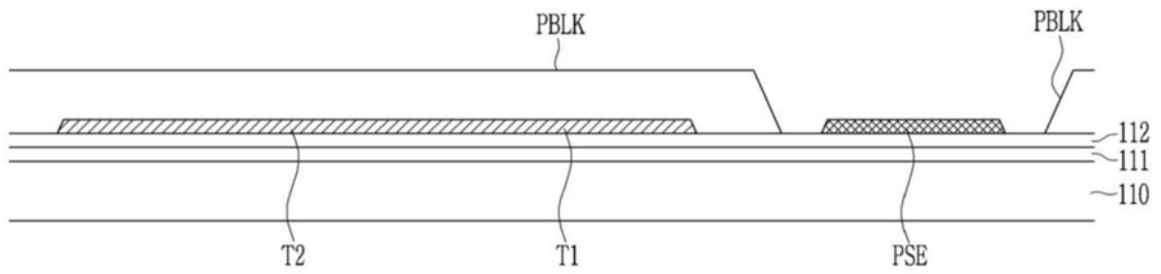


图6

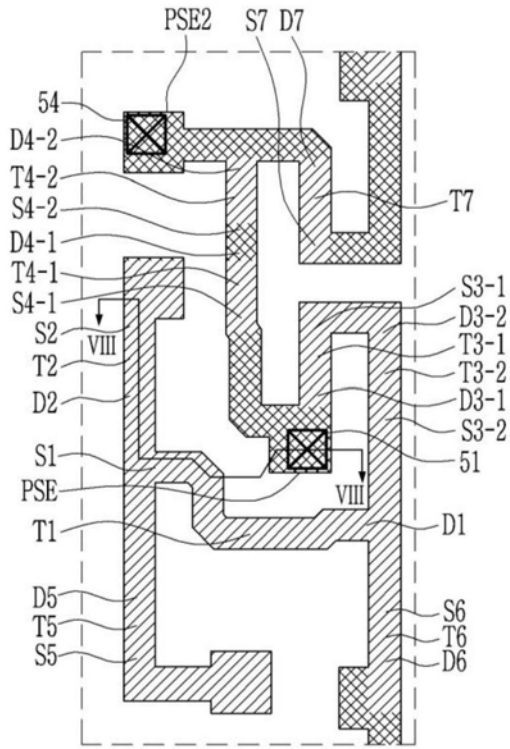


图7

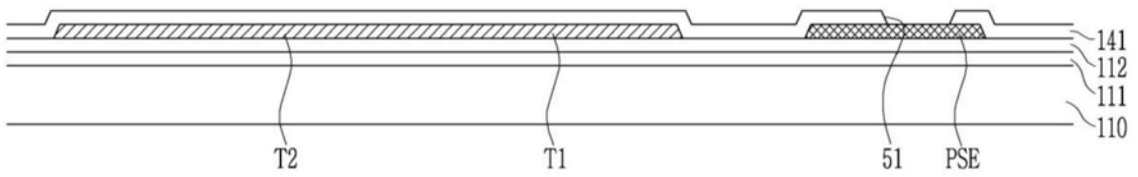


图8

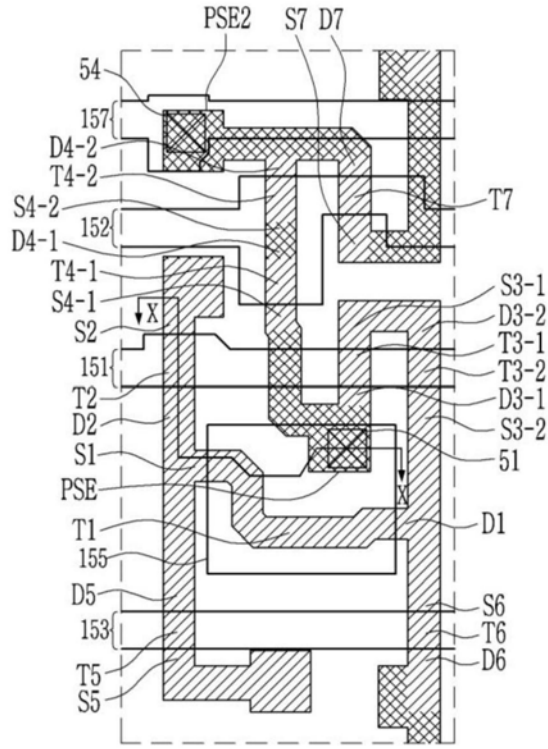


图9

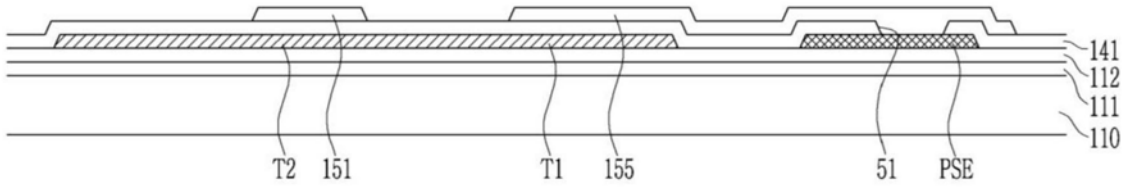


图10

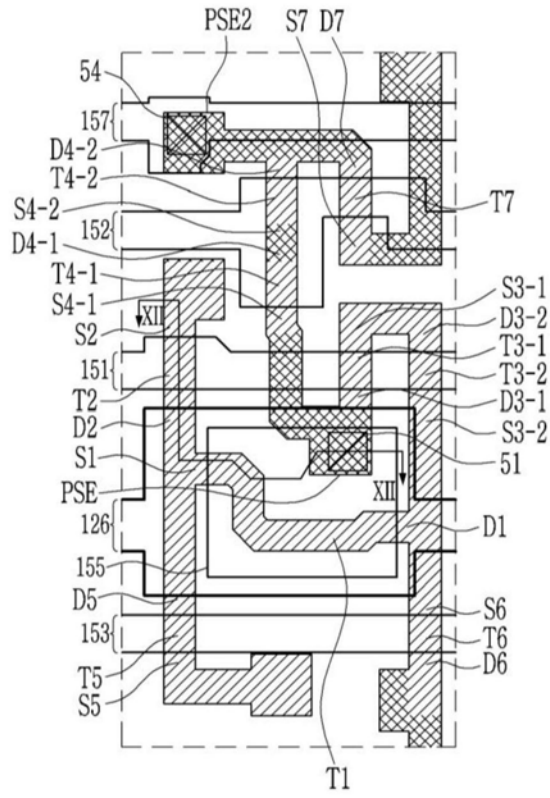


图11

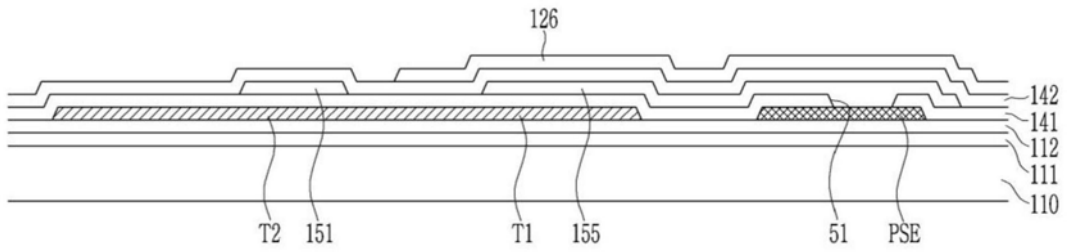


图12

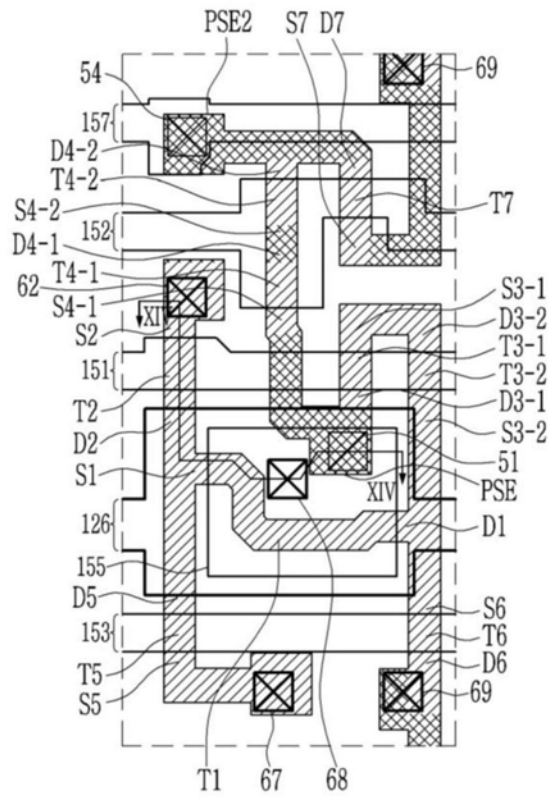


图13

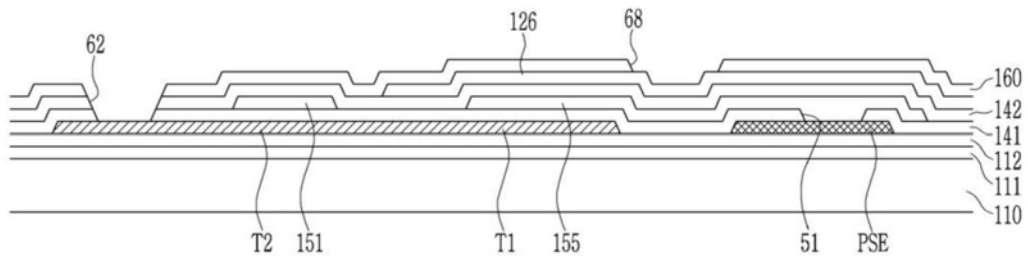


图14

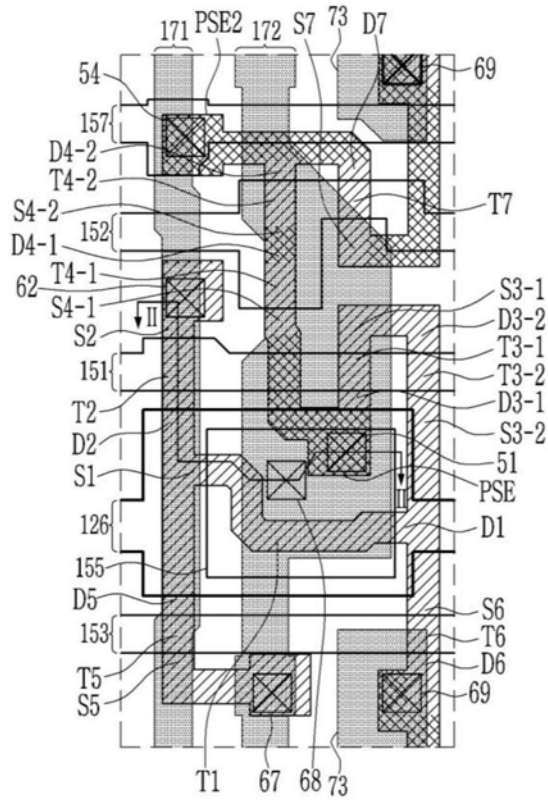


图15

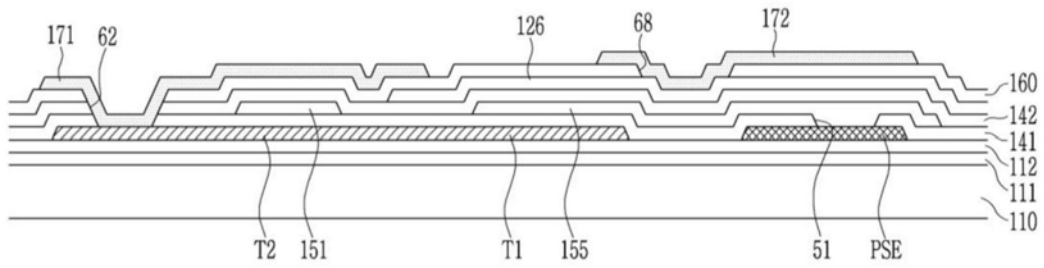


图16

11	SPC	PI	
10	PDL	PI	
9	PXL	ITO/Ag	
8	绝缘体	PI	~180
7	导体	Ti/Al/Ti	~171,172,73
6	绝缘体	SiN _x /SiO _x	~160 w/ 开口 62,67,68,69
5	栅极导体	Mo	~126
	栅极绝缘体	SiN _x	~142
4	栅极导体	Mo	~151,152,153,155,157
3	栅极绝缘体	SiO ₂	~141
2	PBLK	光致抗蚀剂	
1	半导体层	p-Si	~PS
	缓冲件	SiO ₂ /SiN _x	~112

图17

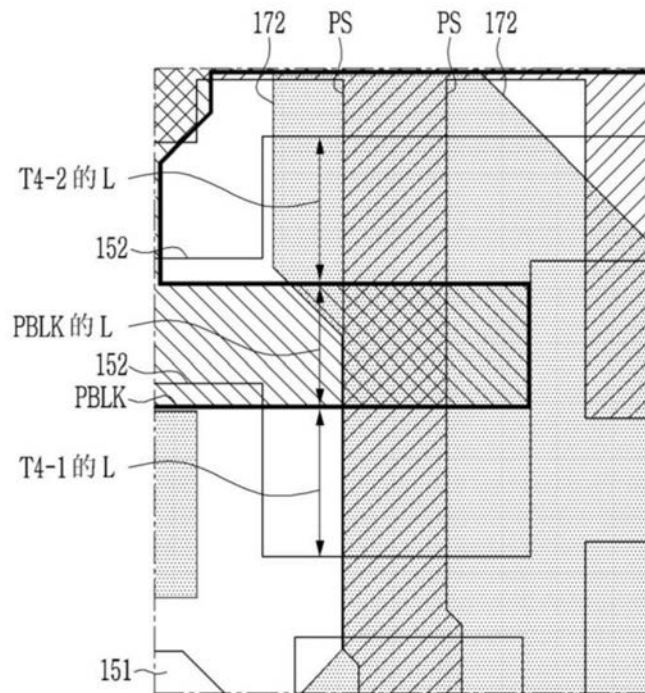


图18

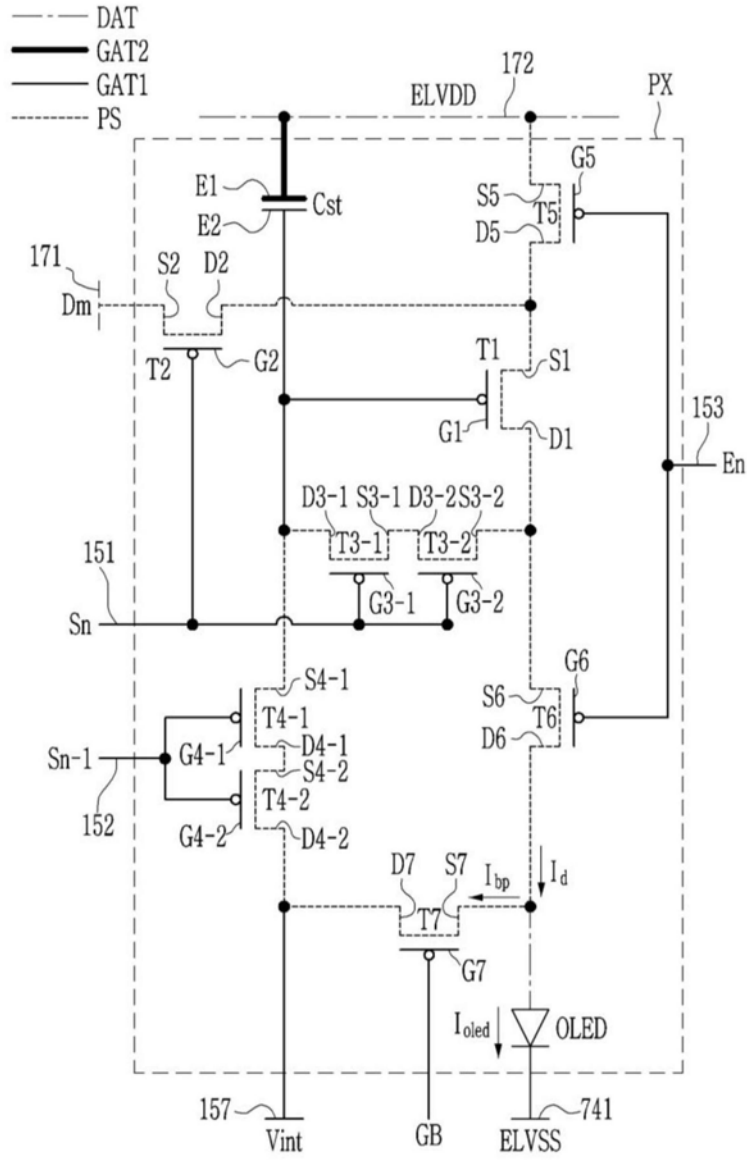


图19

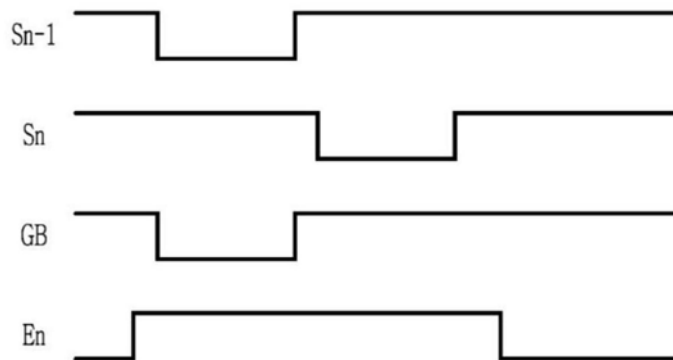


图20

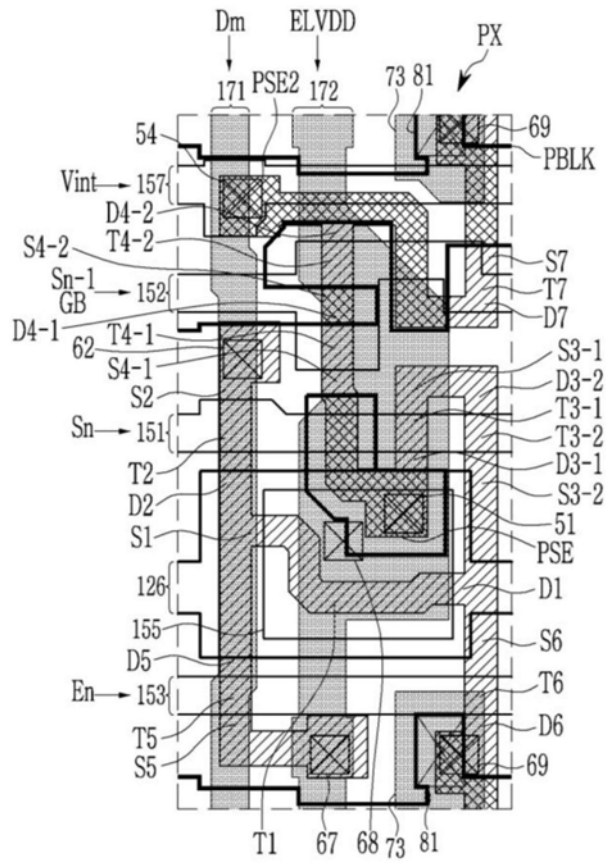


图21

专利名称(译)	有机发光二极管显示装置		
公开(公告)号	CN110581153A	公开(公告)日	2019-12-17
申请号	CN201910491292.6	申请日	2019-06-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	金成焕 郭源奎 崔相武 贾智铉 姜哲圭 金东煜 李元世		
发明人	金成焕 郭源奎 崔相武 贾智铉 姜哲圭 金东煜 李元世		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3244 H01L27/3248 H01L27/3279 H01L27/32 H01L27/3262 H01L27/3265 H01L27/3276 H01L27/1222 H01L27/124 H01L27/326 H01L51/56		
优先权	1020180065631 2018-06-07 KR		
外部链接	Espacenet SIPO		

摘要(译)

公开了有机发光二极管显示器。所述有机发光二极管显示器包括衬底、位于衬底上的包括掺杂区域和未掺杂区域的半导体层、覆盖半导体层的第一绝缘层、位于第一绝缘层上的第一导体、覆盖第一导体的第二绝缘层、位于第二绝缘层上的第二导体、覆盖第二导体的第三绝缘层以及位于第三绝缘层上的第三导体，其中，在与第一导体重叠的半导体层中，掺杂区域位于两个未掺杂区域之间。

