



(12)发明专利申请

(10)申请公布号 CN 110444565 A

(43)申请公布日 2019.11.12

(21)申请号 201910361173.9

(22)申请日 2019.04.30

(30)优先权数据

10-2018-0050907 2018.05.02 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 李大远 金兑坤

(74)专利代理机构 北京金宏来专利代理事务所

(特殊普通合伙) 11641

代理人 杜正国 苗彩娟

(51)Int.Cl.

H01L 27/32(2006.01)

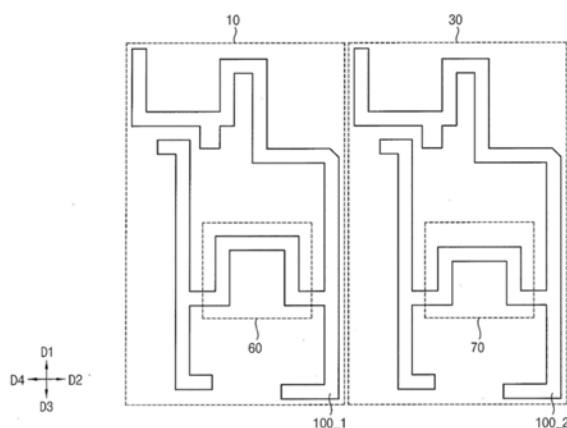
权利要求书3页 说明书21页 附图8页

(54)发明名称

有机发光二极管显示装置

(57)摘要

公开了有机发光二极管显示装置。所述有机发光二极管显示装置包括衬底、第一有源图案、第二有源图案以及第一子像素结构和第二子像素结构。衬底具有包括第一驱动晶体管区域的第一子像素电路区域和包括第二驱动晶体管区域的第二子像素电路区域。第一有源图案在衬底上布置在第一子像素电路区域中,并且在第一驱动晶体管区域中具有第一弯曲部。第一有源图案具有在平面表面的方向上由第一弯曲部形成的第一凹部。第二有源图案在衬底上布置在第二子像素电路区域中,并且在第二驱动晶体管区域中具有第二弯曲部。第二有源图案具有在平面表面的方向上由第二弯曲部形成的第二凹部。第二凹部的面积小于第一凹部的面积。



1. 有机发光二极管显示装置,包括:

衬底,所述衬底具有包括第一驱动晶体管区域的第一子像素电路区域和包括第二驱动晶体管区域的第二子像素电路区域,其中,所述第一子像素电路区域与所述第二子像素电路区域相邻地定位;

第一有源图案,所述第一有源图案在所述衬底上布置在所述第一子像素电路区域中,所述第一有源图案在所述第一驱动晶体管区域中具有第一弯曲部,所述第一有源图案具有在平面表面的方向上由所述第一弯曲部形成的第一凹部;

第二有源图案,所述第二有源图案在所述衬底上布置在所述第二子像素电路区域中,所述第二有源图案在所述第二驱动晶体管区域中具有第二弯曲部,所述第二有源图案具有在所述平面表面的所述方向上由所述第二弯曲部形成的第二凹部,其中,所述第二凹部的面积小于所述第一凹部的面积;以及

第一子像素结构和第二子像素结构,所述第一子像素结构布置在所述第一有源图案上,并且所述第二子像素结构布置在所述第二有源图案上。

2. 如权利要求1所述的有机发光二极管显示装置,其中,所述第一弯曲部包括:

第一延伸部,所述第一延伸部在与所述衬底的上表面平行的第一方向上延伸;

第二延伸部,所述第二延伸部在与所述第一方向垂直的第二方向上从所述第一延伸部的第一远端延伸;以及

第三延伸部,所述第三延伸部在与所述第二方向垂直且与所述第一方向相反的第三方向上从所述第二延伸部的第一远端延伸,以及

其中,所述第一延伸部、所述第二延伸部和所述第三延伸部被一体地形成。

3. 如权利要求2所述的有机发光二极管显示装置,其中,由所述第一延伸部、所述第二延伸部和所述第三延伸部形成的空间被限定为所述第一凹部。

4. 如权利要求2所述的有机发光二极管显示装置,其中,在所述第一驱动晶体管区域中所述第一有源图案具有在所述第一方向上弯曲的形状。

5. 如权利要求2所述的有机发光二极管显示装置,其中,所述第二弯曲部包括:

第四延伸部,所述第四延伸部在所述第一方向上延伸;

第五延伸部,所述第五延伸部在所述第二方向上从所述第四延伸部的第一远端延伸;以及

第六延伸部,所述第六延伸部在所述第三方向从所述第五延伸部的第一远端延伸,以及

其中,所述第四延伸部、所述第五延伸部和所述第六延伸部被一体地形成。

6. 如权利要求5所述的有机发光二极管显示装置,其中,由所述第四延伸部、所述第五延伸部和所述第六延伸部形成的空间被限定为所述第二凹部。

7. 如权利要求5所述的有机发光二极管显示装置,其中,在所述第二驱动晶体管区域中所述第二有源图案具有在所述第一方向上弯曲的形状。

8. 如权利要求5所述的有机发光二极管显示装置,其中,所述第一弯曲部具有第一宽度,并且所述第二弯曲部具有小于所述第一宽度的第二宽度。

9. 如权利要求5所述的有机发光二极管显示装置,其中,所述第一子像素电路区域还包括围绕所述第一驱动晶体管区域的第一开关晶体管区域,以及

其中,所述第二子像素电路区域还包括围绕所述第二驱动晶体管区域的第二开关晶体管区域。

10.如权利要求9所述的有机发光二极管显示装置,其中,所述第一有源图案还包括:

第七延伸部,所述第七延伸部布置在所述第一开关晶体管区域中,所述第七延伸部在与所述第二方向相反的第四方向上与所述第一弯曲部间隔开,所述第七延伸部在所述第一方向上延伸;以及

第一突出部,所述第一突出部在所述第二方向上从所述第七延伸部突出,所述第一突出部联接到所述第一延伸部的与所述第一远端相对的第二远端,以及

其中,所述第七延伸部、所述第一突出部和所述第一弯曲部被一体地形成。

11.如权利要求10所述的有机发光二极管显示装置,其中,所述第二有源图案还包括:

第八延伸部,所述第八延伸部布置在所述第二开关晶体管区域中,所述第八延伸部在所述第四方向上与所述第二弯曲部间隔开,所述第八延伸部在所述第一方向上延伸;以及

第二突出部,所述第二突出部在所述第二方向上从所述第八延伸部突出,所述第二突出部联接到所述第四延伸部的与所述第一远端相对的第二远端,以及

其中,所述第八延伸部、所述第二突出部和所述第二弯曲部被一体地形成。

12.如权利要求11所述的有机发光二极管显示装置,还包括:

第一栅极布线,所述第一栅极布线在所述第一有源图案的所述第七延伸部和所述第二有源图案的所述第八延伸部上在所述第二方向上延伸,

其中,所述第一栅极布线与所述第七延伸部相交的部分中布置有第一开关晶体管,并且所述第一栅极布线与所述第八延伸部相交的部分中布置有第二开关晶体管。

13.如权利要求1所述的有机发光二极管显示装置,还包括:

第一栅电极,所述第一栅电极布置在所述第一弯曲部上,其中,所述第一栅电极和所述第一弯曲部形成第一驱动晶体管;以及

第二栅电极,所述第二栅电极布置在所述第二弯曲部上,其中,所述第二栅电极和所述第二弯曲部形成第二驱动晶体管,其中,所述第一栅电极和所述第二栅电极具有相同的形状。

14.如权利要求13所述的有机发光二极管显示装置,其中,所述第一栅电极与所述第一弯曲部重叠的第一区大于所述第二栅电极与所述第二弯曲部重叠的第二区。

15.如权利要求13所述的有机发光二极管显示装置,其中,与所述第一栅电极重叠的所述第一有源图案的距离大于与所述第二栅电极重叠的所述第二有源图案的距离。

16.如权利要求12所述的有机发光二极管显示装置,其中,所述第一子像素结构包括第一下电极和布置在所述第一下电极上的第一发光层,并且所述第二子像素结构包括第二下电极和布置在所述第二下电极上的第二发光层,以及

其中,所述第一发光层发出红色光或绿色光,并且所述第二发光层发出蓝色光。

17.如权利要求12所述的有机发光二极管显示装置,其中,所述第一驱动晶体管和所述第一有源图案形成第一子像素电路,并且所述第二驱动晶体管和所述第二有源图案形成第二子像素电路。

18.有机发光二极管显示装置,包括:

衬底,所述衬底具有包括第一驱动晶体管区域的第一子像素电路区域和包括第二驱动

晶体管区域的第二子像素电路区域,其中,所述第一子像素电路区域与所述第二子像素电路区域相邻地定位;

第一有源图案,所述第一有源图案在所述衬底上布置在所述第一子像素电路区域中,所述第一有源图案在所述第一驱动晶体管区域中具有多个第一弯曲部,所述第一有源图案具有在平面表面的方向上由所述第一弯曲部形成的多个第一凹部;

第二有源图案,所述第二有源图案在所述衬底上布置在所述第二子像素电路区域中,所述第二有源图案在所述第二驱动晶体管区域中具有多个第二弯曲部,所述第二有源图案具有在所述平面表面的所述方向上由所述第二弯曲部形成的多个第二凹部,其中,所述第二凹部中的每个的面积小于所述第一凹部中的每个的面积;以及

第一子像素结构和第二子像素结构,所述第一子像素结构布置在所述第一有源图案上,并且所述第二子像素结构布置在所述第二有源图案上。

19. 如权利要求18所述的有机发光二极管显示装置,其中,在所述第一驱动晶体管区域中的所述第一弯曲部的总长度大于在所述第二驱动晶体管区域中的所述第二弯曲部的总长度。

20. 如权利要求18所述的有机发光二极管显示装置,其中,所述第一弯曲部被一体形成,并且所述第二弯曲部被一体形成。

有机发光二极管显示装置

技术领域

[0001] 本公开的示例实施方式总体上涉及有机发光二极管显示装置,更具体地涉及具有子像素的有机发光二极管显示装置。

背景技术

[0002] 因为与阴极射线管(“CRT”)显示装置相比,平板显示(“FPD”)装置为重量轻且薄的,因此FPD装置被广泛用作电子装置的显示装置。FPD装置的典型示例为液晶显示(“LCD”)装置和有机发光二极管(“OLED”)显示装置。与LCD装置相比,OLED显示装置具有许多优点,诸如更高的亮度和更宽的视角。另外,因为OLED显示装置不需要背光单元,因此OLED显示装置能够制作得更薄。在OLED显示装置中,电子和空穴通过阴极和阳极注入到有机薄层中,且然后在有机薄层中再结合以生成激子,从而发出特定波长的光。

[0003] OLED显示装置可包括多个子像素,例如,发出红色光、绿色光和蓝色光的子像素。当OLED显示装置以低灰度显示图像(例如,黑色)时,因为蓝色子像素的电压余量为相对小的,因此可能因蓝色子像素的数据输出电压不足而发生由多次编程引起的缺陷(在下文中称为“MTP缺陷”)。另外,当在OLED显示装置显示图像时增加驱动晶体管的驱动范围以改善污渍效应(mura effect)时,可能会不利地发生MTP缺陷。

发明内容

[0004] 本公开的一些示例实施方式提供了包括子像素的有机发光二极管(“OLED”)显示装置。

[0005] 根据示例实施方式的一方面,OLED显示装置包括衬底、第一有源图案、第二有源图案、第一子像素结构和第二子像素结构。衬底具有包括第一驱动晶体管区域的第一子像素电路区域和包括第二驱动晶体管区域的第二子像素电路区域。第一子像素电路区域与第二子像素电路区域相邻地定位。第一有源图案在衬底上布置在第一子像素电路区域中,并且在第一驱动晶体管区域中具有第一弯曲部。第一有源图案具有在平面表面的方向上由第一弯曲部形成的第一凹部。第二有源图案在衬底上布置在第二子像素电路区域中,并且在第二驱动晶体管区域中具有第二弯曲部。第二有源图案具有在平面表面的方向上由第二弯曲部形成的第二凹部。第二凹部的面积小于第一凹部的面积。第一子像素结构布置在第一有源图案上,并且第二子像素结构布置在第二有源图案上。

[0006] 在示例实施方式中,第一弯曲部可包括第一延伸部、第二延伸部和第三延伸部,其中,第一延伸部在与衬底的上表面平行的第一方向上延伸,第二延伸部在与第一方向垂直的第二方向上从第一延伸部的第一远端延伸,并且第三延伸部在与第二方向垂直且与第一方向相反的第三方向上从第二延伸部的第一远端延伸。第一延伸部、第二延伸部和第三延伸部可被一体地形成。

[0007] 在示例实施方式中,由第一延伸部、第二延伸部和第三延伸部形成的空间可被限定为第一凹部。

[0008] 在示例实施方式中,在第一驱动晶体管区域中第一有源图案可具有在第一方向上弯曲的形状。

[0009] 在示例实施方式中,第二弯曲部可包括第四延伸部、第五延伸部和第六延伸部,其中,第四延伸部在第一方向上延伸,第五延伸部在第二方向上从第四延伸部的第一远端延伸,并且第六延伸部在第三方向从第五延伸部的第一远端延伸。第四延伸部、第五延伸部和第六延伸部可被一体地形成。

[0010] 在示例实施方式中,由第四延伸部、第五延伸部和第六延伸部形成的空间可被限定为第二凹部。

[0011] 在示例实施方式中,在第二驱动晶体管区域中第二有源图案可具有在第一方向上弯曲的形状。

[0012] 在示例实施方式中,第一弯曲部可具有第一宽度,并且第二弯曲部可具有小于第一宽度的第二宽度。

[0013] 在示例实施方式中,第一子像素电路区域还可包括围绕第一驱动晶体管区域的第一开关晶体管区域,并且第二子像素电路区域还可包括围绕第二驱动晶体管区域的第二开关晶体管区域。

[0014] 在示例实施方式中,第一有源图案还可包括第七延伸部和第一突出部。第七延伸部可布置在第一开关晶体管区域中,并且可在与第二方向相反的第四方向上与第一弯曲部间隔开。第七延伸部可在第一方向上延伸。第一突出部可在第二方向上从第七延伸部突出,并且可联接到第一延伸部的与第一远端相对的第二远端。第七延伸部、第一突出部和第一弯曲部可被一体地形成。

[0015] 在示例实施方式中,第二有源图案还可包括第八延伸部和第二突出部。第八延伸部可布置在第二开关晶体管区域中,并且可在第四方向上与第二弯曲部间隔开。第八延伸部可在第一方向上延伸。第二突出部可在第二方向上从第八延伸部突出,并且可联接到第四延伸部的与第一远端相对的第二远端。第八延伸部、第二突出部和第二弯曲部可被一体地形成。

[0016] 在示例实施方式中,OLED显示装置还可包括在第一有源图案的第七延伸部和第二有源图案的第八延伸部上在第二方向上延伸的第一栅极布线。

[0017] 在示例实施方式中,第一栅极布线与第七延伸部相交的部分中可布置有第一开关晶体管,并且第一栅极布线与第八延伸部相交的部分中可限定有第二开关晶体管。

[0018] 在示例实施方式中,OLED显示装置还可包括第一栅电极和第二栅电极。第一栅电极可布置在第一弯曲部上,并且第一栅电极和第一弯曲部可形成第一驱动晶体管。第二栅电极可布置在第二弯曲部上,并且第二栅电极和第二弯曲部可形成第二驱动晶体管。

[0019] 在示例实施方式中,第一有源图案和第二有源图案可具有相同的形状。

[0020] 在示例实施方式中,第一栅电极与第一弯曲部重叠的第一区可大于第二栅电极与第二弯曲部重叠的第二区。

[0021] 在示例实施方式中,与第一栅电极重叠的第一有源图案的距离可大于与第二栅电极重叠的第二有源图案的距离。

[0022] 在示例实施方式中,第一子像素结构可包括第一下电极和布置在第一下电极上的第一发光层,并且第二子像素结构可包括第二下电极和布置在第二下电极上的第二发光

层。

[0023] 在示例实施方式中,第一发光层可发出红色光或绿色光,并且第二发光层可发出蓝色光。

[0024] 在示例实施方式中,第一驱动晶体管 and 第一有源图案可形成第一子像素电路,并且第二驱动晶体管和第二有源图案可形成第二子像素电路。

[0025] 由于根据示例实施方式的OLED显示装置的第二有源图案在第二驱动晶体管区域中具有相对小的第二区和/或相对短的第二距离,因此能够改善OLED显示装置的MTP缺陷,从而改善OLED显示装置的可视性。

附图说明

[0026] 从结合附图进行的以下描述中能够更详细地理解本公开的示例实施方式,在附图中:

[0027] 图1是示出根据示例实施方式的有机发光二极管(“OLED”)显示装置的平面图;

[0028] 图2是示出布置在图1的子像素电路区域中的子像素电路和OLED的电路图;

[0029] 图3是示出包括在图1的OLED显示装置中的衬底的第一子像素电路区域和第二子像素电路区域的布局图;

[0030] 图4和图5是用于描述布置在图3的驱动晶体管区域中的有源图案的布局图;

[0031] 图6是用于描述图3的有源图案的布局图;

[0032] 图7至图11是用于描述图1的OLED显示装置的布局图;

[0033] 图12是沿图11的线I-I’和线II-II’截取的剖面图;

[0034] 图13是示出根据示例实施方式的OLED显示装置中所包括的有源图案的示例的布局图;

[0035] 图14是示出根据示例实施方式的OLED显示装置中所包括的有源图案的另一示例的布局图;以及

[0036] 图15是示出根据示例实施方式的OLED显示装置中所包括的有源图案的又一示例的布局图。

具体实施方式

[0037] 在下文中,将参照附图对本发明构思的实施方式进行详细解释。

[0038] 图1是示出根据示例实施方式的有机发光二极管(“OLED”)显示装置的平面图。

[0039] 参照图1,OLED显示装置500可包括衬底50,并且衬底50可具有多个像素电路区域40。像素电路区域40可在整个衬底50上排列在第一方向D1和第二方向D2上。第一方向D1可平行于衬底50的上表面,并且第二方向D2可垂直于第一方向D1。另外,像素电路区域40中的每个可包括第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30,并且一个像素电路区域40包括第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30。

[0040] 虽然图1中所示的示例实施方式示出了包括三个子像素电路区域的一个像素电路区域40,但是本公开不限于此。例如,一个像素电路区域40可包括两个子像素电路区域或至少四个子像素电路区域。

[0041] 第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30中可分别布置有第一子像素电路、第二子像素电路和第三子像素电路。例如,布置在第一子像素电路区域10中的第一子像素电路可联接到(或连接到)能够发出红色光的第一子像素结构,布置在第二子像素电路区域20中的第二子像素电路可联接到能够发出绿色光的第二子像素结构,并且布置在第三子像素电路区域30中的第三子像素电路可联接到能够发出蓝色光的第三子像素结构。另外,衬底50上的第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30中可布置有各种布线。例如,布线可包括数据信号布线、扫描信号布线、发光信号布线、数据初始化信号布线和电源电压布线。换言之,OLED显示装置500可包括多个子像素电路、多个子像素结构和多个布线。

[0042] 在示例实施方式中,第一子像素结构可布置为与第一子像素电路区域10重叠,第二子像素结构可布置为与第二子像素电路区域20重叠,并且第三子像素结构可布置为与第三子像素电路区域30重叠。可选地,第一子像素结构可布置为与第一子像素电路区域10的一部分和与第一子像素电路区域10不同的另一子像素电路区域的一部分重叠,第二子像素结构可布置为与第二子像素电路区域20的一部分和与第二子像素电路区域20不同的另一子像素电路区域的一部分重叠,并且第三子像素结构可布置为与第三子像素电路区域30的一部分和与第三子像素电路区域30不同的另一子像素电路区域的一部分重叠。

[0043] 例如,第一子像素结构、第二子像素结构和第三子像素结构可使用红、绿和蓝(RGB)条纹图案,s-条纹图案,白、红、绿和蓝(WRGB)图案和波形瓦(pen-tile)图案来排列,其中,RGB条纹图案中顺序地排列有具有相同尺寸的四边形的子像素,s-条纹图案中包括具有相对大面积的蓝色子像素结构,WRGB图案除了红色、绿色和蓝色子像素结构之外还包括白色子像素结构,并且波形瓦(pen-tile)图案以红-绿(RG)-绿-蓝(GB)图案重复地排列。

[0044] 另外,第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30中的每个中可布置有至少一个驱动晶体管、至少一个开关晶体管和至少一个电容器。在示例实施方式中,第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30中的每个中可布置有一个驱动晶体管、八个开关晶体管和二个电容器。

[0045] 在示例实施方式中,第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30以及像素电路区域40中的每个具有四边形的平面形状,但是本公开不限于此。例如,第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30以及像素电路区域40中的每个可具有大致三角形的平面形状、大致菱形的平面形状、大致多边形的平面形状、大致圆形的平面形状、大致跑道状的平面形状或大致椭圆形的平面形状。

[0046] 图2是示出布置在图1的子像素电路区域中的子像素电路和OLED的电路图。

[0047] 参照图2,OLED显示装置500的第一子像素电路区域10、第二子像素电路区域20和第三子像素电路区域30中的每个中可布置有子像素电路、布线和OLED(例如,子像素结构)。子像素电路可包括第一晶体管TR1、第二晶体管TR2、第三晶体管TR3_1和TR3_2、第四晶体管TR4_1和TR4_2、第五晶体管TR5、第六晶体管TR6和第七晶体管TR7和存储电容器CST,并且布线可包括高电源电压ELVDD布线、低电源电压ELVSS布线、初始化电压VINT布线、数据信号DATA布线、扫描信号GW布线、数据初始化信号GI布线、发光信号EM布线和二极管初始化信号GB布线。另外,子像素电路还可包括连接第一晶体管TR1、第二晶体管TR2、第三晶体管TR3_1和TR3_2、第四晶体管TR4_1和TR4_2、第五晶体管TR5、第六晶体管TR6和第七晶体管TR7以及

存储电容器CST的一个或多个有源图案(例如,图3的第一有源图案100_1和第二有源图案100_2)。

[0048] OLED(例如,图12中所示的第一子像素结构200_1或第二子像素结构200_2)可基于驱动电流ID来发光。OLED可包括第一端子和第二端子。在示例实施方式中,OLED的第二端子接收低电源电压ELVSS。例如,OLED的第一端子是阳极端子,并且OLED的第二端子是阴极端子。可选地,OLED的第一端子可为阴极端子,并且OLED的第二端子可为阳极端子。在示例实施方式中,OLED的阳极端子可对应于图12的下电极291_1和291_2,并且OLED的阴极端子可对应于图12的上电极340。

[0049] 第一晶体管TR1(例如,图12中所示的第一晶体管TR1)可包括栅极端子、第一端子和第二端子。在示例实施方式中,第一晶体管TR1的第一端子是源极端子,并且第一晶体管TR1的第二端子是漏极端子。可选地,第一晶体管TR1的第一端子可为漏极端子,并且第一晶体管TR1的第二端子可为源极端子。

[0050] 驱动电流ID可由第一晶体管TR1生成。在示例实施方式中,第一晶体管TR1在饱和区域中进行操作。在这种情况下,第一晶体管TR1可基于栅极端子与源极端子之间的电压差而生成驱动电流ID,并且灰度可基于由第一晶体管TR1生成的驱动电流ID的量来实现。可选地,第一晶体管TR1在线性区域中进行操作。在这种情况下,灰度可基于第一晶体管TR1在一帧内向OLED提供驱动电流ID的时间量来实现。

[0051] 第二晶体管TR2可包括栅极端子、第一端子和第二端子。扫描信号GW可施加到第二晶体管TR2的栅极端子。第二晶体管TR2的第一端子可接收数据信号DATA。第二晶体管TR2的第二端子可连接到第一晶体管TR1的第一端子。在示例实施方式中,第二晶体管TR2的第一端子是源极端子,并且第二晶体管TR2的第二端子是漏极端子。可选地,第二晶体管TR2的第一端子可为漏极端子,并且第二晶体管TR2的第二端子可为源极端子。

[0052] 在扫描信号GW被激活时,第二晶体管TR2可将数据信号DATA提供给第一晶体管TR1的第一端子。在这种情况下,第二晶体管TR2在线性区域中进行操作。

[0053] 第三晶体管TR3_1和TR3_2可被串联连接以用作双晶体管。例如,当双晶体管被关断时,漏电流可被减少。在本文中,第三晶体管TR3_1和TR3_2可被统称为第三晶体管TR3或双晶体管TR3。第三晶体管TR3可包括栅极端子、第一端子和第二端子。第三晶体管TR3的栅极端子可接收扫描信号GW。第三晶体管TR3的第一端子可连接到第一晶体管TR1的栅极端子。第三晶体管TR3的第二端子可连接到第一晶体管TR1的第二端子。在示例实施方式中,第三晶体管TR3的第一端子是源极端子,并且第三晶体管TR3的第二端子是漏极端子。可选地,第三晶体管TR3的第一端子可为漏极端子,并且第三晶体管TR3的第二端子可为源极端子。

[0054] 在扫描信号GW被激活时,第三晶体管TR3可将第一晶体管TR1的栅极端子连接到第一晶体管TR1的第二端子。在这种情况下,第三晶体管TR3可在线性区域中进行操作。也就是说,在扫描信号GW被激活时,第三晶体管TR3可形成第一晶体管TR1的二极管连接。由于第一晶体管TR1的二极管连接,第一晶体管TR1的第一端子与第一晶体管TR1的栅极端子之间可能出现与第一晶体管TR1的阈值电压对应的电压差。结果,在扫描信号GW被激活时,与通过第二晶体管TR2提供给第一晶体管TR1的第一端子的数据信号DATA对应的电压和该电压差(即,阈值电压)的总和可被施加到第一晶体管TR1的栅极端子。因此,施加到第一晶体管TR1的数据信号DATA可被补偿得与第一晶体管TR1的阈值电压一样多。经补偿的数据信号DATA

可施加到第一晶体管TR1的栅极端子。结果,因为减少了由第一晶体管TR1的阈值电压导致的影响,因此驱动电流ID的均匀性可被提高。

[0055] 第四晶体管TR4_1和第四晶体管TR4_2可被串联连接以用作双晶体管。例如,当双晶体管被关断时,漏电流可被减少。在本文中,第四晶体管TR4_1和TR4_2可被统称为第四晶体管TR4或双晶体管TR4。第四晶体管TR4可包括栅极端子、第一端子和第二端子。初始化电压VINT连接到第四晶体管TR4的第一端子和第七晶体管TR7的第一端子,并且第四晶体管TR4的第二端子连接到存储电容器CST的第一端子。

[0056] 第四晶体管TR4的栅极端子可接收数据初始化信号GI。初始化电压VINT可施加到第四晶体管TR4的第一端子。第四晶体管TR4的第二端子可连接到第一晶体管TR1的栅极端子。在示例实施方式中,第四晶体管TR4的第一端子是源极端子,并且第四晶体管TR4的第二端子是漏极端子。可选地,第四晶体管TR4的第一端子可为漏极端子,并且第四晶体管TR4的第二端子可为源极端子。

[0057] 在数据初始化信号GI被激活时,第四晶体管TR4可将初始化电压VINT施加到第一晶体管TR1的栅极端子。在这种情况下,第四晶体管TR4可在线性区域中进行操作。因此,在数据初始化信号GI被激活时,第四晶体管TR4可用初始化电压VINT初始化第一晶体管TR1的栅极端子。在示例实施方式中,初始化电压VINT的电压电平足够低于在前一帧中由存储电容器CST保持的数据信号DATA的电压电平。在这种情况下,第一晶体管TR1可为P沟道金属氧化物半导体(PMOS)型晶体管,并且初始化电压VINT可施加到第一晶体管TR1的栅极端子。在一些示例实施方式中,初始化电压VINT的电压电平足够高于在前一帧中由存储电容器CST保持的数据信号DATA的电压电平。在这种情况下,第一晶体管TR1可为N沟道金属氧化物半导体(NMOS)型晶体管,并且初始化电压VINT可施加到第一晶体管TR1的栅极端子。

[0058] 在示例实施方式中,数据初始化信号GI与扫描信号GW相同,但是前进一个水平时间段。例如,数据初始化信号GI被施加到包括在OLED显示装置500中的多个子像素之中位于第(n)行中的子像素(其中,n为2或更大的整数),并且扫描信号GW被施加到多个子像素之中位于第(n-1)行中的子像素。也就是说,通过将扫描信号GW施加到子像素之中位于第(n-1)行中的子像素,数据初始化信号GI可被施加到子像素之中位于第(n)行中的子像素。结果,当数据信号DATA被施加到子像素之中位于第(n-1)行中的子像素时,子像素之中位于第(n)行中的子像素中所包括的第一晶体管TR1的栅极端子可用初始化电压VINT初始化。

[0059] 第五晶体管TR5可包括栅极端子、第一端子和第二端子。发光信号EM可施加到第五晶体管TR5的栅极端子。高电源电压ELVDD可施加到第五晶体管TR5的第一端子。第五晶体管TR5的第二端子可连接到第一晶体管TR1的第一端子。在示例实施方式中,第五晶体管TR5的第一端子是源极端子,并且第五晶体管TR5的第二端子是漏极端子。可选地,第五晶体管TR5的第一端可为漏极端子,并且第五晶体管TR5的第二端子可为源极端子。

[0060] 在发光信号EM被激活时,第五晶体管TR5可将高电源电压ELVDD施加到第一晶体管TR1的第一端子。另一方面,在发光信号EM未激活时,第五晶体管TR5不施加高电源电压ELVDD。在这种情况下,第五晶体管TR5可在线性区域中进行操作。在发光信号EM被激活时,第五晶体管TR5可将高电源电压ELVDD施加到第一晶体管TR1的第一端子,以使得第一晶体管TR1生成驱动电流ID。另外,在发光信号EM未激活时,第五晶体管TR5不施加高电源电压ELVDD,以使得施加到第一晶体管TR1的第一端子的数据信号DATA被施加到第一晶体管TR1

的栅极端子。

[0061] 第六晶体管TR6(例如,图12中所示的第六晶体管TR6)可包括栅极端子、第一端子和第二端子。发光信号EM可施加到第六晶体管TR6的栅极端子。第六晶体管TR6的第一端子可连接到第一晶体管TR1的第二端子。第六晶体管TR6的第二端子可连接到OLED的第一端子。在示例实施方式中,第六晶体管TR6的第一端子是源极端子,并且第六晶体管TR6的第二端子是漏极端子。可选地,第六晶体管TR6的第一端子可为漏极端子,并且第六晶体管TR6的第二端子可为源极端子。

[0062] 在发光信号EM被激活时,第六晶体管TR6可将由第一晶体管TR1生成的驱动电流ID提供给OLED。在这种情况下,第六晶体管TR6可在线性区域中进行操作。也就是说,在发光信号EM被激活时,第六晶体管TR6可将由第一晶体管TR1生成的驱动电流ID提供给OLED,以使得OLED发光。另外,在发光信号EM未激活时,第六晶体管TR6可将第一晶体管TR1与OLED断开,以使得施加到第一晶体管TR1的第二端子的经补偿的数据信号DATA被施加到第一晶体管TR1的栅极端子。

[0063] 第七晶体管TR7可包括栅极端子、第一端子和第二端子。二极管初始化信号GB可施加到第七晶体管TR7的栅极端子。初始化电压VINT可施加到第七晶体管TR7的第一端子。第七晶体管TR7的第二端子可连接到OLED的第一端子。在示例实施方式中,第七晶体管TR7的第一端子是源极端子,并且第七晶体管TR7的第二端子是漏极端子。可选地,第七晶体管TR7的第一端子可为漏极端子,并且第七晶体管TR7的第二端子可为源极端子。

[0064] 在二极管初始化信号GB被激活时,第七晶体管TR7可将初始化电压VINT施加到OLED的第一端子。在这种情况下,第七晶体管TR7可在线性区域中进行操作。也就是说,在二极管初始化信号GB被激活时,第七晶体管TR7可用初始化电压VINT初始化OLED的第一端子。

[0065] 根据一些实施方式,数据初始化信号GI和二极管初始化信号GB是基本上相同的信号。第一晶体管TR1的栅极端子的初始化操作可不影响OLED的第一端子的初始化操作。也就是说,第一晶体管TR1的栅极端子的初始化操作和OLED的第一端子的初始化操作可彼此独立。当数据初始化信号GI用作二极管初始化信号GB或者二极管初始化信号GB用作数据初始化信号GI时,子像素电路的制造效率可被提高。

[0066] 存储电容器CST可包括第一端子和第二端子,并且可连接在高电源电压ELVDD布线与第一晶体管TR1的栅极端子之间。例如,存储电容器CST的第一端子可连接到第一晶体管TR1的栅极端子,并且存储电容器CST的第二端子可连接到高电源电压ELVDD布线。在扫描信号GW未激活时,存储电容器CST可保持第一晶体管TR1的栅极端子的电压电平。在扫描信号GW未激活时,发光信号EM可被激活。在发光信号EM被激活时,由第一晶体管TR1生成的驱动电流ID可提供给OLED。因此,由第一晶体管TR1生成的驱动电流ID可基于由存储电容器CST保持的电压电平而被提供给OLED。

[0067] 图3是示出包括在图1的OLED显示装置中的衬底的第一子像素电路区域和第二子像素电路区域的布局图,并且图4和图5是用于描述布置在图3的驱动晶体管区域中的有源图案的布局图。图6是用于描述图3的有源图案的布局图。为了描述的便利,图1的OLED显示装置500中所包括的元件可不被示出在图3至图6中。

[0068] 参照图3、图4、图5和图6,OLED显示装置500可包括第一有源图案100_1和第二有源图案100_2。在示例实施方式中,第一有源图案100_1可包括第一弯曲部150_1,并且第一弯

曲部150_1中可形成有平面表面的方向(例如,第一方向D1)上的第一凹部155_1。相似地,第二有源图案100_2可包括第二弯曲部150_2,并且第二弯曲部150_2中可形成有平面表面的方向上的第二凹部155_2。参照图5,第一凹部155_1可具有第一区A1,并且第二凹部155_2可具有第二区A2。在一些实施方式中,第二区A2可小于第一区A1。此外,在第一驱动晶体管区域60中第一有源图案100_1可具有第一距离(或长度)L1,并且在第二驱动晶体管区域70中第二有源图案100_2可具有第二距离(或长度)L2。在一些实施方式中,第二距离L2可小于第一距离L1。

[0069] 由于OLED显示装置500的第二有源图案100_2在第二驱动晶体管区域70中具有相对小的第二区A2或相对小的第二距离L2,因此OLED显示装置500可用作能够改善可视性的OLED显示装置。

[0070] 如图3中所示,OLED显示装置500(或OLED显示装置500的衬底50)可具有子像素电路区域10和另一子像素电路区域30。图3仅示出了两个子像素电路区域10和30,而省略图1的第二子像素电路区域20,应理解,图3的子像素电路区域10可表示图1的第一子像素电路区域10或第二子像素电路区域20。在下文中,为了描述的便利,图3中所示的子像素电路区域10可被称为表示图1的第一子像素电路区域10或第二子像素电路区域20的第一子像素电路区域10,并且图3的子像素电路区域30被称为表示图1的第三子像素电路区域30的第二子像素电路区域30。为了进一步说明,图3的第一子像素电路区域10可对应于布置有i)能够发出红色光的第一子像素电路和第一子像素结构或ii)能够发出绿色光的第二子像素电路和第二子像素结构的区域,并且图3的第二子像素电路区域30可对应于布置有能够发出蓝色光的第三子像素电路和第三子像素结构的区域。换言之,图3的第一子像素电路区域10中可发出红色光或绿色光,并且图3的第二子像素电路区域30中可发出蓝色光。第一子像素电路区域10可包括第一驱动晶体管区域60,并且除了第一子像素电路区域10的第一驱动晶体管区域60之外的区域(或者围绕第一驱动晶体管区域60的区域)可被限定为第一开关晶体管区域。相似地,第二子像素电路区域30可包括第二驱动晶体管区域70,并且除了第二子像素电路区域30的第二驱动晶体管区域70之外的区域(或者围绕第二驱动晶体管区域70的区域)可被限定为第二开关晶体管区域。第一有源图案100_1可布置在第一子像素电路区域10中,并且第二有源图案100_2可布置在第二子像素电路区域30中。第一有源图案100_1的第一弯曲部150_1可定位在第一驱动晶体管区域60中,并且第二有源图案100_2的第二弯曲部150_2可定位在第二驱动晶体管区域70中。将在下面描述的开关晶体管可布置在第一开关晶体管区域和第二开关晶体管区域中的每个中。

[0071] 如图4和图5中所示,在第一子像素电路区域10的第一驱动晶体管区域60中,第一弯曲部150_1可包括第一延伸部151_1、第二延伸部152_1和第三延伸部153_1。第一延伸部151_1可在与衬底50的上表面平行的第一方向D1上延伸,并且第二延伸部152_1可在与第一方向D1垂直的第二方向D2上从第一延伸部151_1的第一远端延伸。第三延伸部153_1可在与第二方向D2垂直且与第一方向D1相反的第三方向D3上从第二延伸部152_1的第一远端延伸。第一延伸部151_1、第二延伸部152_1和第三延伸部153_1可一体地形成。由第一延伸部151_1、第二延伸部152_1和第三延伸部153_1形成的空间(例如,图5的第一区A1)可被限定为第一凹部155_1。例如,在第一驱动晶体管区域60中第一有源图案100_1可具有在第一方向D1上弯曲的形状。

[0072] 在第一驱动晶体管区域60中第一有源图案100_1可具有第一距离L1,并且布置在第一驱动晶体管区域60中的第一晶体管TR1可具有相对大的驱动范围,因为第一距离L1长于第二距离L2。例如,第一栅电极(例如,图7中示出的第一栅电极105_1)可布置在与第一有源图案100_1重叠的第一驱动晶体管区域60中,并且与第一栅电极重叠的第一有源图案100_1可用作第一驱动晶体管的沟道。也就是说,与第一栅电极重叠的第一有源图案100_1的距离可对应于第一距离L1。

[0073] 在第二子像素电路区域30的第二驱动晶体管区域70中,第二弯曲部150_2可包括第四延伸部151_2、第五延伸部152_2和第六延伸部153_2。第四延伸部151_2可在第一方向D1上延伸,并且第五延伸部152_2可在第二方向D2上从第四延伸部151_2的第一远端延伸。第六延伸部153_2可在第三方向D3上从第五延伸部152_2的第一远端延伸。第四延伸部151_2、第五延伸部152_2和第六延伸部153_2可一体地形成。由第四延伸部151_2、第五延伸部152_2和第六延伸部153_2形成的空间(例如,图5的第二区A2)可被限定为第二凹部155_2。例如,在第二驱动晶体管区域70中第二有源图案100_2可具有在第一方向D1上弯曲的形状。

[0074] 在第二驱动晶体管区域70中第二有源图案100_2可具有第二距离L2,并且布置在第二驱动晶体管区域70中的第一晶体管TR1可具有相对小的驱动范围,因为第二距离L2短于第一距离L1。例如,第二栅电极(例如,图7中所示的第二栅电极105_2)可布置在与第二有源图案100_2重叠的第二驱动晶体管区域70中,并且与第二栅电极重叠的第二有源图案100_2可用作第二驱动晶体管的沟道,这将在下面进行描述。也就是说,与第二栅电极重叠的第二有源图案100_2的距离可对应于第二距离L2。

[0075] OLED显示装置500的亮度和灰度数据之间的相关性可根据伽马曲线来限定。对于OLED显示装置500可能需要精确的伽马设置以保持稳定的显示品质。当在伽马设置中发生误差时,在实际亮度与对应于灰度数据的亮度之间可能发生偏差。为了最小化该偏差,可执行多次编程(“MTP”)以实时地编程基准伽马电压。基准伽马电压可为输入到生成确定亮度的数据信号的驱动电路的电压。根据灰度数据,驱动电路可使用基准伽马电压来生成数据信号,并且OLED可根据数据信号来发光。

[0076] 在使用全尺寸数据(“FSD”)方法的OLED显示装置500中,当OLED显示装置500以低灰度级(或低灰度、低灰级)显示图像时,可能因蓝色子像素的数据输出电压不足而发生MTP缺陷,因为蓝色子像素(例如,布置在图3的第二子像素电路区域30中的蓝色子像素)的数据余量为相对小的。为了改善MTP缺陷,包括在蓝色子像素中的驱动晶体管(例如,布置在图3的第二子像素电路区域30中的第一晶体管TR1)的驱动范围可被减小。随着驱动晶体管的有源图案的距离(例如,位于图5的第二驱动晶体管区域70中的第二有源图案100_2的第二距离L2)减少,驱动范围可被减小。在这种情况下,蓝色子像素的电压余量可相应地增加。在示例实施方式中,当驱动晶体管的有源图案的距离(例如,图5中所示的第二有源图案100_2的第二距离L2)从约23.3微米(例如,传统有源图案的距离)减少到约21.3微米时,蓝色子像素的数据电压余量可从约0.03伏增加到约0.3伏。相应地,当OLED显示装置500以低灰度级(例如,黑色)显示图像时,OLED显示装置500的MTP缺陷可被改善。

[0077] 如图6中所示,第一有源图案100_1还可包括第七延伸部158_1和第一突出部156_1。第七延伸部158_1可在与第二方向D2相反的第四方向D4上与第一弯曲部150_1间隔开,并且可在第一方向D1上延伸。第一突出部156_1可在第二方向D2上从第七延伸部158_1突出。

例如,第七延伸部158_1可布置在第一子像素电路区域10的开关晶体管区域中,并且第一突出部156_1可布置在第一子像素电路区域10的开关晶体管区域的一部分和第一驱动晶体管区域60的一部分中。第一突出部156_1可联接到与第一延伸部151_1的第一远端相对的第一延伸部151_1的第二远端。第一弯曲部150_1、第七延伸部158_1和第一突出部156_1可一体地形成。

[0078] 第二有源图案100_2还可包括第八延伸部158_2和第二突出部156_2。第八延伸部158_2可在第四方向D4上与第二弯曲部150_2间隔开,并且可在第一方向D1上延伸。第二突出部156_2可在第二方向D2上从第八延伸部158_2突出。例如,第八延伸部158_2可布置在第二子像素电路区域30的开关晶体管区域中,并且第二突出部156_2可布置在第二子像素电路区域30的开关晶体管区域的一部分和第二驱动晶体管区域70的一部分中。第二突出部156_2可联接到与第四延伸部151_2的第一远端相对的第四延伸部151_2的第二远端。第二弯曲部150_2、第八延伸部158_2和第二突出部156_2可一体地形成。

[0079] 第一有源图案100_1还可包括第九延伸部159_1和第三突出部157_1。第九延伸部159_1可在第二方向D2上与第一弯曲部150_1间隔开,并且可在第一方向D1上延伸。第三突出部157_1可在第四方向D4上从第九延伸部159_1突出。例如,第九延伸部159_1可布置在第一子像素电路区域10的开关晶体管区域中,并且第三突出部157_1可布置在第一子像素电路区域10的开关晶体管区域的一部分和第一驱动晶体管区域60的一部分中。第三突出部157_1可联接到第三延伸部153_1的远端。第一弯曲部150_1、第九延伸部159_1和第三突出部157_1可一体地形成。

[0080] 第二有源图案100_2还可包括第十延伸部159_2和第四突出部157_2。第十延伸部159_2可在第二方向D2上与第二弯曲部150_2间隔开,并且可在第一方向D1上延伸。第四突出部157_2可在第四方向D4上从第十延伸部159_2突出。例如,第十延伸部159_2可布置在第二子像素电路区域30的开关晶体管区域中,并且第四突出部157_2可布置在第二子像素电路区域30的开关晶体管区域的一部分和第二驱动晶体管区域70的一部分中。第四突出部157_2可联接到第六延伸部153_2的远端。第二弯曲部150_2、第十延伸部159_2和第四突出部157_2可一体地形成。

[0081] 在示例实施方式中,图5中所示的第一距离L1可对应于定位在第一驱动晶体管区域60中的第一突出部156_1和第三突出部157_1、第一延伸部151_1、第二延伸部152_1和第三延伸部153_1的总距离(或长度)。相似地,图5中所示的第二距离L2可对应于定位在第二驱动晶体管区域70中的第二突出部156_2和第四突出部157_2、第四延伸部151_2、第五延伸部152_2和第六延伸部153_2的总距离(或长度)。

[0082] 如图6中所示,第一有源图案100_1和第二有源图案100_2还可包括附加延伸部和附加突出部,并且图6中所示的第一有源图案100_1和第二有源图案100_2中的每个的形状可由附加延伸部和附加突出部限定。

[0083] 图7至图11是用于描述图1的OLED显示装置的布局图,并且图12是沿图11的线I-I'和线II-II'截取的剖面图。

[0084] 参照图7和图12,OLED显示装置500可包括衬底50、第一有源图案100_1、第二有源图案100_2、栅极绝缘层160、第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120。

[0085] 衬底50可包括透明材料或不透明材料。例如,衬底50可包括石英衬底、合成石英衬底、氟化钙衬底、氟化物掺杂石英衬底、钠钙玻璃衬底或无碱玻璃衬底。衬底50可划分为第一子像素电路区域10和第二子像素电路区域30。可选地,衬底50可包括柔性透明树脂衬底。

[0086] 衬底50上可布置有缓冲层(未示出)。在一些实施方式中,缓冲层可布置在整个衬底50上。缓冲层可防止金属原子和/或杂质从衬底50扩散到晶体管(例如,第一晶体管TR1、第二晶体管TR2、第三晶体管TR3、第四晶体管TR4、第五晶体管TR5、第六晶体管TR6和第七晶体管TR7)以及第一子像素结构200_1和第二子像素结构200_2中。另外,缓冲层可控制用于形成第一有源图案100_1和第二有源图案100_2的结晶工艺中的传热速率,以在第一有源图案100_1和第二有源图案100_2中获得基本均匀性。此外,缓冲层可改善衬底50的表面平坦度。根据衬底50的类型,衬底50上可设置有至少两个缓冲层,或者可不布置有缓冲层。例如,缓冲层可包括有机材料或无机材料。

[0087] 第一有源图案100_1和第二有源图案100_2可布置在衬底50上。第一有源图案100_1可在衬底50上布置在第一子像素电路区域10中,并且第二有源图案100_2可在衬底50上布置在第二子像素电路区域30中。第一有源图案100_1和第二有源图案100_2中的每个可包括氧化物半导体、无机半导体(例如,非晶硅、多晶硅)和有机半导体。在示例实施方式中,第一有源图案100_1和第二有源图案100_2中的每个可包括氧化物半导体层,而该氧化物半导体层包括二元化合物(AB_x)、三元化合物(AB_xC_y)和四元化合物($AB_xC_yD_z$)中的至少一种。这些化合物可包含铟(In)、锌(Zn)、镓(Ga)、锡(Sn)、钛(Ti)、铝(Al)、铪(Hf)、锆(Zr)和镁(Mg)。例如,第一有源图案100_1和第二有源图案100_2中的每个可包括氧化锌(ZnO_x)、氧化镓(GaO_x)、氧化钛(TiO_x)、氧化锡(SnO_x)、氧化铟(InO_x)、氧化铟镓(IGO)、氧化铟锌(IZO)、氧化铟锡(ITO)、氧化镓锌(GZO)、氧化锌镁(ZMO)、氧化锌锡(ZTO)、氧化锌铪($ZnZr_xO_y$)、氧化铟镓锌(IGZO)、氧化铟锌锡(IZTO)、氧化铟镓铪(IGHO)、氧化锡铝锌(TAZO)和氧化铟镓锡(IGTO)中的至少一种。第一有源图案100_1和第二有源图案100_2可布置在相同层上,并且可使用相同的材料同时(或同步地)形成。

[0088] 第一有源图案100_1和第二有源图案100_2中的每个可包括第一区域A、第二区域B、第三区域C、第四区域D、第五区域E、第六区域F、第七区域G、第八区域H、第九区域I和第十区域J(例如,第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120不与第一有源图案100_1和第二有源图案100_2重叠的区域)。第一区域A、第二区域B、第三区域C、第四区域D、第五区域E、第六区域F、第七区域G、第八区域H、第九区域I和第十区域J可掺杂有杂质,以具有比第一有源图案100_1和第二有源图案100_2中的每个的其它区域的电导率更高的电导率。第一区域A、第二区域B、第三区域C、第四区域D、第五区域E、第六区域F、第七区域G、第八区域H、第九区域I和第十区域J可对应于第一晶体管TR1、第二晶体管TR2、第三晶体管TR3、第四晶体管TR4、第五晶体管TR5、第六晶体管TR6和第七晶体管TR7的源极端子或漏极端子。第一区域A、第二区域B、第三区域C、第四区域D、第五区域E、第六区域F、第七区域G、第八区域H、第九区域I和第十区域J可彼此电连接。

[0089] 栅极绝缘层160可布置在第一有源图案100_1和第二有源图案100_2上。栅极绝缘层160可覆盖衬底50上的第一子像素电路区域10和第二子像素电路区域30中的第一有源图案100_1和第二有源图案100_2。在一些实施方式中,栅极绝缘层160可完全布置在整个衬底50上。例如,栅极绝缘层160可充分覆盖衬底50上的第一有源图案100_1和第二有源图案

100_2,并且可具有平坦化第一有源图案100_1和第二有源图案100_2周围的台阶的基本上平坦的上表面。可选地,栅极绝缘层160可沿着第一有源图案100_1和第二有源图案100_2的轮廓以基本上均匀的厚度覆盖衬底50上的第一有源图案100_1和第二有源图案100_2。栅极绝缘层160可包括硅化合物和/或金属氧化物。例如,栅极绝缘层160可包括氧化硅(SiO_x)、氮化硅(SiN_x)、氮氧化硅(SiO_xN_y)、碳氧化硅(SiO_xC_y)、碳氮化硅(SiC_xN_y)、氧化铝(AlO_x)、氮化铝(AlN_x)、氧化钽(TaO_x)、氧化铪(HfO_x)、氧化锆(ZrO_x)或氧化钛(TiO_x)。这些可单独使用或者以其适当的组合使用。

[0090] 第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120可布置在栅极绝缘层160上。在一些实施方式中,第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120可布置在相同层上。第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120中的每个可包括金属、金属合金、金属氮化物、导电金属氧化物和透明导电材料中的一种或更多种。例如,第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120中的每个可包括金(Au)、银(Ag)、铝(Al)、钨(W)、铜(Cu)、铂(Pt)、镍(Ni)、钛(Ti)、钯(Pd)、镁(Mg)、钙(Ca)、锂(Li)、铬(Cr)、钽(Ta)、钼(Mo)、钪(Sc)、钕(Nd)、铱(Ir)、铝合金、氮化铝(AlN_x)、银合金、氮化钨(WN_x)、铜合金、钼合金、氮化钛(TiN_x)、氮化铬(CrN_x)、氮化钽(TaN_x)、氧化铟钪(SRO)、氧化锌(ZnO_x)、氧化铟锡(ITO)、氧化锡(SnO_x)、氧化铟(InO_x)、氧化镓(GaO_x)或氧化铟锌(IZO)。这些可单独使用或者以其适当的组合使用。第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120可使用相同的材料同时形成。可选地,第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120中的每个可具有包括多个层的多层结构。

[0091] 第一栅电极105_1可布置在第一子像素电路区域10的第一驱动晶体管区域60中,并且第二栅电极105_2可布置在第二子像素电路区域30的第二驱动晶体管区域70中。例如,第一栅电极105_1和第二栅电极105_2中的每个可与第一区域A和第二区域B一同构成(或形成或限定)第一晶体管TR1(例如,驱动晶体管)。在示例实施方式中,第一区域A可为源区,并且第二区域B可为漏区。可选地,第一区域A可为漏区,并且第二区域B可为源区。第一区域A和第二区域B可掺杂有杂质。然而,第一有源图案100_1和第二有源图案100_2的位于第一栅电极105_1和第二栅电极105_2下方的区域可不掺杂有杂质。换言之,第一有源图案100_1和第二有源图案100_2的与第一栅电极105_1和第二栅电极105_2重叠的区域(例如,第一驱动晶体管区域60和第二驱动晶体管区域70)可不掺杂有杂质。例如,第一区域A和第二区域B可用作导体,并且第一驱动晶体管区域60和第二驱动晶体管区域70可用作第一晶体管TR1的沟道。相应地,第一晶体管TR1能够生成提供给第一子像素结构200_1和第二子像素结构200_2(例如,图2的OLED)中的每个的图2的驱动电流ID,并且第一子像素结构200_1和第二子像素结构200_2中的每个可基于驱动电流ID来发光。

[0092] 第一栅极布线110可包括位于第一有源图案100_1和第二有源图案100_2以及栅极绝缘层160上的栅极延伸部和栅极突出部。栅极延伸部可在第二方向D2上延伸,并且栅极突出部可在第一方向D1上从栅极延伸部突出。栅极突出部可与第四区域D和第五区域E一同构成第三晶体管TR3_1。例如,栅极突出部可用作第三晶体管TR3_1的栅电极。栅极延伸部可包括第一部分和第二部分。栅极延伸部的第一部分可与第九延伸部159_1和第十延伸部159_2

重叠,并且栅极延伸部的第二部分可与第七延伸部158_1和第八延伸部158_2重叠(参照图6和图7)。栅极延伸部的第一部分可与第二区域B和第五区域E一同构成第三晶体管TR3_2,并且栅极延伸部的第二部分可与第一区域A和第三区域C一同构成第二晶体管TR2(例如,开关晶体管)。第三晶体管TR3_1和TR3_2可被串联连接以用作双栅极晶体管。例如,当双晶体管被关断时,漏电流可被减少。在这种情况下,第三晶体管TR3_1和TR3_2可经由第五区域E电连接。另外,第一晶体管TR1、第二晶体管TR2和第五晶体管TR5可经由第一区域A电连接,并且第一晶体管TR1、第三晶体管TR3_2和第六晶体管TR6可经由第二区域B电连接。

[0093] 第一区域A、第二区域B、第三区域C、第四区域D和第五区域E可掺杂有杂质。然而,第一有源图案100_1和第二有源图案100_2的第一栅极布线110下方的区域可不掺杂有杂质。因此,第一区域A、第二区域B、第三区域C、第四区域D和第五区域E可用作导体,并且第一有源图案100_1和第二有源图案100_2的第一栅极布线110下方的区域可用作第二晶体管TR2和第三晶体管TR3_1和TR3_2的沟道。在示例实施方式中,第一栅极布线110可接收扫描信号GW,如图2中所示。

[0094] 在示例实施方式中,第二晶体管TR2的第三区域C、第三晶体管TR3_1的第四区域D和第三晶体管TR3_2的第五区域E中的每个可为源区,并且第二晶体管TR2的第一区域A、第三晶体管TR3_1的第五区域E和第三晶体管TR3_2的第二区域B中的每个可为漏区。可选地,第二晶体管TR2的第三区域C、第三晶体管TR3_1的第四区域D和第三晶体管TR3_2的第五区域E中的每个可为漏区,并且第二晶体管TR2的第一区域A、第三晶体管TR3_1的第五区域E和第三晶体管TR3_2的第二区域B中的每个可为源区。

[0095] 第二栅极布线115可在第一有源图案100_1和第二有源图案100_2以及栅极绝缘层160上在第二方向D2上延伸。第二栅极布线115可与第六区域F和第十区域J一同构成第七晶体管TR7,并且与第六区域F和第七区域G一同构成第四晶体管TR4_2。另外,第二栅极布线115可与第七区域G和第四区域D一同构成第四晶体管TR4_1。第四晶体管TR4_1和TR4_2可被串联连接以用作双栅极晶体管。例如,当双晶体管被关断时,漏电流可被减少。在这种情况下,第四晶体管TR4_1和TR4_2可经由第七区域G电连接。另外,第七晶体管TR7和第四晶体管TR4_2可电连接到第六区域F,并且第十区域J可电连接到第九区域I。

[0096] 第四区域D、第六区域F、第七区域G和第十区域J可掺杂有杂质。然而,第一有源图案100_1和第二有源图案100_2的第二栅极布线115下方的区域可不掺杂有杂质。因此,第四区域D、第六区域F、第七区域G和第十区域J可用作导体,并且第一有源图案100_1和第二有源图案100_2的第二栅极布线115下方的区域可用作第四晶体管TR4_1和TR4_2以及第七晶体管TR7的沟道。在示例实施方式中,第二栅极布线115可接收图2的数据初始化信号GI,并且第六区域F可接收图2的初始化电压VINT。

[0097] 在示例实施方式中,第七晶体管TR7的第十区域J、第四晶体管TR4_2的第六区域F和第四晶体管TR4_1的第七区域G中的每个可为源区,并且第七晶体管TR7的第六区域F、第四晶体管TR4_2的第七区域G和第四晶体管TR4_1的第四区域D中的每个可为漏区。可选地,第七晶体管TR7的第十区域J、第四晶体管TR4_2的第六区域F和第四晶体管TR4_1的第七区域G中的每个可为漏区,并且第七晶体管TR7的第六区域F、第四晶体管TR4_2的第七区域G和第四晶体管TR4_1的第四区域D中的每个可为源区。

[0098] 第三栅极布线120可与第一区域A和第八区域H一同构成第五晶体管TR5,并且与第

二区域B和第九区域I一同构成第六晶体管TR6。第一区域A、第二区域B、第八区域H和第九区域I可掺杂有杂质。然而,第一有源图案100_1和第二有源图案100_2的第三栅极布线120下方的区域可不掺杂有杂质。因此,第一区域A、第二区域B、第八区域H和第九区域I可用作导体,并且第一有源图案100_1和第二有源图案100_2的第三栅极布线120下方的区域可用作第五晶体管TR5和第六晶体管TR6的沟道。在示例实施方式中,第三栅极布线120可接收图2的发光信号EM。

[0099] 在示例实施方式中,第五晶体管TR5的第八区域H和第六晶体管TR6的第九区域I中的每个可为源区,并且第五晶体管TR5的第一区域A和第六晶体管TR6的第二区域B中的每个可为漏区。可选地,第五晶体管TR5的第八区域H和第六晶体管TR6的第九区域I中的每个可为漏区,并且第五晶体管TR5的第一区域A和第六晶体管TR6的第二区域B中的每个可为源区。

[0100] 参照图8、图9和图12,OLED显示装置500还可包括第一绝缘中间层190、第三栅电极130和初始化电压布线140。

[0101] 第一绝缘中间层190可布置在第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120上。第一绝缘中间层190可覆盖栅极绝缘层160上的第一子像素电路区域10和第二子像素电路区域30中的第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120。在一些实施方式中,第一绝缘中间层190可完全布置在栅极绝缘层160上。例如,第一绝缘中间层190可充分覆盖栅极绝缘层160上的第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120,并且可具有平坦化第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120周围的台阶的基本上平坦的上表面。可选地,第一绝缘中间层190可沿着第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120的轮廓用基本上均匀的厚度覆盖栅极绝缘层160上的第一栅电极105_1、第二栅电极105_2、第一栅极布线110、第二栅极布线115和第三栅极布线120。第一绝缘中间层190可包括硅化合物和/或金属氧化物。

[0102] 第三栅电极130和初始化电压布线140可布置在第一绝缘中间层190上。在一些实施方式中,第三栅电极130和初始化电压布线140可布置在相同层上。第三栅电极130和初始化电压布线140中的每个可包括金属、金属合金、金属氮化物、导电金属氧化物或透明导电材料。这些可单独使用或者以其适当的组合使用。第三栅电极130和初始化电压布线140可使用相同的材料同时形成。可选地,第三栅电极130和初始化电压布线140中的每个可具有包括多个层的多层结构。

[0103] 第三栅电极130可在第一绝缘中间层190上在第二方向D2上延伸。第三栅电极130可与第一子像素电路区域10的第一驱动晶体管区域60中的第一栅电极105_1和第二子像素电路区域30的第二驱动晶体管区域70中的第二栅电极105_2重叠。相应地,第三栅电极130可与第一驱动晶体管区域60中的第一栅电极105_1和第二驱动晶体管区域70中的第二栅电极105_2一同构成图2的存储电容器CST。第三栅电极130可接收图2的高电源电压ELVDD。另外,第三栅电极130可具有暴露第一驱动晶体管区域60中的第一栅电极105_1的一部分的第一开口和暴露第二驱动晶体管区域70中的第二栅电极105_2的一部分的第二开口。第一栅电极105_1可经由第一开口从第一连接图案(将在下面描述)接收图2的初始化电压VINT,并

且第二栅电极105_2可经由第二开口从第二连接图案(也将在下面描述)接收图2的初始化电压VINT。

[0104] 初始化电压布线140可在第一绝缘中间层190上在第二方向D2上延伸。初始化电压布线140可与第六区域F重叠,并且通过第三连接图案和第四连接图案(将在下面描述)将初始化电压VINT提供给第一子像素电路区域10的第六区域F和第二子像素电路区域30的第六区域F。

[0105] 参照图10、图11和图12,OLED显示装置500还可包括第二绝缘中间层195、第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2、平坦化层270、像素限定层310、第一子像素结构200_1、第二子像素结构200_2和封装衬底450。第一子像素结构200_1可包括第一下电极291_1、第一发光层330_1和上电极340,并且第二子像素结构200_2可包括第二下电极291_2、第二发光层330_2和上电极340。包括在第一子像素结构200_1中的上电极340和包括在第二子像素结构200_2中的上电极340可一体地形成。

[0106] 第二绝缘中间层195可布置在第三栅电极130和初始化电压布线140上。第二绝缘中间层195可覆盖第一绝缘中间层190上的第一子像素电路区域10和第二子像素电路区域30中的第三栅电极130和初始化电压布线140,并且可完全布置在第一绝缘中间层190上。例如,第二绝缘中间层195可充分覆盖第一绝缘中间层190上的第三栅电极130和初始化电压布线140,并且可具有平坦化第三栅电极130和初始化电压布线140周围的台阶的基本上平坦的上表面。可选地,第二绝缘中间层195可沿着第三栅电极130和初始化电压布线140的轮廓以基本上均匀的厚度覆盖第一绝缘中间层190上的第三栅电极130和初始化电压布线140。第二绝缘中间层195可包括硅化合物和/或金属氧化物。

[0107] 第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2可布置在第二绝缘中间层195上。在一些实施方式中,第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2可布置在相同层上。第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2中的每个可包括金属、金属合金、金属氮化物、导电金属氧化物或透明导电材料。这些可单独使用或者以其适当的组合使用。第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2可使用相同的材料同时形成。可选地,第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2中的每个可具有包括多个层的多层结构。

[0108] 第一数据布线191_1可在第二绝缘中间层195上的第一驱动晶体管区域60中在第

一方向D1上延伸,并且可经由接触孔210_1连接到第一有源图案100_1的第三区域C。第一数据布线191_1可接收图2的数据信号DATA。相应地,第一数据布线191_1可经由接触孔210_1将数据信号DATA提供给第一有源图案100_1的第三区域C。数据信号DATA的电压电平可根据灰度的变化而变化。

[0109] 第二数据布线191_2可在第二绝缘中间层195上的第二驱动晶体管区域70中在第一方向D1上延伸,并且可经由接触孔210_2连接到第二有源图案100_2的第三区域C。第二数据布线191_2可接收图2的数据信号DATA。相应地,第二数据布线191_2可经由接触孔210_2将数据信号DATA提供给第二有源图案100_2的第三区域C。数据信号DATA的电压电平可根据灰度的变化而变化。

[0110] 第一高电源电压布线290_1可与第二绝缘中间层195上的第一子像素电路区域10中的第一数据布线191_1间隔开,并且在第一方向D1上延伸。第一高电源电压布线290_1可经由接触孔355_1连接到第一有源图案100_1的第八区域H,并且还可经由接触孔360_1连接到位于第一子像素电路区域10中的第三栅电极130。第一高电源电压布线290_1可接收图2的高电源电压ELVDD。相应地,第一高电源电压布线290_1可分别经由接触孔355_1和360_1将高电源电压ELVDD提供到第一有源图案100_1的第八区域H和位于第一子像素电路区域10中的第三栅电极130。

[0111] 第二高电源电压布线290_2可与第二绝缘中间层195上的第二子像素电路区域30中的第二数据布线191_2间隔开,并且在第一方向D1上延伸。第二高电源电压布线290_2可经由接触孔355_2连接到第二有源图案100_2的第八区域H,并且还可经由接触孔360_2连接到位于第二子像素电路区域30中的第三栅电极130。第二高电源电压布线290_2可接收图2的高电源电压ELVDD。相应地,第二高电源电压布线290_2可分别经由接触孔355_2和360_2将高电源电压ELVDD提供给第二有源图案100_2的第八区域H和位于第二子像素电路区域30中的第三栅电极130。

[0112] 第一连接图案230_1可与第一有源图案100_1的第四区域D的一部分和第一驱动晶体管区域60的一部分重叠地在第二绝缘中间层195上的第一子像素电路区域10中在第一方向D1上延伸。第一连接图案230_1可经由接触孔250_1连接到第一有源图案100_1的第四区域D,并且还可经由接触孔270_1连接到第一栅电极105_1。第一有源图案100_1的第四区域D可接收初始化电压VINT,并且初始化电压VINT可通过第一连接图案230_1施加到第一栅电极105_1。

[0113] 第二连接图案230_2可与第二有源图案100_2的第四区域D的一部分和第二驱动晶体管区域70的一部分重叠地在第二绝缘中间层195上的第二子像素电路区域30中在第一方向D1上延伸。第二连接图案230_2可经由接触孔250_2连接到第二有源图案100_2的第四区域D,并且还可经由接触孔270_2连接到第二栅电极105_2。第二有源图案100_2的第四区域D可接收初始化电压VINT,并且初始化电压VINT可通过第二连接图案230_2施加到第二栅电极105_2。

[0114] 第三连接图案388_1可与第二绝缘中间层195上的第一子像素电路区域10中的初始化电压布线140的一部分和第一有源图案100_1的第六区域F的一部分重叠。第三连接图案388_1可经由接触孔430_1连接到初始化电压布线140,并且还可经由接触孔431_1连接到第一有源图案100_1的第六区域F。初始化电压VINT可通过第三连接图案388_1施加到第一

有源图案100_1的第六区域F。

[0115] 第四连接图案388_2可与第二绝缘中间层195上的第二子像素电路区域30中的初始化电压布线140的一部分和第二有源图案100_2的第六区域F的一部分重叠。第四连接图案388_2可经由接触孔430_2连接到初始化电压布线140,并且还可经由接触孔431_2连接到第二有源图案100_2的第六区域F。初始化电压VINT可通过第四连接图案388_2施加到第二有源图案100_2的第六区域F。

[0116] 第五连接图案390_1可与第二绝缘中间层195上的第一子像素电路区域10中的第一有源图案100_1的第九区域I重叠。第五连接图案390_1可经由接触孔410_1连接到第一有源图案100_1的第九区域I,并且可与第一子像素结构200_1的第一下电极291_1接触。第五连接图案390_1可将驱动电流提供给第一子像素结构200_1的第一下电极291_1。

[0117] 第六连接图案390_2可与第二绝缘中间层195上的第二子像素电路区域30中的第二有源图案100_2的第九区域I重叠。第六连接图案390_2可经由接触孔410_2连接到第二有源图案100_2的第九区域I,并且可与第二子像素结构200_2的第二下电极291_2接触。第六连接图案390_2可将驱动电流提供给第二子像素结构200_2的第二下电极291_2。

[0118] 平坦化层270可布置在第二绝缘中间层195、第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2上。平坦化层270可具有第一接触孔和第二接触孔,其中,第一接触孔暴露第五连接图案390_1的连接到布置在第一子像素电路区域10中的第六晶体管TR6的一部分,并且第二接触孔暴露第六连接图案390_2的连接到布置在第二子像素电路区域30中的第六晶体管TR6的一部分。平坦化层270可具有足以覆盖第二绝缘中间层195上的第一高电源电压布线290_1、第二高电源电压布线290_2、第一数据布线191_1、第二数据布线191_2、第一连接图案230_1、第二连接图案230_2、第三连接图案388_1、第四连接图案388_2、第五连接图案390_1和第六连接图案390_2的大的厚度。在这种情况下,平坦化层270可具有基本上平坦的上表面,并且可在平坦化层270上进一步执行平坦化工艺以实现平坦化层270的平坦上表面。平坦化层270可包括有机材料或无机材料。在示例实施方式中,平坦化层270可包括一种或更多种有机材料。例如,平坦化层270可包括光刻胶、聚丙烯酸基树脂、聚酰亚胺基树脂、聚酰胺基树脂、硅氧烷基树脂、丙烯酸基树脂和环氧基树脂中的一种或更多种。

[0119] 第一子像素结构200_1的第一下电极291_1可布置在平坦化层270上的第一子像素电路区域10中。第一下电极291_1可经由平坦化层270的第一接触孔与第五连接图案390_1直接接触,并且可通过第五连接图案390_1电连接到布置在第一子像素电路区域10中的第六晶体管TR6。相应地,第一子像素结构200_1的第一下电极291_1可通过第五连接图案390_1接收图2的驱动电流ID。在示例实施方式中,第一下电极291_1可为阳电极。可选地,第一下电极291_1可为阴电极。

[0120] 第二子像素结构200_2的第二下电极291_2可布置在平坦化层270上的第二子像素电路区域30中。第二下电极291_2可经由平坦化层270的第二接触孔与第六连接图案390_2直接接触,并且可通过第六连接图案390_2电连接到布置在第二子像素电路区域30中的第六晶体管TR6。相应地,第二子像素结构200_2的第二下电极291_2可通过第六连接图案390_2接收图2的驱动电流ID。在示例实施方式中,第二下电极291_2可为阳电极。可选地,第二下

电极291_2可为阴电极。

[0121] 第一下电极291_1和第二下电极291_2中的每个可包括金属、金属合金、金属氮化物、导电金属氧化物或透明导电材料。这些可单独使用或者以其适当的组合使用。第一下电极291_1和第二下电极291_2可使用相同的材料同时形成。可选地,第一下电极291_1和第二下电极291_2中的每个可具有包括多个层的多层结构。

[0122] 像素限定层310可布置在第一下电极291_1的一部分、第二下电极291_2的一部分和平坦化层270上。像素限定层310可覆盖第一下电极291_1的两个横向部分和第二下电极291_2的两个横向部分,并且可具有暴露第一下电极291_1和第二下电极291_2中的每个的上表面的开口。像素限定层310可包括有机材料或无机材料。在示例实施方式中,像素限定层310可包括一种或更多种有机材料。

[0123] 第一子像素结构200_1的第一发光层330_1可布置在通过第一子像素电路区域10中的像素限定层310的开口暴露的第一下电极291_1上,并且第二子像素结构200_2的第二发光层330_2可布置在通过第二子像素电路区域30中的像素限定层310的开口暴露的第二下电极291_2上。第一发光层330_1和第二发光层330_2中的每个可使用能够根据子像素的颜色而生成不同颜色的光(例如,红色光、蓝色光和绿色光)的发光材料中的至少一种形成。可选地,第一发光层330_1和第二发光层330_2中的每个通常可通过堆叠能够生成不同颜色的光的多个发光材料(诸如红色光、绿色光和蓝色光)来生成白色光。在这种情况下,滤色器(未示出)可布置在第一发光层330_1和第二发光层330_2中的每个上。例如,滤色器可与封装衬底450的上表面上的第一发光层330_1和第二发光层330_2中的每个重叠。滤色器可包括选自红色滤色器、绿色滤色器和蓝色滤色器中的至少一种。可选地,滤色器可包括黄色滤色器、青色滤色器和品红色滤色器。滤色器可包括光敏树脂和/或彩色光刻胶。在示例实施方式中,第一发光层330_1可发出红色光或绿色光,并且第二发光层330_2可发出蓝色光。

[0124] 上电极340可布置在像素限定层310、第一发光层330_1和第二发光层330_2上。上电极340可覆盖像素限定层310、第一发光层330_1和第二发光层330_2。在一些实施方式中,上电极340可布置在整个衬底50上。在示例实施方式中,上电极340可为阴电极并且可接收图2的低电源电压ELVSS。可选地,上电极340可为阳电极。上电极340可包括金属、金属合金、金属氮化物、导电金属氧化物或透明导电材料。这些可单独使用或者以其适当的组合使用。上电极340可一体地形成在第一子像素电路区域10和第二子像素电路区域30中。在一些示例实施方式中,上电极340可具有包括多个层的多层结构。

[0125] 封装衬底450可布置在上电极340上。封装衬底450和衬底50可包括基本上相同的材料。例如,封装衬底450可包括石英衬底、合成石英衬底、氟化钙衬底、氟化物掺杂石英衬底、钠钙玻璃衬底或无碱玻璃衬底。在一些示例实施方式中,封装衬底450可包括透明无机材料或柔性塑料材料。例如,封装衬底450可包括柔性透明树脂衬底。在这种情况下,为了增加显示装置500的柔性,封装衬底450可包括至少一个无机层和至少一个有机层被交替地堆叠的堆叠结构。堆叠结构可包括第一无机层、有机层和第二无机层。例如,具有柔性的第一无机层可沿着上电极340的轮廓布置,并且具有柔性的有机层可布置在第一无机层上。具有柔性的第二无机层可布置在有机层上。也就是说,堆叠结构可对应于与上电极340直接接触的薄膜封装结构。

[0126] 由于根据示例实施方式的OLED显示装置500的第二有源图案100_2在第二驱动晶

体管区域70中具有相对小的第二区A2或相对短的第二距离L2,因此能够改善OLED显示装置500的MTP缺陷,从而改善OLED显示装置500的可视性。

[0127] 图13是示出根据示例实施方式的OLED显示装置中所包括的有源图案的示例的布局图。例如,图13对应于用于描述布置在图3的第一驱动晶体管区域60和第二驱动晶体管区域70中的有源图案的布局图。除了第一有源图案100_1之外,图13中所示的OLED显示装置600可具有与参照图1至图12描述的OLED显示装置500的配置基本上相同或相似的配置。在图13中,与参照图1至图12描述的元件基本上相同或相似的元件的详细描述可不被重复。

[0128] 参照图3、图4、图5和图13,在第一子像素电路区域10的第一驱动晶体管区域60中,第一弯曲部150_1可包括第一延伸部151_1、第二延伸部152_1和第三延伸部153_1。第一延伸部151_1可在与衬底50的上表面平行的第一方向D1上延伸,并且第二延伸部152_1可在与第一方向D1垂直的第二方向D2上从第一延伸部151_1的第一远端延伸。第三延伸部153_1可在与第二方向D2垂直且与第一方向D1相反的第三方向D3上从第二延伸部152_1的第一远端延伸。第一延伸部151_1、第二延伸部152_1和第三延伸部153_1可一体地形成。由第一延伸部151_1、第二延伸部152_1和第三延伸部153_1形成的空间(例如,图5的第一区A1)可被限定为第一凹部155_1。例如,在第一驱动晶体管区域60中第一有源图案100_1可具有在第一方向D1上弯曲的形状。

[0129] 在第一驱动晶体管区域60中第一有源图案100_1可具有第一距离L1,并且布置在第一驱动晶体管区域60中的第一晶体管TR1可具有相对大的驱动范围,因为第一距离L1相对长于第二距离L2。

[0130] 在示例实施方式中,在第一驱动晶体管区域60中第一有源图案100_1可具有第一宽度W1,该第一宽度W1小于图4和图5的第一有源图案100_1的宽度。例如,第一宽度W1可从约3.5微米减小到约3微米。可选地,图13的第一宽度W1可为在约2微米和约3微米之间的范围中。除了减小第一宽度W1之外,与图4和图5的第一有源图案100_1的第一距离L1相比,图13的第一有源图案100_1的第一距离L1可增加。相应地,与图4和图5的第一晶体管TR1和布置在图13的第二驱动晶体管区域70中的第一晶体管TR1中的每个的驱动范围相比,布置在图13的第一有源图案100_1的第一驱动晶体管区域60中的第一晶体管TR1的驱动范围可增加。

[0131] 在第二子像素电路区域30的第二驱动晶体管区域70中,第二弯曲部150_2可包括第四延伸部151_2、第五延伸部152_2和第六延伸部153_2。第四延伸部151_2可在第一方向D1上延伸,并且第五延伸部152_2可在第二方向D2上从第四延伸部151_2的第一远端延伸。第六延伸部153_2可在第三方向D3上从第五延伸部152_2的第一远端延伸。第四延伸部151_2、第五延伸部152_2和第六延伸部153_2可一体地形成。由第四延伸部151_2、第五延伸部152_2和第六延伸部153_2形成的空间(例如,图5的第二区A2)可被限定为第二凹部155_2。例如,在第二驱动晶体管区域70中第二有源图案100_2可具有在第一方向D1上弯曲的形状。

[0132] 与布置在第一驱动晶体管区域60中的第一晶体管TR1相比,在第二驱动晶体管区域70中第二有源图案100_2可具有第二距离L2,并且布置在第二驱动晶体管区域70中的第一晶体管TR1可具有相对小的驱动范围,因为第二距离L2短于第一距离L1。

[0133] 在示例实施方式中,第二有源图案100_2在第二驱动晶体管区域70中可具有大于第一宽度W1的第二宽度W2。例如,图13的第二有源图案100_2的第二宽度W2可与图4和图5的

第二有源图案100_2的宽度相同。例如,第二宽度W2可为约3.5微米。

[0134] 当驱动范围增加以改善在OLED显示装置600显示图像时可能产生的污渍效应(mura defect;或者污点效应(stain effect))时,可能发生MTP缺陷。当OLED显示装置600以低灰度显示图像时,因为蓝色子像素的数据电压余量为相对小的,因此可能因蓝色子像素的数据输出电压不足而发生MTP缺陷。当布置在第一驱动晶体管区域60中的第一有源图案100_1的宽度相对减小时,污渍缺陷(mura defect)可被减少。

[0135] 相应地,为了同时解决污渍缺陷(mura defect)和MTP缺陷的问题,根据示例实施方式的OLED显示装置600包括在第一驱动晶体管区域60中具有相对小的第一宽度W1和相对长的第一距离L1的第一有源图案100_1,并且布置在第一驱动晶体管区域60中的第一晶体管TR1可具有相对大的驱动范围。另外,由于OLED显示装置600包括在第二驱动晶体管区域70中具有相对大的第二宽度W2和相对短的第二距离L2的第二有源图案100_2,因此布置在第二驱动晶体管区域70中的第一晶体管TR1可具有相对小的驱动范围。在这种情况下,能够同时改善污渍缺陷(mura defect)和MTP缺陷。

[0136] 在一些示例实施方式中,OLED显示装置600可通过适当地选择和改变第一有源图案100_1的第一宽度W1和/或第一距离L1以及第二有源图案100_2的第二宽度W2和/或第二距离L2来制造以改善污渍缺陷(mura defect)和MTP缺陷。

[0137] 图14是示出根据示例实施方式的OLED显示装置中所包括的有源图案的另一示例的布局图。例如,图14对应于用于描述布置在图3的第一驱动晶体管区域60和第二驱动晶体管区域70中的有源图案的布局图。除了第一有源图案100_1第二有源图案100_2之外,图14中所示的OLED显示装置700可具有与参照图1至图12描述的OLED显示装置500的配置基本上相同或相似的配置。在图14中,与参照图1至图12描述的元件基本上相同或相似的元件的详细描述可不被重复。

[0138] 参照图3、图4、图5和图14,在第一子像素电路区域10的第一驱动晶体管区域60中,第一弯曲部150_1的边缘150_a、150_b、150_c和150_d(或角落)中的每个的锥角可相对增加。例如,图14的第一弯曲部150_1可通过去除图4的第一弯曲部150_1的边缘的一部分而形成。也就是说,根据OLED显示装置700的第一有源图案100_1可包括第一弯曲部150_1,而第一弯曲部150_1包括具有渐变的锥角的边缘150_a、150_b、150_c和150_d。

[0139] 相似地,在第二子像素电路区域30的第二驱动晶体管区域70中,第二弯曲部150_2的边缘150_e、150_f、150_g和150_h中的每个的锥角可相对增加。例如,图14的第二弯曲部150_2可通过去除图4的第二弯曲部150_2的边缘的一部分而形成。也就是说,根据OLED显示装置700的第二有源图案100_2可包括第二弯曲部150_2,第二弯曲部150_2包括具有渐变的锥角的边缘150_e、150_f、150_g和150_h。

[0140] 图15是示出根据示例实施方式的OLED显示装置中所包括的有源图案的又一示例的布局图。例如,图15对应于用于描述布置在图3的第一驱动晶体管区域60和第二驱动晶体管区域70中的有源图案的布局图。除了第一有源图案100_1和第二有源图案100_2之外,图15中所示的OLED显示装置可具有与参照图1至图12描述的OLED显示装置500的配置基本上相同或相似的配置。在图15中,与参照图1至图12描述的元件基本上相同或相似的元件的详细描述可不被重复。

[0141] 参照图3、图4、图5和图15,在第一子像素电路区域10的第一驱动晶体管区域60中,

可定位有多个第一弯曲部150_1,并且第一弯曲部150_1可被一体地形成。多个第一凹部155_1可由第一弯曲部150_1限定。例如,第一弯曲部150_1的形状可具有选自S的平面形状、W的平面形状等中的至少一个。

[0142] 在第二子像素电路区域30的第二驱动晶体管区域70中,可定位有多个第二弯曲部150_2,并且第二弯曲部150_2可被一体地形成。多个第二凹部155_2可由第二弯曲部150_2限定。例如,第二弯曲部150_2的形状可具有选自S的平面形状、W的平面形状等中的至少一个。

[0143] 在示例实施方式中,第二凹部155_2中的每个的面积可小于第一凹部155_1中的每个的面积。在第一驱动晶体管区域60中第一有源图案100_1可具有第一距离L1(例如,第一弯曲部150_1的总长度),并且布置在第一驱动晶体管区域60中的第一晶体管TR1可具有相对大的驱动范围,因为第一距离L1相对长于第二距离L2。

[0144] 在第二驱动晶体管区域70中第二有源图案100_2可具有第二距离L2(例如,第二弯曲部150_2的总长度),并且布置在第二驱动晶体管区域70中的第一晶体管TR1可具有相对小的驱动范围,因为第二距离L2相对短于第一距离L1。

[0145] 本公开可应用于包括OLED显示装置的各种显示装置。例如,本公开可应用于车辆显示装置、船舶显示装置、飞行器显示装置、便携式通信装置、用于信息传输的显示装置和医疗显示装置,但不限于此。

[0146] 前述内容是对示例实施方式的说明并且不应被解释为对其的限制。虽然已描述了一些示例实施方式,但是本领域技术人员将容易地理解,能够在实质上不背离本发明构思的新颖性教导和优点的情况下对示例实施方式进行诸多修改。相应地,所有这种修改旨在包括在本公开的范围之内。因此,应理解,上述内容是对各种示例实施方式的说明,并且不应被解释为限于所公开的具体示例实施方式,并且应理解,对于所公开的示例实施方式以及其它示例实施方式的修改旨在包括在包括随附的权利要求书的本公开的范围之内。

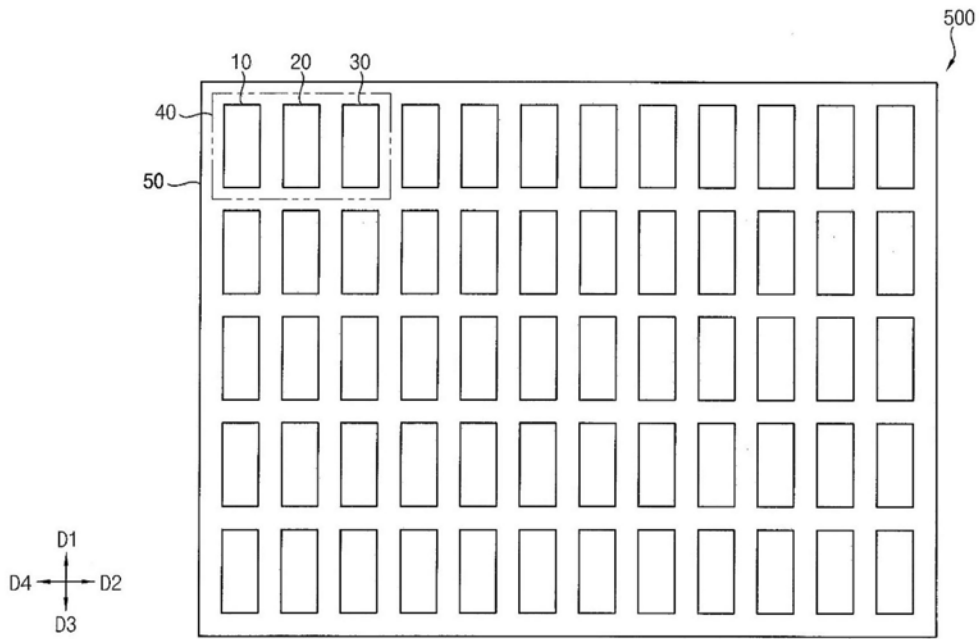


图1

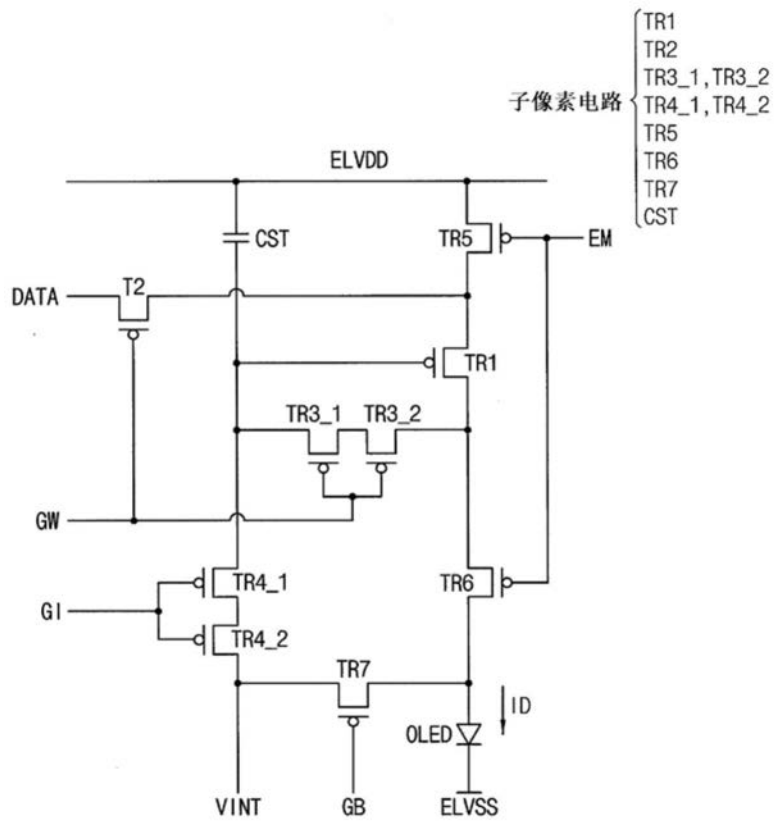


图2

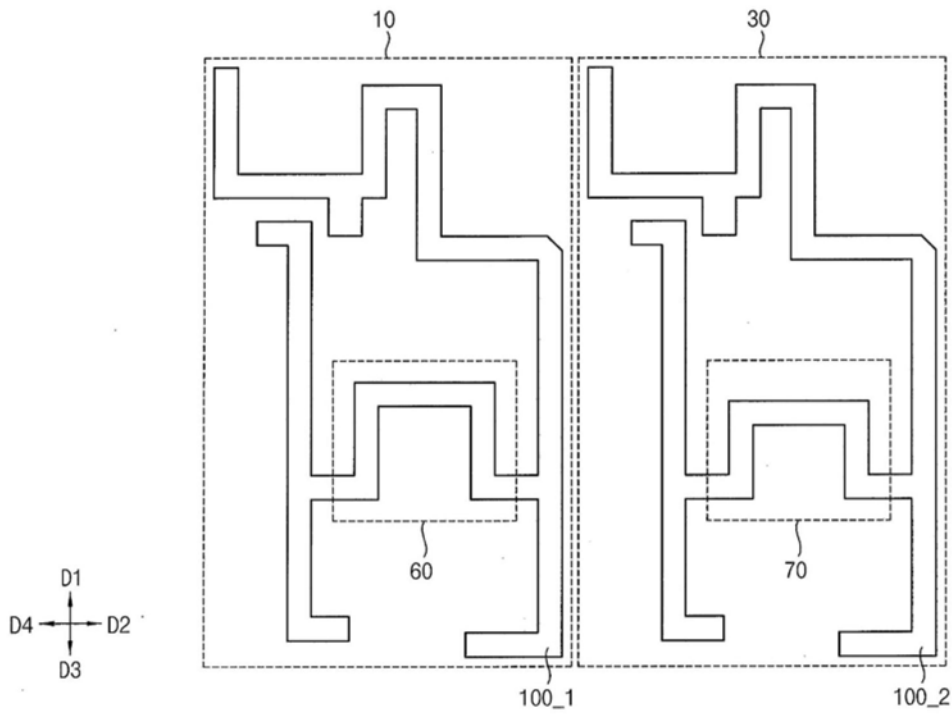


图3

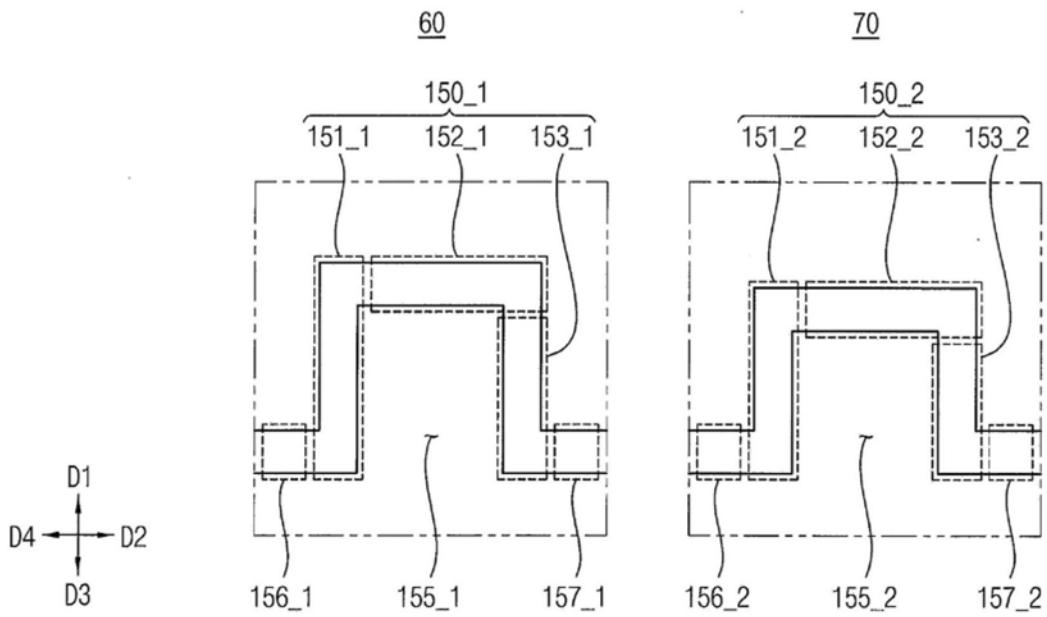


图4

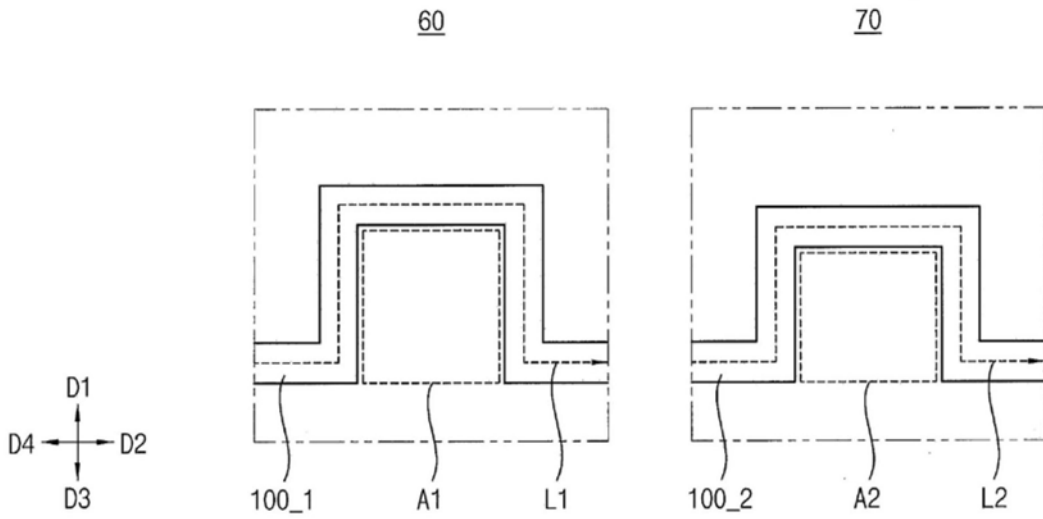


图5

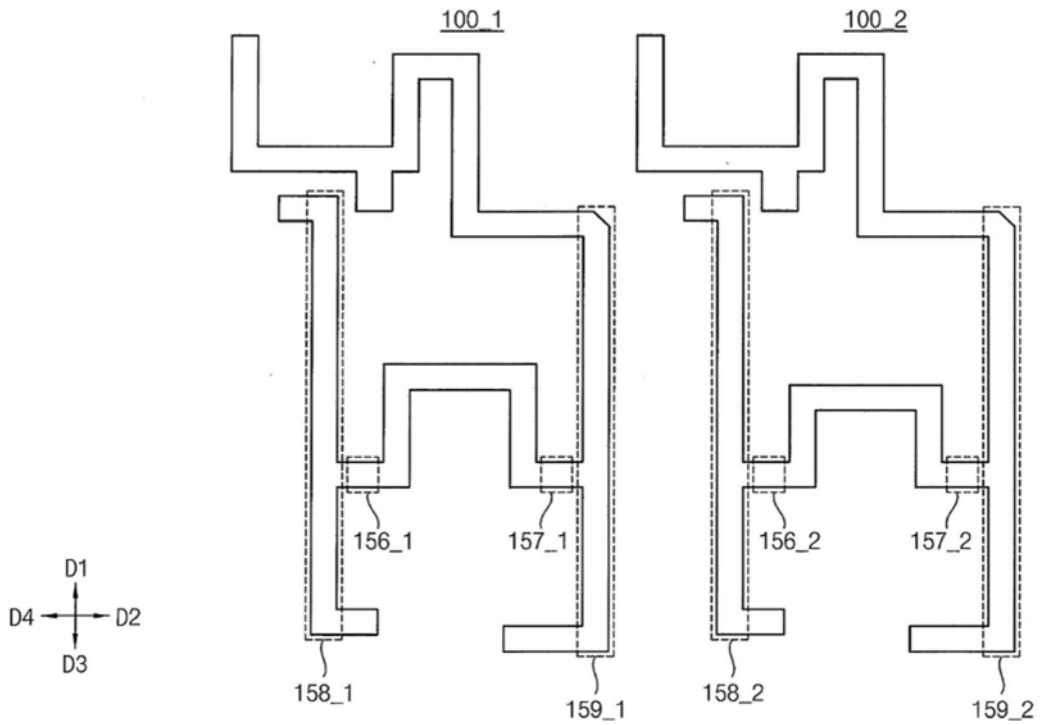


图6

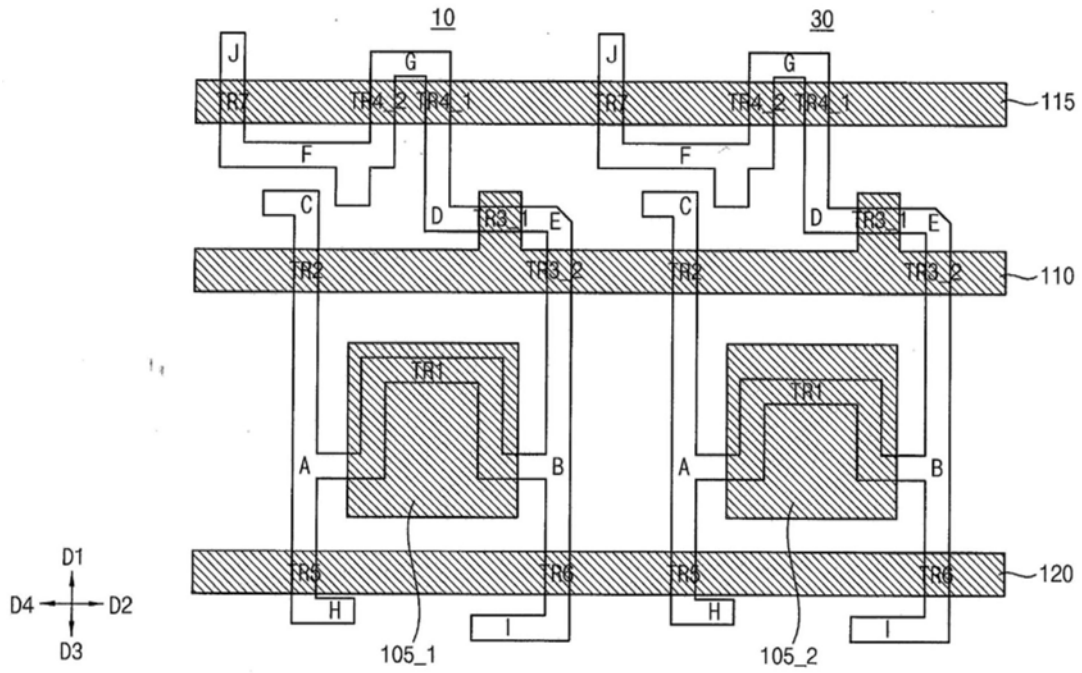


图7

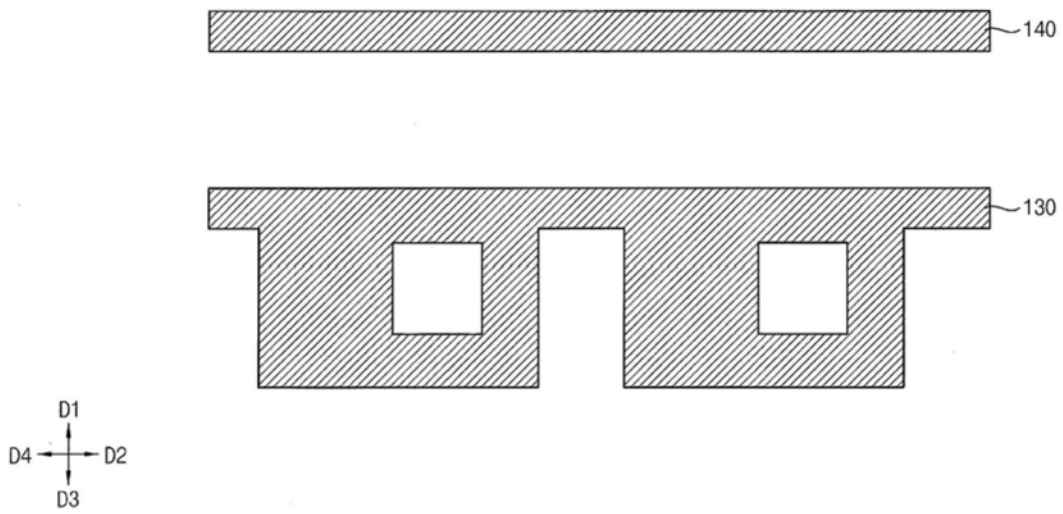


图8

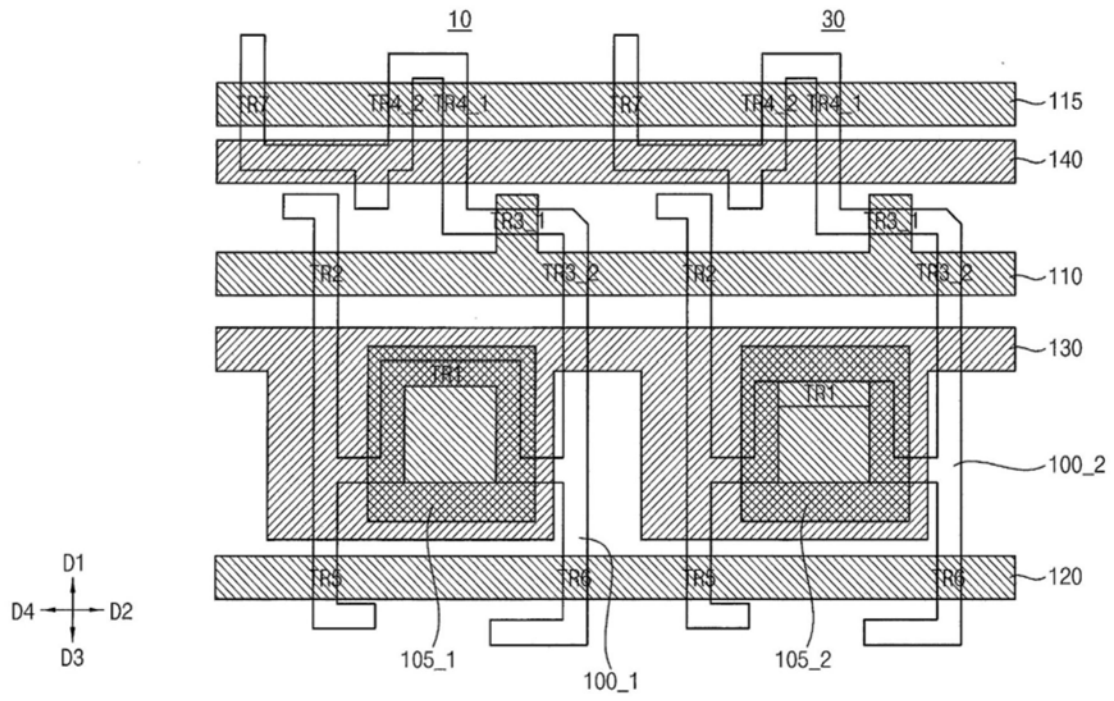


图9

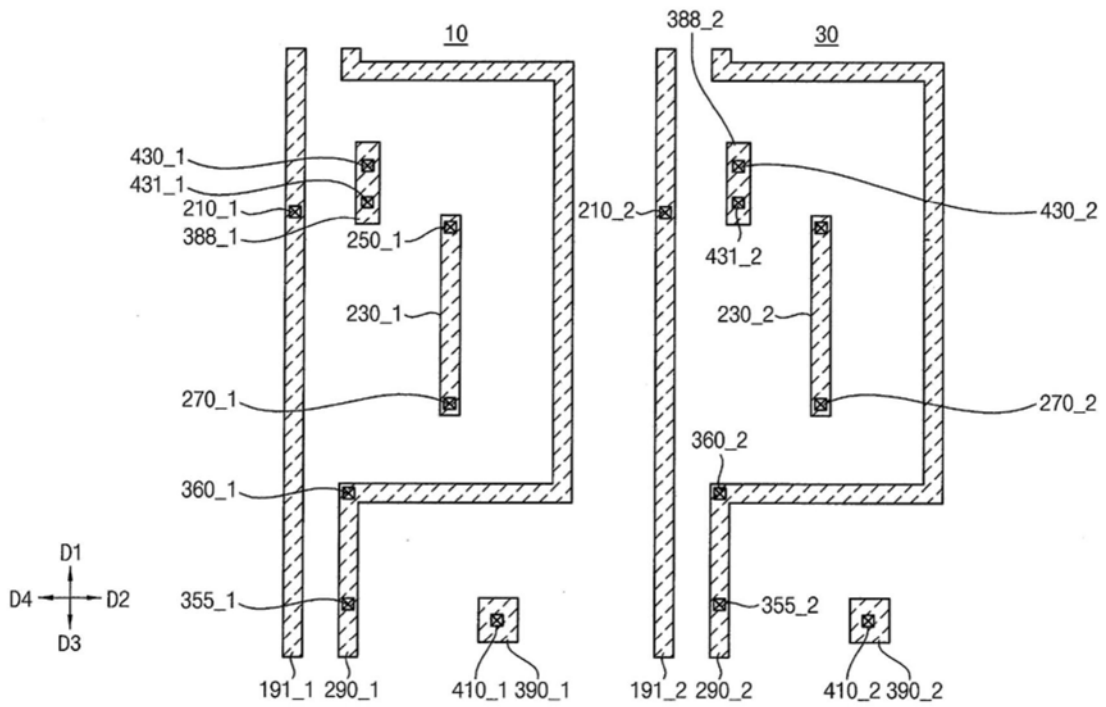


图10

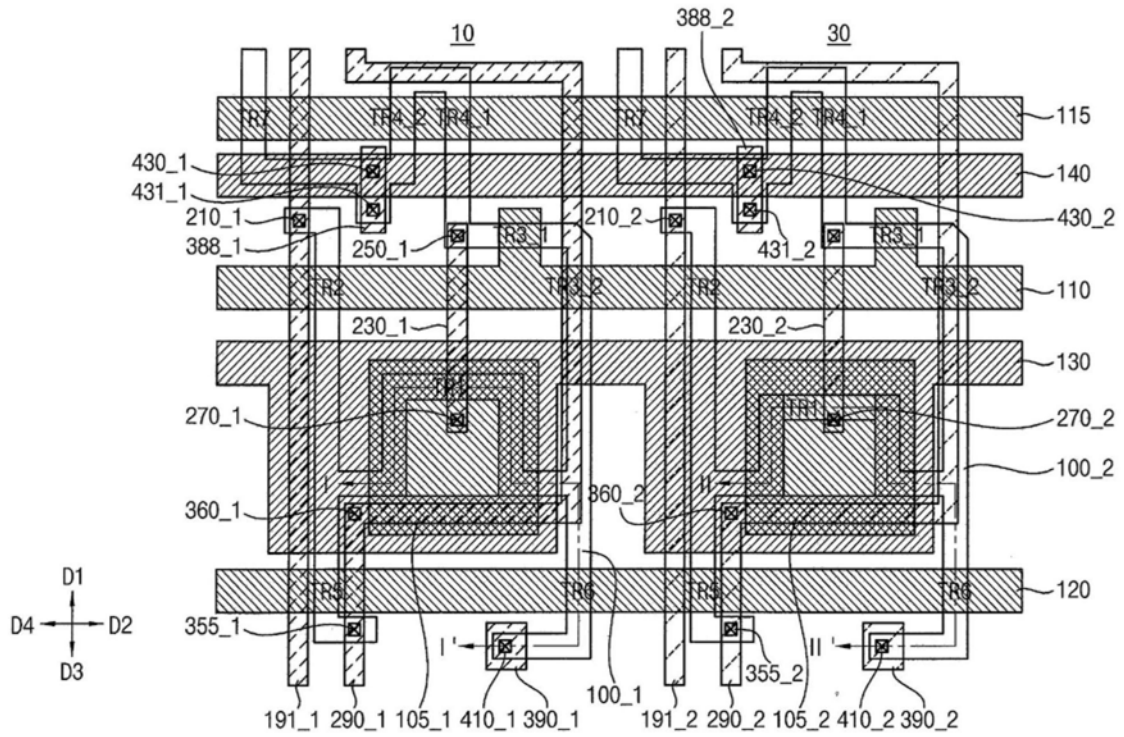


图11

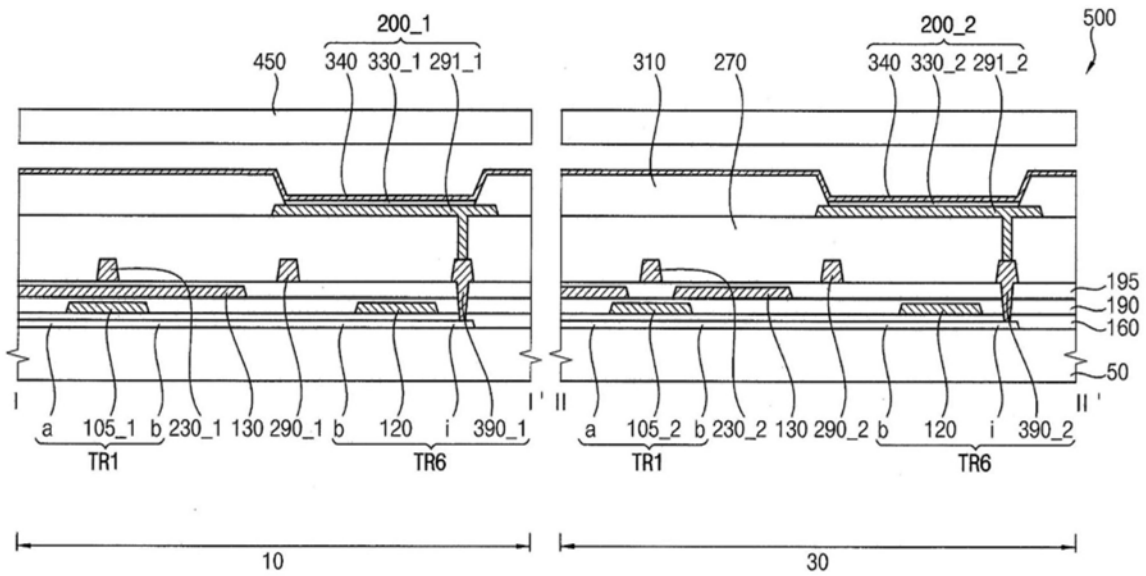


图12

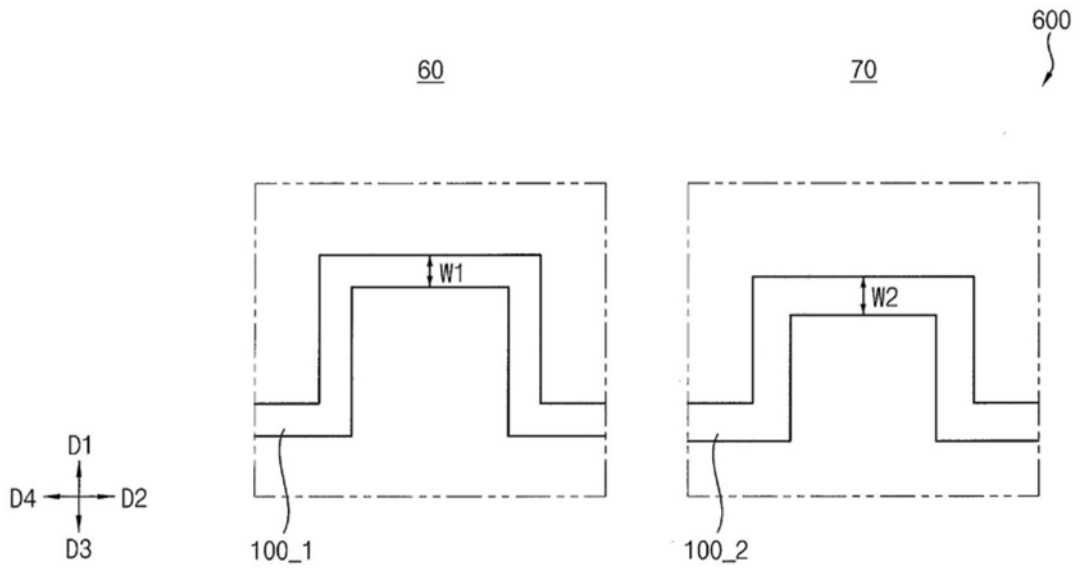


图13

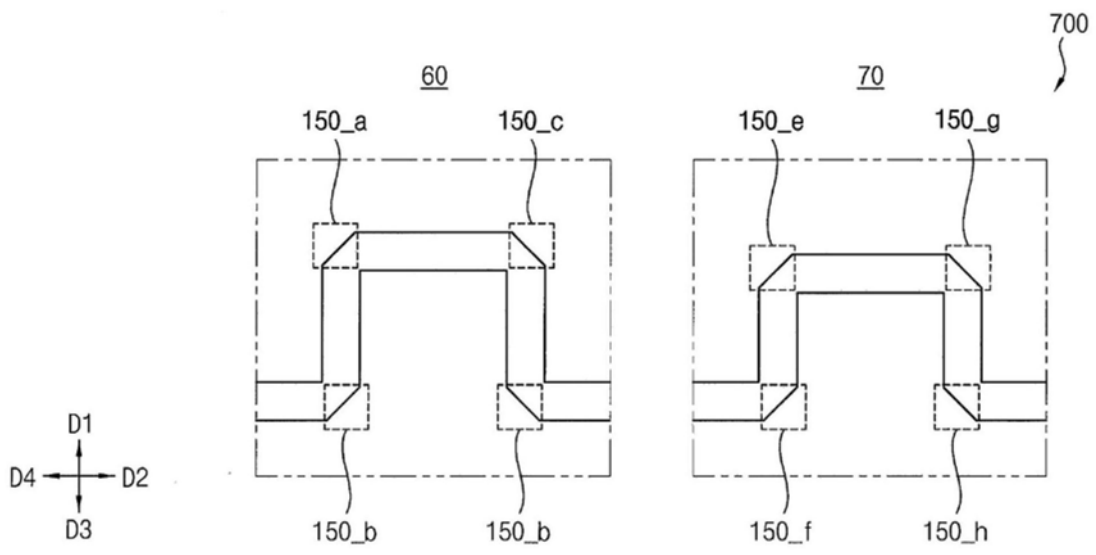


图14

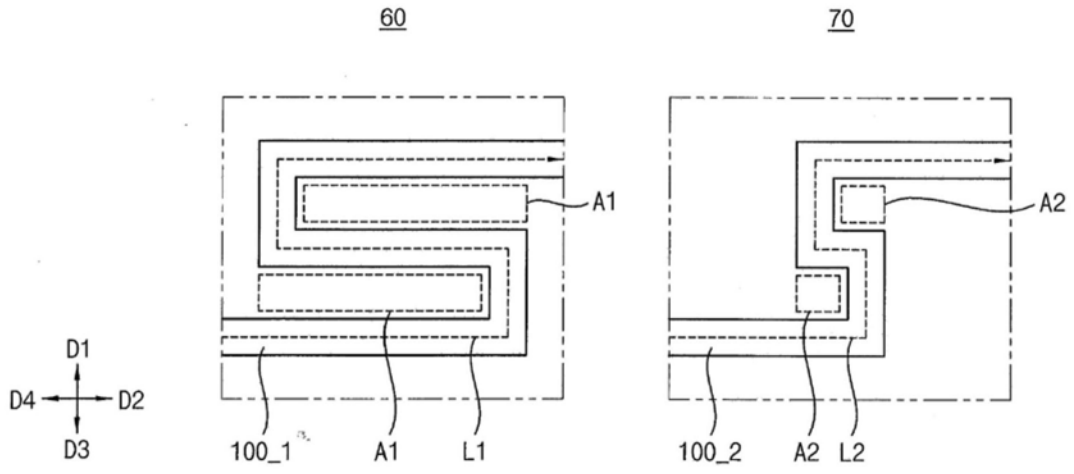


图15

专利名称(译)	有机发光二极管显示装置		
公开(公告)号	CN110444565A	公开(公告)日	2019-11-12
申请号	CN201910361173.9	申请日	2019-04-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	李大远 金兑坤		
发明人	李大远 金兑坤		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3211 H01L27/3246 H01L27/3248 H01L27/3262 G09G3/32 G09G3/3258 G09G3/3266 G09G3/3291 G09G2300/0426 G09G2300/0452 H01L27/3276 H01L51/5036		
优先权	1020180050907 2018-05-02 KR		
外部链接	Espacenet SIPO		

摘要(译)

公开了有机发光二极管显示装置。所述有机发光二极管显示装置包括衬底、第一有源图案、第二有源图案以及第一子像素结构和第二子像素结构。衬底具有包括第一驱动晶体管区域的第一子像素电路区域和包括第二驱动晶体管区域的第二子像素电路区域。第一有源图案在衬底上布置在第一子像素电路区域中，并且在第一驱动晶体管区域中具有第一弯曲部。第一有源图案具有在平面表面的方向上由第一弯曲部形成的第一凹部。第二有源图案在衬底上布置在第二子像素电路区域中，并且在第二驱动晶体管区域中具有第二弯曲部。第二有源图案具有在平面表面的方向上由第二弯曲部形成的第二凹部。第二凹部的面积小于第一凹部的面积。

