



(12)发明专利申请

(10)申请公布号 CN 110246866 A

(43)申请公布日 2019.09.17

(21)申请号 201910171507.6

(22)申请日 2019.03.07

(30)优先权数据

10-2018-0026998 2018.03.07 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 申允智 白敬铉 成硕济 郑宇镐 赵允锤

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 张晓 刘灿强

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 27/12(2006.01)

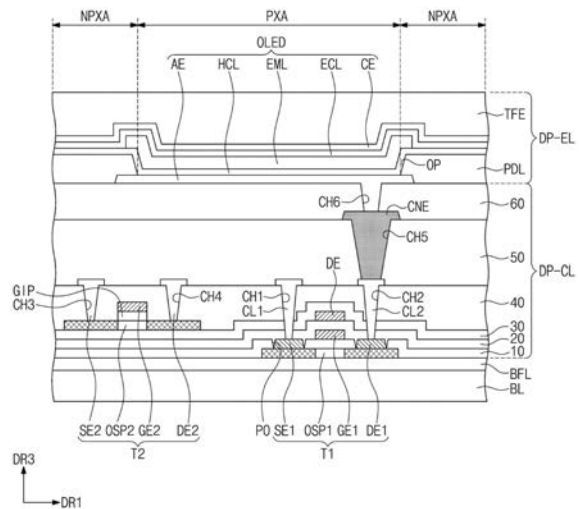
权利要求书2页 说明书14页 附图12页

(54)发明名称

包括两种半导体材料的显示面板

(57)摘要

提供了包括两种半导体材料的显示面板。所述显示面板包括：基体层；第一薄膜晶体管，设置在基体层上并包括：硅半导体图案；第一控制电极，与硅半导体图案分隔开；第一输入电极，连接到硅半导体图案的第一侧；以及第一输出电极，连接到硅半导体图案的第二侧；第二薄膜晶体管，设置在基体层上并包括：氧化物半导体图案；第二控制电极，与氧化物半导体图案分隔开；第二输入电极，连接到氧化物半导体图案的第一侧；以及第二输出电极，连接到氧化物半导体图案的第二侧；有机发光二极管，包括：第一电极，连接到第一薄膜晶体管；第二电极，设置在第一电极上；以及发射层，设置在第一电极与第二电极之间。



1. 一种显示面板,所述显示面板包括:

基体层;

第一薄膜晶体管,设置在所述基体层上,并且包括:硅半导体图案;第一控制电极,与所述硅半导体图案分隔开;第一输入电极,连接到所述硅半导体图案的第一侧;以及第一输出电极,连接到所述硅半导体图案的第二侧;

第二薄膜晶体管,设置在所述基体层上,并且包括:氧化物半导体图案;第二控制电极,与所述氧化物半导体图案分隔开;第二输入电极,连接到所述氧化物半导体图案的第一侧;以及第二输出电极,连接到所述氧化物半导体图案的第二侧;

有机发光二极管,包括:第一电极,连接到所述第一薄膜晶体管;第二电极,设置在所述第一电极上;以及发射层,设置在所述第一电极与所述第二电极之间;以及

第一绝缘层,设置在所述有机发光二极管与所述硅半导体图案之间,其中,所述第一绝缘层设置在所述硅半导体图案上,其中,所述第一绝缘层包括分别使所述硅半导体图案的所述第一侧和所述第二侧暴露的多个开口,

其中,所述第一输入电极和所述第一输出电极分别位于所述多个开口中的开口中。

2. 根据权利要求1所述的显示面板,其中,所述第一输入电极和所述第一输出电极设置在与设置有所述第二输入电极和所述第二输出电极的层不同的层上。

3. 根据权利要求2所述的显示面板,所述显示面板还包括:

第一连接电极,连接到所述第一输入电极;以及

第二连接电极,设置在所述第一电极与所述第一输出电极之间,并且与所述第一连接电极设置在同一层上,其中,所述第二连接电极将所述第一输出电极电连接到所述第一电极。

4. 根据权利要求3所述的显示面板,其中,所述第一连接电极和所述第二连接电极与所述第二输入电极和所述第二输出电极设置在同一层上。

5. 根据权利要求2所述的显示面板,其中,所述第一输入电极和所述第一输出电极包括与所述第二输入电极和所述第二输出电极的材料不同的材料。

6. 根据权利要求3所述的显示面板,所述显示面板还包括:

桥接电极,设置在所述第一电极与所述第二连接电极之间,并且连接到所述第一电极和所述第二连接电极。

7. 根据权利要求6所述的显示面板,其中,所述桥接电极具有比所述第二连接电极的电阻低的电阻。

8. 根据权利要求1所述的显示面板,所述显示面板还包括:

第二绝缘层,设置在所述第一绝缘层与所述第一电极之间;以及

上电极,设置在所述第二绝缘层上,

其中,所述第一控制电极设置在所述第一绝缘层与所述第二绝缘层之间,并且当在平面图中看时,所述上电极与所述第一控制电极叠置。

9. 根据权利要求6所述的显示面板,所述显示面板还包括:

上电极,与所述第一控制电极分隔开,并且当在平面图中看时与所述第一控制电极叠置,

其中,所述上电极和所述第一控制电极接收相同的电压。

10. 根据权利要求1所述的显示面板,其中,所述第一输入电极的厚度和所述第一输出电极的厚度等于所述第一绝缘层的厚度。

11. 根据权利要求1所述的显示面板,其中,当在剖视图中看时,所述第一输入电极的侧表面和所述第一输出电极的侧表面具有倾斜的形状。

12. 根据权利要求1所述的显示面板,其中,当在平面图中看时,所述第一输入电极的顶表面和所述第一输出电极的顶表面不与所述第一绝缘层的顶表面叠置。

13. 根据权利要求1所述的显示面板,其中,所述第一输入电极和所述第一输出电极分别完全填充所述多个开口。

14. 根据权利要求1所述的显示面板,其中,所述第一绝缘层还包括分别使所述氧化物半导体图案的第一侧和第二侧暴露的多个开口,

其中,所述氧化物半导体图案与所述硅半导体图案设置在同一层上,并且

其中,所述第二输入电极和所述第二输出电极各自设置在分别使所述氧化物半导体图案的所述第一侧和所述第二侧暴露的所述多个开口中的开口中。

## 包括两种半导体材料的显示面板

[0001] 该专利申请要求于2018年3月7日提交的第10-2018-0026998号韩国专利申请的优先权,所述韩国专利申请的公开内容通过引用全部包含于此。

### 技术领域

[0002] 本发明的示例性实施例涉及一种显示面板,更具体地,涉及一种包括两种半导体材料的显示面板和制造显示面板的方法。

### 背景技术

[0003] 显示面板可以包括至少一个薄膜晶体管。薄膜晶体管可以包括包含半导体材料的半导体图案。显示面板可以包括多个像素和用于控制像素的驱动电路。驱动电路可以包括至少一个薄膜晶体管。驱动电路的薄膜晶体管可以向像素提供电信号。然而,源电极与连接电极之间会发生未对准。

[0004] 每个像素可以包括像素驱动电路和连接到像素驱动电路的显示元件。像素驱动电路可以包括至少一个薄膜晶体管和电容器。像素驱动电路的薄膜晶体管和电容器可以响应于从驱动电路提供的电信号来控制显示元件。

### 发明内容

[0005] 本发明的示例性实施例提供了一种具有提高的工艺可靠性的显示面板和制造显示面板的方法。

[0006] 在本发明的示例性实施例中,显示面板包括基体层以及设置在基体层上并且包括硅半导体图案的第一薄膜晶体管。第一控制电极与硅半导体图案分隔开。第一输入电极连接到硅半导体图案的第一侧。第一输出电极连接到硅半导体图案的第二侧。第二薄膜晶体管设置在基体层上。第二薄膜晶体管包括氧化物半导体图案。第二控制电极与氧化物半导体图案分隔开。第二输入电极连接到氧化物半导体图案的第一侧。第二输出电极连接到氧化物半导体图案的第二侧。有机发光二极管包括连接到第一薄膜晶体管的第一电极。第二电极设置在第一电极上。发射层设置在第一电极与第二电极之间。第一绝缘层设置在有机发光二极管与硅半导体图案之间。第一绝缘层设置在硅半导体图案上。第一绝缘层包括分别使硅半导体图案的第一侧和第二侧暴露的多个开口。第一输入电极和第一输出电极分别位于多个开口中的开口中。

[0007] 在本发明的示例性实施例中,第一输入电极和第一输出电极可以设置在与设置有第二输入电极和第二输出电极的层不同的层上。

[0008] 在本发明的示例性实施例中,显示面板可以包括连接到第一输入电极的第一连接电极,以及设置在第一电极与第一输出电极之间并且与第一连接电极设置在同一层上的第二连接电极。第二连接电极可以将第一输出电极电连接到第一电极。

[0009] 在本发明的示例性实施例中,第一连接电极和第二连接电极可以与第二输入电极和第二输出电极设置在同一层上。

[0010] 在本发明的示例性实施例中,第一输入电极和第一输出电极可以包括与第二输入电极和第二输出电极的材料不同的材料。

[0011] 在本发明的示例性实施例中,显示面板可以包括设置在第一电极与第二连接电极之间并且连接到第一电极和第二连接电极的桥接电极。

[0012] 在本发明的示例性实施例中,桥接电极可以具有比第二连接电极的电阻低的电阻。

[0013] 在本发明的示例性实施例中,显示面板可以包括设置在第一绝缘层与第一电极之间的第二绝缘层,以及设置在第二绝缘层上的上电极。第一控制电极可以设置在第一绝缘层与第二绝缘层之间,并且当在平面图中看时,上电极可以与第一控制电极叠置。

[0014] 在本发明的示例性实施例中,上电极和第一控制电极可以接收相同的电压。

[0015] 在本发明的示例性实施例中,第一输入电极的厚度和第一输出电极的厚度可以基本等于第一绝缘层的厚度。

[0016] 在本发明的示例性实施例中,当在剖视图中看时,第一输入电极的侧表面和第一输出电极的侧表面可以具有倾斜的形状。

[0017] 在本发明的示例性实施例中,当在平面图中看时,第一输入电极的顶表面和第一输出电极的顶表面不需要与第一绝缘层的顶表面叠置。

[0018] 在本发明的示例性实施例中,第一输入电极和第一输出电极可以分别基本完全填充开口。

[0019] 在本发明的示例性实施例中,第一绝缘层可以包括分别使氧化物半导体图案的第一侧和第二侧暴露的多个开口。氧化物半导体图案可以与硅半导体图案设置在同一层上,并且第二输入电极和第二输出电极均可以各自位于分别使氧化物半导体图案的第一侧和第二侧暴露的多个开口中的开口中。

[0020] 在本发明的示例性实施例中,显示面板包括基体层以及设置在基体层上的薄膜晶体管。薄膜晶体管包括硅半导体图案。控制电极与硅半导体图案分隔开。输入电极连接到硅半导体图案的第一侧。输出电极连接到硅半导体图案的第二侧。第一绝缘层直接设置在硅半导体图案上。第一绝缘层包括分别使硅半导体图案的第一侧和第二侧直接暴露的多个开口。第二绝缘层设置在第一绝缘层和薄膜晶体管上。有机发光二极管包括:第一电极,设置在第二绝缘层上并连接到薄膜晶体管;第二电极,设置在第一电极上;以及发射层,设置在第一电极与第二电极之间。连接电极设置在第二绝缘层与第一电极之间。连接电极穿透第二绝缘层以将第一电极和输出电极电连接。输入电极和输出电极分别设置在多个开口中的开口中,以与硅半导体图案上的第一绝缘层形成同一层。

[0021] 在本发明的示例性实施例中,输入电极和输出电极的顶表面可以与第一绝缘层的顶表面基本共面。

[0022] 在本发明的示例性实施例中,显示面板可以包括设置在第二绝缘层和连接电极上的第三绝缘层。桥接电极可以穿透第三绝缘层以将第一电极和连接电极电连接。

[0023] 在本发明的示例性实施例中,桥接电极可以具有比连接电极的电阻低的电阻。

[0024] 在本发明的示例性实施例中,控制电极可以与硅半导体图案叠置,并且可以设置在第一绝缘层下方。

[0025] 在本发明的示例性实施例中,输出电极可以由与连接电极的材料不同的材料形

成。

[0026] 在本发明的示例性实施例中,输出电极、连接电极和桥接电极可以沿与基体层的上表面正交的方向全部彼此对准。

### 附图说明

[0027] 通过参照附图详细地描述本发明的示例性实施例,本发明的以上和其它特征将变得更加清楚,在附图中:

[0028] 图1是根据本发明的示例性实施例的显示面板的透视图;

[0029] 图2是根据本发明的示例性实施例的显示面板的平面图;

[0030] 图3是根据本发明的示例性实施例的像素的等效电路图;

[0031] 图4是根据本发明的示例性实施例的像素的一部分的剖视图;

[0032] 图5是根据本发明的示例性实施例的像素的一部分的剖视图;

[0033] 图6是根据本发明的示例性实施例的像素的一部分的剖视图;

[0034] 图7是根据本发明的示例性实施例的像素的一部分的剖视图;

[0035] 图8是根据本发明的示例性实施例的像素的一部分的剖视图;以及

[0036] 图9A、图9B、图9C、图9D、图9E、图9F、图9G、图9H、图9I、图9J、图9K和图9L是根据本发明的示例性实施例的制造显示面板的方法的剖视图。

### 具体实施方式

[0037] 下面将参照附图更详细地描述本发明的示例性实施例。在这方面,示例性实施例可以具有不同的形式,并且不应该被解释为局限于这里描述的本发明的示例性实施例。在整个说明书和附图中,同样的附图标记可以指同样的元件。

[0038] 将理解的是,当诸如层、膜、区域或板的组件称为“在”另一组件“上”时,该组件可以直接在另一组件上,或者可以存在中间组件。

[0039] 如这里所使用的,除非上下文另外清楚地指出,否则单数形式“一个(种/者)”和“该(所述)”可以包括包含“至少一个(种/者)”的复数形式。如这里所使用的,术语“和/或”包括一个或多个相关所列项的任意组合和所有组合。

[0040] 为了描述的清楚性,这里可以使用诸如“在……之下”、“在……下方”、“下面的”、“在……上方”或“上面的”的空间相对术语来描述如参照附图描述的一个元件或特征与另外的元件或特征的关系。将理解的是,除了附图中描绘的方位之外,空间相对术语意图包含装置在使用或操作中的不同方位。例如,描述的装置可以被另外定向(例如,旋转90度或在其它方位上),并相应地解释这里所使用的空间相对描述符。

[0041] 将理解的是,尽管这里可以使用术语“第一”和“第二”来描述各种组件,但是这些组件不应该被这些术语限制。

[0042] 图1是根据本发明的示例性实施例的显示面板的透视图。图2是根据本发明的示例性实施例的显示面板的平面图。

[0043] 参照图1和图2,显示面板DP的前表面DP-FS可以沿由第一方向DR1和第二方向DR2限定的平面延伸。作为示例,第一方向DR1可以垂直于第二方向DR2。第一方向DR1和第二方向DR2可以限定显示面板延伸所沿的平面。第三方向DR3可以垂直于第一方向DR1和第二方

向DR2。因此,第三方向DR3可以与在第一方向DR1和第二方向DR2上延伸的平面正交。

[0044] 显示面板DP的前表面DP-FS的法线方向(例如,显示面板DP的厚度方向)可以由第三方向DR3表示。包括在显示面板DP中的每个层的顶表面(例如,或前表面)和底表面(例如,或后表面)可以由第三方向DR3限定。

[0045] 显示面板DP可以包括前表面DP-FS中的显示区域DP-DA和非显示区域DP-NDA。像素PX可以设置在显示区域DP-DA中,非显示区域DP-NDA可以与显示区域DP-DA相邻。显示区域DP-DA可以包括多个像素PX。作为示例,像素PX可以彼此分隔开或可以彼此紧邻。像素PX可以在下面的基底上或上方布置成多行和多列。因此,像素PX可以以矩阵构造布置。

[0046] 显示区域DP-DA可以具有各种形状中的一种形状。例如,显示区域DP-DA可以具有四边形形状(例如,矩形形状或正方形形状)。可选择地,显示区域DP-DA可以具有圆形形状。

[0047] 非显示区域DP-NDA可以与显示区域DP-DA相邻。在本发明的示例性实施例中,当在平面图中看时,非显示区域DP-NDA可以围绕显示区域DP-DA。作为示例,非显示区域DP-NDA可以在平面图中(例如,沿第三方向DR3)布置在显示区域DP-DA的四个侧处;然而,本发明的示例性实施例不限于此。例如,非显示区域DP-NDA可以在平面图中布置在显示区域DP-DA的少于四个侧(例如,三个侧)处。根据需要,可以对显示区域DP-DA和非显示区域DP-NDA的形状进行各种修改。例如,非显示区域DP-NDA可以仅设置在显示区域DP-DA的一侧或两侧处。

[0048] 图2示意性地示出了像素PX、驱动电路GDC和信号线SGL的连接关系。图3是根据本发明的示例性实施例的像素的等效电路图。图4是根据本发明的示例性实施例的像素的一部分的剖视图。

[0049] 参照图1至图4,显示面板DP可以包括驱动电路GDC、多条信号线SGL、多个信号垫(pad,又称为“焊盘”或“焊垫”)DP-PD和多个像素PX。

[0050] 可以基于从像素PX发射的光的颜色将像素PX划分为多个组。例如,像素PX可以包括红色像素、绿色像素和蓝色像素。在本发明的示例性实施例中,像素PX还可以包括白色像素。

[0051] 驱动电路GDC可以包括扫描驱动电路。扫描驱动电路可以产生多个扫描信号,并且可以将扫描信号顺序输出到多条扫描线GL。扫描驱动电路还可以将其它控制信号输出到像素PX的像素驱动电路。

[0052] 扫描驱动电路可以通过同一工艺与像素PX的像素驱动电路一起形成。

[0053] 信号线SGL可以包括扫描线GL、数据线DL、电源线PL和控制信号线CSL。每条扫描线GL可以连接到像素PX中的对应的像素PX,并且每条数据线DL可以连接到像素PX中的对应的像素PX。电源线PL可以连接到像素PX。控制信号线CSL可以向扫描驱动电路提供控制信号。每个信号垫DP-PD可以连接到信号线SGL中的对应的信号线SGL。

[0054] 电路板可以电连接到显示面板DP。电路板可以是刚性电路板或柔性电路板。驱动芯片可以安装在电路板上。

[0055] 作为示例,驱动芯片可以安装在显示面板DP上。在驱动芯片安装在显示面板DP上的情况下,可以改变信号线SGL的设计。例如,驱动芯片可以连接到数据线DL,并且可以设置将驱动芯片连接到信号垫DP-PD的附加的信号线。

[0056] 根据本发明的示例性实施例,可以提供一条扫描线GL、一条数据线DL、电源线PL以及连接到线GL、DL和PL的像素PX。在本发明的示例性实施例中,像素PX可以包括作为发光元

件的有机发光二极管或量子点发光二极管。有机发光二极管的发射层可以包括有机发光材料。量子点发光二极管的发射层可以包括量子点和/或量子棒。与有机发光像素对应的像素PX将在下面作为示例更详细地描述；然而，本发明的示例性实施例不限于此。

[0057] 像素PX可以包括有机发光二极管OLED和用于驱动有机发光二极管OLED的像素驱动电路。有机发光二极管OLED可以是前表面发光型二极管或后表面发光型二极管。在本发明的示例性实施例中，像素驱动电路可以包括第一薄膜晶体管T1（例如，其可以是驱动晶体管）、第二薄膜晶体管T2（例如，其可以是开关晶体管）以及电容器Cst。第一电源电压ELVDD可以通过第一薄膜晶体管T1提供到有机发光二极管OLED的端子，第二电源电压ELVSS可以提供到有机发光二极管OLED的另一端子。第二电源电压ELVSS可以低于第一电源电压ELVDD。

[0058] 第一薄膜晶体管T1可以连接到有机发光二极管OLED。第一薄膜晶体管T1可以响应于存储在电容器Cst中的电荷量来控制流过有机发光二极管OLED的驱动电流。第二薄膜晶体管T2可以响应于施加到扫描线GL的扫描信号来输出数据线DL的数据信号。电容器Cst可以充入与从第二薄膜晶体管T2接收的数据信号对应的电压。

[0059] 然而，像素PX的构造不限于上述示例（例如，相对于图3），而是可以根据需要进行各种修改。在本发明的示例性实施例中，用于控制有机发光二极管OLED的像素驱动电路可以包括三个或更多个薄膜晶体管。在本发明的示例性实施例中，有机发光二极管OLED可以连接在电源线PL与第二薄膜晶体管T2之间。

[0060] 图4示出了与可以包括在像素PX中的第一薄膜晶体管T1、第二薄膜晶体管T2和有机发光二极管OLED对应的剖视图。

[0061] 显示面板DP可以包括基体层BL、电路元件层DP-CL和显示元件层DP-EL。显示面板DP还可以包括诸如抗反射层和/或折射率调节层的功能层。电路元件层DP-CL可以包括第一薄膜晶体管T1、第二薄膜晶体管T2、多个绝缘层10、20、30、40、50和60、上电极DE、连接电极CL1和CL2以及桥接电极CNE。电路元件层DP-CL可以通过形成绝缘层、半导体层和导电层的涂覆和/或沉积工艺以及使用光刻工艺使绝缘层、半导体层和导电层图案化的工艺来形成。绝缘层10、20、30、40、50和60中的每个可以包括有机层和/或无机层。显示元件层DP-EL可以包括有机发光二极管OLED、像素限定层PDL和薄膜封装层TFE。

[0062] 第一薄膜晶体管T1、第二薄膜晶体管T2和电容器Cst可以设置在基体层BL上。基体层BL可以包括合成树脂膜。合成树脂膜可以包括热固性树脂。例如，合成树脂膜可以是聚酰亚胺类树脂膜。然而，本发明的示例性实施例不限于包括特定材料的合成树脂膜。在本发明的示例性实施例中，合成树脂膜可以包括丙烯酸类树脂、甲基丙烯酸类树脂、聚异戊二烯、乙烯类树脂、环氧类树脂、氨基甲酸酯类树脂、纤维素类树脂、硅氧烷类树脂、聚酰胺类树脂和萘类树脂中的至少一种。在本发明的示例性实施例中，基体层BL可以包括玻璃基底、金属基底或有机/无机复合材料基底。

[0063] 无机层BFL可以设置在基体层BL的顶表面（例如，基体层BL的面对第一薄膜晶体管T1的表面）上。无机层BFL可以包括阻挡层和/或缓冲层。无机层BFL可以包括氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种。无机层BFL可以具有多层的结构。多层的无机层BFL可以具有如上所述的阻挡层和缓冲层。可以选择性地设置阻挡层和缓冲层。可选择地，无机层BFL可以具有单层结构。

[0064] 阻挡层可以防止外来物质从外部渗透。阻挡层可以包括氧化硅层和氮化硅层。氧化硅层和氮化硅层可以交替地堆叠。例如,氧化硅层和氮化硅层可以交替地且重复地堆叠。

[0065] 缓冲层可以增大设置在缓冲层上的组件与缓冲层下的组件之间的结合强度。缓冲层可以包括氧化硅层和氮化硅层。氧化硅层和氮化硅层可以交替地堆叠。例如,氧化硅层和氮化硅层可以交替且重复地堆叠。

[0066] 第一薄膜晶体管T1可以包括第一输入电极SE1、第一输出电极DE1、第一控制电极GE1和第一半导体图案OSP1。第二薄膜晶体管T2可以包括第二输入电极SE2、第二输出电极DE2、第二控制电极GE2和第二半导体图案OSP2。

[0067] 第一半导体图案OSP1可以设置在无机层BFL上。例如,第一半导体图案OSP1可以与无机层BFL直接接触。第一半导体图案OSP1可以包括晶体半导体材料。例如,第一半导体图案OSP1可以包括诸如多晶硅的多晶半导体材料。因此,第一半导体图案OSP1可以在这里可互换地称为硅半导体图案。由于多晶硅层具有高场效应迁移率,因此多晶硅层可以应用于相对高速的操作电路。因此,可以提高显示面板DP的性能速度和可靠性。

[0068] 然而,本发明的示例性实施例不限于此。在本发明的示例性实施例中,第一半导体图案OSP1可以包括非晶硅。第一半导体图案OSP1可以包括输入区域(例如,或第一部分)、输出区域(例如,或第二部分)以及限定在输入区域与输出区域之间的沟道区域(例如,或第三部分)。在本发明的示例性实施例中(参见,例如图4),输入区域和输出区域可以具有倾斜的侧表面。

[0069] 第一半导体图案OSP1的沟道区域可以被限定为(例如,沿第三方向DR3)与第一控制电极GE1叠置。输入区域和输出区域可以掺杂有掺杂剂,并且可以具有比沟道区域的导电率高的导电率。输入区域和输出区域可以掺杂有N型掺杂剂。在本发明的示例性实施例中,第一薄膜晶体管T1可以是N型晶体管。然而,本发明的示例性实施例不限于此。在本发明的示例性实施例中,第一薄膜晶体管T1可以是P型晶体管。

[0070] 第一绝缘层10可以设置在无机层BFL上。第一绝缘层10可以与多个像素PX(参见,例如,图1)叠置(例如,沿第三方向DR3)。第一绝缘层10可以基本覆盖第一半导体图案OSP1。第一绝缘层10可以包括无机层和/或有机层,并且可以具有单层的或多层的结构。第一绝缘层10可以包括氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种。在本发明的示例性实施例中,第一绝缘层10可以是单层的氧化硅层。

[0071] 第一绝缘层10可以具有分别使第一半导体图案OSP1的第一侧和第二侧暴露的多个开口P0。第一半导体图案OSP1的第一侧可以(例如,沿第一方向DR1)与第二侧相对。作为示例,第一半导体图案OSP1的第一侧的一部分和第二侧的一部分可以被第一绝缘层10中的开口P0暴露。第一输入电极SE1和第一输出电极DE1可以分别定位(例如,嵌入)在开口P0中。这里,术语“嵌入”可以表示第一输入电极SE1和第一输出电极DE1分别设置在开口P0中,以在平面图中不与第一绝缘层10的顶表面叠置。作为示例,第一输入电极SE1的顶表面和第一输出电极DE1的顶表面不延伸到第一绝缘层10的顶表面上。此外,第一输入电极SE1的顶表面和第一输出电极DE1的顶表面可以与第一绝缘层10的顶表面分隔开。因此,开口P0的一部分可以将第一输入电极SE1的顶表面和第一输出电极DE1的顶表面与第一绝缘层10的顶表面分开(参见,例如,图4)。

[0072] 第一输入电极SE1和第一输出电极DE1在第三方向DR3上距第一半导体图案OSP1的

厚度可以基本等于第一绝缘层10的厚度。因此,嵌入的第一输入电极SE1的顶表面和第一输出电极DE1的顶表面可以(例如,沿第一方向DR1和/或第二方向DR2)与第一绝缘层10的顶表面基本共面。下面将更详细地描述根据本发明的示例性实施例的在嵌入工艺中发生的公差。作为示例,本发明的示例性实施例可以包括(例如,沿第三方向DR3)第一输入电极SE1和第一输出电极DE1的厚度略小于或略大于第一绝缘层10的厚度的情况。在本发明的示例性实施例中,第一输入电极SE1的侧表面和第一输出电极DE1的侧表面可以(例如,当在剖视图中看时)是倾斜的。

[0073] 第一控制电极GE1可以设置在第一绝缘层10上。第一控制电极GE1可以(例如,沿第三方向DR3)与第一半导体图案OSP1的沟道区域叠置。

[0074] 第二绝缘层20可以设置在第一绝缘层10上。第二绝缘层20可以基本覆盖第一绝缘层10和第一控制电极GE1。第二绝缘层20可以(例如,沿第三方向DR3)与多个像素PX(参见,例如,图1)叠置。第二绝缘层20可以设置在第一输入电极SE1和第一输出电极DE1上。在本发明的示例性实施例中,第一输入电极SE1和第一输出电极DE1可以基本被第二绝缘层20覆盖。

[0075] 第二绝缘层20可以包括无机层和/或有机层,并且可以具有单层的或多层的结构。第二绝缘层20可以包括氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种。在本发明的示例性实施例中,第二绝缘层20可以是单层的氧化硅层。

[0076] 上电极DE可以设置在第二绝缘层20上。上电极DE可以(例如,沿第三方向DR3)与第一控制电极GE1叠置。上电极DE可以接收与施加到第一控制电极GE1的电信号不同的电信号。此时,第一控制电极GE1和上电极DE可以形成电场。

[0077] 然而,本发明的示例性实施例不限于此。在本发明的示例性实施例中,上电极DE和第一控制电极GE1可以接收相同的电信号(例如,相同的电压)。在这种情况下,第一薄膜晶体管T1可以具有双栅极结构。上电极DE和第一控制电极GE1可以控制沟道区域的导通-截止电压。

[0078] 第三绝缘层30可以设置在第二绝缘层20上,并且可以基本覆盖上电极DE。第三绝缘层30可以包括无机层和/或有机层,并且可以具有单层的或多层的结构。第三绝缘层30可以包括氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种。在本发明的示例性实施例中,第三绝缘层30可以是单层的氧化硅层。

[0079] 第二半导体图案OSP2可以设置在第三绝缘层30上。第二半导体图案OSP2可以包括氧化物半导体。因此,第二半导体图案OSP2可以可互换地称为氧化物半导体图案。第二半导体图案OSP2可以包括晶体氧化物半导体或非晶氧化物半导体。例如,氧化物半导体可以包括锌(Zn)、铟(In)、镓(Ga)、锡(Sn)和/或钛(Ti)的金属氧化物,或者可以包括金属(例如,锌(Zn)、铟(In)、镓(Ga)、锡(Sn)和/或钛(Ti))的混合物及其氧化物。例如,氧化物半导体可以包括氧化铟锡(ITO)、氧化铟镓锌(IGZO)、氧化锌(ZnO)、氧化铟锌(IZO)、氧化铟锡(ZIO)、氧化铟(InO)、氧化钛(TiO)、氧化铟锌锡(IZTO)或氧化铟锡(ZTO)。

[0080] 第二半导体图案OSP2可以包括输入区域(例如,或第一部分)、输出区域(例如,或第二部分)以及限定在输入区域与输出区域之间的沟道区域(例如,或第三部分)。第二半导体图案OSP2的输入区域和输出区域的电导率可以比第二半导体图案OSP2的沟道区域的电导率高。第二半导体图案OSP2的沟道区域可以被限定为与稍后将描述的第二控制电极GE2

叠置。

[0081] 输入区域和输出区域可以包括第二半导体图案OSP2的还原的金属材料。作为示例,输入区域和输出区域可以包括从形成沟道区域的金属氧化物还原的金属材料。因此,可以降低第二薄膜晶体管T2的漏电流。结果,第二薄膜晶体管T2可以用作具有导通-截止特性并且具有提高的精度和可靠性的开关元件。

[0082] 绝缘图案GIP可以设置在第二半导体图案OSP2的沟道区域上。第二控制电极GE2可以设置在绝缘图案GIP上。第二控制电极GE2可以(例如,沿第三方向DR3)至少与绝缘图案GIP叠置。绝缘图案GIP的边缘可以(例如,沿第三方向DR3)与第二控制电极GE2的边缘对准。第二控制电极GE2可以(例如,当在平面图中看时和/或当在剖视图中看时)具有与绝缘图案GIP相同的形状。沟道区域与输入区域之间的边界以及沟道区域与输出区域之间的边界可以与绝缘图案GIP的边缘基本对准。

[0083] 第四绝缘层40可以设置在第三绝缘层30上,并且可以基本覆盖第二半导体图案OSP2和第二控制电极GE2。第四绝缘层40可以包括无机层和/或有机层,并且可以具有单层的或多层的结构。第四绝缘层40可以包括氧化铝、氧化钛、氧化硅、氮氧化硅、氮化硅、氧化锆和氧化铪中的至少一种。在本发明的示例性实施例中,第四绝缘层40可以包括氧化硅层和氮化硅层。在本发明的示例性实施例中,第四绝缘层40可以包括交替地堆叠的氧化硅层和氮化硅层。

[0084] 第一连接电极CL1、第二连接电极CL2、第二输入电极SE2和第二输出电极DE2可以设置在第四绝缘层40上。第四绝缘层40可以包括穿透第四绝缘层40的多个接触孔CH1、CH2、CH3和CH4。第一连接电极CL1可以通过第一接触孔CH1连接到第一输入电极SE1和第一半导体图案OSP1的输入区域。第二连接电极CL2可以通过第二接触孔CH2连接到第一输出电极DE1和第一半导体图案OSP1的输出区域。

[0085] 第二输入电极SE2和第二输出电极DE2可以通过第三接触孔CH3和第四接触孔CH4连接到第二半导体图案OSP2,第三接触孔CH3和第四接触孔CH4分别使第二半导体图案OSP2的输入区域和输出区域暴露。

[0086] 连接电极CL1和CL2可以是第一薄膜晶体管T1连接到外部组件的组件。第一连接电极CL1可以将第一输入电极SE1连接到外部组件(例如,参照图2描述的电容器Cst),第二连接电极CL2可以将第一输出电极DE1连接到桥接电极CNE。

[0087] 第一连接电极CL1和第二连接电极CL2均可以包括Ti、Mo、Al、Cu和其组合中的至少一种。可选择地,第一连接电极CL1和第二连接电极CL2均可以包括ITO、IZO、ZnO、In<sub>2</sub>O<sub>3</sub>、SnO<sub>2</sub>、AlZnO<sub>x</sub>和其组合中的至少一种。

[0088] 连接电极CL1和CL2可以与第二输入电极SE2和第二输出电极DE2设置在同一层上。连接电极CL1和CL2可以包括与第二输入电极SE2和第二输出电极DE2相同的材料。

[0089] 因此,根据本发明的示例性实施例,第二薄膜晶体管T2的第二输入电极SE2和第二输出电极DE2可以与第一连接电极CL1和第二连接电极CL2通过同一工艺形成,因此可以简化制造工艺并且可以降低工艺成本。

[0090] 然而,本发明的示例性实施例不限于此。在本发明的示例性实施例中,连接电极CL1和CL2可以设置在与设置有第二输入电极SE2和第二输出电极DE2的层不同的层上。另外,连接电极CL1和CL2可以包括与第二输入电极SE2和第二输出电极DE2的材料不同的材

料,并且可以通过与形成第二输入电极SE2和第二输出电极DE2的工艺无关的工艺形成。由于第一薄膜晶体管T1的第一输入电极SE1和第一输出电极DE1设置在第一绝缘层10的开口PO中,因此第一输入电极SE1和第一输出电极DE1可以包括与第二输入电极SE2和第二输出电极DE2的材料不同的材料。

[0091] 第五绝缘层50可以设置在第四绝缘层40上,并且可以基本覆盖第二输入电极SE2、第二输出电极DE2、第一连接电极CL1和第二连接电极CL2。第五绝缘层50可以包括有机层,并且可以具有单层的或多层的结构。

[0092] 桥接电极CNE可以设置在第五绝缘层50上。桥接电极CNE可以通过穿透第五绝缘层50的第五接触孔CH5连接到第二连接电极CL2。桥接电极CNE可以包括电阻低于第二连接电极CL2的电阻的材料。因此,第二连接电极CL2可以连接到下面更详细地描述的第一电极AE。

[0093] 第六绝缘层(例如,或钝化层)60可以设置在第五绝缘层50上,并且可以基本覆盖桥接电极CNE。第六绝缘层60可以包括有机层,并且可以具有单层的或多层的结构。

[0094] 在本发明的示例性实施例中,第五绝缘层50和第六绝缘层60中的每个可以是单层的聚酰亚胺类树脂层。然而,本发明的示例性实施例不限于此。在本发明的示例性实施例中,第五绝缘层50和第六绝缘层60中的每个可以包括丙烯酸类树脂、甲基丙烯酸类树脂、聚异戊二烯、乙烯类树脂、环氧类树脂、氨基甲酸酯类树脂、纤维素类树脂、硅氧烷类树脂、聚酰胺类树脂和茛类树脂中的至少一种。

[0095] 有机发光二极管OLED可以设置在第六绝缘层60上。有机发光二极管OLED可以包括第一电极AE、第一电荷控制层HCL、发射层EML、第二电荷控制层ECL和第二电极CE。在本发明的示例性实施例中,第一电极AE、第一电荷控制层HCL、发射层EML、第二电荷控制层ECL和第二电极CE可以分别与阳电极、空穴控制层、发射层、电子控制层和阴电极对应。

[0096] 然而,本发明的示例性实施例不限于此。在本发明的示例性实施例中,第一电极AE、第一电荷控制层HCL、发射层EML、第二电荷控制层ECL和第二电极CE可以分别是阴电极、电子控制层、发射层、空穴控制层和阳电极。

[0097] 第一电极AE可以通过穿透第六绝缘层60的第六接触孔CH6连接到桥接电极CNE。因此,根据本发明的示例性实施例,第一电极AE可以通过桥接电极CNE和连接到桥接电极CNE的第二连接电极CL2电连接到第一半导体图案OSP1的输出区域。

[0098] 像素限定层PDL可以设置在第六绝缘层60上。像素限定层PDL的开口OP可以使第一电极AE的至少一部分暴露。像素限定层PDL的开口OP可以限定像素的发光区域PXA。例如,像素PX(参见,例如,图1)可以规则地布置在显示面板DP中(例如,当在平面图中看时)。设置有每个像素PX的区域可以被定义为像素区域,像素区域可以包括发光区域PXA和与发光区域PXA相邻的非发光区域NPXA。当在平面图中看时,非发光区域NPXA可以围绕发光区域PXA。

[0099] 第一电荷控制层HCL可以设置在由像素限定层PDL的开口OP暴露的第一电极AE上并且可以基本覆盖第一电极AE。第一电荷控制层HCL可以公共地设置在发光区域PXA和非发光区域NPXA中。诸如第一电荷控制层HCL的公共层可以公共地形成在多个像素PX中。第一电荷控制层HCL可以控制空穴的运动。例如,第一电荷控制层HCL可以包括空穴传输层和空穴注入层。

[0100] 发射层EML可以设置在第一电荷控制层HCL上。发射层EML可以局部地设置在与开口OP基本对应的区域中。分别包括在像素PX中的发射层EML可以彼此分开。

[0101] 在本发明的示例性实施例中,图案化的发射层EML被描述为示例。然而,在本发明的示例性实施例中,发射层EML可以公共地设置在多个像素PX中。在这种情况下,发射层EML可以产生白光。在本发明的示例性实施例中,发射层EML可以具有多层的结构。

[0102] 第二电荷控制层ECL可以设置在发射层EML上。第二电荷控制层ECL可以控制电子的运动。例如,第二电荷控制层ECL可以包括电子传输层和电子注入层。第二电极CE可以设置在第二电荷控制层ECL上。第二电荷控制层ECL和第二电极CE可以在多个像素PX中彼此直接接触。

[0103] 薄膜封装层TFE可以设置在第二电极CE上。薄膜封装层TFE可以公共地设置在多个像素PX中。在本发明的示例性实施例中,薄膜封装层TFE可以与第二电极CE直接接触并且可以基本覆盖第二电极CE。在本发明的示例性实施例中,还可以设置覆盖第二电极CE的覆盖层。

[0104] 薄膜封装层TFE可以包括至少一个无机层和/或至少一个有机层。在本发明的示例性实施例中,薄膜封装层TFE可以包括两个无机层与设置在所述两个无机层之间的有机层。在本发明的示例性实施例中,薄膜封装层TFE可以包括交替地堆叠的无机层和有机层。

[0105] 薄膜封装层TFE的无机层可以保护有机发光二极管OLED免受湿气/氧的影响,并且薄膜封装层TFE的有机层可以保护有机发光二极管OLED免受诸如尘埃粒子的外来物质的影响。薄膜封装层TFE的无机层可以包括但不限于氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一种。薄膜封装层TFE的有机层可以包括但不限于丙烯酸类有机层。

[0106] 根据本发明的示例性实施例,第一薄膜晶体管T1可以包括硅半导体(例如,多晶硅半导体),并且因此可以具有相对高的电子迁移率。另外,由于第二薄膜晶体管T2包括氧化物半导体,因此可以减小第二薄膜晶体管T2的漏电流。结果,可以减小像素PX的驱动电压(参见,例如,图3),并且可以减少或消除像素PX的失效的发生。

[0107] 根据本发明的示例性实施例,电容器Cst的第一电极和第二电极可以通过与第一薄膜晶体管T1的至少一些组件相同的工艺形成。

[0108] 根据本发明的示例性实施例,设置在半导体图案(例如,第一半导体图案OSP1)的输入区域上的输入电极和输出区域上的输出电极可以嵌入在绝缘层的开口中,因此当通过蚀刻不同的绝缘层来形成接触孔时,能够最小化或防止可能发生的未对准。这可能是因为接触孔形成在与嵌入的电极的位置对应的位置处,因此接触孔形成在期望的位置处。根据本发明的示例性实施例,可以增加显示面板中的电极之间的电连接的可靠性。

[0109] 在本发明的示例性实施例中,显示面板DP可以包括基体层BL和设置在基体层BL上的第一薄膜晶体管T1。第一薄膜晶体管T1可以包括硅半导体图案OSP1、第一输入电极SE1和第一输出电极DE1。绝缘层(例如,第一绝缘层10和第二绝缘层20)可以基本覆盖第一输入电极SE1和第一输出电极DE1中的每个的上表面和侧表面。因此,绝缘层可以包括多个绝缘层。有机发光二极管OLED可以包括位于第一薄膜晶体管T1上方的第一电极AE。第二连接电极CL2可以穿透绝缘层。第二连接电极CL2可以与第一输出电极DE1直接连接。桥接电极CNE可以设置在第二连接电极CL2与第一电极AE之间。桥接电极CNE可以将第二连接电极CL2和第一电极AE彼此电连接。

[0110] 在本发明的示例性实施例中,第一输出电极DE1、第二连接电极CL2和桥接电极CNE可以沿与基体层BL的上表面正交的方向(例如,沿第三方向DR3)全部彼此对准。

[0111] 本发明的示例性实施例的技术特征或方面的描述应该通常被认为可用于并且适用于本发明的另一示例性实施例中的其它类似特征或方面。因此,根据本发明的一个示例性实施例在此描述的技术特征可以适用于本发明的其它示例性实施例,因此这里可以省略重复的描述。

[0112] 图5是根据本发明的示例性实施例的像素的一部分的剖视图。

[0113] 参照图5,在本发明的示例性实施例中,电路元件层DP-CL1可以包括第一薄膜晶体管T1-1、第二薄膜晶体管T2-1、连接电极CL1-1和CL2-1以及多个绝缘层10-1、20-1、40-1和60-1。显示元件层DP-EL1可以包括有机发光二极管OLED-1、像素限定层PDL-1和薄膜封装层TFE-1。

[0114] 参照图5描述的第一薄膜晶体管T1-1、第二薄膜晶体管T2-1、连接电极CL1-1和CL2-1以及显示元件层DP-EL1可以分别与参照图4描述的第一薄膜晶体管T1、第二薄膜晶体管T2、连接电极CL1和CL2以及显示元件层DP-EL对应。因此,下面可以省略重复的描述。

[0115] 在根据本发明的示例性实施例的显示面板中,可以省略上电极DE、第三绝缘层30、桥接电极CNE和第五绝缘层50,并且参照图5描述的根据本发明的示例性实施例的显示面板的其它组件可以与参照图4描述的显示面板的对应的组件对应。

[0116] 根据本发明的示例性实施例,第一薄膜晶体管T1-1的第一输出电极DE1-1可以连接到第二连接电极CL2-1,第二连接电极CL2-1设置在第四绝缘层40-1上并且延伸到穿透第四绝缘层40-1和第二绝缘层20-1的第二接触孔CH2中。第二连接电极CL2-1可以直接连接到有机发光二极管OLED-1的第一电极AE-1,第一电极AE-1延伸到第六绝缘层60-1的第六接触孔CH6中。因此,根据本发明的示例性实施例,第一电极AE-1可以通过第二连接电极CL2-1电连接到第一薄膜晶体管T1-1的第一半导体图案OSP1-1。

[0117] 在本发明的示例性实施例中,第二连接电极CL2-1可以直接连接到第一电极AE-1。结果,可以省略第四绝缘层40-1与第六绝缘层60-1之间的第五绝缘层,因此可以减小显示面板(例如,沿第三方向DR3)的厚度并且可以简化制造工艺。

[0118] 图6是根据本发明的示例性实施例的像素的一部分的剖视图。

[0119] 参照图6,在本发明的示例性实施例中,电路元件层DP-CL2可以包括第一薄膜晶体管T1-2、第二薄膜晶体管T2-2、第二连接电极CL2-2以及多个绝缘层10-2、40-2和60-2。显示元件层DP-EL2可以包括有机发光二极管OLED-2、像素限定层PDL-2和薄膜封装层TFE-2。

[0120] 参照图6描述的第一薄膜晶体管T1-2、第二连接电极CL2-2和显示元件层DP-EL2可以分别与参照图4描述的第一薄膜晶体管T1、第二连接电极CL2和显示元件层DP-EL对应。因此,下面可以省略重复的描述。

[0121] 在根据本发明的示例性实施例的显示面板中,可以省略桥接电极CNE以及第二绝缘层20、第三绝缘层30和第五绝缘层50。

[0122] 第一薄膜晶体管T1-2的第一半导体图案OSP1-2和第二薄膜晶体管T2-2的第二半导体图案OSP2-2可以形成在同一层(例如,无机层BFL-2)上。

[0123] 第一薄膜晶体管T1-2的第一输入电极SE1-2和第一输出电极DE1-2可以设置在第一开口P01中,第一开口P01限定在第一绝缘层10-2中以分别使第一半导体图案OSP1-2的第一侧和第二侧暴露。第一输入电极SE1-2和第一输出电极DE1-2可以分别嵌入在第一开口P01中,并且可以电连接到第一半导体图案OSP1-2。

[0124] 第二薄膜晶体管T2-2的第二输入电极SE2-2和第二输出电极DE2-2可以设置在第二开口P02中,第二开口P02限定在第一绝缘层10-2中以分别使第二半导体图案OSP2-2的第一侧和第二侧暴露。第二输入电极SE2-2和第二输出电极DE2-2可以分别嵌入在第二开口P02中,并且可以电连接到第二半导体图案OSP2-2。

[0125] 根据本发明的示例性实施例,薄膜晶体管的输入电极和输出电极可以形成在同一层上,并且可以具有嵌入在绝缘层中的结构。在本发明的示例性实施例中嵌入在同一层中的输入电极和输出电极可以通过使用相同掩模的光刻工艺形成。

[0126] 根据本发明的示例性实施例,第一薄膜晶体管T1-2和第二薄膜晶体管T2-2可以形成在同一层上,因此可以提供相对薄的显示面板。

[0127] 图7是根据本发明的示例性实施例的像素的一部分的剖视图。下面可以省略与以上参照图1至图4描述的特征或组件相同或基本相同的特征或组件的描述。

[0128] 参照图7,第一薄膜晶体管T1-3的第一控制电极GE1-3可以直接设置在无机层BFL-3上。第一绝缘层10-3可以设置在第一控制电极GE1-3上。第一半导体图案OSP1-3可以设置在第一绝缘层10-3上。限定有开口P0的第二绝缘层20-3可以设置在第一半导体图案OSP1-3上。开口P0可以分别使第一半导体图案OSP1-3的第一侧和第二侧暴露。第一输入电极SE1-3和第一输出电极DE1-3可以分别嵌入在开口P0中。第四绝缘层40-3可以基本覆盖第二绝缘层20-3以及由第二绝缘层20-3暴露的第一输入电极SE1-3和第一输出电极DE1-3。第一连接电极CL1-3和第二连接电极CL2-3可以分别通过穿透第四绝缘层40-3的接触孔连接到第一输入电极SE1-3和第一输出电极DE1-3。根据本发明的示例性实施例的上述结构可以应用于第二薄膜晶体管T2以及第一薄膜晶体管T1-3。

[0129] 图8是根据本发明的示例性实施例的像素的一部分的剖视图。下面可以省略与以上参照图1至图4描述的特征或组件相同或基本相同的特征或组件的描述,例如,省略第一连接电极CL1-4和第二连接电极CL2-4、第一控制电极GE1-4以及第二绝缘层20-4和第四绝缘层40-4的描述。

[0130] 参照图8,第一薄膜晶体管T1-4的第一输入电极SE1-4和第一输出电极DE1-4可以设置在开口P0中,开口P0限定在第一绝缘层10-4中以分别使第一半导体图案OSP1-4的第一侧和第二侧暴露。第一输入电极SE1-4和第一输出电极DE1-4可以分别嵌入在开口P0中,并且可以电连接到第一半导体图案OSP1-4。

[0131] 根据本发明的示例性实施例,第一输入电极SE1-4和第一输出电极DE1-4可以分别基本完全填充开口P0。因此,第一输入电极SE1-4和第一输出电极DE1-4的侧表面可以与第一绝缘层10-4的侧表面直接接触。另外,当在平面图中(例如,沿第三方向DR3)看时,第一输入电极SE1-4和第一输出电极DE1-4可以不与第一绝缘层10-4叠置。

[0132] 图9A、图9B、图9C、图9D、图9E、图9F、图9G、图9H、图9I、图9J、图9K和图9L是根据本发明的示例性实施例的制造显示面板的方法的剖视图。例如,图9A至图9L示出了制造参照图4描述的显示面板DP的示例性方法。下面可以省略与以上参照图1至图4描述的特征或组件相同或基本相同的特征或组件的描述。

[0133] 参照图9A至图9C,可以在基体层BL上形成无机层BFL。可以通过在基体层BL上沉积、涂覆或印刷无机材料来形成无机层BFL。可以在基体层BL与无机层BFL之间形成阻挡层。

[0134] 可以在基体层BL或无机层BFL上形成初始第一半导体图案OSPA。可以沉积晶体半

导体材料,并且可以使沉积的晶体半导体材料图案化以形成初始第一半导体图案OSPA。

[0135] 可以形成第一绝缘层10以基本覆盖初始第一半导体图案OSPA和无机层BFL(参见,例如,图9D)。可以通过在无机层BFL上沉积、涂覆或印刷无机材料和/或有机材料来形成第一绝缘层10。

[0136] 参照图9E和图9F,可以在第一绝缘层10上设置掩模MSK以与初始第一半导体图案OSPA(例如,沿第三方向DR3)叠置。可以使用掺杂剂对初始第一半导体图案OSPA进行掺杂。可以通过例如扩散工艺或离子注入工艺将掺杂剂注入到初始第一半导体图案OSPA中。然而,本发明的示例性实施例不限于具体方法。

[0137] 初始第一半导体图案OSPA的与掩模MSK(例如,沿第三方向DR3)叠置的区域(例如,沟道区域)不需要掺杂有掺杂剂。初始第一半导体图案OSPA的设置于沟道区域的相对侧处的区域(例如,输入区域和输出区域)可以掺杂有掺杂剂。在本发明的示例性实施例中,输入区域和输出区域可以掺杂有N型掺杂剂(例如,五价元素)。结果,可以形成第一半导体图案OSP1。

[0138] 可以蚀刻第一绝缘层10以形成开口P0,开口P0分别使第一半导体图案OSP1的输入区域和输出区域暴露(参见,例如,图9G)。

[0139] 可以由导电层M0形成第一输入电极SE1和第一输出电极DE1(参见,例如,图9H和图9I)。可以在第一绝缘层10上沉积导电层M0,然后,可以对导电层M0执行抛光工艺以形成第一输入电极SE1和第一输出电极DE1。可以使导电层M0抛光以使第一绝缘层10的顶表面暴露,因此导电层M0的部分可以被限制地嵌入在开口P0中。

[0140] 嵌入在开口P0中的第一输入电极SE1和第一输出电极DE1的厚度可以基本等于与第一输入电极SE1和第一输出电极DE1相邻的第一绝缘层10(例如,沿第三方向DR3)的厚度。然而,本发明的示例性实施例不限于此。本发明的示例性实施例可以包括可能发生在工艺中的厚度的公差。因此,这里描述的厚度可以略微变化。作为示例,第一输入电极SE1和第一输出电极DE1的厚度可以略小于或大于第一绝缘层10的厚度。

[0141] 参照图9J,可以使导电层图案化以形成第一薄膜晶体管T1的第一控制电极GE1。电容器Cst(参见,例如,图3)的电极中的一个电极和第一控制电极GE1可以通过使用相同掩模的图案化工艺基本同时形成。

[0142] 参照图9K和图9L,可以形成第二绝缘层20以基本覆盖第一绝缘层10和第一薄膜晶体管T1。可以通过沉积、涂覆或印刷无机材料和/或有机材料来形成第二绝缘层20。可以在第二绝缘层20上形成第四绝缘层40。第四绝缘层40可以包括无机层和/或有机层,并且可以具有单层的或多层的结构。可以蚀刻第四绝缘层40和第二绝缘层20以形成分别(例如,沿第三方向DR3)与第一输入电极SE1和第一输出电极DE1叠置的接触孔CH1和CH2。

[0143] 可以形成第一连接电极CL1和第二连接电极CL2。第一连接电极CL1和第二连接电极CL2可以分别通过第一接触孔CH1和第二接触孔CH2连接到第一输入电极SE1和第一输出电极DE1。

[0144] 在本发明的示例性实施例中形成接触孔CH1和CH2的工艺可以使用与用于形成第一绝缘层10的开口P0的掩模相同的掩模,在开口P0中嵌入有第一输入电极SE1和第一输出电极DE1。因此,接触孔CH1和CH2可以形成为与第一输入电极SE1和第一输出电极DE1嵌入的位置精确对准。结果,可以减少或消除会在蚀刻工艺中发生的未对准。因此,可以增大显示

面板中的电极之间的连接可靠性。另外,由于减少了掩模的数量,因此可以降低工艺成本。

[0145] 尽管已经参照本发明的示例性实施例示出并描述了本发明,但是对本领域的普通技术人员将清楚的是,在不脱离本发明的精神和范围的情况下,可以对其进行形式和细节上的各种改变。

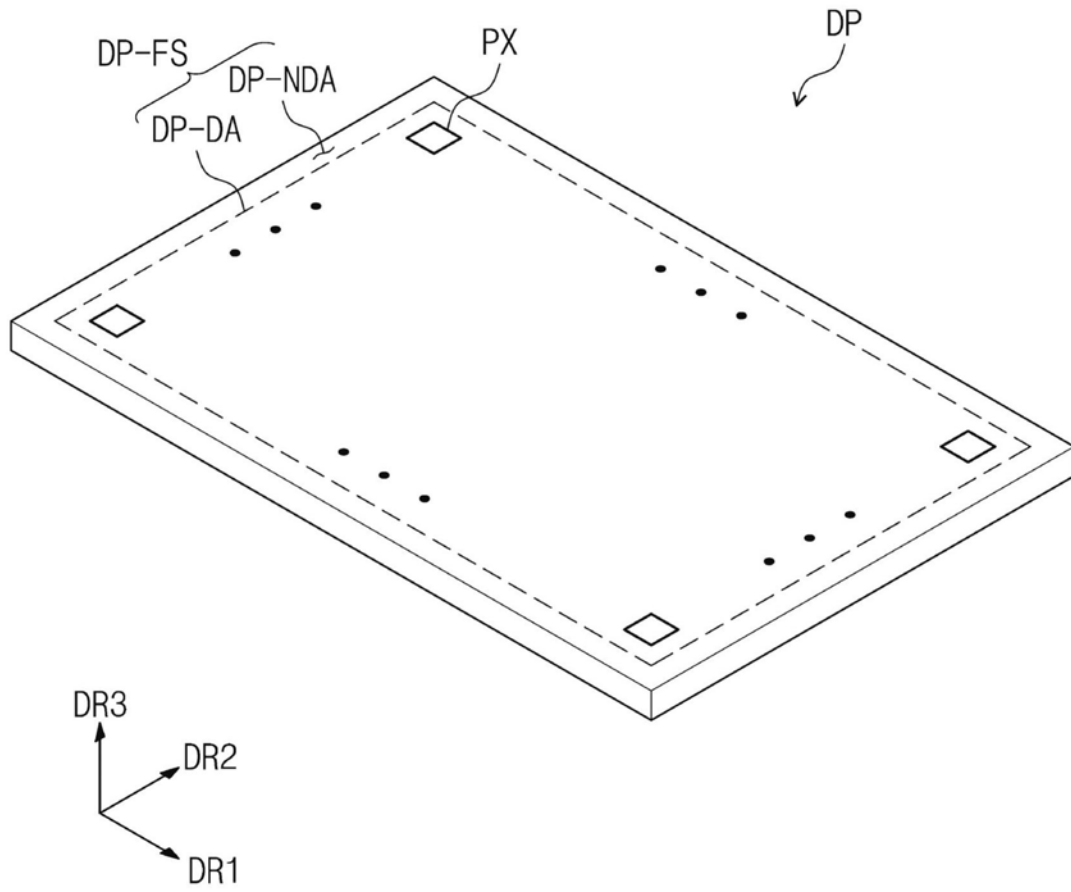


图1

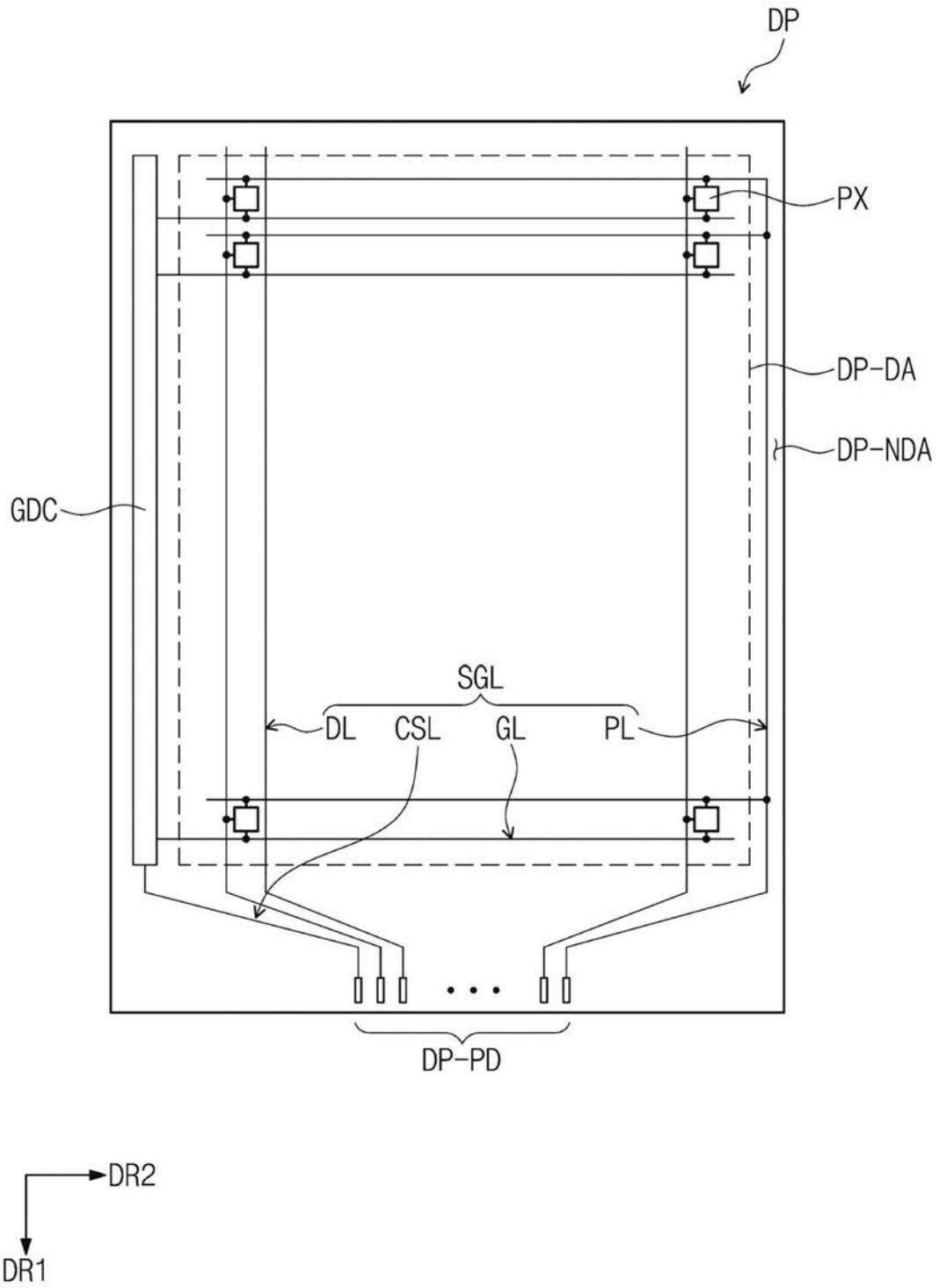


图2

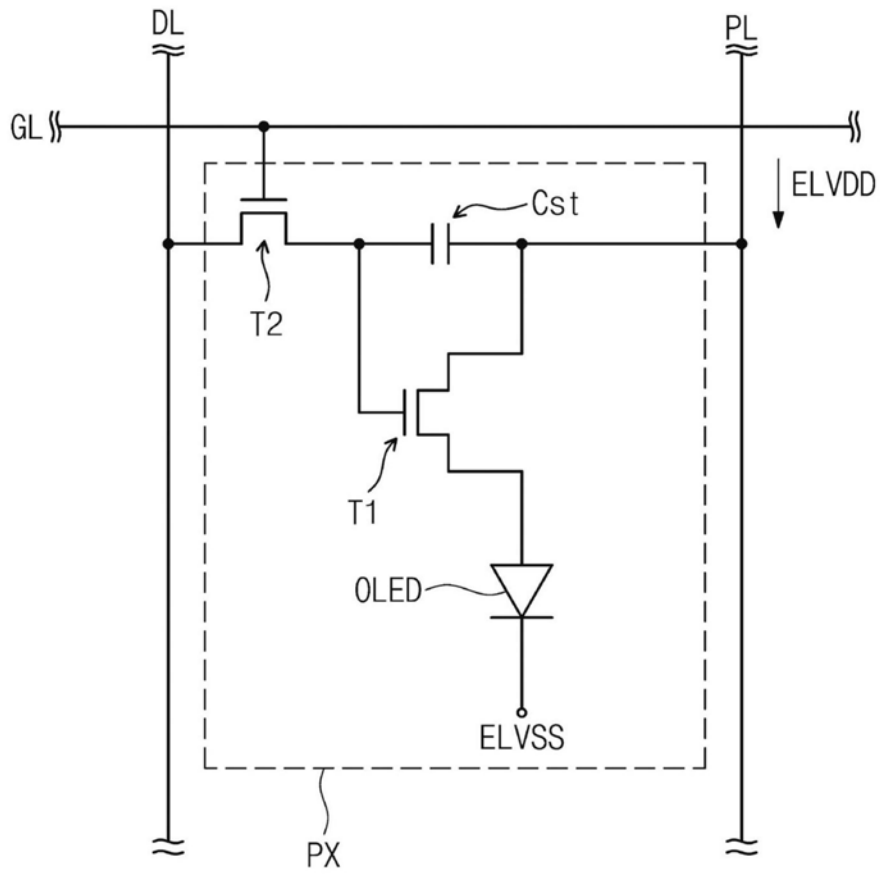


图3

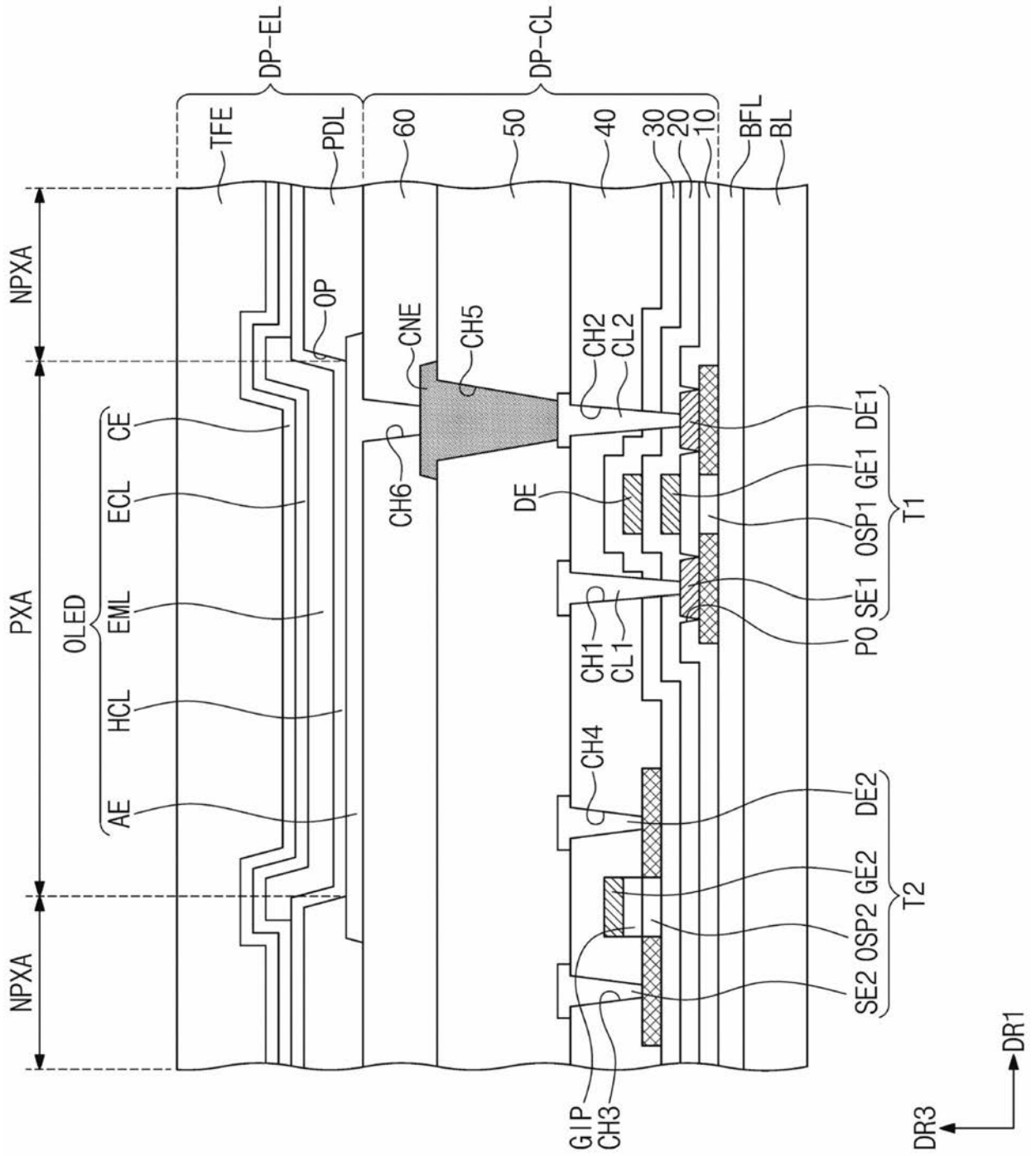


图4

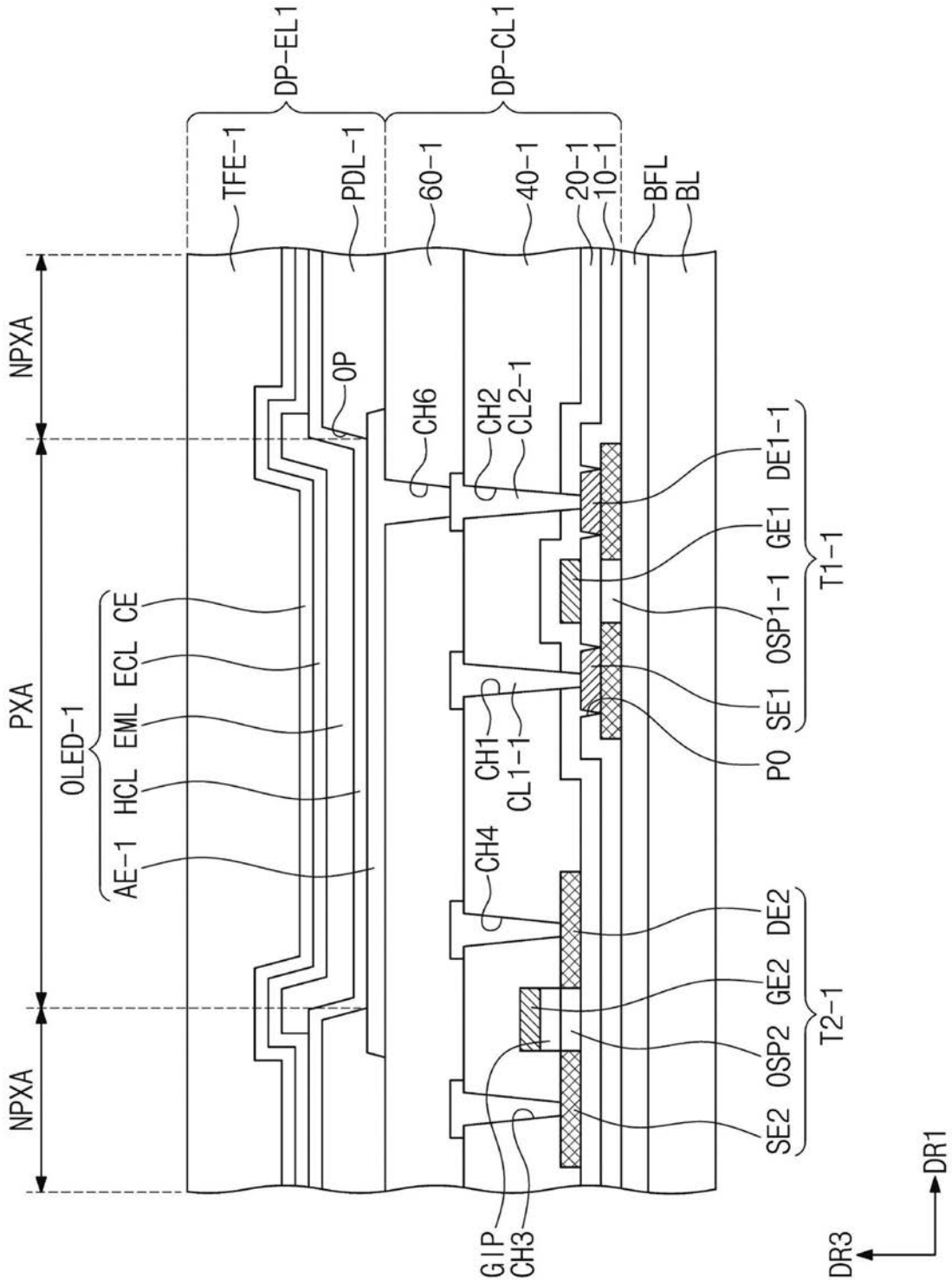


图5

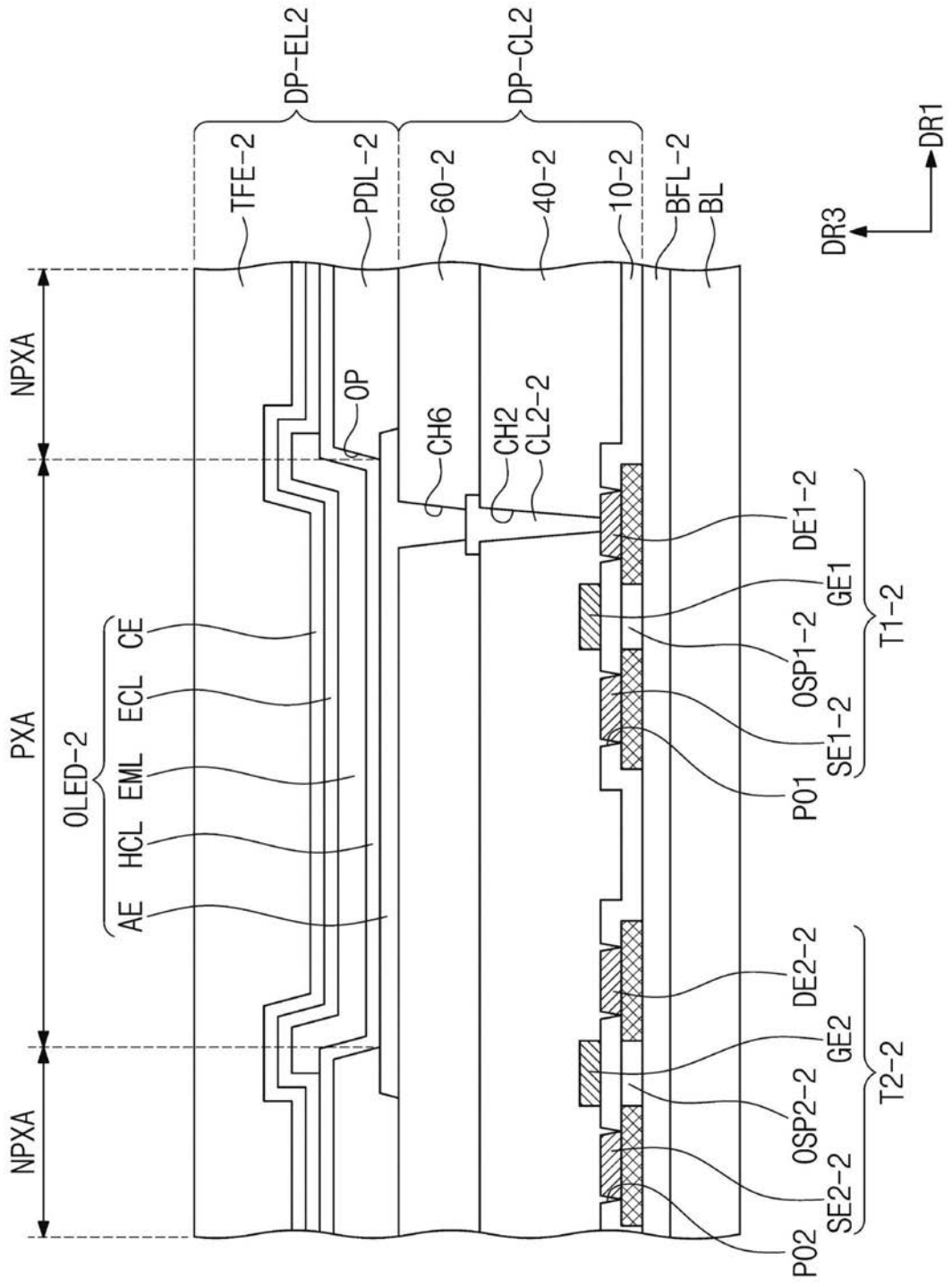


图6

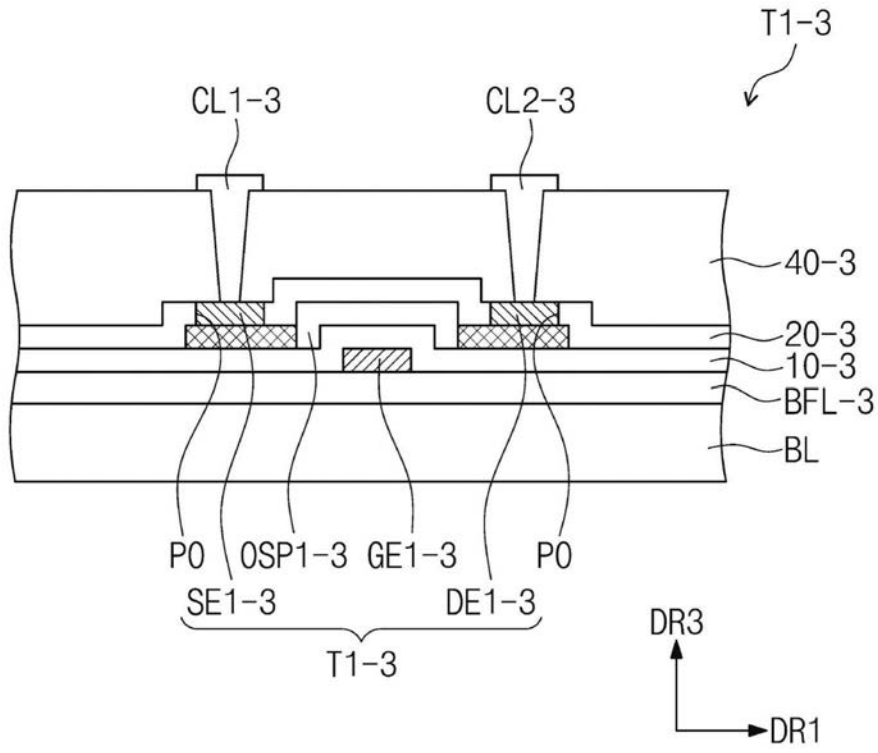


图7

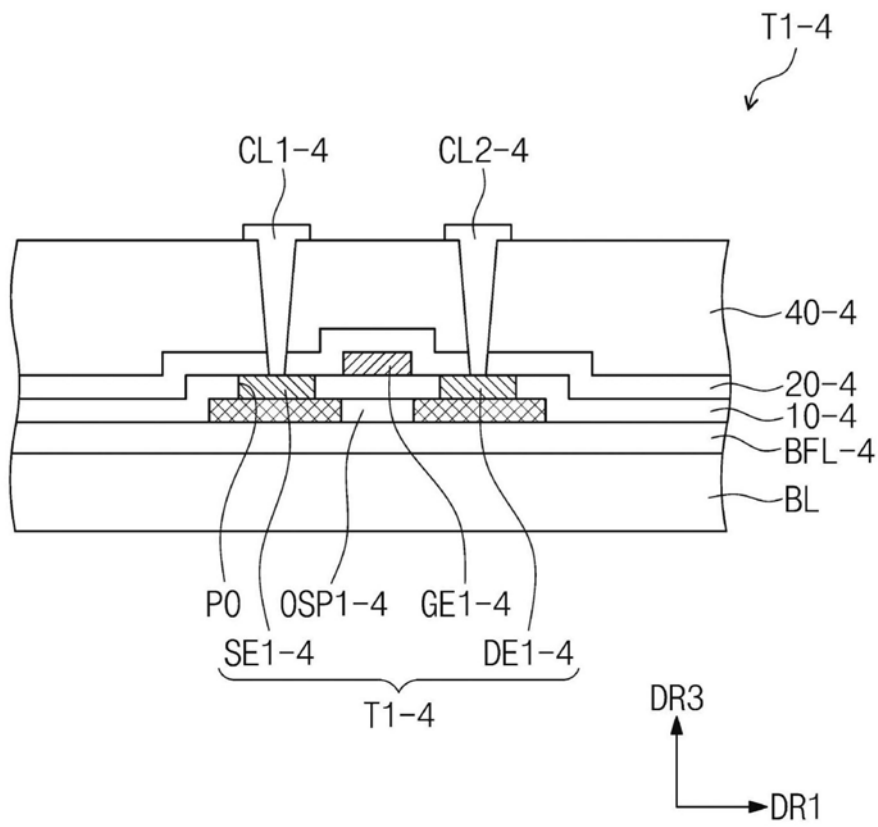


图8

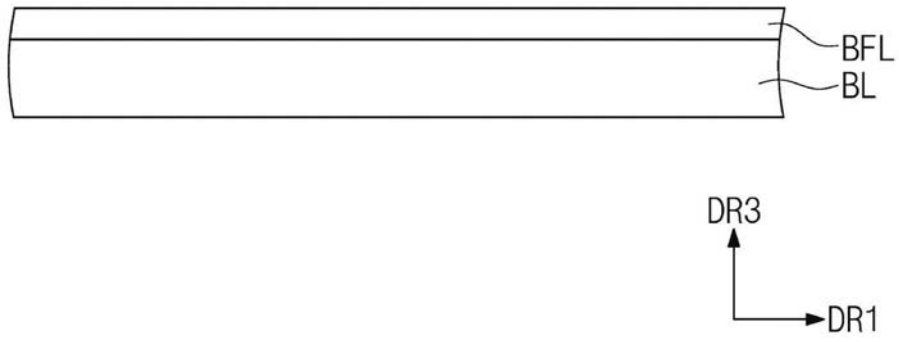


图9A

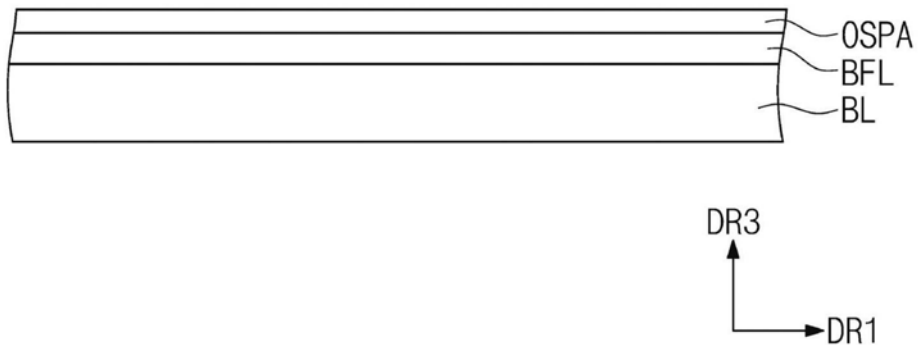


图9B

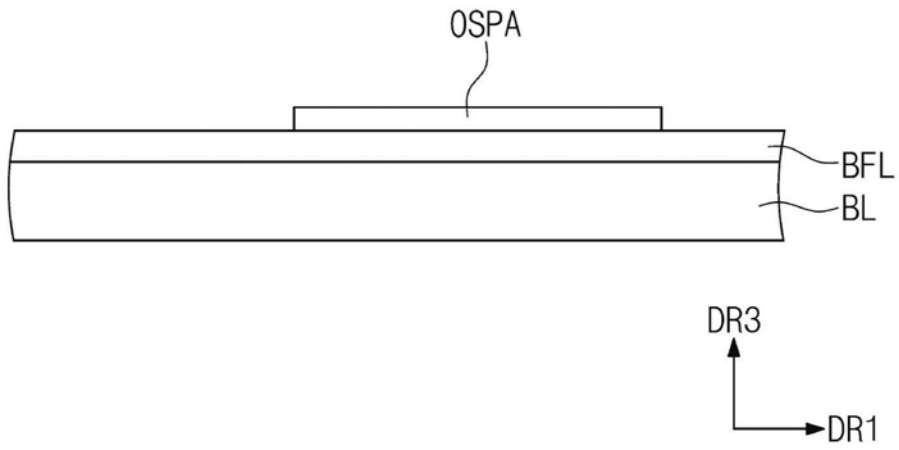


图9C

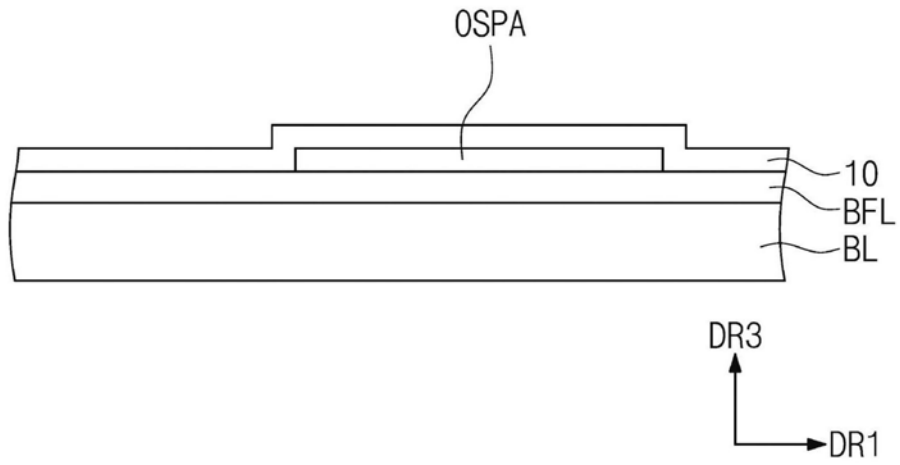


图9D

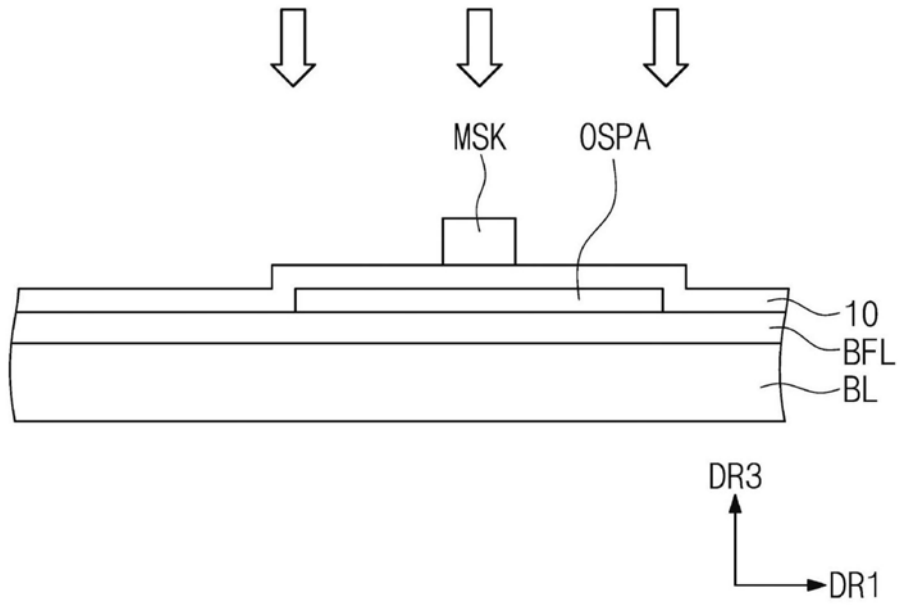


图9E

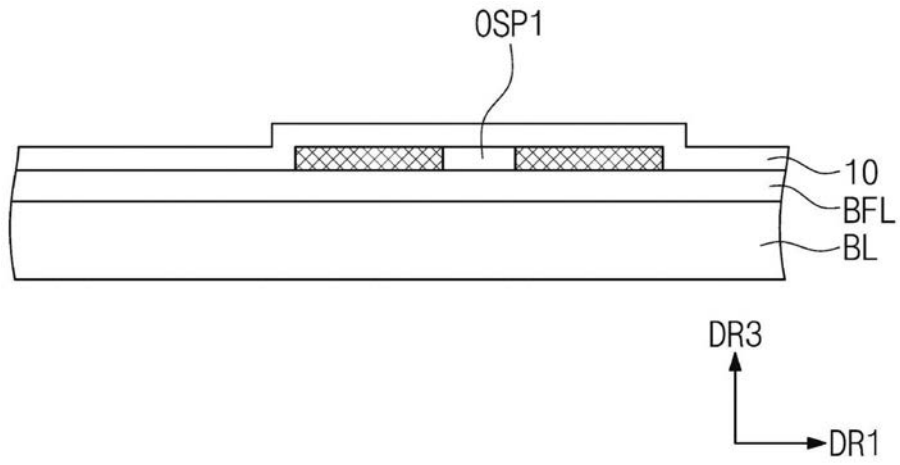


图9F

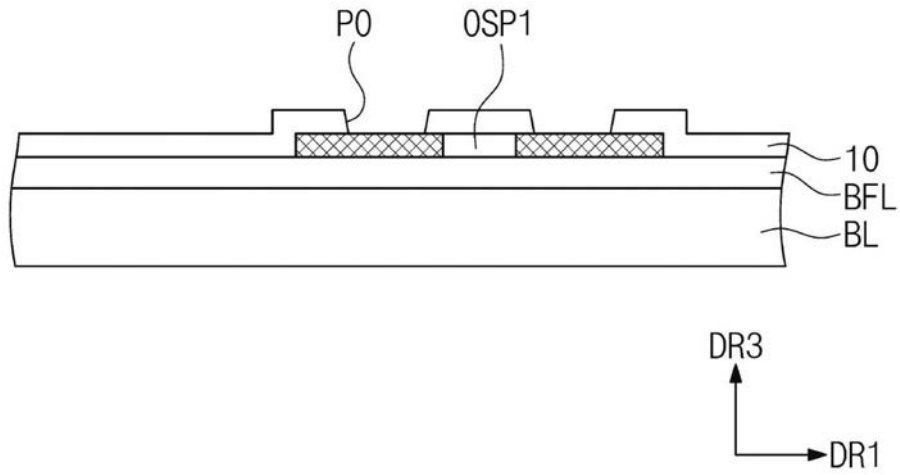


图9G

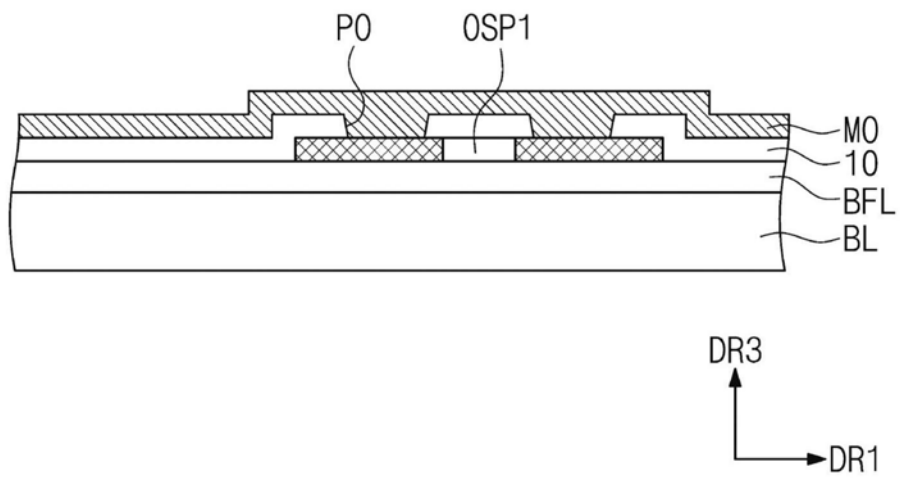


图9H

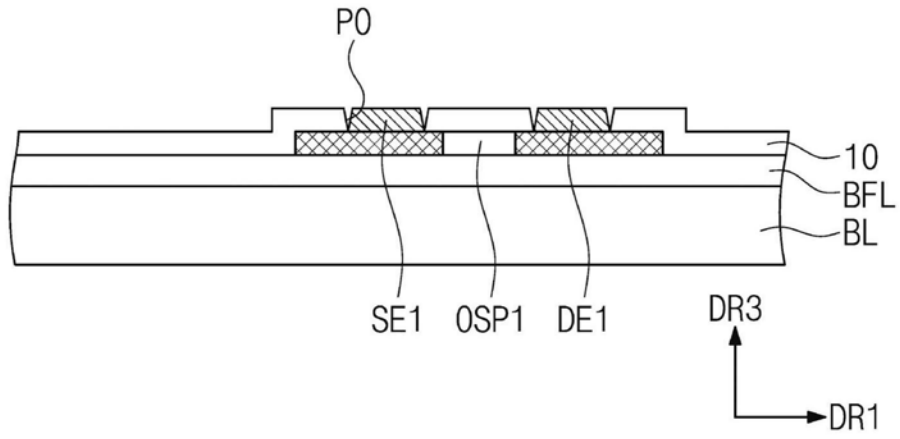


图9I

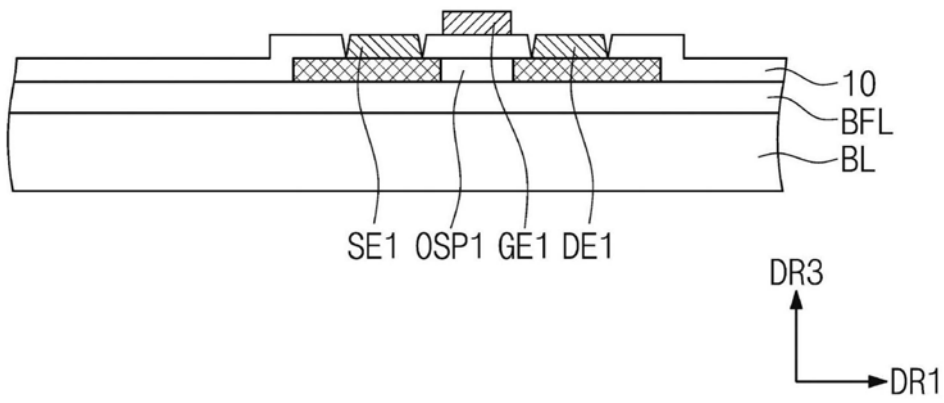


图9J

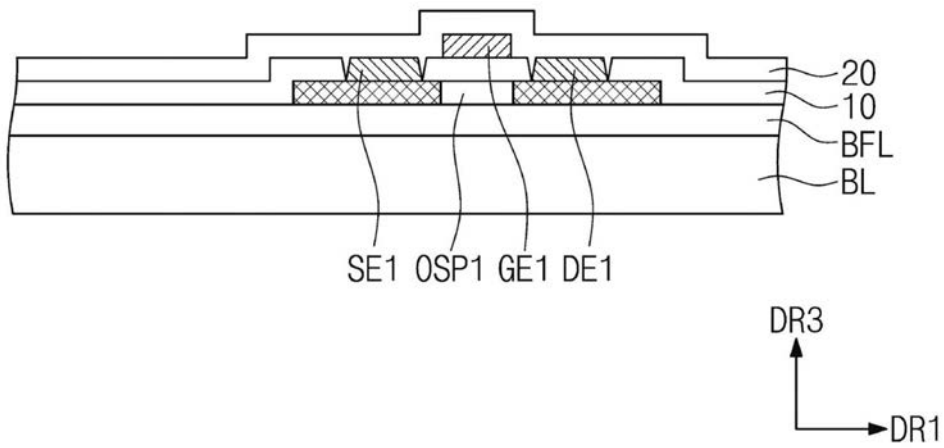


图9K

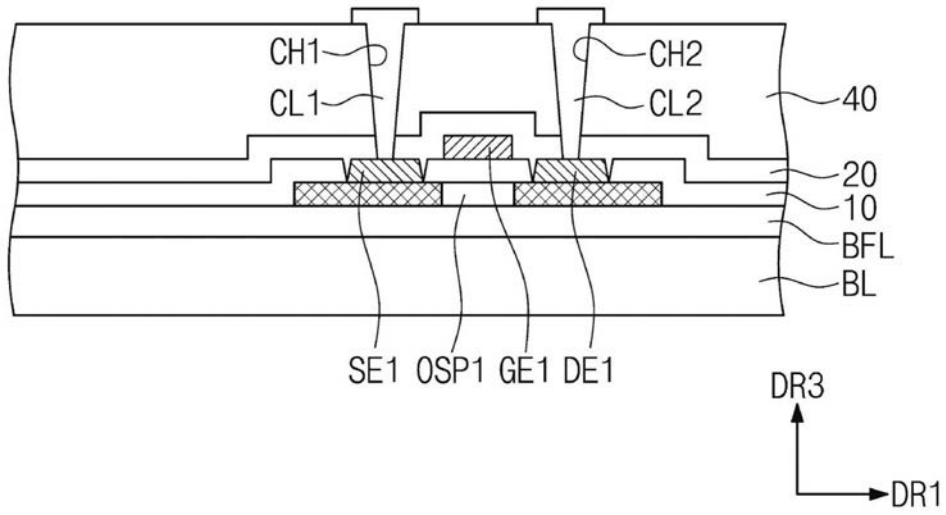


图9L

专利名称(译)	包括两种半导体材料的显示面板		
公开(公告)号	<a href="#">CN110246866A</a>	公开(公告)日	2019-09-17
申请号	CN201910171507.6	申请日	2019-03-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	申允智 白敬铉 成硕济		
发明人	申允智 白敬铉 成硕济 郑宇鎬 赵允鍾		
IPC分类号	H01L27/32 H01L27/12		
CPC分类号	H01L27/1222 H01L27/3244 G09G3/3233 G09G2300/0426 G09G2300/0842 H01L27/1225 H01L27/3262 H01L2227/323 G09G3/3225 H01L27/1251 H01L27/1288 H01L27/3248 H01L27/3258 H01L29/78675 H01L29/7869		
代理人(译)	张晓 刘灿强		
优先权	1020180026998 2018-03-07 KR		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

提供了包括两种半导体材料的显示面板。所述显示面板包括：基基层；第一薄膜晶体管，设置在基基层上并包括：硅半导体图案；第一控制电极，与硅半导体图案分隔开；第一输入电极，连接到硅半导体图案的第一侧；以及第一输出电极，连接到硅半导体图案的第二侧；第二薄膜晶体管，设置在基基层上并包括：氧化物半导体图案；第二控制电极，与氧化物半导体图案分隔开；第二输入电极，连接到氧化物半导体图案的第一侧；以及第二输出电极，连接到氧化物半导体图案的第二侧；有机发光二极管，包括：第一电极，连接到第一薄膜晶体管；第二电极，设置在第一电极上；以及发射层，设置在第一电极与第二电极之间。

