



(12)发明专利

(10)授权公告号 CN 108230999 B

(45)授权公告日 2019. 11. 19

(21)申请号 201810103749.7

(22)申请日 2018.02.01

(65)同一申请的已公布的文献号

申请公布号 CN 108230999 A

(43)申请公布日 2018.06.29

(73)专利权人 武汉华星光电半导体显示技术有限公司

地址 430070 湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室

(72)发明人 刘婕

(74)专利代理机构 深圳市德力知识产权代理事务所 44265

代理人 林才桂 王中华

(51)Int.Cl.

G09G 3/3208(2016.01)

(56)对比文件

CN 106652918 A,2017.05.10,说明书第67-107段、第110段、第122-126、附图5-6、附图12.

CN 102820007 A,2012.12.12,全文.

CN 202650492 U,2013.01.02,全文.

CN 105139801 A,2015.12.09,全文.

CN 105223746 A,2016.01.06,全文.

CN 105321490 A,2016.02.10,全文.

CN 102760407 A,2012.10.31,全文.

CN 106652901 A,2017.05.10,全文.

CN 106489175 A,2017.03.08,全文.

CN 206711576 U,2017.12.05,全文.

US 2017/0270886 A1,2017.09.21,全文.

审查员 王鑫

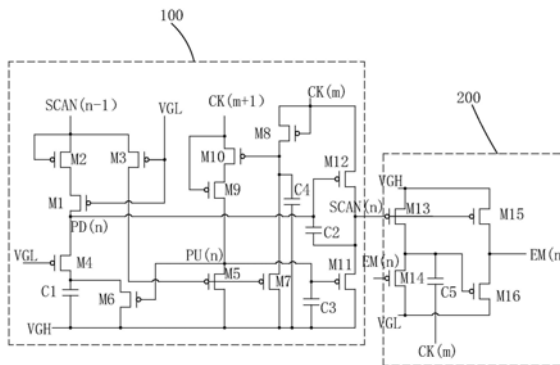
权利要求书2页 说明书8页 附图2页

(54)发明名称

GOA电路及OLED显示装置

(57)摘要

本发明提供一种GOA电路及OLED显示装置。所述GOA电路包括:级联的多个GOA单元,每一级GOA单元均包括扫描信号输出模块以及与所述扫描信号输出模块电性连接的发光信号输出模块。在一帧画面时间内,所述扫描信号输出模块能够输出包括至少两个低电位脉冲的扫描信号,所述发光信号输出模块能够根据所述扫描信号输出模块输出的扫描信号输出有效的发光信号,从而将传统的发光信号GOA电路和扫描信号GOA电路整合为一个GOA电路,能够减少薄膜晶体管及电容的数量,简化电路结构,利于实现窄边框显示。



1. 一种GOA电路,其特征在于,包括:级联的多个GOA单元,每一级GOA单元均包括扫描信号输出模块(100)以及与所述扫描信号输出模块(100)电性连接的发光信号输出模块(200);

设 n 为正整数,除第一级GOA单元外,在第 n 级GOA单元中,

所述扫描信号输出模块(100),接收第 m 条时钟信号($CK(m)$)、第 $m+1$ 条时钟信号($CK(m+1)$)以及第 $n-1$ 级GOA单元的扫描信号($SCAN(n-1)$),用于在第 $n-1$ 级GOA单元的扫描信号输出模块(100)输出的扫描信号($SCAN(n-1)$)的控制下,根据所述第 m 条时钟信号($CK(m)$)向第 n 行子像素及第 n 级GOA单元的发光信号输出模块(200)输出第 n 级GOA单元的扫描信号($SCAN(n)$);

所述发光信号输出模块(200),接收所述第 n 级GOA单元的扫描信号输出模块(100)输出的扫描信号($SCAN(n)$),用于根据所述扫描信号($SCAN(n)$)向第 n 行子像素输出第 n 级GOA单元的发光信号($EM(n)$);

在一帧画面时间内,每一级GOA单元的扫描信号均包括至少两个低电位的脉冲,每一级GOA单元的发光信号的输出高电位的时长均大于所述第 m 条时钟信号($CK(m)$)的脉冲周期的两倍,所述第 m 条时钟信号($CK(m)$)和第 $m+1$ 条时钟信号($CK(m+1)$)的相位相反;

所述扫描信号输出模块(100)包括:第一薄膜晶体管(M1)、第二薄膜晶体管(M2)、第三薄膜晶体管(M3)、第四薄膜晶体管(M4)、第五薄膜晶体管(M5)、第六薄膜晶体管(M6)、第七薄膜晶体管(M7)、第八薄膜晶体管(M8)、第九薄膜晶体管(M9)、第十薄膜晶体管(M10)、第十一薄膜晶体管(M11)、第十二薄膜晶体管(M12)、第一电容(C1)、第二电容(C2)、第三电容(C3)及第四电容(C4);

所述第一薄膜晶体管(M1)的栅极接入恒压低电位(VGL),源极电性连接第二薄膜晶体管(M2)的漏极,漏极电性连接第 n 级GOA单元的第一节点(PD(n)));

所述第二薄膜晶体管(M2)的栅极和源极均接入第 $n-1$ 级GOA单元的扫描信号($SCAN(n-1)$);

所述第三薄膜晶体管(M3)的栅极接入恒压低电位(VGL),源极电性连接第二薄膜晶体管(M2)的源极,漏极电性连接第五薄膜晶体管(M5)的栅极;

所述第四薄膜晶体管(M4)的栅极接入恒压低电位(VGL),源极电性连接第 n 级GOA单元的第一节点(PD(n))),漏极电性连接第六薄膜晶体管(M6)的源极;

所述第五薄膜晶体管(M5)的源极电性连接第 n 级GOA单元的第二节点(PU(n))),漏极接入恒压高电位(VGH);

所述第六薄膜晶体管(M6)的栅极电性连接第 n 级GOA单元的第二节点(PU(n))),漏极接入恒压高电位(VGH);

所述第七薄膜晶体管(M7)的栅极电性连接第三薄膜晶体管(M3)的漏极,源极电性连接第八薄膜晶体管(M8)的漏极,漏极接入恒压高电位(VGH);

所述第八薄膜晶体管(M8)的栅极和源极均接入第 m 条时钟信号($CK(m)$);

所述第九薄膜晶体管(M9)的栅极接入第 $m+1$ 条时钟信号($CK(m+1)$),源极电性连接第十薄膜晶体管(M10)的漏极,漏极电性连接第 n 级GOA单元的第二节点(PU(n)));

所述第十薄膜晶体管(M10)的栅极电性连接第八薄膜晶体管(M8)的漏极,源极接入第 $m+1$ 条时钟信号($CK(m+1)$);

所述第十一薄膜晶体管 (M11) 的栅极电性连接第n级GOA单元的第二节点 (PU (n)), 源极电性连接第十二薄膜晶体管 (M12) 的漏极, 漏极接入恒压高电位 (VGH);

所述第十二薄膜晶体管 (M12) 的栅极电性连接第n级GOA单元的第一节点 (PD (n)), 源极接入第m条时钟信号 (CK (m)), 漏极输出第n级GOA单元的扫描信号 (SCAN (n));

所述第一电容 (C1) 的第一端电性连接第六薄膜晶体管 (M6) 的源极, 第二端接入恒压高电位 (VGH);

所述第二电容 (C2) 的第一端电性连接第n级GOA单元的第一节点 (PD (n)), 第二端电性连接第十二薄膜晶体管 (M12) 的漏极;

所述第三电容 (C3) 的第一端电性连接第n级GOA单元的第二节点 (PU (n)), 第二端接入恒压高电位 (VGH);

所述第四电容 (C4) 的第一端电性连接第八薄膜晶体管 (M8) 的漏极, 第二端接入恒压高电位 (VGH);

所述发光信号输出模块 (200) 包括: 第十三薄膜晶体管 (M13)、第十四薄膜晶体管 (M14)、第十五薄膜晶体管 (M15)、第十六薄膜晶体管 (M16) 及第五电容 (C5);

所述第十三薄膜晶体管 (M13) 的栅极接入第n级GOA单元的扫描信号 (SCAN (n)), 源极接入恒压高电位 (VGH), 漏极电性连接第十四薄膜晶体管 (M14) 的源极;

所述第十四薄膜晶体管 (M14) 的栅极接入第n级GOA单元的发光信号 (EM (n)), 漏极接入恒压低电位 (VGL);

所述第十五薄膜晶体管 (M15) 的栅极接入第n级GOA单元的扫描信号 (SCAN (n)), 源极接入恒压高电位 (VGH), 漏极输出第n级GOA单元的发光信号 (EM (n));

所述第十六薄膜晶体管 (M16) 的栅极电性连接第十三薄膜晶体管 (M13) 的漏极, 源极电性连接第十五薄膜晶体管 (M15) 的漏极, 漏极接入恒压低电位 (VGL);

所述第五电容 (C5) 的第一端电性连接第十三薄膜晶体管 (M13) 的漏极, 第二端接入第m条时钟信号 (CK (m))。

2. 如权利要求1所述的GOA电路, 其特征在于, 包括两条时钟信号: 第一条时钟信号 (CK (1)) 及第二条时钟信号 (CK (2)); 当所述第m条时钟信号 (CK (m)) 为第二条时钟信号 (CK (2)) 时, 第m+1条时钟信号 (CK (m+1)) 为第一条时钟信号 (CK (1))。

3. 如权利要求1所述的GOA电路, 其特征在于, 在第一级GOA单元中, 所述第二薄膜晶体管 (M2) 的栅极和源极均接入电路起始信号 (STV)。

4. 如权利要求1所述的GOA电路, 其特征在于, 所述第一薄膜晶体管 (M1)、第二薄膜晶体管 (M2)、第三薄膜晶体管 (M3)、第四薄膜晶体管 (M4)、第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6)、第七薄膜晶体管 (M7)、第八薄膜晶体管 (M8)、第九薄膜晶体管 (M9)、第十薄膜晶体管 (M10)、第十一薄膜晶体管 (M11) 及第十二薄膜晶体管 (M12) 均为P型薄膜晶体管。

5. 如权利要求1所述的GOA电路, 其特征在于, 所述第十三薄膜晶体管 (M13)、第十四薄膜晶体管 (M14)、所述第十五薄膜晶体管 (M15) 及第十六薄膜晶体管 (M16) 均为P型薄膜晶体管。

6. 一种OLED显示装置, 其特征在于, 包括如权利要求1至5任一项所述的GOA电路。

7. 如权利要求6所述的OLED显示装置, 其特征在于, 所述OLED显示装置为柔性OLED显示装置。

GOA电路及OLED显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种GOA电路及OLED显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Display,OLED)显示装置具有自发光、驱动电压低、发光效率高、响应时间短、清晰度与对比度高、近180°视角、使用温度范围宽,可实现柔性显示与大面积全色显示等诸多优点,被业界公认为是最有发展潜力的显示装置。

[0003] OLED显示器件通常包括:基板、设于基板上的阳极、设于阳极上的空穴注入层、设于空穴注入层上的空穴传输层、设于空穴传输层上的发光层、设于发光层上的电子传输层、设于电子传输层上的电子注入层、及设于电子注入层上的阴极。OLED显示器件的发光原理为半导体材料和有机发光材料在电场驱动下,通过载流子注入和复合导致发光。具体的,OLED显示器件通常采用氧化铟锡(ITO)像素电极和金属电极分别作为器件的阳极和阴极,在一定电压驱动下,电子和空穴分别从阴极和阳极注入到电子传输层和空穴传输层,电子和空穴分别经过电子传输层和空穴传输层迁移到发光层,并在发光层中相遇,形成激子并使发光分子激发,后者经过辐射弛豫而发出可见光。

[0004] GOA技术(Gate Driver on Array)即阵列基板行驱动技术,是运用液晶显示面板的原有阵列制程将水平扫描线的驱动电路制作在显示区周围的基板上,使之能替代外接集成电路板(Integrated Circuit,IC)来完成水平扫描线的驱动。GOA技术能减少外接IC的焊接(bonding)工序,有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0005] 对于OLED显示装置,其像素驱动电路中会设有用于驱动有机发光二极管发光的驱动薄膜晶体管,在使用过程中,由于有机发光二极管的老化以及驱动薄膜晶体管的阈值电压偏移,会导致OLED显示装置的显示质量下降,因此需要在OLED显示装置的使用过程中对驱动薄膜晶体管的阈值电压进行补偿,因而为了实现对OLED像素驱动电路的控制,除了提供给一般扫描线的扫描信号(SCAN)以外,还需要更多的控制信号,例如发光信号(Emitting,EM)等,传统模式中,需要分别设置EM GOA电路和SCAN GOA电路分别产生EM信号和SCAN信号,电路复杂,薄膜晶体管及电容的数量多,不利于窄边框的实现。

发明内容

[0006] 本发明的目的在于提供一种GOA电路,能够同时输出扫描信号和发光信号,电路结构简单,有利于窄边框显示的实现。

[0007] 本发明的目的还在于提供一种OLED显示装置,其GOA电路能够同时输出扫描信号和发光信号,电路结构简单,有利于窄边框显示的实现。

[0008] 为实现上述目的,本发明提供了一种GOA电路,包括:级联的多个GOA单元,每一级GOA单元均包括扫描信号输出模块以及与所述扫描信号输出模块电性连接的发光信号输出

模块；

[0009] 设 n 为正整数,除第一级GOA单元外,在第 n 级GOA单元中,

[0010] 所述扫描信号输出模块,接收第 m 条时钟信号、第 $m+1$ 条时钟信号以及第 $n-1$ 级GOA单元的扫描信号,用于在第 $n-1$ 级GOA单元的扫描信号输出模块输出的扫描信号的控制下,根据所述第 m 条时钟信号向第 n 行子像素及第 n 级GOA单元的发光信号输出模块输出第 n 级GOA单元的扫描信号;

[0011] 所述发光信号输出模块,接收所述第 n 级GOA单元的扫描信号输出模块输出的扫描信号,用于根据所述扫描信号向第 n 行子像素输出第 n 级GOA单元的发光信号;

[0012] 在一帧画面时间内,每一级GOA单元的扫描信号均包括至少两个低电位的脉冲,每一级GOA单元的发光信号的输出高电位的时长均大于所述第 m 条时钟信号的脉冲周期的两倍,所述第 m 条时钟信号和第 $m+1$ 条时钟信号的相位相反。

[0013] 所述扫描信号输出模块包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管、第十二薄膜晶体管、第一电容、第二电容、第三电容及第四电容;

[0014] 所述第一薄膜晶体管的栅极接入恒压低电位,源极电性连接第二薄膜晶体管的漏极,漏极电性连接第 n 级GOA单元的第一节点;

[0015] 所述第二薄膜晶体管的栅极和源极均接入第 $n-1$ 级GOA单元的扫描信号;

[0016] 所述第三薄膜晶体管的栅极接入恒压低电位源极电性连接第二薄膜晶体管的源极,漏极电性连接第五薄膜晶体管的栅极;

[0017] 所述第四薄膜晶体管的栅极接入恒压低电位,源极电性连接第 n 级GOA单元的第一节点,漏极电性连接第六薄膜晶体管的源极;

[0018] 所述第五薄膜晶体管的源极电性连接第 n 级GOA单元的第二节点,漏极接入恒压高电位;

[0019] 所述第六薄膜晶体管的栅极电性连接第 n 级GOA单元的第二节点,漏极接入恒压高电位;

[0020] 所述第七薄膜晶体管的栅极电性连接第三薄膜晶体管的漏极,源极电性连接第八薄膜晶体管的漏极,漏极接入恒压高电位;

[0021] 所述第八薄膜晶体管的栅极和源极均接入第 m 条时钟信号;

[0022] 所述第九薄膜晶体管的栅极接入第 $m+1$ 条时钟信号,源极电性连接第十薄膜晶体管的漏极,漏极电性连接第 n 级GOA单元的第二节点;

[0023] 所述第十薄膜晶体管的栅极电性连接第八薄膜晶体管的漏极,源极接入第 $m+1$ 条时钟信号;

[0024] 所述第十一薄膜晶体管的栅极电性连接第 n 级GOA单元的第二节点,源极电性连接第十二薄膜晶体管的漏极,漏极接入恒压高电位;

[0025] 所述第十二薄膜晶体管的栅极电性连接第 n 级GOA单元的第一节点,源极接入第 m 条时钟信号,漏极输出第 n 级GOA单元的扫描信号;

[0026] 所述第一电容的第一端电性连接第六薄膜晶体管的源极,第二端接入恒压高电位;

- [0027] 所述第二电容的第一端电性连接第n级GOA单元的第一节点,第二端电性连接第十二薄膜晶体管的漏极;
- [0028] 所述第三电容的第一端电性连接第n级GOA单元的第二节点,第二端接入恒压高电位;
- [0029] 所述第四电容的第一端电性连接第八薄膜晶体管的漏极,第二端接入恒压高电位。
- [0030] 所发光信号输出模块包括:第十三薄膜晶体管、第十四薄膜晶体管、所述第十五薄膜晶体管、第十六薄膜晶体管及第五电容。
- [0031] 所述第十三薄膜晶体管的栅极接入第n级GOA单元的扫描信号,源极接入恒压高电位,漏极电性连接第十四薄膜晶体管的源极;
- [0032] 所述第十四薄膜晶体管的栅极接入第n级GOA单元的发光信号,漏极接入恒压低电位;
- [0033] 所述第十五薄膜晶体管的栅极接入第n级GOA单元的扫描信号,源极接入恒压高电位,漏极输出第n级GOA单元的发光信号;
- [0034] 所述第十六薄膜晶体管的栅极电性连接第十三薄膜晶体管的漏极,源极电性连接第十五薄膜晶体管的漏极,漏极接入恒压低电位;
- [0035] 所述第五电容的第一端电性连接第十三薄膜晶体管的漏极,第二端接入第m条时钟信号。
- [0036] 所述GOA电路包括两条时钟信号:第一条时钟信号及第二条时钟信号;当所述第m条时钟信号为第二条时钟信号时,第m+1条时钟信号为第一条时钟信号。
- [0037] 在第一级GOA单元中,所述第二薄膜晶体管的栅极和源极均接入电路起始信号。
- [0038] 所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管及第十二薄膜晶体管均为P型薄膜晶体管。
- [0039] 所述第十三薄膜晶体管、第十四薄膜晶体管、所述第十五薄膜晶体管及第十六薄膜晶体管均为P型薄膜晶体管。
- [0040] 本发明还提供一种OLED显示装置,包括上述的GOA电路。
- [0041] 所述OLED显示装置为柔性OLED显示装置。
- [0042] 本发明的有益效果:本发明提供一种GOA电路,包括:级联的多个GOA单元,每一级GOA单元均包括扫描信号输出模块以及与所述扫描信号输出模块电性连接的发光信号输出模块;在一帧画面时间内,所述扫描信号输出模块能够输出包括至少两个低电位脉冲的扫描信号,所述发光信号输出模块能够根据所述扫描信号输出模块输出的扫描信号输出有效的发光信号,从而将传统的发光信号GOA电路和扫描信号GOA电路整合为一个GOA电路,能够减少薄膜晶体管及电容的数量,简化电路结构,利于实现窄边框显示。本发明还提供一种OLED显示装置,其GOA电路能够同时输出扫描信号和发光信号,电路结构简单,有利于窄边框显示的实现。

附图说明

- [0043] 为了能更进一步了解本发明的特征以及技术内容,请参阅以下有关本发明的详细

说明与附图,然而附图仅提供参考与说明用,并非用来对本发明加以限制。

[0044] 附图中,

[0045] 图1为本发明的GOA电路的第n级GOA单元的电路图;

[0046] 图2为本发明的GOA电路的第n级GOA单元的工作时序图;

[0047] 图3为本发明的GOA电路的第一级GOA单元的电路图。

具体实施方式

[0048] 为更进一步阐述本发明所采取的技术手段及其效果,以下结合本发明的优选实施例及其附图进行详细描述。

[0049] 请参阅图1,本发明提供一种GOA电路,包括:级联的多个GOA单元,每一级GOA单元均包括扫描信号输出模块100以及与所述扫描信号输出模块100电性连接的发光信号输出模块200。

[0050] 设n为正整数,除第一级GOA单元外,在第n级GOA单元中,

[0051] 所述扫描信号输出模块100,接收第m条时钟信号CK(m)、第m+1条时钟信号CK(m+1)以及第n-1级GOA单元的扫描信号SCAN(n-1),用于在第n-1级GOA单元的扫描信号输出模块100输出的扫描信号SCAN(n-1)的控制下,根据所述第m条时钟信号CK(m)向第n行子像素及第n级GOA单元的发光信号输出模块200输出第n级GOA单元的扫描信号SCAN(n);

[0052] 所述发光信号输出模块200,接收所述第n级GOA单元的扫描信号输出模块100输出的扫描信号SCAN(n),用于根据所述扫描信号SCAN(n)向第n行子像素输出第n级GOA单元的发光信号EM(n)。

[0053] 在一帧画面时间内,每一级GOA单元的扫描信号均包括至少两个低电位的脉冲,每一级GOA单元的发光信号的输出高电位的时长均大于所述第m条时钟信号CK(m)的脉冲周期的两倍,所述第m条时钟信号CK(m)和第m+1条时钟信号CK(m+1)的相位相反。

[0054] 具体地,所述扫描信号输出模块100包括:第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、第六薄膜晶体管M6、第七薄膜晶体管M7、第八薄膜晶体管M8、第九薄膜晶体管M9、第十薄膜晶体管M10、第十一薄膜晶体管M11、第十二薄膜晶体管M12、第一电容C1、第二电容C2、第三电容C3及第四电容C4。

[0055] 其中,所述第一薄膜晶体管M1的栅极接入恒压低电位VGL,源极电性连接第二薄膜晶体管M2的漏极,漏极电性连接第n级GOA单元的第一节点PD(n);

[0056] 所述第二薄膜晶体管M2的栅极和源极均接入第n-1级GOA单元的扫描信号SCAN(n-1);

[0057] 所述第三薄膜晶体管M3的栅极接入恒压低电位VGL,源极电性连接第n-1级GOA单元的扫描信号SCAN(n-1),漏极电性连接第五薄膜晶体管M5的栅极;

[0058] 所述第四薄膜晶体管M4的栅极接入恒压低电位VGL,源极电性连接第n级GOA单元的第一节点PD(n),漏极电性连接第六薄膜晶体管M6的源极;

[0059] 所述第五薄膜晶体管M5的源极电性连接第n级GOA单元的第二节点PU(n),漏极接入恒压高电位VGH;

[0060] 所述第六薄膜晶体管M6的栅极电性连接第n级GOA单元的第二节点PU(n),漏极接入恒压高电位VGH;

[0061] 所述第七薄膜晶体管M7的栅极电性连接第三薄膜晶体管M3的漏极,源极电性连接第八薄膜晶体管M8的漏极,漏极接入恒压高电位VGH;

[0062] 所述第八薄膜晶体管M8的栅极和源极均接入第m条时钟信号CK(m);

[0063] 所述第九薄膜晶体管M9的栅极接入第m+1条时钟信号CK(m+1),源极电性连接第十薄膜晶体管M10的漏极,漏极电性连接第n级GOA单元的第二节点PU(n);

[0064] 所述第十薄膜晶体管M10的栅极电性连接第八薄膜晶体管M8的漏极,源极接入第m+1条时钟信号CK(m+1);

[0065] 所述第十一薄膜晶体管M11的栅极电性连接第n级GOA单元的第二节点PU(n),源极电性连接第十二薄膜晶体管M12的漏极,漏极接入恒压高电位VGH;

[0066] 所述第十二薄膜晶体管M12的栅极电性连接第n级GOA单元的第一节点PD(n),源极接入第m条时钟信号CK(m),漏极输出第n级GOA单元的扫描信号SCAN(n);

[0067] 所述第一电容C1的第一端电性连接第六薄膜晶体管M6的源极,第二端接入恒压高电位VGH;

[0068] 所述第二电容C2的第一端电性连接第n级GOA单元的第一节点PD(n),第二端电性连接第十二薄膜晶体管M12的漏极;

[0069] 所述第三电容C3的第一端电性连接第n级GOA单元的第二节点PU(n),第二端接入恒压高电位VGH;

[0070] 所述第四电容C4的第一端电性连接第八薄膜晶体管M8的漏极,第二端接入恒压高电位VGH;

[0071] 具体地,发光信号输出模块200包括:第十三薄膜晶体管M13、第十四薄膜晶体管M14、第十五薄膜晶体管M15、第十六薄膜晶体管M16、及第五电容C5。

[0072] 其中,所述第十三薄膜晶体管M13的栅极接入第n级GOA单元的扫描信号SCAN(n),源极接入恒压高电位VGH,漏极电性连接第十四薄膜晶体管M14的源极;

[0073] 所述第十四薄膜晶体管M14的栅极接入第n级GOA单元的发光信号EM(n),漏极接入恒压低电位VGL;

[0074] 所述第十五薄膜晶体管M15的栅极接入第n级GOA单元的扫描信号SCAN(n),源极接入恒压高电位VGH,漏极输出第n级GOA单元的发光信号EM(n);

[0075] 所述第十六薄膜晶体管M16的栅极电性连接第十三薄膜晶体管M13的漏极,源极电性连接第十五薄膜晶体管M15的漏极,漏极接入恒压低电位VGL;

[0076] 所述第五电容C5的第一端电性连接第十三薄膜晶体管M13的漏极,第二端接入第m条时钟信号CK(m)。

[0077] 具体地,所述第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、第六薄膜晶体管M6、第七薄膜晶体管M7、第八薄膜晶体管M8、第九薄膜晶体管M9、第十薄膜晶体管M10、第十一薄膜晶体管M11、第十二薄膜晶体管M12、第十三薄膜晶体管M13、第十四薄膜晶体管M14、第十五薄膜晶体管M15及第十六薄膜晶体管M16均为P型薄膜晶体管。

[0078] 具体地,所述GOA电路包括两条时钟信号:第一条时钟信号CK(1)及第二条时钟信号CK(2),所述第一条时钟信号CK(1)及第二条时钟信号CK(2)的相位相反,当所述第m条时钟信号CK(m)为第一条时钟信号CK(1)时,第m+1条时钟信号CK(m+1)为第二条时钟信号CK

(2), 当所述第 m 条时钟信号CK (m) 为第二条时钟信号CK (2) 时, 第 $m+1$ 条时钟信号CK ($m+1$) 为第一条时钟信号CK (1)。

[0079] 进一步地, 对于相邻的两级GOA单元, 其中一级GOA单元的第八薄膜晶体管M8的栅极接入第一条时钟信号CK (1), 第十薄膜晶体管M10的源极接入第二条时钟信号CK (2), 则另一级GOA单元的第八薄膜晶体管M8的栅极接入第二条时钟信号CK (2), 第十薄膜晶体管M10的源极接入第一条时钟信号CK (1)。例如, 当第一级GOA单元的第八薄膜晶体管M8的栅极接入第一条时钟信号CK (1), 第十薄膜晶体管M10的源极接入第二条时钟信号CK (2), 则第二级GOA单元的第八薄膜晶体管M8的栅极接入第二条时钟信号CK (2), 第十薄膜晶体管M10的源极接入第一条时钟信号CK (1)。

[0080] 具体地, 请参阅图2, 以第 n 级GOA单元为例, 所述GOA电路的工作过程依次包括:

[0081] 第一阶段10: 第 $n-1$ 级GOA单元的扫描信号SCAN ($n-1$) 为低电位, 第 $m+1$ 条时钟信号CK ($m+1$) 为低电位, 第 m 条时钟信号CK (m) 为高电位, 第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第九薄膜晶体管M9均打开, 第八薄膜晶体管M8关闭, 第 $n-1$ 级GOA单元的扫描信号SCAN ($n-1$) 的低电位写入第 n 级GOA单元的第一节点PD (n), 使得第 n 级GOA单元的第一节点PD (n) 的电位为低电位, 第十二薄膜晶体管M12打开, 第 m 条时钟信号CK (m) 为高电位, 第 n 级GOA单元的扫描信号SCAN (n) 为高电位, 第十三薄膜晶体管M13和第十五薄膜晶体管M15关闭, 在上一帧画面时间中发光信号EM为低电位, 从而第十四薄膜晶体管M14和第十六薄膜晶体管M16打开, 维持所述发光信号EM为低电位, 同时第 $n-1$ 级GOA单元的扫描信号SCAN ($n-1$) 的低电位还写入第五薄膜晶体管M5的栅极及第七薄膜晶体管M7的栅极, 使得第五薄膜晶体管M5及第七薄膜晶体管M7均打开, 第 n 级GOA单元的第二节点PU (n) 的电位等于恒压高电位VGH, 第六薄膜晶体管M6及第十一薄膜晶体管M11关闭;

[0082] 第二阶段20: 第 $n-1$ 级GOA单元的扫描信号SCAN ($n-1$) 为高电位, 第 $m+1$ 条时钟信号CK ($m+1$) 为高电位, 第 m 条时钟信号CK (m) 为低电位, 第一薄膜晶体管M1、第三薄膜晶体管M3、第四薄膜晶体管M4及第八薄膜晶体管M8打开, 第二薄膜晶体管M2和第九薄膜晶体管M9关闭, 第 n 级GOA单元的第一节点PD (n) 保持低电位, 第十二薄膜晶体管M12继续打开, 第 m 条时钟信号CK (m) 为低电位, 第 n 级GOA单元的扫描信号SCAN (n) 为低电位, 且受第二电容C2的耦合 (Couple) 作用, 所述第 n 级GOA单元的第一节点PD (n) 被持续拉低, 以保持第十二薄膜晶体管M12打开, 输出低电位的第 n 级GOA单元的扫描信号SCAN (n), 第十三薄膜晶体管M13和第十五薄膜晶体管M15打开, 发光信号EM的电位变为恒压高电位VGH, 第十四薄膜晶体管M14和第十六薄膜晶体管M16关闭, 同时第 n 级GOA单元的第二节点PU (n) 的电位维持于恒压高电位VGH, 第六薄膜晶体管M6及第十一薄膜晶体管M11关闭;

[0083] 第三阶段30: 第 $n-1$ 级GOA单元的扫描信号SCAN ($n-1$) 为低电位, 第 $m+1$ 条时钟信号CK ($m+1$) 为低电位, 第 m 条时钟信号CK (m) 为高电位, 第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4及第九薄膜晶体管M9均打开, 第八薄膜晶体管M8关闭, 第 n 级GOA单元的第一节点PD (n) 保持低电位, 使得第十二薄膜晶体管M12继续打开, 第 m 条时钟信号CK (m) 为高电位, 第 n 级GOA单元的扫描信号SCAN (n) 为高电位, 第十三薄膜晶体管M13和第十五薄膜晶体管M15关闭, 且由于上一阶段发光信号EM的电位为高电位, 第十四薄膜晶体管M14和第十六薄膜晶体管M16关闭, 发光信号EM的电位维持恒压高电位VGH, 同时第 n 级GOA单元的第二节点PU (n) 的电位维持于恒压高电位VGH, 第六薄膜晶体管M6及第十一

薄膜晶体管M11关闭；

[0084] 第四阶段40：第n-1级GOA单元的扫描信号SCAN (n-1) 为高电位，第m+1条时钟信号CK (m+1) 为高电位，第m条时钟信号CK (m) 为低电位，第一薄膜晶体管M1、第四薄膜晶体管M4、第三薄膜晶体管M3及第八薄膜晶体管M8打开，第二薄膜晶体管M2及第九薄膜晶体管M9关闭，第n级GOA单元的第一节点PD (n) 的电位保持低电位，第n级GOA单元的第二节点PU (n) 的电位保持高电位，第十二薄膜晶体管M12继续打开，第m条时钟信号CK (m) 为低电位，第n级GOA单元的扫描信号SCAN (n) 为低电位，且受第二电容C2的耦合 (Couple) 作用，所以第n级GOA单元的第一节点PD (n) 的电位被继续拉低，低电位的第n级GOA单元的扫描信号SCAN (n) 持续输出，第十三薄膜晶体管M13和第十五薄膜晶体管M15打开，且由于上一阶段发光信号EM的电位为高电位，第十四薄膜晶体管M14和第十六薄膜晶体管M16也继续关闭，发光信号EM的电位维持恒压高电位VGH；

[0085] 第五阶段50：第n-1级GOA单元的扫描信号SCAN (n-1) 为高电位，第m+1条时钟信号CK (m+1) 为低电位，第m条时钟信号CK (m) 为高电位，第一薄膜晶体管M1、第四薄膜晶体管M4、第三薄膜晶体管M3、第九薄膜晶体管M9及第十薄膜晶体管M10打开，第五薄膜晶体管M5和第七薄膜晶体管M7关闭，第n级GOA单元的第二节点PU (n) 的电位变为低电位，第六薄膜晶体管M6和第十一薄膜晶体管M11打开，第n级GOA单元的第一节点PD (n) 上升至高电位，第十二薄膜晶体管M12关闭，第n级GOA单元的扫描信号SCAN (n) 变为高电位，第十三薄膜晶体管M13和第十五薄膜晶体管M15关闭，且由于上一阶段发光信号EM的电位为高电位，第十四薄膜晶体管M14和第十六薄膜晶体管M16也继续关闭，发光信号EM的电位维持恒压高电位VGH；

[0086] 第六阶段60：第n-1级GOA单元的扫描信号SCAN (n-1) 为高电位，第n级GOA单元的第一节点PD (n) 维持高电位，第n级GOA单元的第二节点PU (n) 维持低电位，第n级GOA单元的扫描信号SCAN (n) 维持高电位，所述反相时钟信号XCK的电位高低变换，通过耦合效应使得第十六薄膜晶体管M16的栅极电位逐渐降低，最终使得所述发光信号EM的电位变为低电位。

[0087] 请参阅图3，需要说明的是，由于第一级GOA单元为首个GOA单元，没有其他GOA单元为其提供扫描信号，因此，为了使得第一级GOA单元正常开始工作，还会设置电路起始信号STV，在第一级GOA单元中，所述第二薄膜晶体管的栅极和源极均接入电路起始信号STV。在一帧画面时间内，所述电路起始信号STV的波形为：在第一阶段10和第三阶段30均为低电位，而在第四至第六阶段40、50、60均为高电位，而在第二阶段20的电位则不做限制，可以根据需要选择为低电位或高电位，这不会影响本发明的正常实现，优选地，所述在第二阶段20所述电路起始信号STV为低电位。通过向所述GOA电路输入电路起始信号STV即可开始一帧画面的扫描。

[0088] 基于上述的GOA电路，本发明还提供一种OLED显示装置，包括上述的GOA电路，优选地，所述OLED显示装置为柔性OLED显示装置。

[0089] 综上所述，本发明提供一种GOA电路包括：级联的多个GOA单元，每一级GOA单元均包括扫描信号输出模块以及与所述扫描信号输出模块电性连接的发光信号输出模块。在一帧画面时间内，所述扫描信号输出模块能够输出包括至少两个低电位脉冲的扫描信号，所述发光信号输出模块能够根据所述扫描信号输出模块输出的扫描信号输出有效的发光信号，从而将传统的发光信号GOA电路和扫描信号GOA电路整合为一个GOA电路，能够减少薄膜晶体管及电容的数量，简化电路结构，利于实现窄边框显示。本发明还提供提供一种OLED显

示装置,其GOA电路能够同时输出扫描信号和发光信号,电路结构简单,有利于窄边框显示的实现。

[0090] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明权利要求的保护范围。

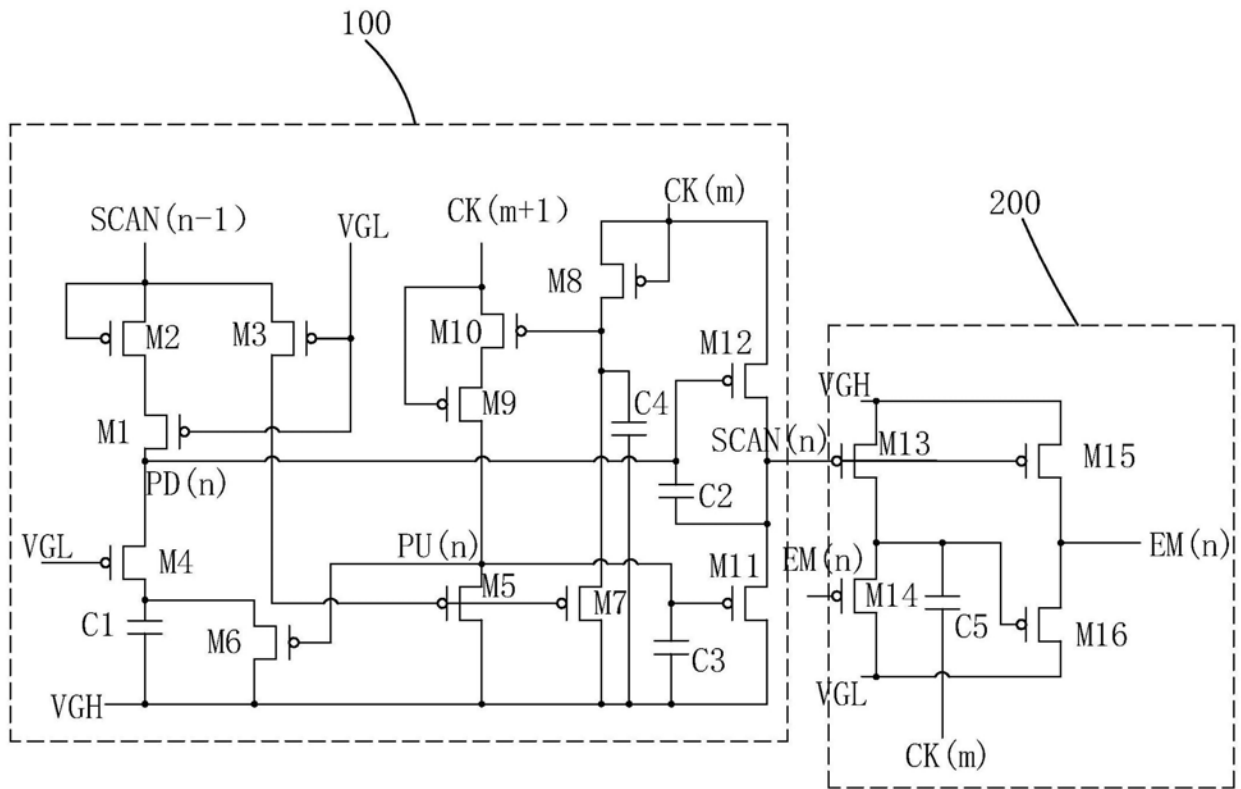


图1

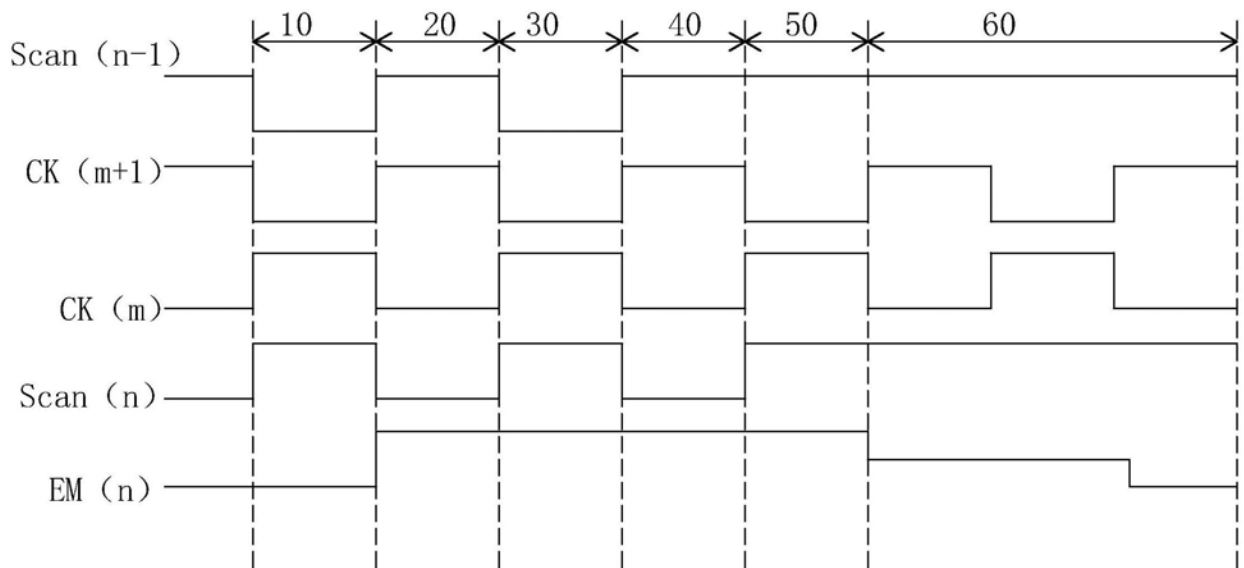


图2

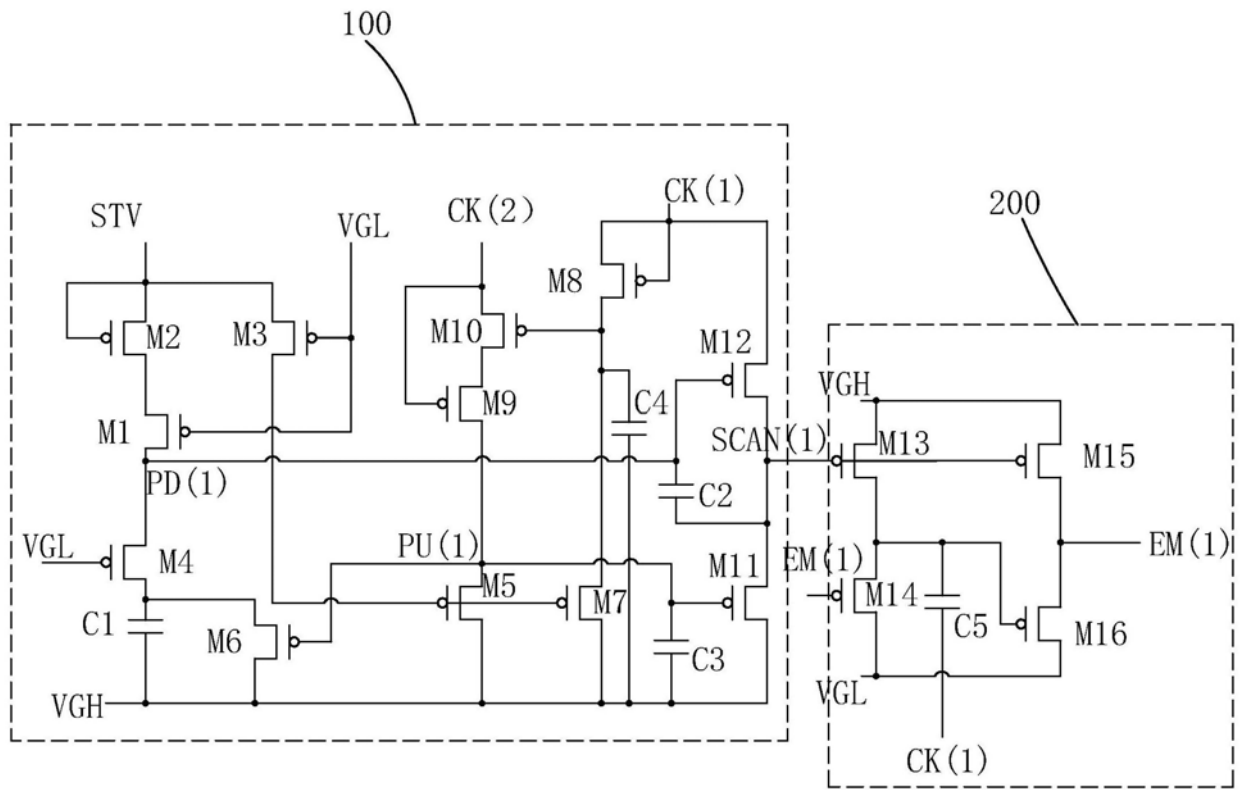


图3

