



(12) 发明专利申请

(10) 申请公布号 CN 102708798 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210133100. 2

(22) 申请日 2012. 04. 28

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 成都京东方光电科技有限公司

(72) 发明人 青海刚 祁小敬

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 许静 黄灿

(51) Int. Cl.
G09G 3/32 (2006. 01)

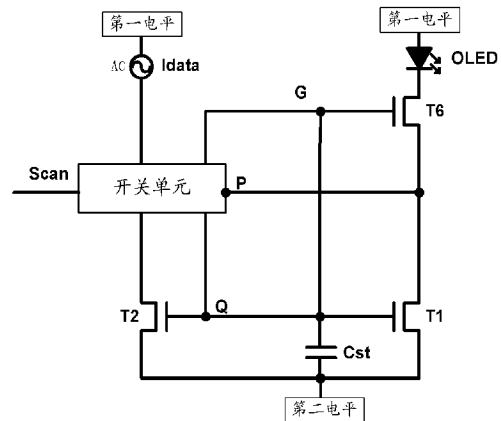
权利要求书 2 页 说明书 8 页 附图 4 页

(54) 发明名称

一种像素单元驱动电路、驱动方法、像素单元和显示装置

(57) 摘要

本发明提供了一种像素单元驱动电路、驱动方法、像素单元和显示装置,用以解决现有像素单元驱动技术使得存储电容 Cst 充电速度较慢,特别在低灰阶下,充电时间很长,不适用于高分辨率、高刷新频率的 AMOLED 显示的问题。该像素单元驱动电路包括第六晶体管、开关单元、存储电容、第一晶体管和第二晶体管。该技术方案加快了对存储电容的充电速度;并且,还有很好的存储电容 Cst 漏电流负反馈功能,从而很好的保证了电路的稳定工作。



1. 一种像素单元驱动电路,其特征在于,包括:
发光器件,其第一端与第一电平连接;
第六晶体管,其漏极与所述发光器件的第二端连接;
第一晶体管,其漏极与所述第六晶体管的源极连接,源极与第二电平连接;
存储电容,其第一端分别与所述第一晶体管的栅极、第一控制节点、第三控制节点连接,其第二端与第二电平连接;
第二晶体管,其源极与所述第二电平连接,其栅极与所述第三控制节点连接;
开关单元,其分别与提供数据信号电流的数据信号端、提供扫描信号的扫描信号端、所述第一控制节点、所述第三控制节点、所述第二晶体管的漏极连接,并通过第二控制节点与所述第六晶体管的源极连接,所述开关单元用于控制数据信号电流对存储电容进行充电。
2. 如权利要求 1 所述的像素单元驱动电路,其特征在于,
所述开关单元包括第三晶体管、第四晶体管和第五晶体管,其中:
所述第三晶体管,其源极与所述第三控制节点连接、漏极与所述第二控制节点连接、栅极与所述扫描信号端连接;
所述第四晶体管,其源极与所述第二控制节点连接、漏极与所述数据信号端连接、栅极与所述扫描信号端连接;
所述第五晶体管,其源极与第一控制节点连接、漏极与所述数据信号端连接、栅极与所述扫描信号端连接。
3. 如权利要求 1 所述的像素单元驱动电路,其特征在于,
所述第一晶体管、所述第二晶体管、所述第六晶体管的阈值电压相等。
4. 如权利要求 2 或 3 所述的像素单元驱动电路,其特征在于,
所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管为 N 型薄膜晶体管,所述第一电平为高电平,所述第二电平为低电平;或者
所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管为 P 型薄膜晶体管,所述第一电平为低电平,所述第二电平为高电平;或者
所述第一晶体管、第二晶体管、第六晶体管为 N 型薄膜晶体管,所述第三晶体管、第四晶体管、第五晶体管为 P 型薄膜晶体管,所述第一电平为高电平,所述第二电平为低电平;
或者
所述第一晶体管、第二晶体管、第六晶体管为 P 型薄膜晶体管,所述第三晶体管、第四晶体管、第五晶体管为 N 型薄膜晶体管,所述第一电平为高电平,所述第二电平为低电平。
5. 如权利要求 1 所述的像素单元驱动电路,其特征在于,
所述发光器件为 EL 或者 OLED。
6. 一种像素单元的驱动方法,应用于如权利要求 1 所述的像素单元驱动电路,其特征在于,包括:
像素充电步骤:开启控制数据信号电流的开关对存储电容进行充电,直到存储电容的电压不再上升;
发光器件发光步骤:关闭控制数据信号电流的开关,开启发光器件控制开关使所述发光器件发光,流经所述发光器件的电流正比于所述数据信号电流。
7. 如权利要求 6 所述的驱动方法,其特征在于,

流经所述发光器件的电流等于流经所述第一晶体管和第二晶体管的电流之和。

8. 一种像素单元,其特征在於,包括如权利要求 1 至 5 中任一所述的像素单元驱动电路。
9. 一种显示装置,其特征在於,包括多个如权利要求 8 所述的像素单元。

一种像素单元驱动电路、驱动方法、像素单元和显示装置

技术领域

[0001] 本发明涉及显示驱动技术领域,特别涉及一种像素单元驱动电路、驱动方法、像素单元和显示装置。

背景技术

[0002] AMOLED 能够发光是由于驱动 TFT 在饱和状态时产生的电流所驱动,即电流驱动发光。图 1A 为已有基本电流型 AMOLED(有源矩阵有机发光二极管面板)像素结构原理图,图 1B 为其对应的时序图。如图 1A 所示,已有基本电流型 AMOLED 像素结构包括 OLED、T1、T2、T3、T4 和存储电容 Cst,其中 T1 为驱动薄膜晶体管,T2、T3、T4 为控制薄膜晶体管,T2 的栅极和 T3 的栅极与输出控制信号 CN1 的控制线连接,T4 的栅极与输出控制信号 CN2 的控制线连接。该已有电流型 AMOLED 像素结构直接由外部加入驱动电流 Idata,以决定存储电容 Cst 上的电压,从而产生驱动 OLED(有机发光二极管)发光的驱动电流 Ioled。在基本电流型 AMOLED 像素结构中,Ioled 等于 Idata,而由于 Ioled 必须在 OLED 的工作电流范围内,为较小电流,因此 Idata 也较小,存储电容 Cst 为大电容,充电速度较慢,特别在低灰阶下,充电时间很长,不适用于高分辨率、高刷新频率的 AMOLED 显示。

发明内容

[0003] 本发明实施例提供了一种像素单元驱动电路、驱动方法、像素单元和显示装置,用以解决现有像素单元驱动技术使得存储电容 Cst 充电速度较慢,特别在低灰阶下,充电时间很长,不适用于高分辨率、高刷新频率的 AMOLED 显示的问题。

[0004] 本发明实施例提供了一种像素单元驱动电路,包括:

[0005] 发光器件,其第一端与第一电平连接;

[0006] 第六晶体管,其漏极与所述发光器件的第二端连接;

[0007] 第一晶体管,其漏极与所述第六晶体管的源极连接,源极与第二电平连接;

[0008] 存储电容,其第一端分别与所述第一晶体管的栅极、第一控制节点、第三控制节点连接,其第二端与第二电平连接;

[0009] 第二晶体管,其源极与所述第二电平连接,其栅极与所述第三控制节点连接;

[0010] 开关单元,其分别与提供数据信号电流的数据信号端、提供扫描信号的扫描信号端、所述第一控制节点、所述第三控制节点、所述第二晶体管的漏极连接,并通过第二控制节点与所述第六晶体管的源极连接,所述开关单元用于控制数据信号电流对存储电容进行充电。

[0011] 其中,优选地,所述开关单元包括第三晶体管、第四晶体管和第五晶体管,其中:

[0012] 所述第三晶体管,其源极与所述第三控制节点连接、漏极与所述第二控制节点连接、栅极与所述扫描信号端连接;

[0013] 所述第四晶体管,其源极与所述第二控制节点连接、漏极与数据信号端连接、栅极与所述扫描信号端连接;

[0014] 所述第五晶体管,其源极与第一控制节点连接、漏极与所述数据信号端连接、栅极与所述扫描信号端连接。

[0015] 其中,优选地,所述第一晶体管、所述第二晶体管、所述第六晶体管的阈值电压相等。

[0016] 其中,优选地,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管为 N 型薄膜晶体管,所述第一电平为高电平,所述第二电平为低电平;或者

[0017] 所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管为 P 型薄膜晶体管,所述第一电平为低电平,所述第二电平为高电平;或者

[0018] 所述第一晶体管、第二晶体管、第六晶体管为 N 型薄膜晶体管,所述第三晶体管、第四晶体管、第五晶体管为 P 型薄膜晶体管,所述第一电平为高电平,所述第二电平为低电平;或者

[0019] 所述第一晶体管、第二晶体管、第六晶体管为 P 型薄膜晶体管,所述第三晶体管、第四晶体管、第五晶体管为 N 型薄膜晶体管,所述第一电平为高电平,所述第二电平为低电平。

[0020] 其中,优选地,所述发光器件为 EL 或者 OLED。

[0021] 本发明实施例提供了一种像素单元的驱动方法,应用于所述的像素单元驱动电路,包括:

[0022] 像素充电步骤:开启控制数据信号电流的开关对存储电容进行充电,直到存储电容的电压不再上升;

[0023] 发光器件发光步骤:关闭控制数据信号电流的开关,开启发光器件控制开关使所述发光器件发光,流经所述发光器件的电流正比于所述数据信号电流。

[0024] 其中,优选地,流经所述发光器件的电流等于流经所述第一晶体管和第二晶体管的电流之和。

[0025] 本发明实施例提供了一种像素单元,包括任一所述的像素单元驱动电路。

[0026] 本发明实施例提供了一种显示装置,包括多个所述的像素单元。

[0027] 与现有技术相比,本发明实施例提供的像素单元驱动电路、驱动方法、像素单元和显示装置,可以使得数据信号电流 I_{data} 和流过发光器件的电流 I_{oled} 之间具有较大的缩放比例,保证 I_{oled} 在发光器件工作电流范围内,而 I_{data} 可以为较大电流,从而加快了对存储电容的充电速度;并且,还有很好的存储电容 C_{st} 漏电流负反馈功能,从而很好的保证了电路的稳定工作。

附图说明

[0028] 图 1A 为已有基本电流型 AMOLED 像素结构原理图;

[0029] 图 1B 为图 1A 中电路的时序图;

[0030] 图 2 为本发明实施例中一种像素单元驱动电路图;

[0031] 图 3A 为本发明实施例中另一种像素单元驱动电路图;

[0032] 图 3B 为图 3A 中电路的时序图;

[0033] 图 4A 为本发明实施例中再一种像素单元驱动电路图;

[0034] 图 4B 为图 4A 中电路的时序图;

- [0035] 图 5A 为本发明实施例中第四种像素单元驱动电路图；
- [0036] 图 5B 为图 5A 中电路的时序图；
- [0037] 图 6 为图 3A 中电路在第一阶段的等效电路图；
- [0038] 图 7 为图 3A 中电路在第二阶段的等效电路图；
- [0039] 图 8 为图 3A 中电路在第二阶段的电路模拟结果。

具体实施方式

[0040] 为使本发明实施例要解决的技术问题、技术方案和优点更加清楚，下面将结合附图及具体实施例进行详细描述。

[0041] 如图 2 所示，本发明实施例提供了一种像素单元驱动电路，包括：

[0042] 发光器件（图 2 以发光器件为 OLED 为例），其第一端与第一电平连接；

[0043] 第六晶体管 T6，漏极与发光器件的第二端连接；

[0044] 第一晶体管 T1，其漏极与第六晶体管 T6 的源极连接，源极与第二电平连接；

[0045] 存储电容 Cst，其第一端分别与第一晶体管 T1 的栅极、第一控制节点 G 点、第三控制节点 Q 点连接，其第二端与第二电平连接；

[0046] 第二晶体管 T2，其源极与第二电平连接，其栅极与第三控制节点 Q 点连接；

[0047] 开关单元，其分别与提供数据信号电流的数据信号端 Idata、提供扫描信号的扫描信号端 Scan、第一控制节点 G 点、第三控制节点 Q 点、第二晶体管 T2 的漏极连接，并通过第二控制节点 P 点与第六晶体管 T6 的源极连接，开关单元用于控制数据信号电流对存储电容 Cst 进行充电。

[0048] 其中，优选地，如图 3A、图 4A 或图 5A 所示：

[0049] 开关单元包括第三晶体管 T3、第四晶体管 T4 和第五晶体管 T5，其中：

[0050] 第三晶体管 T3，其源极与第三控制节点 Q 点连接、漏极与第二控制节点 P 连接、栅极与扫描信号端 Scan 连接；

[0051] 第四晶体管 T4，其源极与第二控制节点 P 点连接、漏极与数据信号端 Idata 连接、栅极与扫描信号端 Scan 连接；

[0052] 第五晶体管 T5，其源极与第一控制节点 G 点连接、漏极与数据信号端 Idata 连接、栅极与扫描信号端 Scan 连接。

[0053] 其中，优选地，如图 3A 所示，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 为 N 型薄膜晶体管，此时，上述第一电平为高电平 VDD，第二电平为低电平 VSS。此种情况下，发光器件 OLED 为顶发光。图 3B 为图 3A 中像素单元驱动电路的驱动时序图如，图中信号①对应存储电容 Cst 的充电阶段，信号②对应发光器件的发光阶段。

[0054] 或者，优选地，如图 4A 所示，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 亦可为 P 型薄膜晶体管，此时，上述第一电平为低电平 VSS，第二电平为高电平 VDD。此种情况下，发光器件 OLED 为底发光。图 4B 为图 4A 中像素单元驱动电路的驱动时序图，图中信号①对应存储电容 Cst 的充电阶段，信号②对应发光器件的发光阶段。

[0055] 或者，优选地，如图 5A 所示，第一晶体管 T1、第二晶体管 T2、第六晶体管 T6 为 N 型

薄膜晶体管,第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 为 P 型薄膜晶体管,此时,上述第一电平为高电平 VDD,第二电平为低电平 VSS。图 5B 为图 5A 中像素单元驱动电路的驱动时序图,图中信号①对应存储电容 Cst 的充电阶段,信号②对应发光器件的发光阶段。

[0056] 或者,优选地,第一晶体管 T1、第二晶体管 T2、第六晶体管 T6 为 P 型薄膜晶体管,第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 为 N 型薄膜晶体管,此时,上述第一电平为高电平 VDD,第二电平为低电平 VSS(图未示)。

[0057] 除以上形式的低温多晶硅(LTPS)晶体管外,第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 还可以为氧化物晶体管、氧化物 TFT、有机晶体管或者有机 TFT。

[0058] 发光器件可以为 EL、OLED 等。

[0059] 其中,优选地,第一晶体管 T1、第二晶体管 T2、第六晶体管 T6 的阈值电压相等。比如:如果使用 ELA(准分子激光退火)工艺,在做像素电路的布局设计时,可以将第一晶体管 T1、第二晶体管 T2、第六晶体管 T6 放置于一个像素内的同一水平位置,这样制程中这三个晶体管可以处于同一水平激光束内,能保证第一晶体管 T1 的阈值电压 V_{th1} 、第二晶体管 T2 的阈值电压 V_{th2} 、第六晶体管 T6 的阈值电压 V_{th6} 相等,可均视为 V_{th} 。

[0060] 上述像素单元驱动电路中对各晶体管所定义源极和漏极所指并不固定,随着电压的变动而变化,对 N 型薄膜晶体管来说,电压高的位置设置漏极,电压低的位置设置源极, P 型薄膜晶体管相反。

[0061] 另外,本发明实施例还提供了一种像素单元驱动方法,应用于本发明实施例提供的上述像素单元驱动电路,包括如下两个步骤 A1-A2:

[0062] A1、像素充电步骤:控制数据信号电流 I_{data} 对存储电容 Cst 进行充电,直到 Cst 的电压不再上升,此时不再有数据电流流入 Cst,存储电容两端的电压与所控制的晶体管流过的数据电流是相适应的。

[0063] 其中,第一晶体管 T1 和第二晶体管 T2 处于饱和状态具体为:第一晶体管 T1 和第二晶体管 T2 的饱和电流之和等于数据信号电流 I_{data} 。

[0064] 即步骤 A1 可具体实施为:开启控制数据信号电流的开关,数据电流 I_{data} 对存储电容 Cst 进行充电,直至第一晶体管 T1 和第二晶体管 T2 的饱和电流之和等于数据信号电流 I_{data} 。

[0065] A2、发光器件发光步骤:关闭控制数据信号电流的开关,同时发光器件控制开关开启,流经发光器件的电流 I_{oled} 正比于数据信号电流 I_{data} 。

[0066] 其中,步骤 A2 可具体实施为:

[0067] 关闭控制数据信号电流的开关,同时发光器件控制开关开启,使第一晶体管 T1 和第二晶体管 T2 的工作状态处于线性工作区,由于数据信号电流对存储电容的调节,流经发光器件的电流等于流经第一晶体管 T1 和第二晶体管 T2 的电流之和。

[0068] 上述步骤 A1-A2 具体可由本发明实施例提供的上述像素单元驱动电路中的开关单元和相应的晶体管执行。下面以图 3A 为例说明本发明实施例提供的像素单元驱动电路的工作原理。

[0069] 第一阶段:存储电容 Cst 的充电阶段

[0070] 图 3B 为图 3A 中所示像素单元驱动电路的时序图。图 6 为对存储电容 Cst 充电时

的等效电路图。图 6 对应于图 3B 中的信号①。

[0071] 参考图 3A(图 3A 只示出了电路结构,未示出各薄膜晶体管在导通时的状态),第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 开启,数据信号电流 I_{data} 通过 G 点对存储电容 C_{st} 充电。

[0072] 此时,G 点和 P 点联通,第六薄膜晶体管 T6 的栅源电压为 0,因而第六薄膜晶体管 T6 截止。同时 P 点和 Q 点联通,第一薄膜晶体管 T1、第二薄膜晶体管 T2 为二极管连接,第一薄膜晶体管 T1 和第二薄膜晶体管 T2 各自的电压值有如下关系:

[0073] $V_{gs} = V_{ds} = V_{st} = V_g - V_{SS}$

[0074] 其中, V_{gs} 表示薄膜晶体管的栅源电压, V_{ds} 表示薄膜晶体管的源漏电压, V_{st} 表示存储电容两端的电压, V_g 表示 G 点的电压。

[0075] 此时,第一薄膜晶体管 T1、第二薄膜晶体管 T2 均处于饱和状态。

[0076] 在对存储电容 C_{st} 充电以后,有如下关系成立:

[0077] $I_{data} = I_{ds1} + I_{ds2}$

[0078] 其中, I_{ds1} 为第一薄膜晶体管 T1 的饱和电流, I_{ds2} 为第二薄膜晶体管 T2 的饱和电流。

[0079] 对第一薄膜晶体管 T1 有如下关系成立:

$$[0080] \quad I_{ds1} = \frac{1}{2} k_1 (V_{gs} - V_{th})^2 \quad (1)$$

[0081] 其中, k_1 为与第一薄膜晶体管 T1 的设计和工艺相关的常数。

[0082] 对第二薄膜晶体管 T2 有如下关系成立:

$$[0083] \quad I_{ds2} = \frac{1}{2} k_2 (V_{gs} - V_{th})^2 \quad (2)$$

[0084] 其中, k_2 为与第二薄膜晶体管 T2 的设计和工艺相关的常数。

[0085] 根据以上公式 (1)、(2) 可得:

$$[0086] \quad \frac{I_{ds1}}{I_{ds2}} = \frac{k_1}{k_2}$$

[0087] 综合以上公式可得到:

$$[0088] \quad I_{ds1} = \frac{k_1 I_{data}}{k_1 + k_2} \quad (3)$$

[0089] 第二阶段:OLED 的发光阶段

[0090] 图 7 为 OLED 进入发光阶段的等效电路图。图 7 对应于图 3B 中的信号②。

[0091] 参考图 3A,第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 关闭,OLED 进入发光阶段。

[0092] 设 V_p 为第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 关闭前 P 点的电压; V_p' 为第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 关闭后 P 点的电压。

[0093] 在第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 关闭前, $V_p = V_q = V_g$,其中, V_q 为 Q 点的电压, V_g 为 G 点的电压。

[0094] 如果第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 关闭后, $V_{p'}$ 的电压不变, 即 $V_{p'} = V_q = V_g$, 则对于第一薄膜晶体管 T1、第二薄膜晶体管 T2 来说, 仍然存在 $V_{gs} = V_{ds}$, 它们仍然处于饱和状态, 从而第一薄膜晶体管 T1、第二薄膜晶体管 T2 还处于开启状态; 同时, 对于第六薄膜晶体管 T6 来说, 由于它的 $V_{gs} = V_g - V_{p'} = 0$, 因此第六薄膜晶体管 T6 处于关闭状态; 也就是说, 此时, 第一薄膜晶体管 T1、第二薄膜晶体管 T2 处于饱和和开启状态, 而它们的漏极处于悬空状态。在此状态下, 由于第一薄膜晶体管 T1、第二薄膜晶体管 T2 的源极连接 VSS, 会将 P 点的电压迅速下拉 (参考图 8 中 A 点所指), 也就是说 P 点的电压不可能保持原状而是会下降到某个值。当 P 点电压下降到 $V_g - V_{p'} \geq V_{th}$ 时, 对第六薄膜晶体管 T6 来说, 有以下关系成立:

$$[0095] \quad V_{gs} = V_g - V_{p'} \geq V_{th} \quad (4)$$

[0096] 因此第六薄膜晶体管 T6 会开启。

$$[0097] \quad \text{由以上关系式 (4) 可得: } V_g \geq V_{p'} + V_{th} \quad (5)$$

$$[0098] \quad \text{进一步可得: } V_g - V_{SS} \geq V_{p'} - V_{SS} + V_{th} \quad (6)$$

[0099] 对于第一薄膜晶体管 T1, 有 $V_{gs} = V_g - V_{SS}$, $V_{ds} = V_{p'} - V_{SS}$, 所以对第一薄膜晶体管 T1 有如下关系成立:

$$[0100] \quad V_{gs} \geq V_{ds} + V_{th} \quad (7)$$

[0101] 因此第一薄膜晶体管 T1 处于线性工作区, 同理第二薄膜晶体管 T2 也处于线性工作区。由此可知, 在 OLED 发光阶段, 第一薄膜晶体管 T1、第二薄膜晶体管 T2 的工作状态处于线性工作区。

[0102] 另外, 由于 $V_{DD} > V_g$, 因此 $V_{DD} - V_{p'} > V_g - V_{p'}$

[0103] 其中, V_{DD} 表示驱动 OLED 发光的电压源的正电压。

[0104] 对于第六薄膜晶体管 T6 来说, 有 $V_{gs} = V_g - V_{p'}$, $V_{ds} = V_{DD} - V_{p'}$, 所以对第六薄膜晶体管 T6 有 $V_{ds} > V_{gs}$, 进而有 $V_{ds} > V_{gs} - V_{th}$, 由此可知第六薄膜晶体管 T6 的工作状态处于饱和工作区。

[0105] 由第一薄膜晶体管 T1 的工作状态可得:

$$[0106] \quad I_{d1} = k_1 [(V_{gs} - V_{th})V_{p's} - \frac{1}{2}V_{p's}^2] \quad (8)$$

[0107] 由第二薄膜晶体管 T2 的工作状态可得:

$$[0108] \quad I_{d2} = k_2 [(V_{gs} - V_{th})V_{p's} - \frac{1}{2}V_{p's}^2] \quad (9)$$

[0109] I_{d1} 、 I_{d2} 为 T1、T2 在工作在线性区的漏源电流。

$$[0110] \quad \text{由 (8)、(9) 可得: } \frac{I_{d1}}{I_{d2}} = \frac{k_1}{k_2} \quad (10)$$

$$[0111] \quad \text{因为: } I_{oled} = I_{d2} + I_{d1} \quad (11)$$

[0112] 其中, I_{oled} 为电路工作时通过 OLED 的电流。

$$[0113] \quad \text{由 (10)、(11) 可得: } I_{d1} = \frac{k_1 I_{oled}}{k_1 + k_2} \quad (12)$$

$$[0114] \quad \text{由 T6 的工作状态可得到: } I_{oled} = \frac{1}{2} k_6 (V_{gp'} - V_{th})^2 \quad (13)$$

[0115] 将上述公式 (1)、(8)、(13) 组合成如下方程组:

$$[0116] \quad I_{ds1} = \frac{1}{2} k_1 (V_{gs} - V_{th})^2 \quad (1)$$

$$[0117] \quad I_{d1} = k_1 [(V_{gs} - V_{th}) V_{p's} - \frac{1}{2} V_{p's}^2] \quad (8)$$

$$[0118] \quad I_{oled} = \frac{1}{2} k_6 (V_{gp'} - V_{th})^2 \quad (13)$$

$$[0119] \quad \text{解方程 (1)、(8) 可解得: } V_{gp'} = \sqrt{\frac{(2I_{ds1} - 2I_{d1})}{k_1}} + V_{th} \quad (14)$$

$$[0120] \quad \text{将 (14) 带入 (13) 可解得: } I_{oled} = \frac{k_6(I_{ds1} - I_{d1})}{k_1} \quad (15)$$

$$[0121] \quad \text{将 } I_{ds1} = \frac{k_1 I_{data}}{k_1 + k_2} \text{ 和 } I_{d1} = \frac{k_1 I_{oled}}{k_1 + k_2} \text{ 带入 (15) 解得:}$$

$$[0122] \quad \frac{I_{data}}{I_{oled}} = \frac{k_1 + k_2 + k_6}{k_6} \quad (16)$$

[0123] 其中, k_1 、 k_2 、 k_6 分别为与第一薄膜晶体管 T1、第二薄膜晶体管 T2、第六薄膜晶体管 T6 的设计和工艺相关的常数。 $K = \mu C_{ox} \frac{W}{L}$, 其中, μ 、 C_{ox} 为与工艺相关的常数, W 为 TFT 沟道宽度, L 为薄膜晶体管的沟道长度, W 、 L 都为可选择性设计的常数。

[0124] 根据 (16) 可知 I_{data} 正比于 I_{oled} , 对 I_{oled} 有放大作用, I_{data} 对 I_{oled} 有大的缩放比,

$$[0125] \quad \frac{I_{data}}{I_{oled}} = \frac{k_1 + k_2 + k_6}{k_6}$$

[0126] 在 I_{oled} 的工作范围内可以有大的 I_{data} , 可以实现快速对存储电容 C_{st} 充电。

[0127] 另外, 由于薄膜晶体管并不是理想的开关, 在第三薄膜晶体管 T3、第五薄膜晶体管 T5 关闭以后仍然会有一定的漏电流存在, 因此存储电容 C_{st} 储存的灰阶电压信号在一帧的时间内会产生误差从而导致驱动电流失真。而本发明实施例提供的像素单元驱动电路同时还具备存储电容 C_{st} 漏电的负反馈功能, 抑制驱动电流的失真。说明如下:

[0128] 当存储电容 C_{st} 发生漏电时, 如果 G 点电压 V_g 因为漏电流降低, 而 $V_{p'}$ 不变, 则 $V_{gp'}$ 减小, 由于 $V_{gp'}$ 是第六薄膜晶体管 T6 的 V_{gs} 电压, 由方程 (13) 可知, I_{oled} 将会减小, I_{oled} 减小自然 I_{d1} 也会减小;

$$[0129] \quad I_{d1} = \frac{k_1 I_{oled}}{k_1 + k_2}$$

[0130] 而从推导结果 (14)

$$[0131] \quad V_{gp'} = \sqrt{\frac{(2I_{ds1} - 2I_{d1})}{k_1}} + V_{th}$$

[0132] 可得出, I_{d1} 减小反而会使 $V_{gp'}$ 增加, 从而抑制 I_{oled} 的减小。实际是 G 点电压 V_g 降低导致 I_{d1} 降低, 而 I_{d1} 的降低使得 P 点电压 $V_{p'}$ 降低, 从而抑制了 $V_{gp'}$ 的减小。

[0133] 可见, 与现有技术相比, 本发明实施例提供的像素单元驱动电路可以使得数据信号电流 I_{data} 和流过发光器件的电流 I_{oled} 之间具有较大的缩放比例, 保证 I_{oled} 在发光

器件工作电流范围内,而 I_{data} 可以为较大电流,从而加快了对存储电容的充电速度;并且,还有很好的存储电容 C_{st} 漏电流负反馈功能,从而很好的保证了电路的稳定工作。

[0134] 另外,本发明实施例还提供了一种像素单元,包括本发明实施例提供的上述任何一种像素单元驱动电路。

[0135] 另外,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述像素单元。

[0136] 参考上述分析可见,与现有技术相比,本发明实施例提供的像素单元、显示装置,可以使得数据信号电流 I_{data} 和流过发光器件的电流 I_{oled} 之间具有较大的缩放比例,保证 I_{oled} 在发光器件工作电流范围内,而 I_{data} 可以为较大电流,从而加快了对存储电容的充电速度;并且,还有很好的存储电容 C_{st} 漏电流负反馈功能,从而很好的保证了电路的稳定工作。

[0137] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

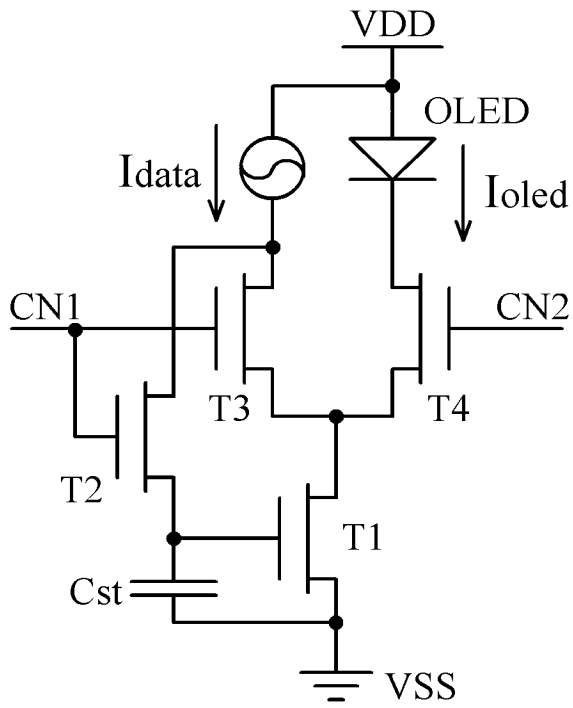


图 1A

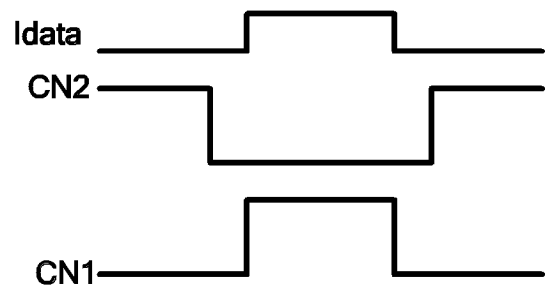


图 1B

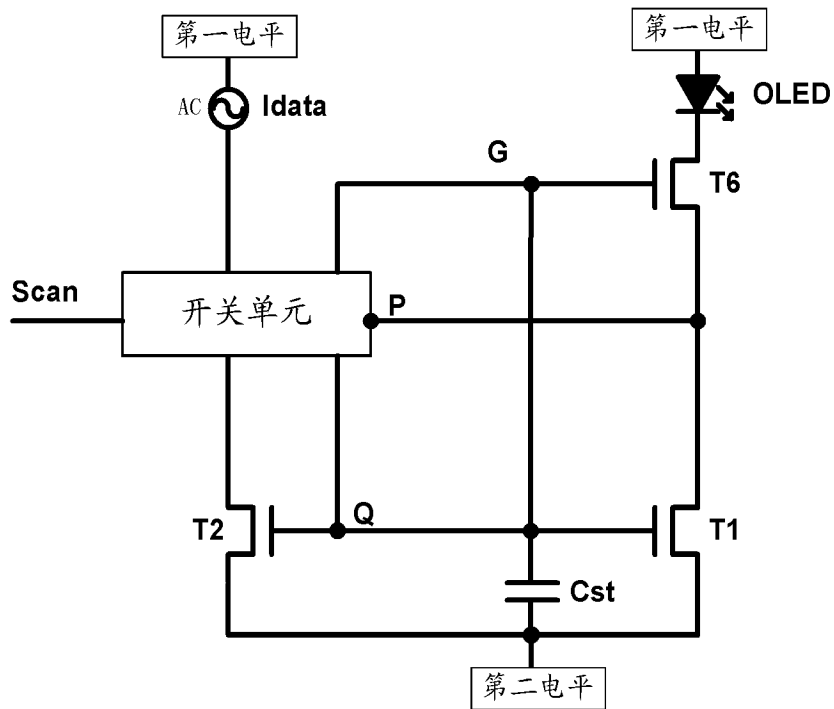


图 2

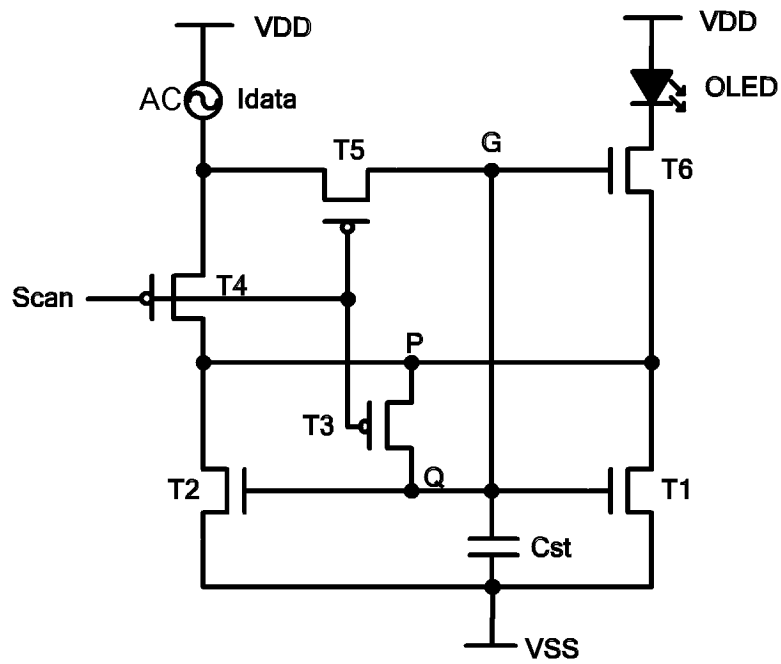


图 5A

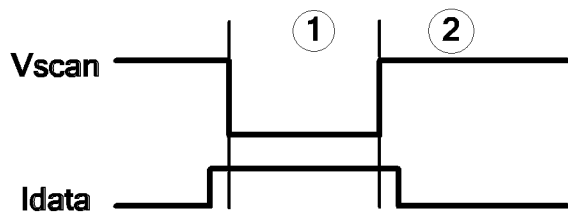


图 5B

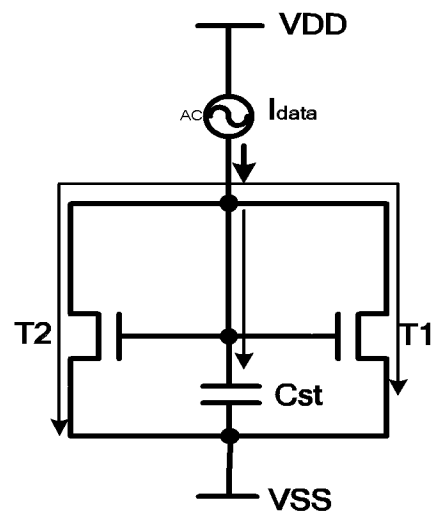


图 6

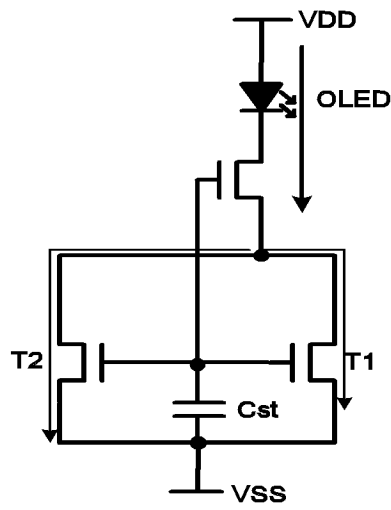


图 7

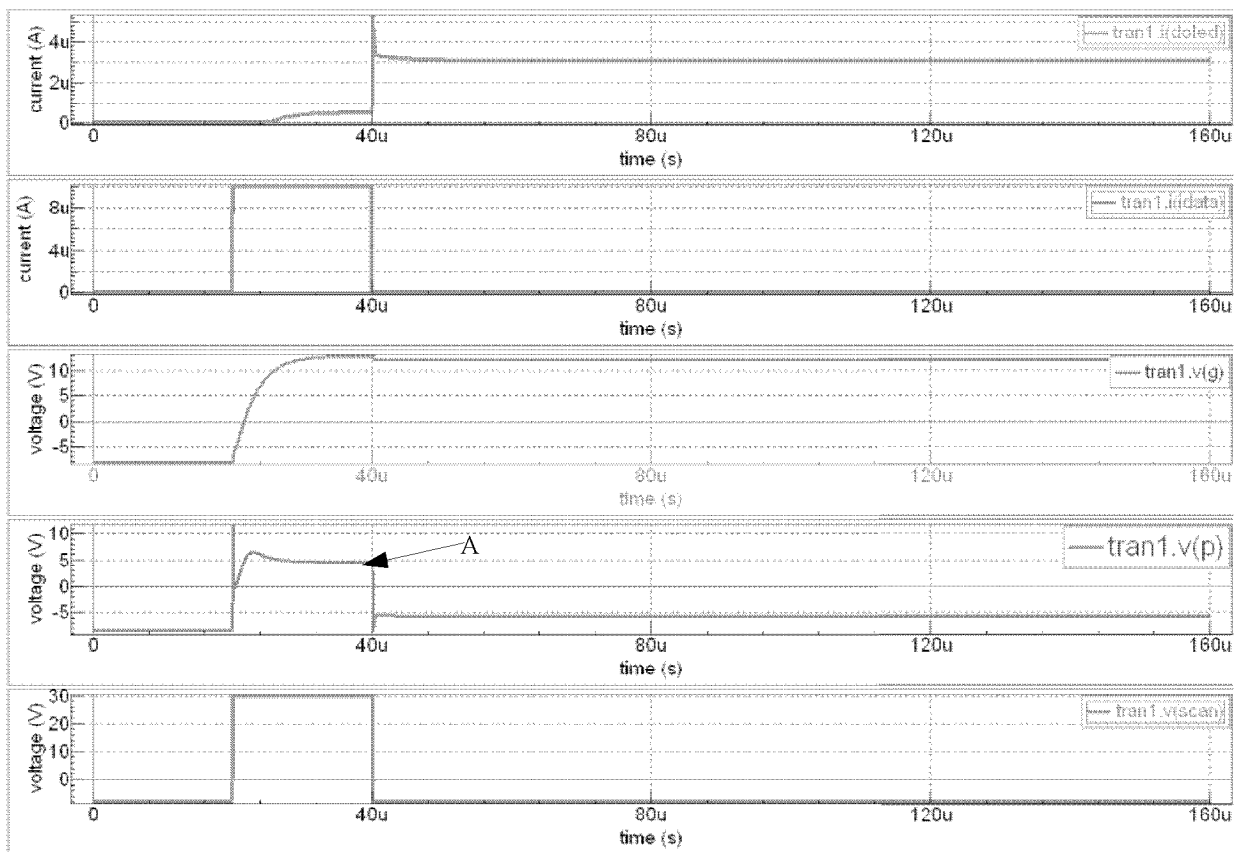


图 8

专利名称(译)	一种像素单元驱动电路、驱动方法、像素单元和显示装置		
公开(公告)号	CN102708798A	公开(公告)日	2012-10-03
申请号	CN201210133100.2	申请日	2012-04-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	青海刚 祁小敬		
发明人	青海刚 祁小敬		
IPC分类号	G09G3/32		
CPC分类号	G09G3/30 G09G3/32 G09G3/3225 G09G3/3233 G09G2300/0842 G09G2320/0252		
代理人(译)	许静 黄灿		
其他公开文献	CN102708798B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素单元驱动电路、驱动方法、像素单元和显示装置，用以解决现有像素单元驱动技术使得存储电容Cst充电速度较慢，特别在低灰阶下，充电时间很长，不适用于高分辨率、高刷新频率的AMOLED显示的问题。该像素单元驱动电路包括第六晶体管、开关单元、存储电容、第一晶体管和第二晶体管。该技术方案加快了对存储电容的充电速度；并且，还有很好的存储电容Cst漏电流负反馈功能，从而很好的保证了电路的稳定工作。

