



(12)发明专利申请

(10)申请公布号 CN 111048041 A

(43)申请公布日 2020.04.21

(21)申请号 202010001983.6

(22)申请日 2020.01.02

(71)申请人 武汉天马微电子有限公司

地址 430205 湖北省武汉市东湖新技术开
发区东一产业园流芳园路8号

(72)发明人 周茂清 陈菲 向东旭

(74)专利代理机构 北京品源专利代理有限公司
11332

代理人 孟金喆

(51)Int.Cl.

G09G 3/3208(2016.01)

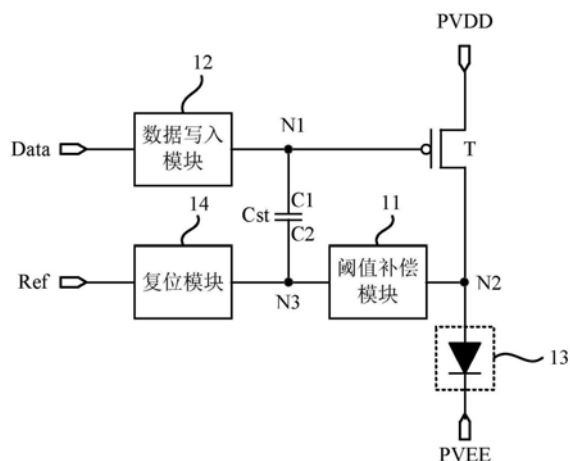
权利要求书4页 说明书18页 附图15页

(54)发明名称

像素电路及其驱动方法、显示面板和显示装置

(57)摘要

本发明实施例公开了一种像素电路及其驱动方法、显示面板和显示装置,该像素电路的数据写入模块能够在数据写入阶段将数据信号写入驱动晶体管的栅极和存储电容的第一极板;复位模块能够在数据写入阶段将复位信号写入存储电容的第二极板;阈值补偿模块能够在阈值补偿阶段将阈值补偿信号写入存储电容的第二极板,以使存储电容的第一极板的电位调整为第一电位,并对所驱动晶体管进行阈值补偿;其中,阈值补偿信号大于复位信号;驱动晶体管能够在发光阶段向有机发光元件提供驱动电流,以驱动有机发光元件发光。本发明实施例提供的像素电路结构简单,尺寸较小,且能够实现阈值补偿。



1. 一种像素电路,其特征在于,包括:驱动晶体管、存储电容、数据写入模块、复位模块、阈值补偿模块和有机发光元件;

所述数据写入模块与所述驱动晶体管的栅极和所述存储电容的第一极板电连接,用于在数据写入阶段将数据信号写入所述驱动晶体管的栅极和所述存储电容的第一极板;

所述复位模块与所述存储电容的第二极板电连接,用于在所述数据写入阶段将复位信号写入所述存储电容的第二极板;

所述阈值补偿模块与所述存储电容的第二极板电连接,用于在阈值补偿阶段将阈值补偿信号写入所述存储电容的第二极板,以使所述存储电容的第一极板的电位调整为第一电位,并对所述驱动晶体管进行阈值补偿;其中,所述阈值补偿信号大于所述复位信号;

所述驱动晶体管与所述有机发光元件电连接,用于在发光阶段向所述有机发光元件提供驱动电流,以驱动所述有机发光元件发光。

2. 根据权利要求1所述的像素电路,其特征在于,所述阈值补偿模块包括第一晶体管;所述第一晶体管的阈值电压为第一阈值电压;

所述阈值补偿信号包括所述第一阈值电压。

3. 根据权利要求2所述的像素电路,其特征在于,所述驱动晶体管的阈值电压为第二阈值电压;

所述第一阈值电压与所述第二阈值电压的差值在预设范围内。

4. 根据权利要求3所述的像素电路,其特征在于,所述第一晶体管的有源层包括第一沟道,所述驱动晶体管的有源层包括第二沟道;

所述第一沟道与所述第二沟道之间的间距 W 满足: $2.5\mu\text{m}\leq W\leq 4.5\mu\text{m}$ 。

5. 根据权利要求1所述的像素电路,其特征在于,所述阈值补偿模块包括第一晶体管,所述复位模块包括第三晶体管,所述数据写入模块包括第二晶体管;

所述第一晶体管的第一电极与所述有机发光元件的阳极连接,所述第一晶体管的第二电极和所述第一晶体管的栅极均与所述存储电容的第二极板电连接;

所述第三晶体管的第一电极接收复位信号,所述第三晶体管的第二电极与所述存储电容的第二极板电连接,所述第三晶体管的栅极接收第一扫描信号;

所述第二晶体管的第一电极接收数据信号,所述第二晶体管的第二电极与所述驱动晶体管的栅极和所述存储电容的第一极板电连接,所述第二晶体管的栅极接收第一扫描信号;

所述驱动晶体管的第一电极接收电源信号,所述驱动晶体管的第二电极与所述有机发光元件的阳极电连接;所述有机发光元件的阴极接收低电平信号。

6. 根据权利要求5所述的像素电路,其特征在于,所述像素电路还包括连接走线;所述第一晶体管、所述第二晶体管以及所述第三晶体管分别通过不同的所述连接走线与所述存储电容电连接;

所述连接走线的线宽 $L1$ 满足 $1.5\mu\text{m}\leq L1\leq 2.5\mu\text{m}$;

所述第一晶体管在参考平面上的垂直投影的最大延伸长度为 $L2$,其中, $L2\leq 3\mu\text{m}$;其中,所述参考平面与所述第一晶体管的有源层所在平面平行;

所述第二晶体管在所述参考平面上的垂直投影的最大延伸长度为 $L3$,其中, $L3\leq 3\mu\text{m}$;

所述第三晶体管在所述参考平面上的垂直投影的最大延伸长度为 $L4$,其中, $L4\leq 3\mu\text{m}$;

m。

7. 根据权利要求1所述的像素电路,其特征在于,所述存储电容的第一极板或第二极板复用所述驱动晶体管的栅极。

8. 一种像素电路的驱动方法,其特征在于,应用于如权利要求1~7任一项所述的像素电路,所述驱动方法包括:

在数据写入阶段,数据写入模块将数据信号写入驱动晶体管的栅极和存储电容的第一极板,以及复位模块将复位信号写入所述存储电容的第二极板,以使所述存储电容的第二极板的电位等于所述复位信号的电位;

在阈值补偿阶段,阈值补偿模块将阈值补偿信号写入所述存储电容的第二极板,以使所述存储电容的第二极板的电位等于所述阈值补偿信号的电位,并对所述驱动晶体管进行阈值补偿;其中,所述阈值补偿信号大于所述复位信号;

在发光阶段,所述驱动晶体管向有机发光元件提供驱动电流,以驱动所述有机发光元件发光。

9. 根据权利要求8所述的驱动方法,其特征在于,所述阈值补偿模块包括第一晶体管,所述复位模块包括第三晶体管,所述数据写入模块包括第二晶体管;

所述第一晶体管的第一电极与所述有机发光元件的阳极连接,所述第一晶体管的第二电极和所述第一晶体管的栅极均与所述存储电容的第二极板电连接;

所述第三晶体管的第一电极接收复位信号,所述第三晶体管的第二电极与所述存储电容的第二极板电连接,所述第三晶体管的栅极接收第一扫描信号;

所述第二晶体管的第一电极接收数据信号,所述第二晶体管的第二电极与所述驱动晶体管的栅极和所述存储电容的第一极板电连接,所述第二晶体管的栅极接收第一扫描信号;

所述驱动晶体管的第一电极接收电源信号,所述驱动晶体管的第二电极与所述有机发光元件的阳极电连接;所述有机发光元件的阴极接收低电平信号;

所述数据写入阶段包括第一阶段和第二阶段;

在所述第一阶段,所述第二晶体管和所述第三晶体管导通,所述数据信号通过所述第二晶体管写入所述驱动晶体管的栅极和所述存储电容的第一极板,以初始化所述驱动晶体管的栅极和所述存储电容的第一电极,以及所述复位信号通过所述第三晶体管写入所述存储电容的第二极板和所述第一晶体管的栅极,以对所述存储电容的第二极板和所述第一晶体管的栅极进行初始化;

在所述第二阶段,所述第二晶体管和所述第三晶体管导通,所述数据信号通过所述第二晶体管写入所述驱动晶体管的栅极和所述存储电容的第一极板,以使所述驱动晶体管导通,以及所述复位信号通过所述第三晶体管写入所述存储电容的第二极板,以使所述存储电容的第二极板的电位等于所述复位信号的电位;

所述阈值补偿阶段具体包括:所述第一晶体管导通,所述第二晶体管和所述第三晶体管截止,所述第一晶体管将所述阈值补偿信号写入所述存储电容的第二极板,以使所述存储电容的第二极板的电位等于所述阈值补偿信号的电位;其中,所述阈值补偿信号大于所述复位信号,以使所述存储电容的第一极板的电位被拉高。

10. 一种显示面板,其特征在于,包括显示区和围绕所述显示区的非显示区,所述显示

区至少包括第一显示区,所述第一显示区包括阵列排布的多个第一像素电路,所述第一像素电路为权利要求1~7任一项所述的像素电路。

11.根据权利要求10所述的显示面板,其特征在于,所述显示区还包括多条第一扫描信号线、多条复位信号线、多条数据信号线和多条电源信号线;所述非显示区包括多个级联设置的第一扫描驱动电路、多个级联设置的复位驱动电路和集成驱动电路;

位于同一行的所述第一像素电路共用一条所述第一扫描信号线和一条所述复位信号线;位于同一列的所述第一像素电路共用一条所述数据信号线和一条所述电源信号线;

其中,所述第一扫描驱动电路的输出端与所述第一扫描信号线电连接,用于提供第一扫描信号,并通过所述第一扫描信号线传输至所述第一像素电路;

所述复位驱动电路的输出端与所述复位信号线电连接,用于提供复位信号,并通过所述复位信号线传输至所述第一像素电路;

所述集成驱动电路的数据信号输出端与所述数据信号线电连接,所述集成驱动电路的电源信号输出端与所述电源信号线电连接,用于向所述数据信号线提供数据信号,以通过所述数据信号线传输至所述第一像素电路,以及用于向所述电源信号线提供电源信号,以通过所述电源信号线传输至所述第一像素电路。

12.根据权利要求11所述的显示面板,其特征在于,所述第一扫描驱动电路设置于第一非显示区,所述复位驱动电路设置于第二非显示区;

所述第一非显示区和所述第二非显示区位于所述显示区相对设置的两侧。

13.根据权利要求11所述的显示面板,其特征在于,所述显示区还包括第二显示区,所述第二显示区包括阵列排布的多个第二像素电路,且所述第二像素电路的覆盖面积大于所述第一像素电路的覆盖面积。

14.根据权利要求13所述的显示面板,其特征在于,所述第二显示区还包括多条第二扫描信号线、多条第三扫描信号线、多条数据信号线和多条电压信号线;所述非显示区还包括多个级联设置的第二扫描驱动电路;

位于同一行的所述第二像素电路共用一条所述第二扫描信号线和一条所述第三扫描信号线;位于同一列的所述第一像素电路和所述第二像素电路共用一条所述数据信号线和一条所述电源信号线;

其中,所述第二扫描驱动电路的输出端与所述第二扫描信号线和/或第三扫描信号线电连接;与所述第二扫描信号线电连接的所述第二扫描驱动电路用于提供第二扫描信号,并通过所述第二扫描信号线传输至所述第二像素电路;与所述第三扫描信号线电连接的所述第二扫描驱动电路用于提供第三扫描信号,并通过所述第三扫描信号线传输至所述第二像素电路;

所述集成驱动电路还用于通过所述数据信号线将数据信号传输至所述第二像素电路。

15.根据权利要求14所述的显示面板,其特征在于,所述第二扫描驱动电路复用为所述第一扫描驱动电路;

所述第二扫描信号线或者所述第三扫描信号线复用为所述第一扫描信号线。

16.根据权利要求14所述的显示面板,其特征在于,所述非显示区还包括转换电路;

所述转换电路电连接于所述第二扫描驱动电路与所述第一扫描信号线之间;所述转换电路用于在数据写入阶段将所述第二扫描驱动电路中的低电平信号转换为第一扫描信号,

并在所述阈值补偿阶段将所述第二扫描驱动电路提供的第二扫描信号或第三扫描信号转换为第一扫描信号。

17. 根据权利要求16所述的显示面板, 其特征在于, 所述转换电路包括第四晶体管、第五晶体管和第一电容;

所述第四晶体管的第一电极与所述第二扫描驱动电路中的低电平信号电连接, 所述第四晶体管的第二电极与所述第一扫描信号线电连接, 所述第四晶体管的栅极通过所述第二扫描信号线与所述第二扫描驱动电路的输出端电连接;

所述第五晶体管的第一电极通过所述第二扫描信号线与所述第二扫描驱动电路的输出端电连接, 所述第五晶体管的第二电极与所述第一扫描信号线电连接, 所述第五晶体管的栅极通过所述第三扫描信号线与所述第二扫描驱动电路的输出端电连接;

所述第一电容的第一极板与所述第一扫描信号线电连接, 所述第一电容的第二极板与固定电位信号线电连接。

18. 根据权利要求17所述的显示面板, 其特征在于, 所述固定电位复用所述电源信号。

19. 根据权利要求13所述的显示面板, 其特征在于, 所述第一显示区中单位面积的第一像素电路的个数与所述第二显示区中单位面积的第二像素电路的个数相同; 所述第一显示区复用为传感器设置区。

20. 一种显示装置, 其特征在于, 包括权利要求10~19任一项所述的显示面板。

像素电路及其驱动方法、显示面板和显示装置

技术领域

[0001] 本发明涉及驱动技术领域,尤其涉及一种像素电路及其驱动方法、显示面板和显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示器具有自发光、驱动电压低、发光效率高、响应时间短、可实现柔性显示等优点,而成为当前最具发展潜力的显示器。

[0003] OLED显示器的OLED元件属于电流驱动型元件,需要设置相应的像素驱动电路为OLED元件提供驱动电流,以使OLED元件能够发光。OLED显示器的像素驱动电路通常包括驱动晶体管、开关晶体管和存储电容,驱动晶体管能够根据其栅极的电压产生驱动OLED元件的驱动电流。然而由于工艺制程和器件老化等原因,使得像素驱动电路中驱动晶体管的阈值电压漂移,造成显示不均。

发明内容

[0004] 本发明实施例提供一种像素电路及其驱动方法、显示面板和显示装置,以解决现有技术中由于驱动晶体管的栅极电压受漏电流的影响而发生变化,影响发光元件的发光亮度,造成显示不均,影响显示效果的技术问题。

[0005] 第一方面,本发明实施例提供了一种像素电路,包括:驱动晶体管、存储电容、数据写入模块、复位模块、阈值补偿模块和有机发光元件;

[0006] 所述数据写入模块与所述驱动晶体管的栅极和所述存储电容的第一极板电连接,用于在数据写入阶段将数据信号写入所述驱动晶体管的栅极和所述存储电容的第一极板;

[0007] 所述复位模块与所述存储电容的第二极板电连接,用于在所述数据写入阶段将复位信号写入所述存储电容的第二极板;

[0008] 所述阈值补偿模块与所述存储电容的第二极板电连接,用于在阈值补偿阶段将阈值补偿信号写入所述存储电容的第二极板,以使所述存储电容的第一极板的电位调整为第一电位,并对所述驱动晶体管进行阈值补偿;其中,所述阈值补偿信号大于所述复位信号;

[0009] 所述驱动晶体管与所述有机发光元件电连接,用于在发光阶段向所述有机发光元件提供驱动电流,以驱动所述有机发光元件发光。

[0010] 第二方面,本发明实施例提供了一种像素电路的驱动方法,该驱动方法应用于上述像素电路,该驱动方法包括:

[0011] 在数据写入阶段,数据写入模块将数据信号写入驱动晶体管的栅极和存储电容的第一极板,以及复位模块将复位信号写入所述存储电容的第二极板,以使所述存储电容的第二极板的电位等于所述复位信号的电位;

[0012] 在阈值补偿阶段,阈值补偿模块将阈值补偿信号写入所述存储电容的第二极板,以使所述存储电容的第二极板的电位等于所述阈值补偿信号的电位,并对所述驱动晶体管

进行阈值补偿;其中,所述阈值补偿信号大于所述复位信号;

[0013] 在发光阶段,所述驱动晶体管向有机发光元件提供驱动电流,以驱动所述有机发光元件发光。

[0014] 第三方面,本发明实施例还提供一种显示面板,包括显示区和围绕所述显示区的非显示区,所述显示区至少包括第一显示区,所述第一显示区包括阵列排布的多个第一像素电路,所述第一像素电路为上述像素电路。

[0015] 第四方面,本发明实施例还提供一种显示装置,包括上述显示面板。

[0016] 本发明实施例提供的像素电路及其驱动方法、显示面板和显示装置,在数据写入阶段,通过数据写入单元将数据信号写入驱动晶体管的栅极和存储电容的第一极板,以及由复位模块将复位信号写入存储电容的第二极板,使得存储电容的第一极板与第二极板之间产生电位差;在阈值补偿阶段,通过阈值补偿模块将阈值补偿信号写入存储电容的第二极板,且该阈值补偿信号的电位大于数据写入阶段写入的复位信号的电位,使得存储电容的第二极板的电位发生变化;由于存储电容具有电荷守恒的特点,使得存储电容两端的电压差需保持不变;因此,当存储电容的第二极板的电位由复位信号变为阈值补偿信号时,会因存储电容的耦合作用,使得存储电容的第一极板的电位会随着存储电容第二极板的电位的升高而升高,此时存储电容的第一极板的电位调整为第一电位,该第一电位可以包括在数据写入阶段写入的数据信号以及驱动晶体管的阈值电压,以对驱动晶体管进行阈值补偿,从而使得驱动晶体管在发光阶段向发光元件提供驱动电流时,能够降低因驱动晶体管的阈值电压波动对发光元件的发光亮度造成的影响。本发明实施例提供能够改善因驱动晶体管的阈值漂移而造成的显示不均,从而能够提高显示效果;同时,本发明实施例提供的像素电路结构简单,能够具有较小的尺寸,有利于提高显示面板的分辨率,或增加显示面板中高透光区的面积。

附图说明

[0017] 图1是本发明实施例提供的一种像素电路的结构示意图;

[0018] 图2是本发明实施例提供的又一种像素电路的结构示意图;

[0019] 图3是本发明实施例提供的一种像素电路的具体电路结构示意图;

[0020] 图4是本发明实施例提供的一种像素电路的驱动时序图;

[0021] 图5是本发明实施例提供的又一种像素电路的驱动时序图;

[0022] 图6是本发明实施例提供的一种像素电路的俯视结构示意图;

[0023] 图7是沿图6中A-A'截面的一种像素电路的剖视结构示意图;

[0024] 图8是本发明实施例提供的一种像素电路的驱动方法的流程图;

[0025] 图9是本发明实施例提供的又一种像素电路的驱动方法的流程图;

[0026] 图10是本发明实施例提供的一种显示面板的结构示意图;

[0027] 图11是本发明实施例提供的又一种显示面板的结构示意图;

[0028] 图12是本发明实施例提供的又一种显示面板的结构示意图;

[0029] 图13是本发明实施例提供的一种第二像素电路的结构示意图;

[0030] 图14是本发明实施例提供的一种第二像素电路的驱动时序图;

[0031] 图15是本发明实施例提供的又一种显示面板的结构示意图;

- [0032] 图16是本发明实施例提供的又一种显示面板的结构示意图；
- [0033] 图17是本发明实施例提供的又一种显示面板的结构示意图；
- [0034] 图18是本发明实施例提供的一种转换电路的电路结构示意图；
- [0035] 图19是本发明实施例提供的一种转换电路的驱动时序图；
- [0036] 图20是本发明实施例提供的又一种转换电路的电路结构示意图；
- [0037] 图21是本发明实施例提供的又一种转换电路的驱动时序图；
- [0038] 图22是本发明实施例提供的一种显示装置的结构示意图。

具体实施方式

[0039] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0040] 正如背景技术所述，由于工艺制程和器件老化等原因，使得像素驱动电路中驱动晶体管的阈值电压漂移，造成显示不均。而现有技术中具有阈值补偿功能的像素电路结构复杂，具有较大的尺寸，不利于显示面板的高PPI；同时，也无法满足高透光区的透光和显示的要求。

[0041] 为解决上述问题，本发明实施例提供了一种像素电路，该像素电路包括驱动晶体管、存储电容、数据写入模块、复位模块、阈值补偿模块和有机发光元件；数据写入模块与驱动晶体管的栅极和存储电容的第一极板电连接，用于在数据写入阶段将数据信号写入驱动晶体管的栅极和存储电容的第一极板；复位模块与存储电容的第二极板电连接，用于在数据写入阶段将复位信号写入存储电容的第二极板；阈值补偿模块与存储电容的第二极板电连接，用于在阈值补偿阶段将阈值补偿信号写入存储电容的第二极板，以使存储电容的第一极板的电位调整为第一电位，并对驱动晶体管进行阈值补偿；其中，阈值补偿信号大于复位信号；驱动晶体管与有机发光元件电连接，用于在发光阶段向有机发光元件提供驱动电流，以驱动有机发光元件发光。

[0042] 采用以上述技术方案，通过在数据写入阶段，由数据写入模块将数据信号写入驱动晶体管的栅极和存储电容的第一极板，以及由复位模块将复位信号写入存储电容的第二极板，使得存储电容的第一极板与第二极板之间产生电位差；而在阈值补偿阶段，阈值补偿模块将阈值补偿信号写入存储电容的第二极板，且该阈值补偿信号的电位与数据写入阶段写入的复位信号的电位不同；由于存储电容具有电荷守恒的特点，使得存储电容两端的电压差需保持不变；因此，当存储电容的第二极板的信号由复位信号变为阈值补偿信号时，会因存储电容的耦合作用，使得存储电容的第一极板的信号会随着存储电容第二极板的信号的变化而变化，以使存储电容的第一极板的电位会随之调整为第一电位，该第一电位可以包括在数据写入阶段写入的数据信号以及至少部分驱动晶体管的阈值电压，实现对驱动晶体管的阈值补偿，以在发光阶段驱动晶体管向发光元件提供驱动电流时，能够降低因驱动晶体管的阈值电压波动对发光元件的发光亮度造成的影响。本发明实施例提供能够改善因驱动晶体管的阈值漂移而造成的显示不均，从而能够提高显示效果；同时，本发明实施例提供的像素电路结构简单，能够具有较小的尺寸，有利于提高显示面板的分辨率，或增加显示面板中高透光区的面积。

[0043] 以上是本发明的核心思想,基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下,所获得的所有其他实施例,都属于本发明保护的范围。以下将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。

[0044] 图1是本发明实施例提供的一种像素电路的结构示意图。如图1所示,像素电路包括驱动晶体管T、存储电容Cst、数据写入模块12、阈值补偿模块11、复位模块14和有机发光元件13;数据写入模块12与驱动晶体管T的栅极和存储电容Cst的第一极板C1电连接;该数据写入模块12在数据写入阶段将数据信号Vdata写入驱动晶体管T的栅极和存储电容Cst的第一极板C1;复位模块14与存储电容Cst的第二极板C2电连接;该复位模块14在数据写入阶段将复位信号Vref写入存储电容Cst的第二极板C2;阈值补偿模块11与存储电容Cst的第二极板C2电连接,该阈值补偿模块11在阈值补偿阶段将阈值补偿信号Vthre写入存储电容Cst的第二极板C2,该阈值补偿信号Vthre与数据写入阶段写入存储电容Cst第二极板的复位信号Vref不同,例如该阈值补偿信号Vthre可以大于复位信号Vref,使得存储电容Cst的第一极板C1的电位调整为第一电位V1,此时与存储电容Cst的第一极板C1电连接的驱动晶体管T的栅极电位也调整为第一电位V1,以补偿驱动晶体管T的阈值电压;驱动晶体管T与有机发光元件13电连接,经过阈值补偿后的驱动晶体管T能够在发光阶段向有机发光元件13提供驱动电流,以驱动有机发光元件13发光。

[0045] 在此基础上,像素电路还可以包括用于接收数据信号Vdata的数据信号端,用于接收复位信号Vref的复位信号端Ref,用于接收电源信号Vdd的电源信号端PVDD,用于接收低电平信号Vee的低电压信号端PVEE,电连接数据写入模块12、驱动晶体管T和存储电容Cst的第一节点N1,电连接阈值补偿模块11和有机发光元件13的第二节点N2,以及电连接阈值补偿模块11、存储电容Cst的第一极板C1和复位模块14的第三节点N3。

[0046] 具体的,在数据写入阶段,数据写入模块12和复位模块均导通,数据信号端Data的数据信号Vdata能够通过数据写入模块12写入至驱动晶体管T的栅极和存储电容Cst的第一极板C1,同时复位信号端Ref的复位信号Vref能够通过复位模块14写入存储电容Cst的第二极板C2,而阈值补偿模块11无法向存储电容的第二极板C2写入信号;此时存储电容Ct的第一极板C1的电位为数据信号Vdata的电位,存储电容Cst的第二极板C2的电位为复位信号Vref的电位,使得存储电容Cst的第一极板C1与第二极板C2之间产生电压差。在阈值补偿阶段,数据写入模块12和复位模块14均断开,阈值补偿模块11为导通状态,阈值补偿信号Vthre能够通过导通的阈值补偿模块11写入存储电容Cst的第二极板C2,该阈值补偿信号Vthre与复位信号Vref的电位不同,使得存储电容Cst的第二极板的电位升高;此时存储电容Cst的第二极板的电位增加量为 $(V_{thre}-V_{ref})$ 。

[0047] 由于电容具有的电荷守恒的特点,即在存储电容Cst的两个极板充电完成后,该存储电容Cst两极板之间所产生的电位差将会保持不变。若存储电容Cst的其中一个极板的电位发生变化时,通过耦合作用可使存储电容Cst的另一极板的电位随之发生变化。因此,在数据写入阶段结束时,存储电容Cst的第一极板C1的电位为数据信号Vdata的电位,存储电容Cst的第二极板C2的电位为复位信号Vref的电位,此时存储电容Cst的第一极板C1与第二极板C2之间的电位差为 $V_{data}-V_{ref}$;而在阈值补偿阶段时,将存储电容Cst的第二极板C2的电位调整为阈值补偿信号Vthre的电位时,存储电容Cst的第二极板C2的电位升高了 $V_{thre}-V_{ref}$;为使存储电容Cst两个极板之间的电位差保持为数据写入阶段结束时的电位差

Vdata-Vref, 存储电容Cst的第一极板C1的电位也应该升高Vthre-Vref, 此时存储电容Cst的第一极板C1的电位调整为第一电位V1, 该第三电位V1等于Vdata+Vthre-Vref。由于存储电容Cst的第一极板C1和驱动晶体管T的栅极均电连接于第一节点N1, 因此驱动晶体管T的栅极电位与存储电容Cst的第一极板C1的电位相同, 即经阈值补偿后驱动晶体管T的栅极电位为Vdata+Vthre-Vref。

[0048] 此外, 驱动晶体管T还与电源信号端PVDD和有机发光元件13的阳极电连接, 该电源信号端PVDD能够提供电源信号, 有机发光元件13的阴极与低电平信号端PVEE电连接, 该低电平信号端PVEE能够提供低电平信号, 以在驱动晶体管T向有机发光元件13提供驱动电流时能够形成电流回路。而当Vthre-Vref包括驱动晶体管T的阈值电压Vth1时, 驱动晶体管T向有机发光元件13提供的驱动电流 I_{ds} 为:

$$[0049] \quad I_{ds} = \frac{W}{2L} \mu C_{ox} (Vdata + Vthre - Vref - Vdd - Vth1)^2$$

[0050] 其中, W/L为驱动晶体管T的宽长比, C_{ox} 为驱动晶体管中栅极氧化物单位面积上电容, μ 为驱动晶体管T中的载流子迁移率。当驱动晶体管T的栅极电位Vdata+Vthre-Vref包括驱动晶体管T的阈值电压时, 该驱动晶体管T在发光阶段, 向有机发光元件13提供的驱动电流可与驱动晶体管T的阈值电压无关, 从而能够降低因驱动晶体管T的阈值电压漂移而造成显示不均, 提高显示效果。

[0051] 同时, 本发明实施提供的像素电路采用存储电容Cst具有电荷守恒的特点, 对驱动晶体管T的阈值电压进行补偿; 如此, 无需复杂的补偿电路, 即可实现对驱动晶体管T的阈值补偿, 相较于现有技术中的具有阈值补偿功能的像素电路, 本发明实施提供的像素电路具有简单的结构, 较小的尺寸。当将该像素电路应用于显示面板中时, 有利于提高显示面板的分辨率, 或者在显示面板的分辨率保持不变的情况下, 有利于增加显示面板中高透光区的面积。

[0052] 此外, 由于存储电容Cst的第二极板C2与驱动晶体管T的栅极均电连接于第一节点N1, 因此可使存储电容Cst复用驱动晶体管T的栅极。例如存储电容Cst的第一极板C1可与驱动晶体管T的栅极同层设置, 并为一体结构, 从而无需在存储电容Cst与驱动晶体管T的栅极之间设置走线, 可进一步简化电路, 减小电路的尺寸, 从而能够进一步提高显示面板的分辨率, 或者进一步增加显示面板中高透光区的面积。

[0053] 需要说明的是, 本发明实施例对数据写入模块、复位模块和阈值补偿模块的具体结构不作具体限定。在能够采用存储电容的耦合作用实现驱动晶体管的阈值电压的补偿功能的前提下, 像素电路的各模块可依据实际需要进行设计。

[0054] 可选的, 图2是本发明实施例提供的又一种像素电路的结构示意图。如图2所示, 阈值补偿模块11可以包括第一晶体管M1, 该第一晶体管M1的阈值电压Vth2为第一阈值电压; 数据写入阶段中存储电容Cst的第二极板C2上的第一电位V1与阈值补偿阶段中存储电容Cst的第二极板C2上的第二电位V2之间的电位差至少包括第一晶体管M1的第一阈值电压Vth2。

[0055] 具体的, 第一晶体管M1的第一电极可与有机发光元件13的阳极(第二节点N2)电连接, 第一晶体管M1的栅极与该第一晶体管M1的第二电极(第三节点N3)电连接, 且该第一晶体管M1的第二电极还与存储电容Cst的第二极板电连接, 此时第一晶体管M1的栅极和第二

电极处于短路状态,该第一晶体管M1可等效为二极管。由于二极管具有正向导通、反向截止的特性,因此在第二节点N2的电位大于第三节点N3的电位时,第二节点N2的信号通过第一晶体管M1写入存储电容Cst的第二极板C2,直至第三节点N3的电位与第二阶段电位的电位差为第一晶体管M1的阈值电压 V_{th2} 时,该第一晶体管M1处于导通的临界点。此时,存储电容Cst的第二极板C2由复位信号Vref的电位变为阈值补偿信号 V_{thre} 的电位,即此时存储电容Cst的第二极板C2的电位为 $V_{ee}+V_{oled}+V_{th2}$;其中, V_{ee} 为有机发光元件13的阴极所接收的低电平信号,即有机发光元件13的阴极电位, V_{oled} 为有机发光元件13的阳极与阴极之间的电位差。如此,相较于数据写入阶段,存储电容Cst的第二极板C2的电位增大了 $\Delta V=V_{ee}+V_{oled}+V_{th2}-V_{ref}$,即数据写入阶段中存储电容Cst的第二极板C2上的电位与阈值补偿阶段中存储电容Cst的第二极板C2上的电位之间的电位差 ΔV 包括第一晶体管M1的第一阈值电压 V_{th2} 。此时,存储电容Cst的第一极板C1的电位也会随之增大 ΔV ,使得存储电容Cst的第一极板C1的电位调整为第一电位 $V_1=V_{data}+V_{ee}+V_{oled}+V_{th2}-V_{ref}$,且与存储电容Cst的第一极板C1电连接的驱动晶体管T的栅极电位也为第一电位 V_1 。

[0056] 如此,在电路设计时,可令第一晶体管M1设置于靠近驱动晶体管T的位置处,使得第一晶体管M1的阈值电压 V_{th2} 与驱动晶体管T的阈值电压 V_{th1} 具有相同的变化趋势,此时第一晶体管M1的阈值电压 V_{th2} 驱动晶体管T的阈值电压 V_{th1} 之间的差值可以为固定值,并在数据写入阶段,向驱动晶体管T的栅极写入数据信号Vdata时,可令所写入的数据信号Vdata包括显示灰阶值对应的数据电压以及第一晶体管M1的阈值电压 V_{th2} 与驱动晶体管T的阈值电压 V_{th1} 之间的差值,从而在第一电位 V_1 与第二电位 V_2 之间的电位差包括第一晶体管M1的阈值电压 V_{th2} 时,能够达到对驱动晶体管T进行阈值补偿的目的,提高像素显示发光效果。

[0057] 或者,在将第一晶体管M1设置于靠近驱动晶体管T的位置处时,可使第一晶体管M1的阈值电压 V_{th2} 驱动晶体管T的阈值电压 V_{th1} 之间的差值在预设范围内,以在阈值补偿后,可以忽略第一晶体管M1的阈值电压 V_{th2} 驱动晶体管T的阈值电压 V_{th1} 之间的差值对驱动电流的影响,同样能够到对驱动晶体管T进行阈值补偿,提高像素显示发光效果。

[0058] 示例性的,第一晶体管M1的有源层可以包括第一沟道,驱动晶体管T的有源层可以包括第二沟道,该第一沟道与第二沟道之间的间距W可以满足: $2.5\mu m \leq W \leq 4.5\mu m$ 。如此,在满足工艺设计的条件下,能够使第一晶体管M1与驱动晶体管T之间具有较近的距离,以在第三电位 V_3 包括第一晶体管M1的阈值电压 V_{th2} 时,能够实现对驱动晶体管T的阈值补偿。

[0059] 可选的,图3是本发明实施例提供的一种像素电路的具体电路结构示意图。如图3所示,阈值补偿模块11包括第一晶体管M1,复位模块14包括第三晶体管M3,数据写入模块12包括第二晶体管M2;第一晶体管M1的第一电极与有机发光元件13的阳极连接,第一晶体管M1的第二电极和第一晶体管M1的栅极均与存储电容Cst的第二极板C2电连接;第三晶体管M3的第一电极接收复位信号Vref,第三晶体管M3的第二电极与存储电容Cst的第二极板C2电连接,第三晶体管M3的栅极接收第一扫描信号S1;第二晶体管M2的第一电极接收数据信号Vdata,第二晶体管M2的第二电极与驱动晶体管T的栅极和存储电容Cst的第一极板C1电连接,第二晶体管M2的栅极接收第一扫描信号S1;驱动晶体管T的第一电极接收电源信号Vdd,驱动晶体管T的第二电极与有机发光元件13的阳极电连接;有机发光元件13的阴极接收低电平信号Vee。

[0060] 具体的,第二晶体管M2的栅极和第三晶体管M3的栅极均与第一扫描信号端Scan1电连接,该第一扫描信号端Scan1的第一扫描信号S1能够控制第二晶体管M2和第三晶体管M3的导通与断开,即第一扫描信号端Scan1的第一扫描信号S1能够控制第二晶体管M2和第三晶体管M3均在数据写入阶段导通,并在其它阶段断开,以使数据信号端Data的数据信号Vdata能够通过导通的第二晶体管M2写入第一节点N1,使得驱动晶体管T的栅极和存储电容Cst的第一极板C1的电位为数据信号Vdata的电位;以及使复位信号端Ref的复位信号Vref通过导通的第三晶体管M3写入第三节点N3,使得存储电容Cst的第二极板的电位为复位信号Vref的电位;此时,存储电容Cst的第一极板C1与第二极板C2之间的电位差为Vdata-Vref。

[0061] 同时,当复位信号端Ref的复位信号Vref通过导通的第三晶体管M3写入第三节点N3时,受复位信号端Ref的复位信号Vref的影响,此时第一晶体管M1无法向第三节点N3写入阈值补偿信号。而当第三晶体管M3断开,且第三节点N3的电位与第二节点N2的电位差满足第一晶体管M1的导通条件时,第一晶体管M1导通,此时没有复位信号端Ref的复位信号Vref的影响,第一晶体管M1可向第三节点N3写入阈值补偿信号Vthre,直至第三节点N3的电位与第二节点N2的电位差无法满足第一晶体管M1的导通条件时,第一晶体管M1断开。若第一晶体管M1的阈值电压为Vth2,当第三节点N3的电位为Vee+Voled+Vth2时,第三节点N3与第二节点N2之间的电位差为第一晶体管M1导通的临界点的电位差;即阈值补偿阶段,第一晶体管M1能够将存储电容Cst的第二极板C2的电位调整为Vee+Voled+Vth2;由存储电容Cst的耦合作用,使得存储电容Cst的第一极板C1的电位随着第二极板C2的电位的升高而升高,将存储电容Cst的第一极板C1的电位调整为第一电位V1,即驱动晶体管T的栅极电位为第一电位V1,该第一电位V1满足:

[0062] $V1 = Vdata + Vee + Voled + Vth2$

[0063] 如此,当第一晶体管M1的阈值电压Vth2与驱动晶体管T的阈值电压Vth1近似相等时,驱动晶体管T阈值电压对该驱动晶体管T在发光阶段向有机发光元件13提供的驱动电流的影响可忽略不计,从而实现对驱动晶体管T的阈值补偿,有利于提高像素的显示均一性。

[0064] 示例性的,当第二晶体管M2和第三晶体管M3均为P型晶体管时,该P型晶体管在第一扫描信号端Scan1的第一扫描信号S1为低电平信号的时导通,在第一扫描信号端Scan1的第一扫描信号S1为高电平信号时断开;而当第二晶体管M2和第三晶体管均为N型晶体管时,该N型晶体管在第一扫描信号端Scan1的第一扫描信号S1为高电平信号时导通,在第一扫描信号端Scan1的第一扫描信号S1为低电平信号时断开。

[0065] 同时,当第一晶体管M1为P型晶体管时,该P型晶体管在第三节点N3与第二节点N2之间的电位差小于该第一晶体管M1的阈值电压Vth2时导通,而在第三节点N3与第二节点N2之间的电位差大于该第一晶体管M1的阈值电压Vth2时断开;当第一晶体管M1为N型晶体管时,该N型晶体管在第三节点N3与第二节点N2之间的电位差大于该第一晶体管M1的阈值电压Vth2时导通,而在第三节点N3与第二节点N2之间的电位差小于该第一晶体管M1的阈值电压Vth2时断开。

[0066] 示例性的,图4是本发明实施例提供的一种像素电路的驱动时序图。结合图3和图4,阈值补偿模块11包括第一晶体管M1,复位模块14包括第三晶体管M3,数据写入模块包括第二晶体管M2。当第一晶体管M1、第二晶体管M2、第三晶体管M3以及驱动晶体管T均为P型晶

晶体管时,该像素电路的工作过程包括如下阶段:

[0067] t1阶段,即为数据写入阶段,第一扫描信号端Scan1的第一扫描信号S1控制第二晶体管M2和第三晶体管M3均导通,数据信号端Data的数据信号Vdata通过导通的第二晶体管M2写入第一节点N1,使得存储电容Cst的第一极板C1和驱动晶体管T的栅极的电位均为Vdata;同时,复位信号端Ref的复位信号Vref通过导通的第三晶体管M3写入存储电容Cst的第二极板C2。如此,在数据写入阶段结束时,存储电容Cst的第一极板C1与第二极板C2之间的电位差会保持为Vdata-Vref。

[0068] t2阶段,即为阈值补偿阶段,第一扫描信号端Scan1的第一扫描信号S1控制第二晶体管M2和第三晶体管M3断开;同时,由于数据写入阶段向驱动晶体管T的栅极写入数据信号Vdata后,驱动晶体管T导通,电源信号端PVDD的电源信号Vdd能够通过导通的驱动晶体管T将有机发光元件13的阳极(电节点N3)的电位拉高,且数据写入阶段写入第三节点N3的为低电平的复位信号Vref,此时第三节点N3与第二节点N2之间的电位差会小于第一晶体管M1的阈值电压Vth2,使得第一晶体管M1导通;同时,第一晶体管M1的栅极与其第二电极电连接,使得第一晶体管M1等效为二极管,第二节点N2的高电平电位会通过导通的第一晶体管M1写入存储电容Cst的第二极板C2(第三节点N3);当第三节点N3与第二节点N2之间的电位差大于第一晶体管M1的阈值电压Vth2时,第一晶体管M1断开;此时,存储电容Cst的第二极板C2的电位为Vee+Voled+Vth2;相较于数据写入阶段写入的复位信号Vref的电位,存储电容Cst的第二极板C2的电位升高了 ΔV :

[0069] $\Delta V = V_{ee} + V_{oled} + V_{th2} - V_{ref}$ 。

[0070] 由于电容具有电荷守恒的特点,因此当存储电容Cst的第二极板C2的电位升高 ΔV 时,耦合作用使得存储电容Cst的第一极板C1的电位也升高 ΔV ,即此时存储电容Cst的第一极板C1的电位调整为第一电位V1:

[0071] $V1 = V_{data} + V_{ee} + V_{oled} + V_{th2} - V_{ref}$ 。

[0072] t3阶段,即为发光阶段,存储电容Cst的第一极板的电位保持为第一电位V1,即驱动晶体管T的栅极电位为第一电位V1,驱动晶体管T根据其栅极电位V3产生的驱动电流 I_{ds} 为:

[0073]
$$I_{ds} = \frac{W}{2L} \mu C_{ox} (V_{data} + V_{ee} + V_{oled} + V_{th2} - V_{ref} - V_{dd} - V_{th1})^2$$

[0074] 若第一晶体管M1的阈值电压Vth2与驱动晶体管T的阈值电压Vth1之间的差值在预设范围内,或者为固定值时,可认为在发光阶段驱动晶体管T产生的驱动电流 I_{ds} 与驱动晶体管T的阈值电压漂移无关,从而达到阈值补偿的目的,能够提高像素显示发光效果。

[0075] 其中,虽然在数据写入阶段t1,低电平的复位信号Vref通过导通的第三晶体管M3写入至存储电容Cst的第二极板C2(第三节点N3),而第二节点N2的电位为Vee+Voled,使得第二节点N2的电位高于第三节点N3的电位,符合第一晶体管M1的导通条件,但是由于第一晶体管M1的栅极与其第二电极电连接,使得第一晶体管M1导通时始终处于饱和状态,其具有较大的电阻,因此第二节点N2的电位不会写入至第三节点N3,而只会产生一定的电流;只有当第三晶体管M3断开后,进入阈值补偿阶段t2时,第二节点N2的电位才会写入至第三节点N3,以将第三节点N3电位抬高。

[0076] 需要说明的是,图4仅为本发明实施例示例性的附图,图4中,在数据写入阶段直接

向驱动晶体管的栅极和存储电容的第一极板写入数据信号;而在本发明实施例中,还可以在向驱动晶体管的栅极和存储电容的第一极板写入数据信号之前,向驱动晶体管的栅极和存储电容的第一极板写入数据信号写入初始化信号,以对向驱动晶体管的栅极和存储电容的第一极板写入数据信号进行初始化。

[0077] 示例性的,图5是本发明实施例提供的又一种像素电路的驱动时序图。图5中与图4中相同之处可参考上述对图4的描述,在此不再赘述。结合图3和图5,数据写入阶段可以包括第一阶段 t_{11} 和第二阶段 t_{12} 。

[0078] 在 t_{11} 阶段,即数据写入阶段的第一阶段,第二晶体管M2和第三晶体管M3均导通,高电平的数据信号Vdata通过导通的第二晶体管M2写入驱动晶体管T的栅极和存储电容Cst的第一极板C1,以对驱动晶体管T的栅极和存储电容Cst的第一极板C1进行初始化;同时,复位信号端Ref的复位信号Vref通过导通的第三晶体管M3写入存储电容Cst的第二极板C2和第一晶体管M1的栅极,以对存储电容Cst的第二极板C2和第一晶体管M1的栅极进行初始化。

[0079] 在 t_{12} 阶段,即数据写入阶段的第二阶段,第二晶体管M2和第三晶体管M3保持导通,数据信号Vdata变为显示灰阶值对应的数据信号,该显示灰阶值对应的数据信号Vdata通过导通的第二晶体管M2写入驱动晶体管T的栅极和存储电容Cst的第一极板C1;同时,复位信号端Ref的复位信号Vref通过导通的第三晶体管M3写入存储电容Cst的第二极板C2,且该复位信号Vref的电位能够与阈值补偿阶段中第二节点N2的电位至少相差第一晶体管M1的阈值电压 V_{th2} ;在数据写入阶段结束时,存储电容Cst的第一极板C1与第二极板C1之间的电位差为 $V_{data}-V_{ref}$ 。

[0080] 如此,在向驱动晶体管T的栅极和存储电容Cst的第一极板C1写入显示灰阶值对应的数据信号Vdata前,对驱动晶体管T的栅极进行初始化,有利于显示灰阶值对应的数据信号Vdata,从而能够在对驱动晶体管T的阈值电压进行补偿后,能够进一步提高像素的显示效果。

[0081] 需要说明的是,本发明实施例的图4和图5均是以像素电路中的晶体管均为P型晶体管时的驱动时序图,一般P型晶体管在低电平信号的控制下导通,在高电平信号的控制下截止。在一些可选实施例中,像素电路中的晶体管也可均为N型晶体管,一般N型晶体管在高电平信号的控制下导通,在低电平信号的控制下截止。本发明实施例对像素电路中各晶体管的类型不做具体限定。

[0082] 可选的,图6是本发明实施例提供的一种像素电路的俯视结构示意图,图7是沿图6中A-A'截面的一种像素电路的剖视结构示意图。结合图3、图6和图7所示,像素电路还包括连接走线X1和X2;第一晶体管M1、第二晶体管M2以及第三晶体管M3可分别通过不同的连接走线或连接走线的不同部分与存储电容Cst电连接,例如第二晶体管M2的第二电极通过连接走线X1与存储电容的第一极板电连接,第一晶体管M2通过连接走线X2的第一部分与存储电容Cst的第二极板电连接,第三晶体管M3通过连接走线X2的第一部分和第二部分与存储电容Cst的第二极板电连接。连接走线X1和X2的线宽 $L1$ 可以满足 $1.5\mu m \leq L1 \leq 2.5\mu m$;同时,第一晶体管M1在参考平面上的垂直投影的最大延伸长度为 $L2$ 满足 $L2 \leq 3\mu m$;第二晶体管M2在参考平面上的垂直投影的最大延伸长度为 $L3$ 满足 $L3 \leq 3\mu m$;第三晶体管M3在参考平面上的垂直投影的最大延伸长度为 $L4$ 满足 $L4 \leq 3\mu m$ 。其中,参考平面可与第一晶体管M1的有源层所在平面平行。

[0083] 如此,将像素电路中连接走线X1和X2以及第一晶体管M1、第二晶体管M2和第三晶体管M3设置为较小的尺寸,能够进一步减小像素电路的设计尺寸,以在将该像素电路应用于显示面板的高透光区的像素中时,能够增大高透光区的透光强度。

[0084] 像素电路中还可以包括连接走线X3、X4、X5、X6和X7。其中,第三晶体M3的第一电极可依次通过连接走线X3和X7与复位信号端Ref电连接;第二晶体管M2的第一电极可通过连接走线X4与数据信号端Data电连接;且第二晶体管M2的栅极和第三晶体M3的栅极均可通过连接走线X6与第一扫描信号端电连接;驱动晶体管T的第一电极可通过连接走线X5与电源信号端PVDD电连接。本发明实施例中,在能够满足阈值补偿条件的前提下,连接走线X3、X4、X5、X6和X7的宽度可与连接走线X1和X2的宽度相同,以使像素电路能够具有较小的设计尺寸。

[0085] 此外,如图6所示,本发明实施例提供的像素电路可以包括衬底基板,以及位于衬底基板一侧的半导体层、第一金属层、第二金属层、第三金属层以及位于半导体层、第一金属层、第二金属层和第三金属层之间的绝缘层。其中,半导体层包括驱动晶体管T的有源层St、第一晶体管M1的有源层Qm1、第二晶体管M2的有源层Qm2以及第三晶体管M3的有源层Qm3;第一金属层包括驱动晶体管T的栅极Gt、第一晶体管M1的栅极Gm1、第二晶体管M2的栅极Gm2、第三晶体管M3的栅极Gm3、存储电容Cst的第一极板C1以及连接走线X7和X6,且存储电容Cst的第一极板C1与驱动晶体管T的栅极Gt为一体结构;第二金属层包括存储电容Cst的第二极板C2;第三金属层包括连接走线X1、X2、X3、X4和X5;像素电路的不同膜层之间可通过过孔Ho相互连接。相应的,驱动晶体管T的沟道可以为驱动晶体管T的有源层Qt与栅极Gt的交叠区域,第一晶体管M1的沟道可以为第一晶体管M1的有源层Sm1与栅极Gm1的交叠区域;第一晶体管M1的沟道可与驱动晶体管T的沟道相互平行,且第一晶体管M1的沟道与驱动晶体管T的沟道之间的间距W可满足 $2.5\mu\text{m}\leq W\leq 4.5\mu\text{m}$ 。

[0086] 需要说明的是,本发明实施例中,连接走线的宽度并不是该连接走线在固定方向上的尺寸,而是该连接走线的短边尺寸,连接走线的长边尺寸与其所连接的器件之间的位置相关,本发明实施例对此不做具体限定。同时,图7中示出的仅为示例性的膜层关系,并非对本发明实施例的限定。

[0087] 本发明实施例还提供一种像素电路的驱动方法,该像素电路的驱动方法可应用于本发明实施例提供的像素电路。图8是本发明实施例提供的一种像素电路的驱动方法的流程图。如图8所示,该驱动方法包括:

[0088] S810、在数据写入阶段,数据写入模块将数据信号写入驱动晶体管的栅极和存储电容的第一极板,以及复位模块将复位信号写入存储电容的第二极板,以使存储电容的第二极板的电位等于复位信号的电位;

[0089] S820、在阈值补偿阶段,阈值补偿模块将阈值补偿信号写入存储电容的第二极板,以使存储电容的第二极板的电位等于阈值补偿信号的电位,并对驱动晶体管进行阈值补偿;其中,阈值补偿信号大于所述复位信号;

[0090] S830、在发光阶段,驱动晶体管向有机发光元件提供驱动电流,以驱动所述有机发光元件发光。

[0091] 示例性地,本发明实施例提供的像素电路的驱动方法用于图1所示的像素驱动电路。如图1所示,在数据写入阶段,数据写入模块12和复位模块14均导通,数据信号端data的

数据信号Vdata通过导通的数据写入模块12写入驱动晶体管T的栅极和存储电容Cst的第一极板C1,以及复位信号端Ref的复位信号Vref1通过导通的复位模块14写入存储电容Cst的第二极板C2,使得存储电容Cst的第一极板C1与第二极板C2之间产生电位差;在阈值补偿阶段,数据写入模块12和复位模块14均断开,阈值补偿模块11导通,阈值补偿信号Vthre通过导通的阈值补偿模块11写入存储电容Cst的第二极板C2,使得存储电容Cst的第二极板的电位发生变化,由于阈值补偿信号Vthre大于复位信号Vref,此时存储电容Cst的第二极板的电位与数据写入阶段结束时的电位差 $\Delta V = V_{thre} - V_{ref}$;存储电容Cst的耦合作用,使得存储电容Cst的第一极板C1的电位也增加 ΔV ,此时存储电容Cst的第一极板C1的电位调整为第一电位 $V1 = V_{data} + V_{thre} - V_{ref}$,从而达到对驱动晶体管T进行阈值补偿的目的,以在发光阶段,驱动晶体管T向有机发光元件13提供的驱动电流,能够驱动有机发光元件13稳定发光。

[0092] 本发明实施例采用存储电容的耦合作用,通过在数据写入阶段使存储电容的第一极板与第二极板产生电位差,并在阈值补偿阶段仅改变存储电容的第二极板的电位,使得存储电容的第一极板的电位随着存储电容的第二极板的电位的变化而变化,从而到达阈值补偿的目的,提高像素的显示发光效果。

[0093] 可选的,像素电路的阈值补偿模块可以包括第一晶体管,数据写入模块可以包括第二晶体管,复位模块可以包括第三晶体管。示例性的,如图3所示,像素电路的阈值补偿模块11包括第一晶体管M1,复位模块14包括第三晶体管M3,数据写入模块12包括第二晶体管M2;第一晶体管M1的第一电极与有机发光元件13的阳极连接,第一晶体管M1的第二电极和第一晶体管M1的栅极均与存储电容Cst的第二极板C2电连接;第三晶体管M3的第一电极接收复位信号Vref,第三晶体管M3的第二电极与存储电容Cst的第二极板C2电连接,第三晶体管M3的栅极接收第一扫描信号S1;第二晶体管M2的第一电极接收数据信号Vdata,第二晶体管M2的第二电极与驱动晶体管T的栅极和存储电容Cst的第一极板C1电连接,第二晶体管M2的栅极接收第一扫描信号S1;驱动晶体管T的第一电极接收电源信号Vdd,驱动晶体管T的第二电极与有机发光元件13的阳极电连接;有机发光元件13的阴极接收低电平信号Vee。

[0094] 此时,像素电路的数据写入阶段可以包括第一阶段和第二阶段。图9是本发明实施例提供的又一种像素电路的驱动方法的流程图。如图9所示,该驱动方法包括:

[0095] S910、在数据写入阶段的第一阶段,第二晶体管和第三晶体管导通,数据信号通过第二晶体管写入驱动晶体管的栅极和所述存储电容的第一极板,以初始化驱动晶体管的栅极和存储电容的第一电极,以及复位信号通过第三晶体管写入存储电容的第二极板和第一晶体管的栅极,以对存储电容的第二极板和第一晶体管的栅极进行初始化;

[0096] S920、在数据写入阶段的第二阶段,第二晶体管和第三晶体管导通,数据信号通过第二晶体管写入驱动晶体管的栅极和存储电容的第一极板,以使驱动晶体管导通,以及复位信号通过第三晶体管写入存储电容的第二极板,以使存储电容的第二极板的电位等于复位信号的电位;

[0097] S930、在阈值补偿阶段,第一晶体管导通,第二晶体管和第三晶体管截止,第一晶体管将阈值补偿信号写入存储电容的第二极板,以使存储电容的第二极板的电位等于阈值补偿信号的电位;其中,阈值补偿信号大于复位信号,以使存储电容的第一极板的电位被拉高;

[0098] S940、在发光阶段,驱动晶体管向有机发光元件提供驱动电流,以驱动所有有机发光元件发光。

[0099] 示例性的,本发明实施例提供的像素电路的驱动方法采用图5所示的驱动时序驱动图3所示的像素驱动电路。结合图3和图5所示,在数据写入阶段的第一阶段t11,第一晶体管M1和第二晶体管M2均导通,数据信号端Data的初始化的数据信号Vdata通过导通的第二晶体管M2写入驱动晶体管T的栅极和存储电容Cst的第一极板C1,以对驱动晶体管T的栅极和存储电容Cst的第一极板C1进行初始化;同时复位信号端Ref的复位信号Vref通过导通的第三晶体管M3写入存储电容Cst的第二极板C2,以对存储电容Cst的第二极板Cst和第一晶体管M1的栅极进行初始化;在数据写入阶段的第二阶段t12,第二晶体管M2和第三晶体管M3保持导通,数据信号端Data的显示灰阶值对应的数据信号Vdata通过导通的第二晶体管M2写入驱动晶体管T的栅极和存储电容Cst的第一极板C1,以使驱动晶体管T导通;同时复位信号端Ref的复位信号Vref通过导通的第三晶体管M3写入存储电容Cst的第二极板C2,且该复位信号Vref的电位能够与阈值补偿阶段中第二节点N2的电位至少相差第一晶体管M1的阈值电压Vth2;此时存储电容Cst的第一极板C1与第二极板C2之间产生电位差Vdata-Vref;在阈值补偿阶段,第二晶体管M2和第三晶体管M3均断开,由于数据写入阶段向驱动晶体管T的栅极写入数据信号Vdata后,驱动晶体管T导通,电源信号端PVDD的电源信号Vdd能够通过导通的驱动晶体管T将有机发光元件13的阳极(电节点N3)的电位拉高,且数据写入阶段写入第三节点N3的为低电平的复位信号Vref,使得第三节点N3与第二节点N2之间的电位差满足第一晶体管M1的导通条件,第一晶体管M1导通,第二节点N2的高电平电位会通过导通的第一晶体管M1写入存储电容Cst的第二极板C2(第三节点N3);直至第三节点N3与第二节点N2之间的电位差到达第一晶体管M1导通的临界值时,第一晶体管M1断开;此时,存储电容Cst的第二极板C2的电位增大了 $\Delta V = V_{ee} + V_{oled} + V_{th2} - V_{ref}$;由于存储电容Cst的耦合作用,使得存储电容Cst的第一极板C1的电位也会对应升高 ΔV ,此时存储电容Cst的第一极板C1的电位调整为第一电位 $V_1 = V_{data} + V_{ee} + V_{oled} + V_{th2} - V_{ref}$;当第一晶体管M1的阈值电压Vth2与驱动晶体管T的阈值电压Vth1之间的差异对驱动电流的影响忽略不计时,可认为驱动晶体管T向有机发光元件13提供的驱动电流与该驱动晶体管T的阈值电压Vth1无关。从而达到阈值补偿目的,进而提高像素的显示效果。

[0100] 本发明实施例还提供一种显示面板,该显示面板包括本发明实施例提供的像素电路,因此该显示面板具备本发明实施例提供的像素电路的有益效果,相同之处可参照上文理解,下文中不再赘述。

[0101] 示例性的,图10是本发明实施例提供的一种显示面板的结构示意图。如图10所示,显示面板100包括显示区110和围绕显示区110的非显示区120,显示区110至少包括第一显示区111,该第一显示区111包括阵列排布的多个第一像素电路10,该第一像素电路10为本发明实施例提供的像素电路。该第一像素电路10中的有机发光元件发光时,能够使第一显示区111显示相应的画面。

[0102] 其中,显示面板100的显示区110还可以包括第二显示区112,该第二显示区112的像素电路也可以为本发明实施提供的像素电路,此时显示面板100的显示区的像素电路均为本发明实施例提供的像素电路。相较于现有技术中具有阈值补偿结构的像素电路,本发明实施例提供的像素电路具有简单的结构,能够有较小的设计尺寸,当显示面板100的像素

电路均采用本发明实施例提供的像素电路时,有利于提高显示面板100的分辨率。

[0103] 或者,显示面板100的第二显示区112的像素电路也可以为现有技术中的任意一种像素电路,例如7T1C(七个晶体管、一个电容和一个有机发光元件)的像素电路,当第一显示区111和第二显示区112的像素密度相同时,第一显示区111中像素电路占用面积更小,可增大第一显示区111中高透光区的面积,提高透过第一显示区111的光的强度。

[0104] 可选的,图10是本发明实施例提供的又一种显示面板的结构示意图。如图10所示,显示面板100的显示区还包括多条第一扫描信号线31、多条复位信号线32、多条数据信号线41和多条电源信号线42;其中,位于同一行的第一像素电路10共用一条第一扫描信号线31和一条复位信号线32;位于同一列的第一像素电路10共用一条数据信号线41和一条电源信号线42。

[0105] 显示面板100的非显示区120包括多个级联设置的第一扫描驱动电路51和多个级联设置的复位驱动电路52和集成驱动电路60;其中,第一扫描驱动电路51的输出端与第一扫描信号线31电连接,用于提供第一扫描信号S1,并通过第一扫描信号线31传输至第一像素电路10;复位驱动电路52的输出端与复位信号线32电连接,用于提供复位信号Vref,并通过复位信号线Vref传输至第一像素电路10;集成驱动电路60的数据信号输出端与数据信号线41电连接,集成驱动电路60的电源信号输出端与电源信号线42电连接,用于向数据信号线41提供数据信号Vdata,以通过数据信号线41传输至第一像素电路10,以及用于向电源信号线42提供电源信号Vdd,以通过所电源信号线42传输至第一像素电路10。

[0106] 示例性的,以第一像素电路10为图3所示像素电路为例。结合图10和图3所示,位于同一行的第一像素电路10的复位信号端Ref与同一条复位信号线32电连接,位于同一行的第一像素电路10的第一扫描信号端Scan1与同一条第一扫描信号线31电连接;位于同一列的第一像素电路10的数据信号端Data与同一条数据信号线41,位于同一列的第一像素电路10的电源信号端PVDD与同一条电源信号线42电连接。当多个级联设置的第一扫描驱动电路51与多条第一扫描信号线31一一对应电连接时,该多个级联设置的第一扫描驱动电路51提供的第一扫描信号S1能够通过各第一扫描信号线31逐行控制各第一像素电路10中第二晶体管M2和第三晶体管M3的导通与断开,以在第一像素电路10中第二晶体管M2和第三晶体管M3导通时,集成驱动电路60提供的数据信号Vdata能够依次通过数据信号线41和导通的第一晶体管M1写入至该第一像素电路10的驱动晶体管T的栅极和存储电容Cst的第一极板C1,以及复位驱动电路52提供的复位信号Vref能够通过导通的第三晶体管M3写入存储电容Cst的第二极板C2;当多个级联设置的复位驱动电路52与多个复位信号线32一一对应电连接时,该多个级联设置的复位驱动电路52提供的复位信号Vref能够通过各复位信号线32逐行写入各第一像素电路10中存储电容Cst的第二极板C2;同时,集成驱动电路60还能够通过各电源信号线42向各列第一像素电路10的电源信号端PVDD提供电源信号,以使各第一像素电路10能够正常工作。

[0107] 如此设置,能够逐行驱动第一显示区111的各第一像素电路10,以能够对第一显示区111中第一像素电路10的驱动晶体管T进行阈值补偿,提高第一显示区111的显示均一性,从而提高显示面板100的显示效果。

[0108] 可选的,继续参考图10,显示面板100的非显示区120至少包括第一非显示区121和第二非显示区122,该第一非显示区121和第二非显示区122位于显示区110相对的两侧;其

中,第一扫描驱动电路51可设置于第一非显示区121,复位驱动电路52设置于第二非显示区122。

[0109] 通过将第一扫描驱动电路51和复位驱动电路52设置于显示区110相对的两侧,能够使显示区110相对的两侧的边框形成对称结构;同时,将第一扫描驱动电路51设置于第一非显示区121,并将复位驱动电路52设置于第二非显示区122,能够防止第一扫描驱动电路51的线路与驱动电路52的线路相互干扰,有利于第一扫描驱动电路51与驱动电路52的布线设计,从而能够提高显示面板100的显示效果。

[0110] 需要说明的是,图10仅为本发明实施例示例性的附图,图10中第一扫描驱动电路51和复位驱动电路52分别设置于显示面板100中显示区110相对的两侧,以达到上述目的。在不考虑上述目的的前提下,第一扫描驱动电路51和复位驱动电路52可以设置于显示区110的同一侧,本发明实施例对此不做具体限定。

[0111] 可选的,图11是本发明实施例提供的又一种显示面板的结构示意图。如图11所示,显示面板100的显示区110包括第一显示区111和第二显示区112,该第一显示区111的像素电路可以为第一像素电路10,第二显示区112设置的像素电路可以为第二像素电路20,即第一显示区111设置有阵列排布的第一像素电路10,第二显示区112设置有阵列排布的第二像素电路20;该第二像素电路20的覆盖面积大于第一像素电路10的覆盖面积。

[0112] 当第一显示区111中单位面积的第一像素电路10的个数与第二显示区112中单位面积的第二像素电路20的个数相同时,可将该第一显示区111复用为传感器设置区。如此,由于设置于第一显示区111的第一像素电路10为本发明实施例提供的像素电路,因此设置于第一显示区111的第一像素电路10具有结构简单,覆盖面积小的特点;而设置于第二显示区112的第二像素电路20可以为现有技术中任意一种像素电路,且该第一像素电路20所覆盖的面积较大;此时,相较于第一显示区111和第二显示区112的像素电路均为第二像素电路的情况,能够提高第一显示区111中高透光区的面积。当将第一显示区111复位为传感器设置区时,能够在确保显示面板100具有高屏占比和显示均一性的前提下,提高传感器设置区的中高透光与区域的面积,从而提高透过传感器设置区的光的强度。示例性的,当该传感器设置区设置的为摄像头时,能够使更多的外界光透过该第一显示区111被摄像头所采集,从而能够提高摄像头的成像质量。

[0113] 示例性的,图13是本发明实施例提供的一种第二像素电路的结构示意图;图14是本发明实施例提供的一种第二像素电路的驱动时序图。结合图13和图14所示,该第二像素电路包括驱动晶体管T'、存储电容Cst'、有机发光元件13',以及发光控制晶体管T1和T6、初始化晶体管T3和T5、数据写入晶体管T3、阈值补偿晶体管T4。该第二像素电路还包括电源信号端PVDD'、低电平信号端PVEE'、第二复位信号端Ref'、发光控制信号端Emit、第二扫描信号端Scan2以及第三扫描信号端Scan3。其中,第二扫描信号端Scan2的第二扫描信号S2能够控制初始化晶体管T3和T5在初始化阶段t1'导通,以使复位信号端Ref'的复位信号Vref'通过导通初始化晶体管T3和T5对驱动晶体管T'的栅极、存储电容Cst'以及有机发光元件13'的阳极进行初始化;第三扫描信号端Scan3的第三扫描信号S3能够控制数据写入晶体管T3和阈值补偿晶体管T4在阈值补偿阶段t2'导通,以使数据信号端Data'的数据信号Vdata依次通过导通的数据写入晶体管T3和阈值补偿晶体管T4写入驱动晶体管T'的栅极和存储电容Cst'中;发光控制信号端Emit的发光控制信号En控制发光控制晶体管T1和T6在发光控制

阶段 t_3' 导通,以使驱动晶体管 T' 能够向有机发光元件13'提供驱动电流,并驱动有机发光元件13'进行发光,且该驱动晶体管 T' 向有机发光元件13'提供驱动电流与该驱动晶体管 T' 的阈值电压无关。如此,第一像素电路和第二像素电路均能够实现阈值补偿功能,从而提高显示面板的显示均一性,进而提高显示面板的显示效果。

[0114] 可选的,图15是本发明实施例提供的又一种显示面板的结构示意图。如图15所示,显示面板100的第二显示区112还包括多条第二扫描信号线33、多条第三扫描信号线34、多条数据信号线41和多条电源信号线42;其中,位于同一行的第二像素电路20共用一条第二扫描信号线33和一条第三扫描信号线34;位于同一列的第一像素电路10和第二像素电路20共用一条数据信号线41和一条电源信号线42。

[0115] 显示面板100的非显示区120还包括多个级联设置的第二扫描驱动电路53;第二扫描驱动电路53的输出端与第二扫描信号线33和/或第三扫描信号线34电连接;与第二扫描信号线33电连接的第二扫描驱动电路53用于提供第二扫描信号 S_2 ,并通过第二扫描信号线33传输至第二像素电路20;与第三扫描信号线34电连接的第二扫描驱动电路53用于提供第三扫描信号 S_3 ,并通过第三扫描信号线33传输至第二像素电路20。同时,上一行第二像素电路20的第三扫描信号 S_3 可复用为下一行第二像素电路20的第二扫描信号 S_2 ,即当上一行第二像素电路20处于阈值补偿阶段时,下一行第二像素电路20处于初始化阶段。

[0116] 此外,设置于显示面板100的非显示区120的集成驱动电路60还用于通过数据信号线41将数据信号传输至第二像素电路20,以及通过电源信号线42将电源信号传输至第二像素电路20。

[0117] 具体的,设置于第二显示区112中的第二像素电路20具有较大的尺寸,该第二像素电路20也具有阈值补偿功能,且该第二像素电路20中可至少包括第二扫描信号端、第三扫描信号端、数据信号端以及电源信号端。此时,第二扫描驱动电路53可通过第二扫描信号线33向位于同一行的第二像素电路20的第二扫描信号端提供第二扫描信号 S_2 ;第二扫描驱动电路53还可通过第三扫描信号线34向位于同一行的第二像素电路20的第三扫描信号端提供第三扫描信号 S_2 ;同时,集成驱动电路60还能够通过数据信号线41向位于同一列的第二像素电路20的数据信号端提供数据信号 V_{data} ,以及通过电源信号线42向位于同一列的第二像素电路20的电源信号端提供电源信号 V_{dd} 。如此,能够实现对显示面板100中各像素电路的逐行驱动,以使显示面板显示相应的画面。

[0118] 此外,为适应第二像素电路20的驱动时序,显示面板100中还可以设置用于向第二像素电路20传输复位信号的复位信号总线55和复位信号线35;位于同一行的第二像素电路20可与一条复位信号线35电连接;集成驱动电路60输出的复位信号 V_{ref}' 可依次通过复位信号总线55和复位信号线35传输至第二像素电路20。

[0119] 需要说明的是,图15仅为本发明实施例示例性的附图,图15中第一扫描驱动电路51和第二扫描驱动电路53位于显示区110的同一侧,在本发明实施例中该第一扫描驱动电路51和第二扫描驱动电路53也可以位于显示区110的不同侧,或者第一扫描驱动电路51和第二扫描驱动电路53可以集成为一个扫描驱动电路,本发明实施例对此不做具体限定。

[0120] 此外,由于第二像素电路覆盖面积比第一像素电路的覆盖面积大,该第二像素电路的负载可多于第一像素电路的负载。因此,可使第一显示区用于连接第一像素电路的数据信号线、电源信号线以及第一扫描信号线的宽度小于第二显示区的数据信号线、电源信

号线、第二扫描信号线以及第一扫描信号线的宽度。如此,一方面,可在信号传输时,增大第一显示区的负载,使得传输至第一显示区和第二显示区的信号保持一致,以提高显示面板的显示均一性;另一方面,第一显示区的信号线的宽度变窄,可进一步增大第一显示区中高透光区的面积,从而当将第一显示区复用为传感器设置区,能够提高传感器所采集发的光的强度,进而提高例如摄像头等图像传感器的成像质量。

[0121] 可选的,图16是本发明实施例提供的又一种显示面板的结构示意图。如图16所示,第二扫描驱动电路53可以复用为第一扫描驱动电路51;且第二扫描信号线33或者第三扫描信号线34复用为第一扫描信号线31。

[0122] 示例性的,以图3所示的第一像素电路和图4所示的驱动时序为例,以及以图13所示的第二像素电路和图14所示的驱动时序为例。结合图3、图4、图13、图14和图16所示,第二扫描驱动电路53可通过第二扫描信号线33向第二像素电路20的第二扫描信号端Scan2提供第二扫描信号S2;第二扫描驱动电路53还可通过第三扫描信号线34向第二像素电路20的第三扫描信号端Scan3提供的第三扫描信号S3。当将第二扫描驱动电路53复用为第一扫描驱动电路51,以及将第二扫描信号线33复位用第一扫描信号线31时,第二扫描驱动电路53能够通过第二扫描信号线33向位于同一行的第一像素电路10的第一扫描信号端Scan1提供低电平的第一扫描信号Scan1以及向第二像素电路20的第二扫描信号端Scan2提供低电平的第二扫描信号S2,以使第一像素电路10进入数据写入阶段t1以及使第二像素电路20进入初始化阶段t1';同时,第二扫描驱动电路53能够通过第二扫描信号线33向位于同一行的第一像素电路10的第一扫描信号端Scan1提供高电平的第一扫描信号S1,以使第一像素电路10进入阈值补偿阶段t2,此时第二像素电路20可进入阈值补偿阶段t2'。如此,能够减少非显示区110中设置的驱动电路,减小非显示区110的尺寸,有利于显示面板100的窄边框。

[0123] 或者,当将第三扫描信号线复用为复位信号线时,可由第二扫描驱动电路通过第三扫描信号线向位于同一行的第一像素电路的复位信号端提供数据写入阶段的第一阶段t11所需的低电平复位信号Vref以及向第二像素电路的第三扫描信号端提供阈值补偿阶段t2'所需的第三扫描信号S3;同时,在第一像素电路进入数据写入阶段的第二阶段t12时,第二扫描驱动电路能够通过第三扫描信号线向位于同一行的第一像素电路的复位信号端提供较高电平的复位信号Vref。此时,第二像素电路进入发光阶段t3'。如此,同样能够实现对第一像素电路和第二像素电路的逐行驱动,且能够减少非显示区中设置的驱动电路,减小非显示区的尺寸,有利于显示面板的窄边框。

[0124] 可选的,图17是本发明实施例提供的又一种显示面板的结构示意图。如图17所示,显示面板100的非显示区120还包括转换电路56;该转换电路56电连接于第二扫描驱动电路53与第一扫描信号线31之间。该转换电路56用于在数据写入阶段将第二扫描驱动电路53中的低电平信号VGL转换为第一扫描信号S1,并在阈值补偿阶段将第二扫描驱动电路53提供的第二扫描信号S2或第三扫描信号S3转换为高电平的第一扫描信号S1。如此,无需在非显示区120中设置用于向第一像素电路提供第一扫描信号S1的第一扫描驱动电路,能够简化非显示区120中的像素电路,有利于减小显示面板100非显示区120的尺寸,从而有利于显示面板的窄边框。

[0125] 需要说明的是,在能够将第二扫描信号S2、第三扫描信号S3以及低电平信号VGL转换为第一扫描信号S1的前提下,本发明实施例对转换电路的具体结构不做限定。

[0126] 可选的,图18是本发明实施例提供的一种转换电路的电路结构示意图。如图18所示,该转换电路包括第四晶体管M4、第五晶体管M5和第一电容C1;其中,第四晶体管M4的第一电极与第二扫描驱动电路520中的低电平信号VGL电连接,第四晶体管M4的第二电极与第一扫描信号线31电连接,第四晶体管M4的栅极通过第二扫描信号线33与第二扫描驱动电路53的输出端电连接;第五晶体管M5的第一电极通过第三扫描信号线34与第二扫描驱动电路53的输出端电连接,第五晶体管M5的第二电极与第一扫描信号线31电连接,第五晶体管M5的栅极通过第二扫描信号线33与第二扫描驱动电路53的输出端电连接;第一电容C1的第一极板与第一扫描信号线31电连接,第一电容C1的第二极板与固定电位信号线电连接。

[0127] 示例性的,以图3所示的第一像素电路和图5所示的驱动时序为例,以及以图13所示的第二像素电路和图14所示的驱动时序为例。图19是本发明实施例提供的一种转换电路的驱动时序图。结合图3、图5、图13、图14、图17、图18和图19所示,转换电路56中第四晶体管M4为P型晶体管和第五晶体管M5均为N型晶体管。在第二像素电路20的初始化阶段 t_1' ,第二扫描驱动电路53提供的第二扫描信号S2为低电平信号,第四晶体管M4导通,第五晶体管M5断开,第二扫描驱动电路53中的低电平信号能够通过导通的第四晶体管M4传输至第一扫描信号线31,以为第一像素电路10提供数据写入阶段的第一阶段 t_{11} 所需的第一扫描信号S1,使得第二晶体管M2和第三晶体管M3导通;而在第二像素电路20的阈值补偿阶段 t_2 ,第一子扫描驱动电路53提供的第二扫描信号S2翻转为高电平信号,第二扫描驱动电路53提供的第三扫描信号S3为低电平信号,第四晶体管M4断开,第五晶体管M5导通,第三扫描信号S3通过导通的第五晶体管M5传输至第一扫描信号线31,以为第一像素电路10提供数据写入阶段的第二阶段 t_{12} 所需的第一扫描信号,使得第二晶体管M2和第三晶体管M3保持导通。如此,第二像素电路20处于初始化阶段 t_1' 时,第一像素电路10处于数据写入阶段的第一阶段 t_{11} ;在第二像素电路20处于阈值补偿阶段 t_2' 时,第一像素电路10处于数据写入阶段的第二阶段 t_{12} ;在第二像素电路20处于发光阶段 t_3' ,第一像素电路10处于阈值补偿阶段 t_2 ,且此时第一像素电路10的驱动晶体管T已开始向有机发光元件提供驱动电流,即第一像素电路10的有机发光元件和第二像素电路20的有机发光元件能够同时发光,从而能够提高显示面板的显示均一性,提高显示面板的显示效果。

[0128] 其中,固定电位信号线传输的固定电位可以为集成驱动电路提供的电源信号,集成驱动电路无需额外设置用于输出转换电路所需的固定电位信号的输出端,有利简化集成驱动电路结构,能够降低集成驱动电路的成本,从而有利于降低显示面板的成本。

[0129] 需要说明的是,转换电路的第五晶体管与第四晶体管的类型不同,且第四晶体管可与第一像素电路和第二像素电路中的晶体管的类型相同;此时,当第四晶体管为N型晶体管时,第五晶体管为P型晶体管;当第四晶体管为P型晶体管时,第五晶体管为N型晶体管。本发明实施例对此不做具体限定。

[0130] 可选的,图20是本发明实施例提供的又一种转换电路的结构示意图。结合图17和图20所示,转换电路包括第四晶体管M4、第五晶体管M5和第一电容C1;其中,第四晶体管M4的第一电极与第二扫描驱动电路53的低电平信号VGL电连接,第四晶体管M4的第二电极通过第二扫描信号线33与第一扫描信号线31电连接,第四晶体管M4的栅极通过第二扫描信号线33与第二扫描驱动电路53的输出端电连接;第五晶体管M5的第一电极通过第二扫描信号线33与第二扫描驱动电路53的输出端电连接,第五晶体管M5的第二电极与第一扫描信号线

31电连接,第五晶体管M5的栅极通过第三扫描信号线34与第二扫描驱动电路53的输出端电连接;第一电容C1的第一极板与第一扫描信号线31电连接,第一电容C1的第二极板与固定电位信号线电连接。

[0131] 示例性的,以图3所示的第一像素电路和图4所示的驱动时序为例,以及以图13所示的第二像素电路和图14所示的驱动时序为例。图21是本发明实施例提供的又一种转换电路的驱动时序图。结合图3、图4、图13、图14、图17、图20和图21所示,转换电路56中第四晶体管M4和第五晶体管M5均为P型晶体管。在第二像素电路20的初始化阶段 $t1'$,第二扫描驱动电路53提供的第二扫描信号S2为低电平信号,第四晶体管M4导通,第五晶体管M5断开,第二扫描驱动电路53中的低电平信号VGL能够通过导通的第四晶体管M4传输至第一扫描信号线31,以为第一像素电路10提供数据写入阶段 $t1$ 的低电平的第一扫描信号S1;而在第二像素电路20的阈值补偿阶段 $t2$,第二扫描驱动电路53提供的第二扫描信号S2翻转为高电平信号,第二扫描驱动电路53提供的第三扫描信号S3为低电平信号,第四晶体管M4断开,第五晶体管M5导通,高电平的第二扫描信号S2通过导通的第五晶体管M5传输至第一扫描信号线31,以为第一像素电路10提供阈值补偿阶段 $t2$ 的高电平的第一扫描信号S1。如此,第二像素电路20处于初始化阶段 $t1'$ 时,第一像素电路10处于数据写入阶段 $t1$;在第二像素电路20处于阈值补偿阶段 $t2'$ 时,第一像素电路10也处于阈值补偿阶段 $t2$;在第二像素电路20处于发光阶段 $t3'$,第一像素电路10也能够处于发光阶段 $t3$ 。如此能够使第一像素电路10的有机发光元件和第二像素电路20的有机发光元件13'同时发光,从而能够提高显示面板的显示均匀性,提高显示面板的显示效果。

[0132] 此时,转换电路的第五晶体管和第四晶体管可与第一像素电路中的晶体管的类型相同。因此,当第一像素电路中晶体管为P型晶体管时,该转换电路中的第五晶体管和第四晶体管也为P型晶体管;而当第一像素电路中晶体管为N型晶体管时,该转换电路中的第五晶体管和第四晶体管也为N型晶体管,本发明实施例对此不做具体限定。

[0133] 此外,转换电路可以与第二扫描驱动电路位于显示区的同一侧;转换电路也可以与第二扫描驱动电路位于显示区相对的两侧,即转换电路可通过第二扫描信号线和第三扫描信号线与第二扫描驱动电路的输出端电连接。本发明实施例对转换电路与第二扫描驱动电路的具体连接方式不做具体限定。

[0134] 本发明实施例还提供一种显示装置,该显示装置包括本发明实施例提供的显示面板,因此该显示装置也具备本发明实施例提供的显示面板的有益效果,相同之处可参照上文理解,下文中不再赘述。

[0135] 示例性的,图22是本发明实施例提供的一种显示装置的结构示意图。如图22所示,本发明实施例提供的显示装置200包括本发明实施例提供的显示面板100。显示装置200例如可以为触摸显示屏、手机、平板电脑、笔记本电脑或电视机等任何具有显示功能的电子设备。

[0136] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

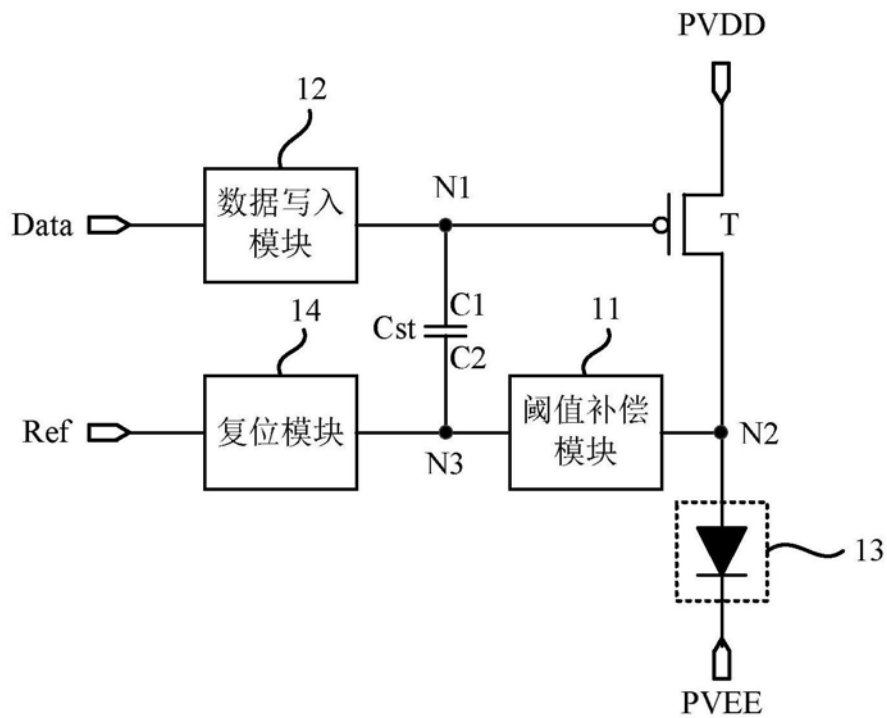


图1

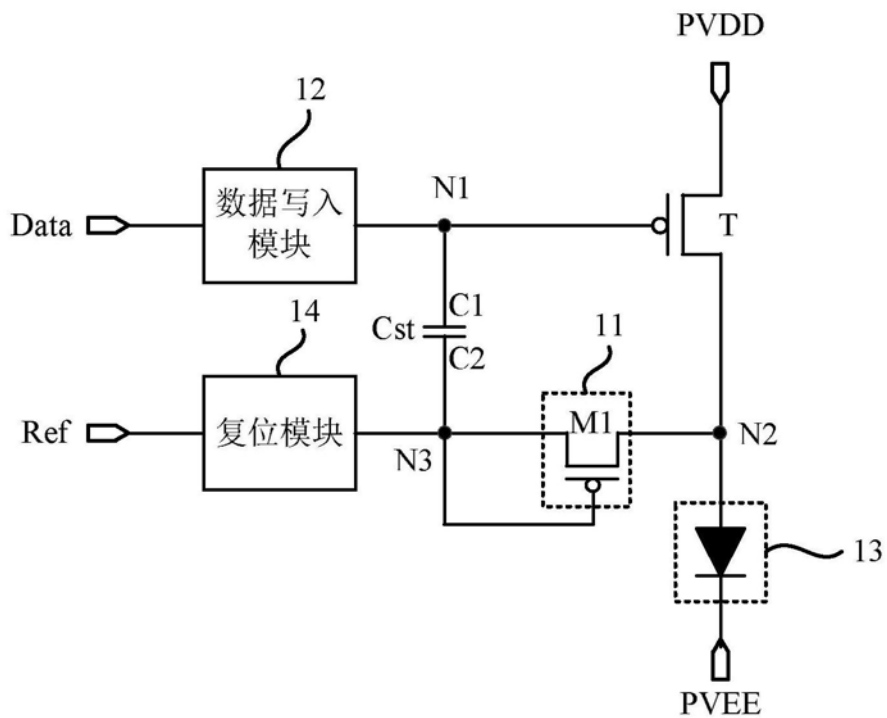


图2

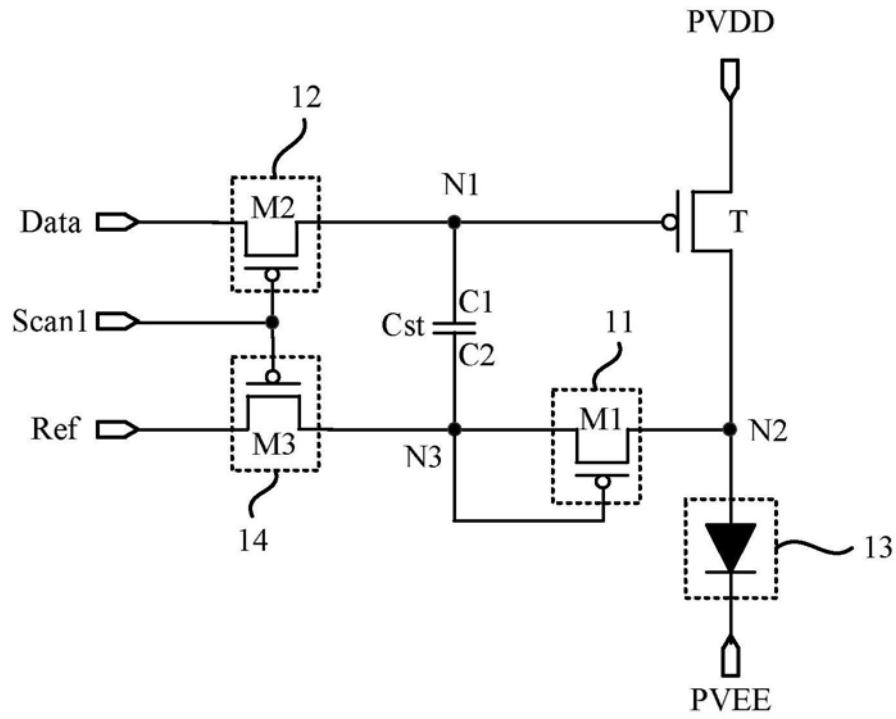


图3

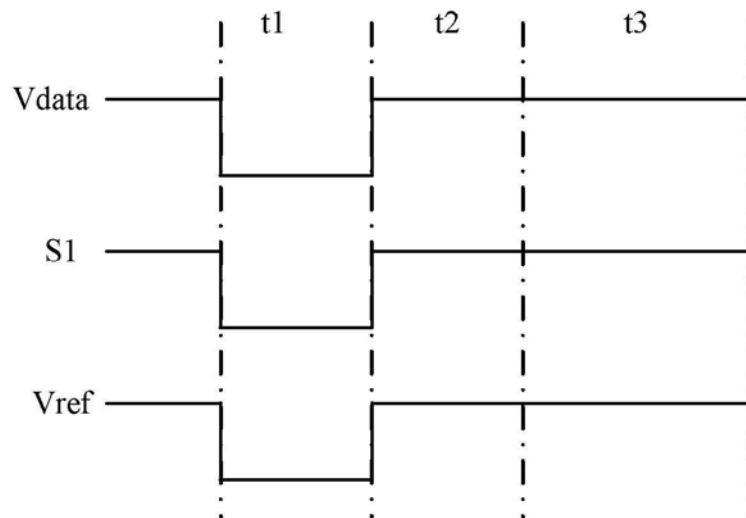


图4

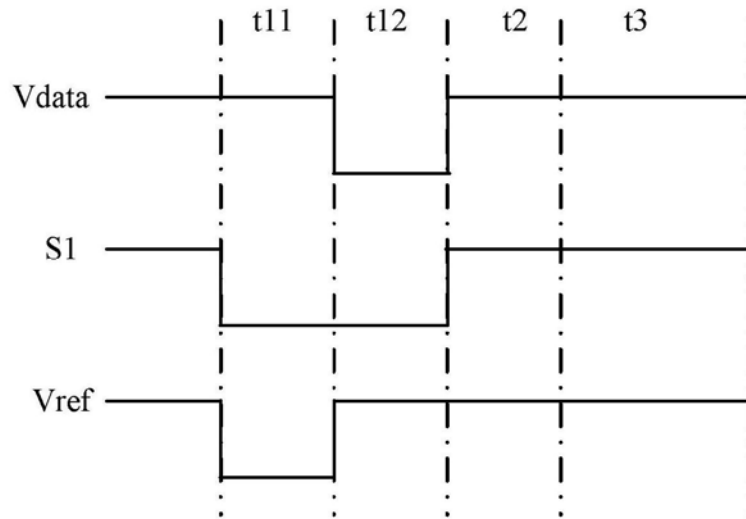


图5

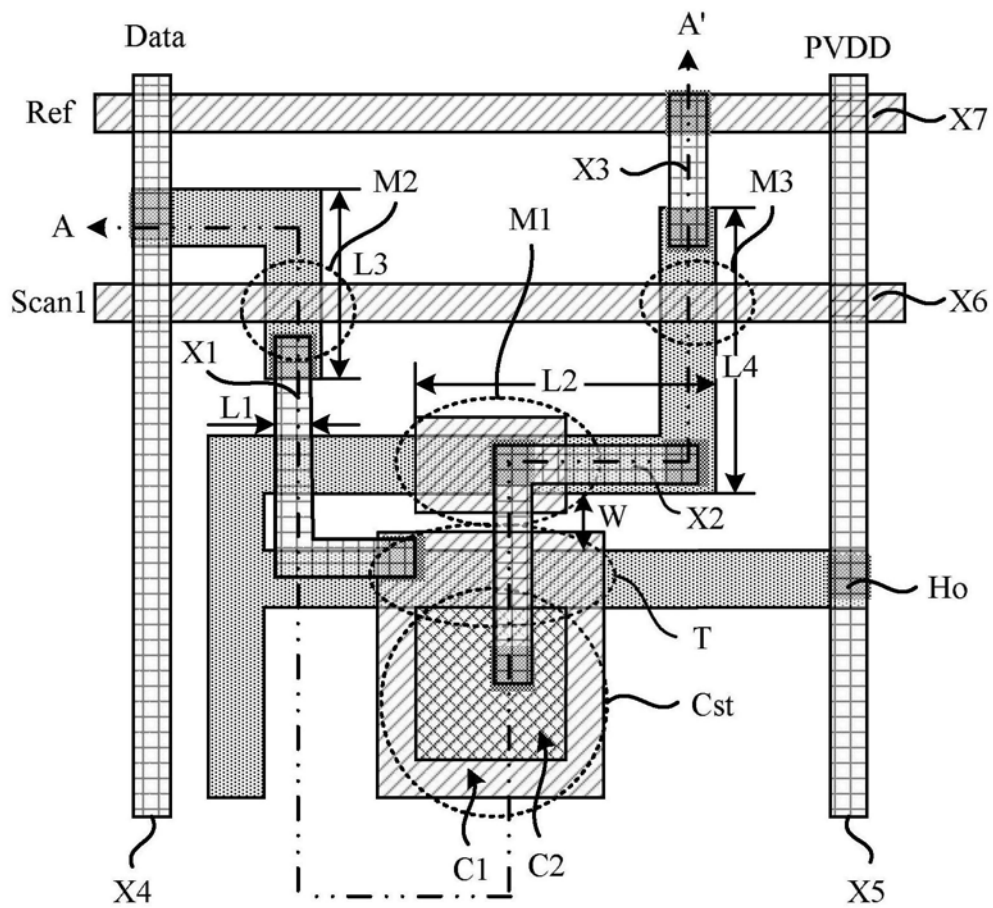


图6

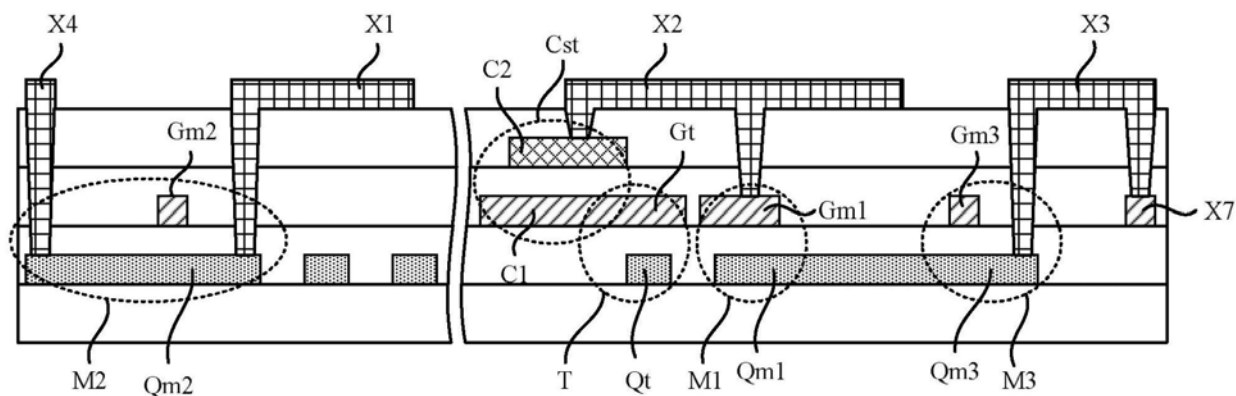


图7

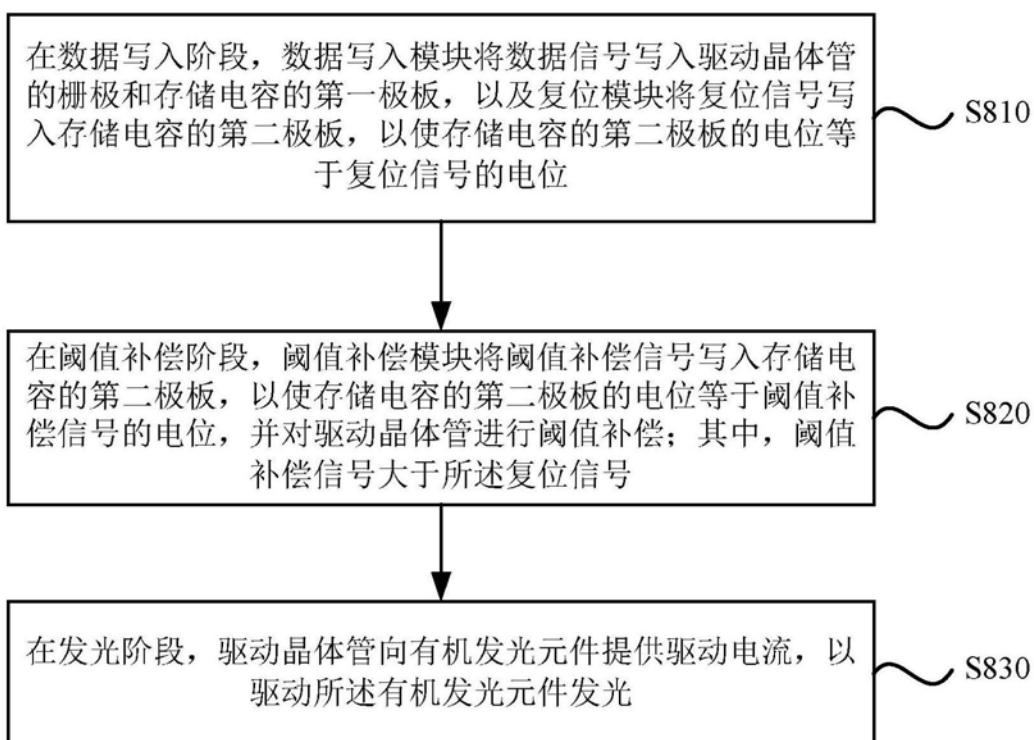


图8

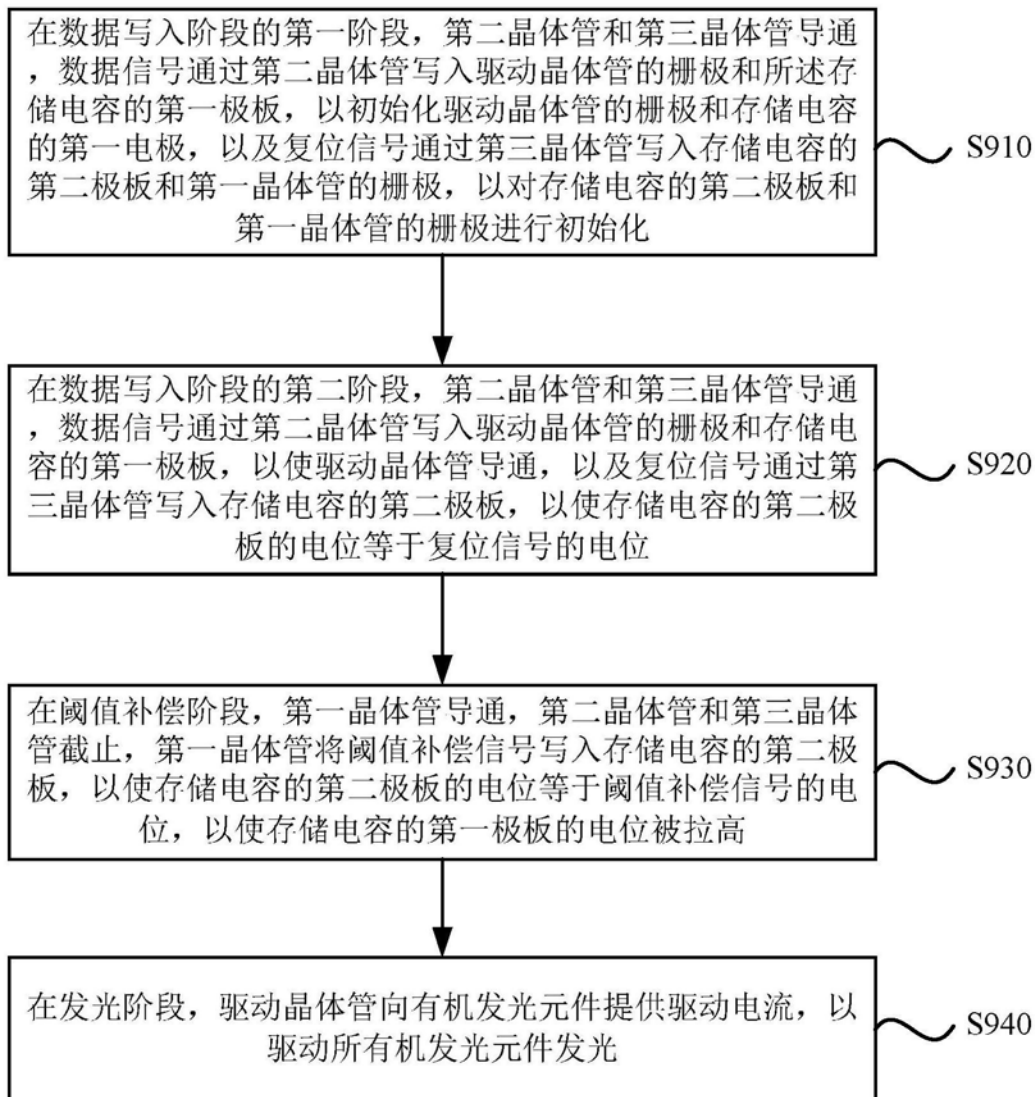


图9

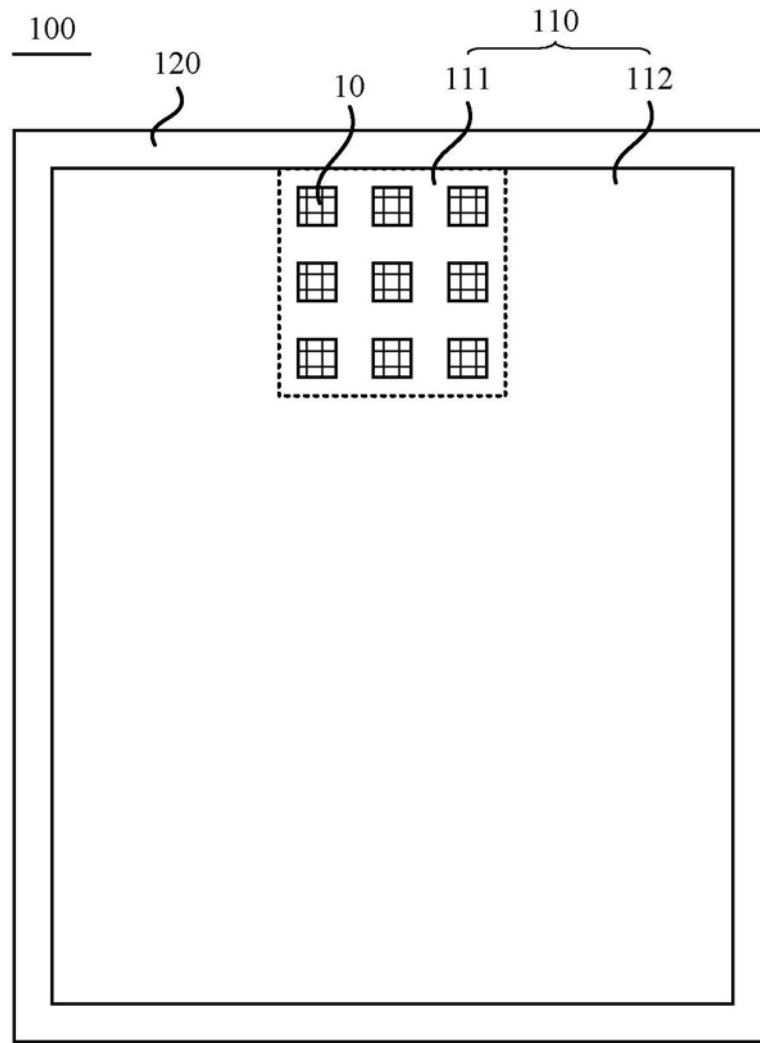


图10

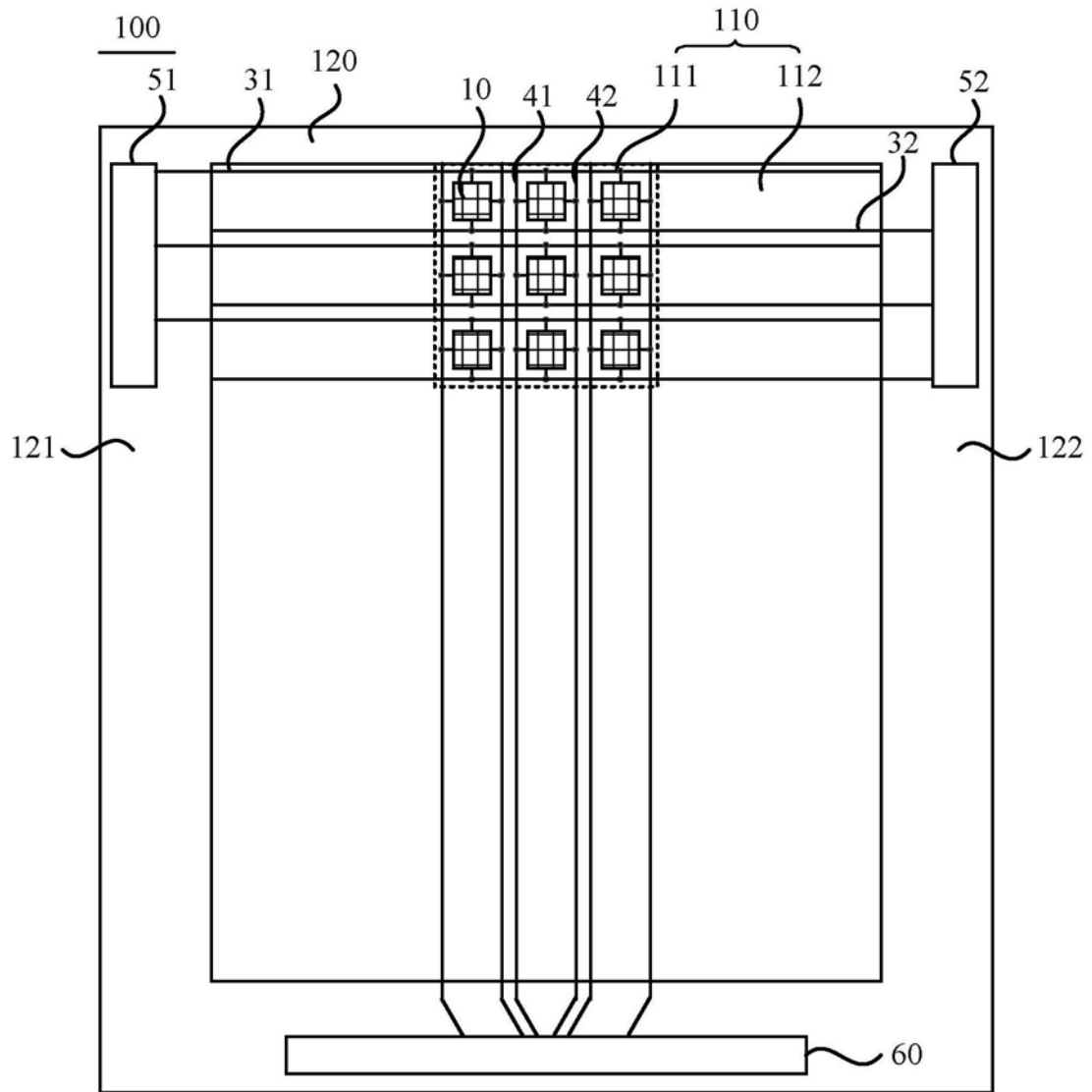


图11

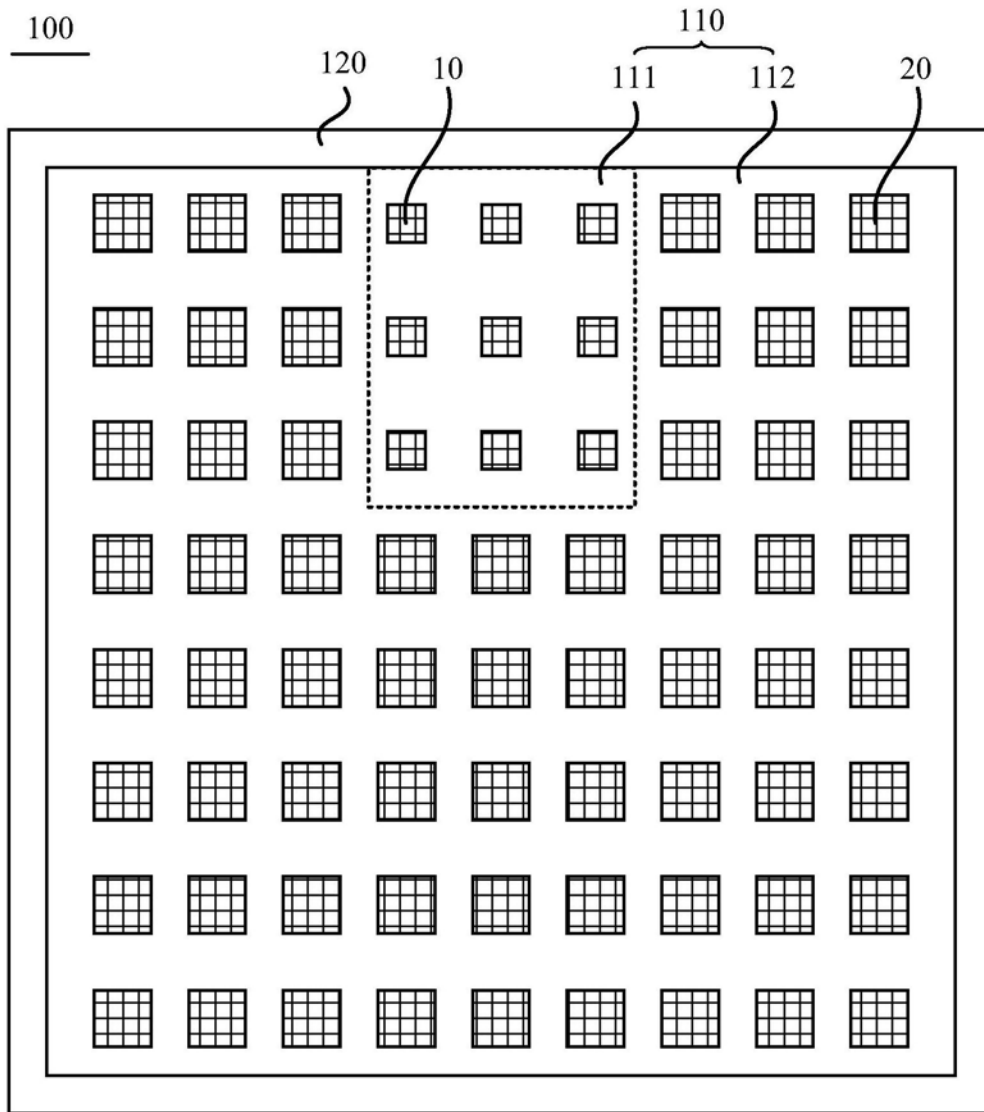


图12

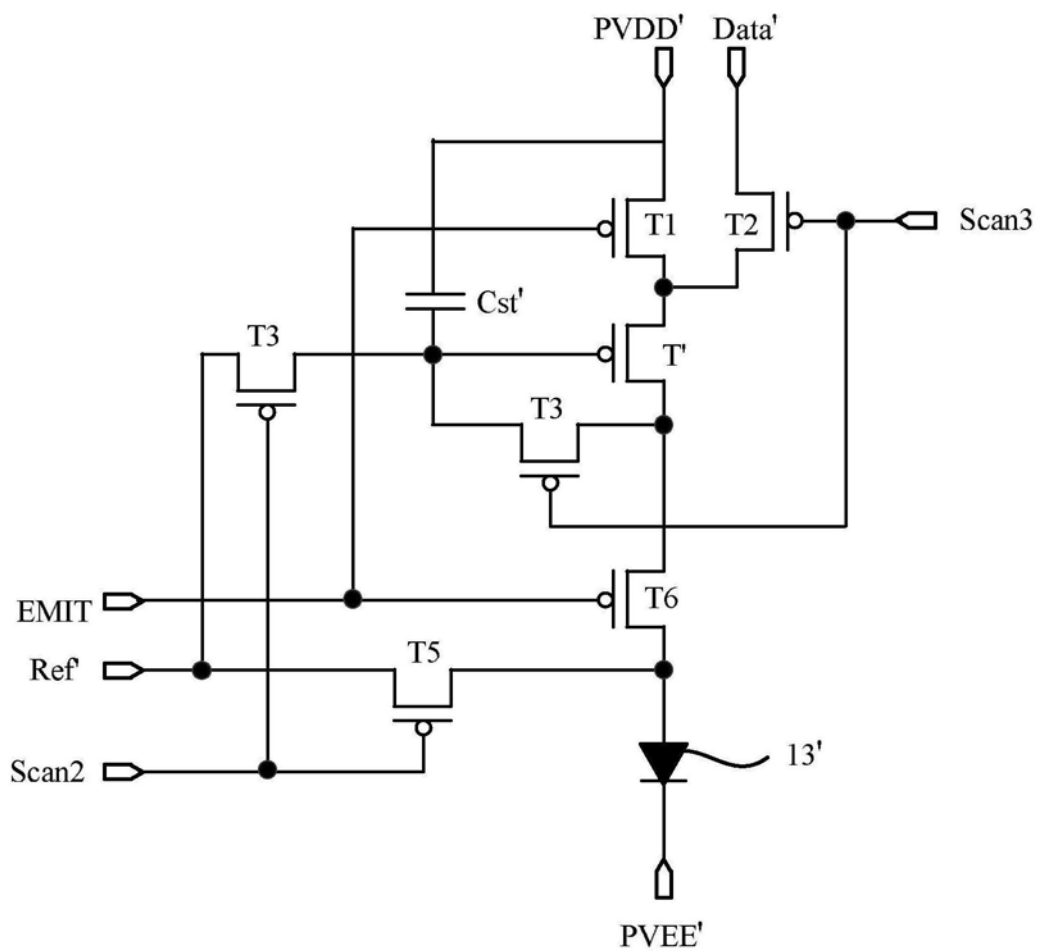


图13

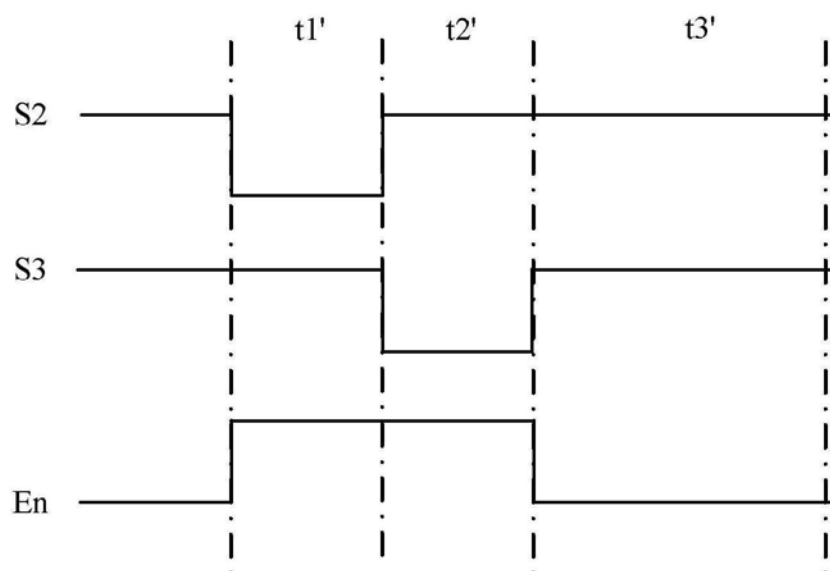


图14

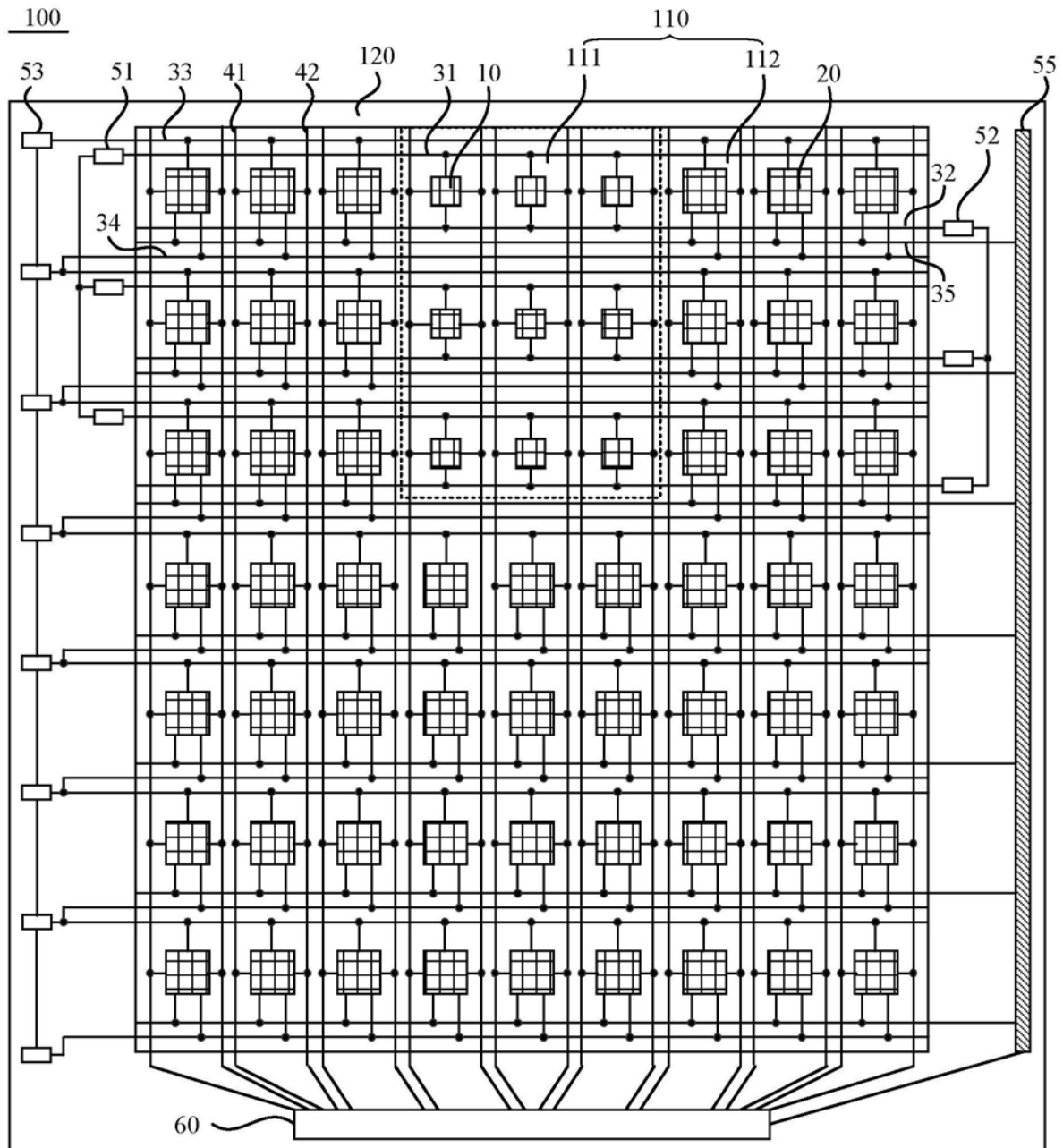


图15

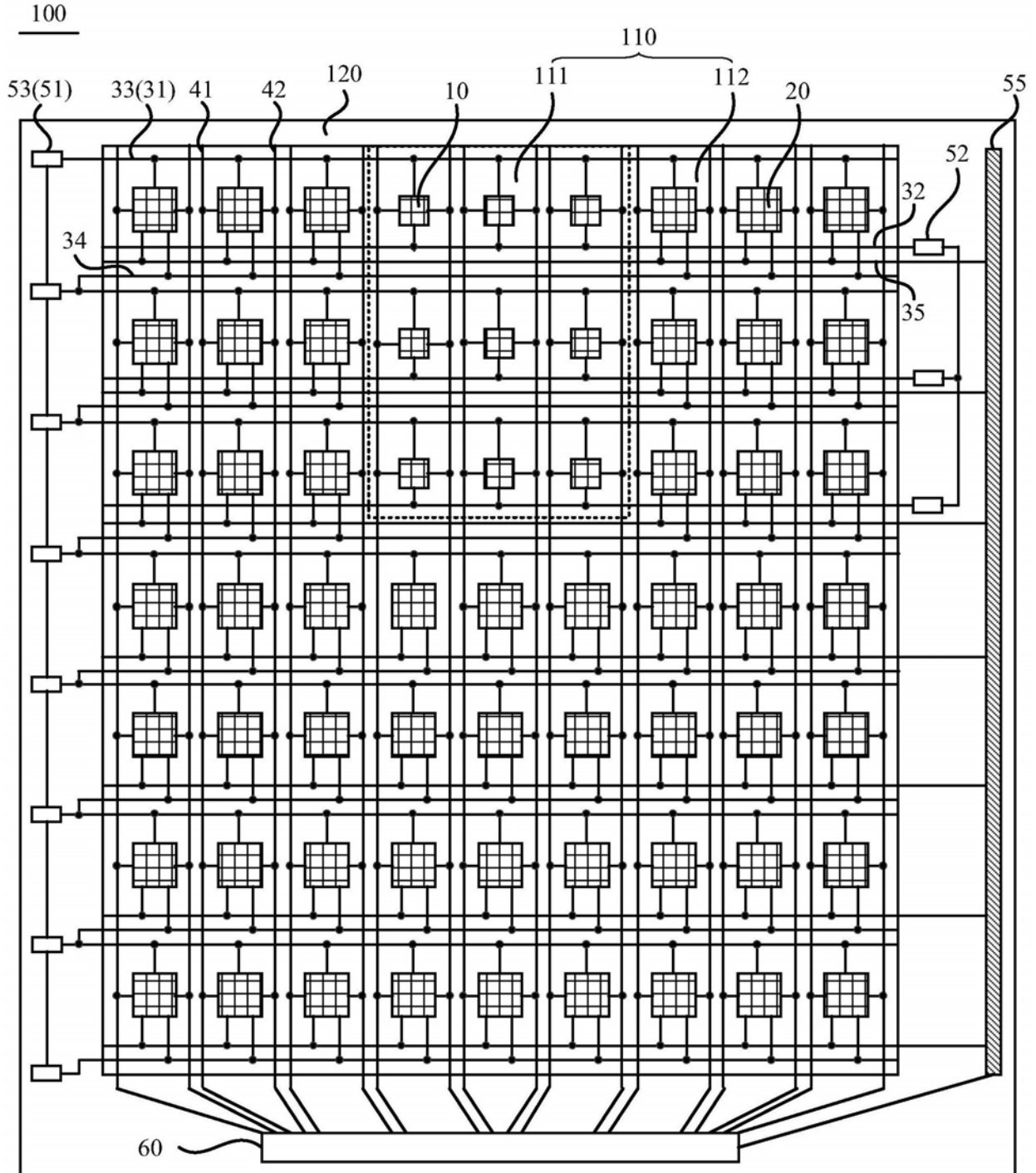


图16

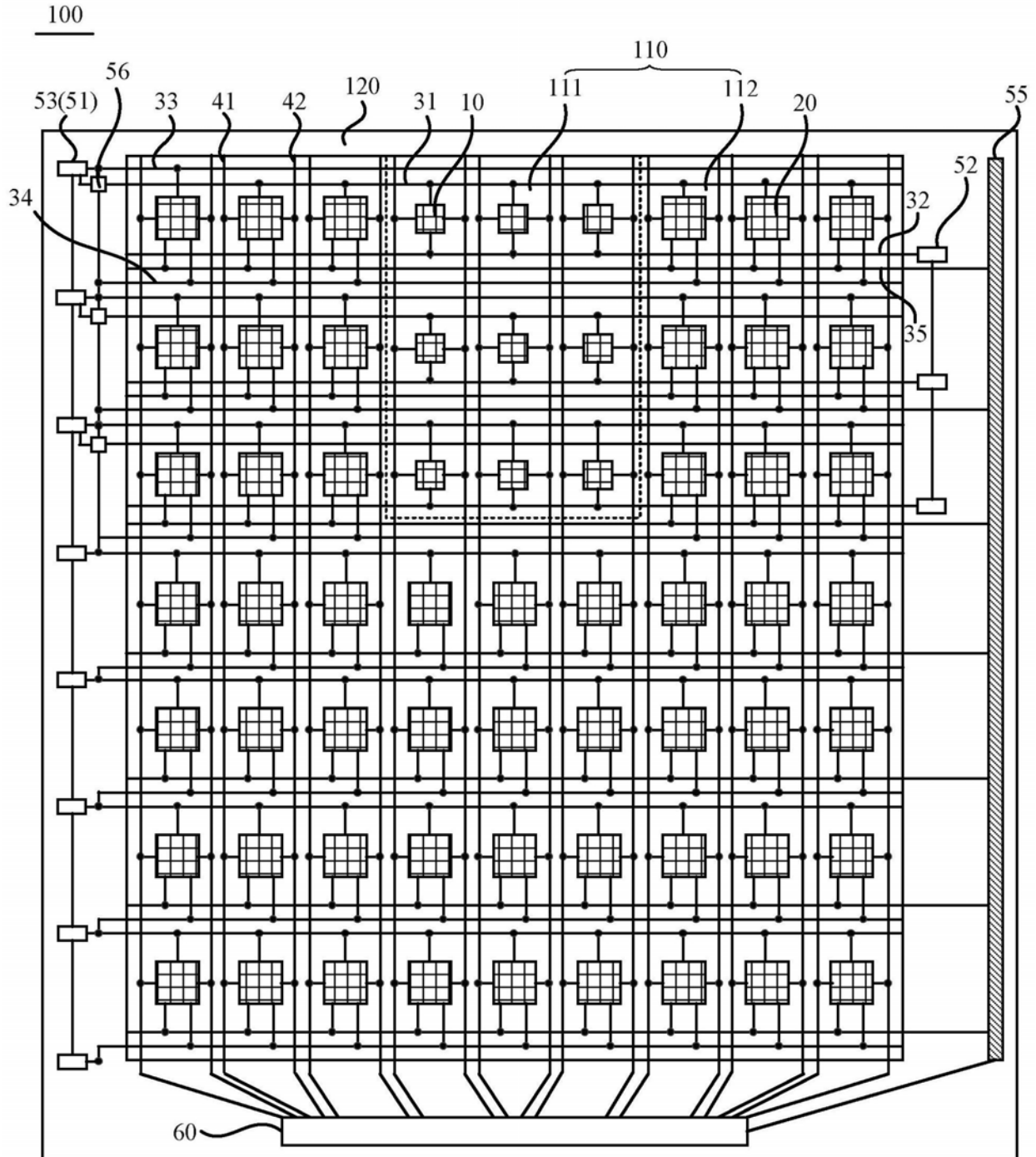


图17

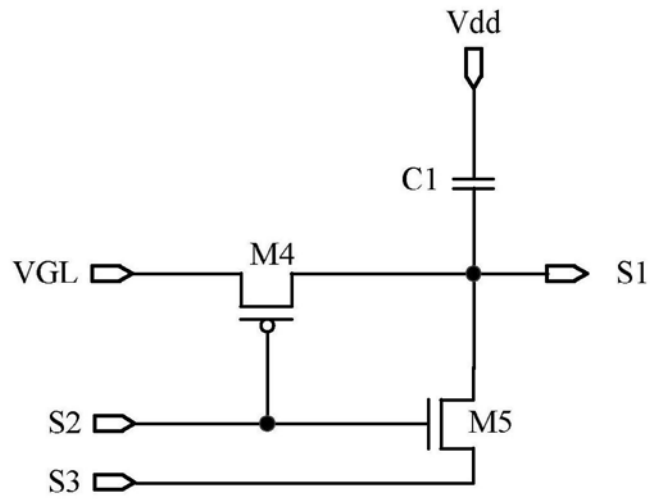


图18

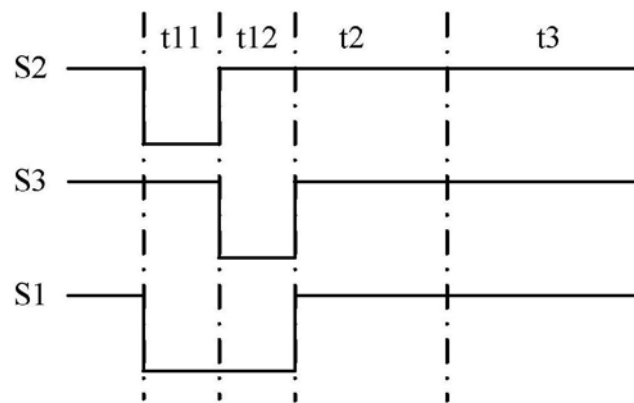


图19

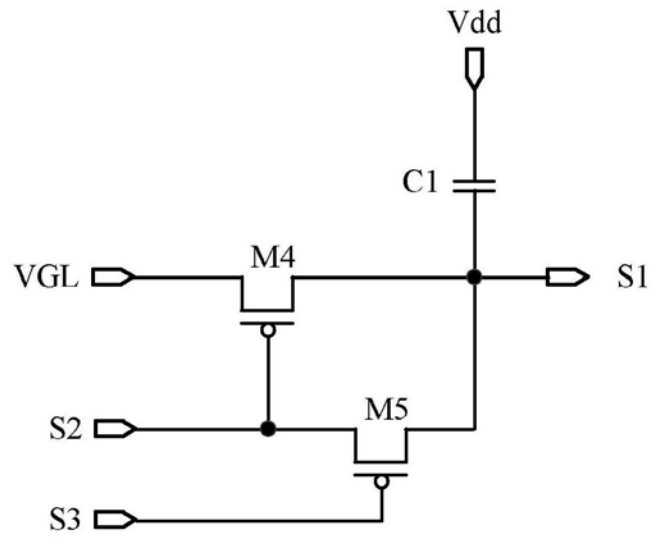


图20

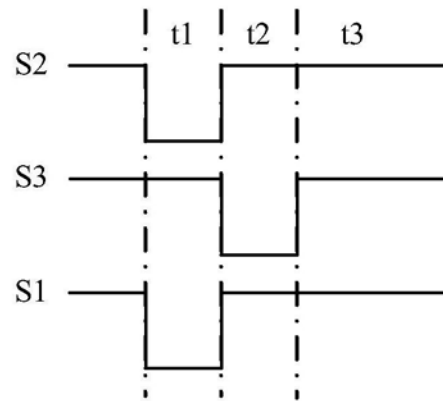


图21

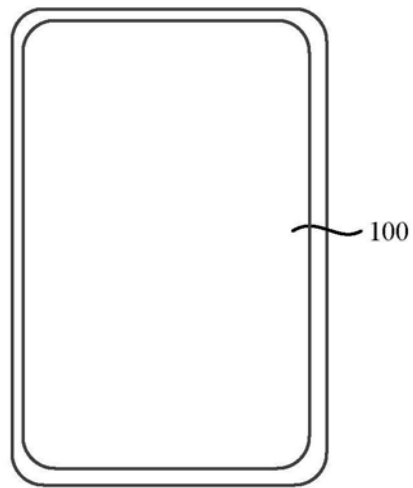
200

图22

专利名称(译)	像素电路及其驱动方法、显示面板和显示装置		
公开(公告)号	CN111048041A	公开(公告)日	2020-04-21
申请号	CN202010001983.6	申请日	2020-01-02
[标]申请(专利权)人(译)	武汉天马微电子有限公司		
申请(专利权)人(译)	武汉天马微电子有限公司		
当前申请(专利权)人(译)	武汉天马微电子有限公司		
[标]发明人	周茂清 陈菲 向东旭		
发明人	周茂清 陈菲 向东旭		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2320/0233		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种像素电路及其驱动方法、显示面板和显示装置，该像素电路的数据写入模块能够在数据写入阶段将数据信号写入驱动晶体管的栅极和存储电容的第一极板；复位模块能够在数据写入阶段将复位信号写入存储电容的第二极板；阈值补偿模块能够在阈值补偿阶段将阈值补偿信号写入存储电容的第二极板，以使存储电容的第一极板的电位调整为第一电位，并对所驱动晶体管进行阈值补偿；其中，阈值补偿信号大于复位信号；驱动晶体管能够在发光阶段向有机发光元件提供驱动电流，以驱动有机发光元件发光。本发明实施例提供的像素电路结构简单，尺寸较小，且能够实现阈值补偿。

