



(12)发明专利申请

(10)申请公布号 CN 110660829 A

(43)申请公布日 2020.01.07

(21)申请号 201910564788.1

(22)申请日 2019.06.27

(30)优先权数据

10-2018-0074950 2018.06.28 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 黄荣仁 金成虎 梁容豪 王盛民

(74)专利代理机构 北京金宏来专利代理事务所
(特殊普通合伙) 11641

代理人 杜正国

(51)Int.Cl.

H01L 27/32(2006.01)

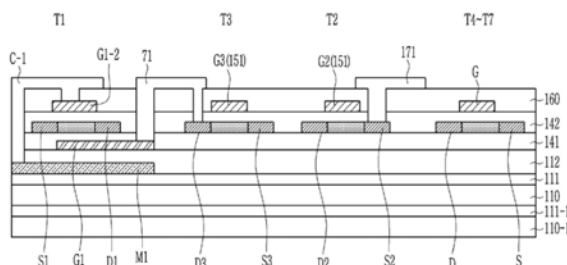
权利要求书3页 说明书17页 附图7页

(54)发明名称

有机发光二极管显示装置

(57)摘要

公开了有机发光二极管显示器。有机发光二极管显示器包括驱动晶体管和补偿晶体管。驱动晶体管包括第一栅电极、多晶半导体层和第二栅电极，第一栅电极布置在衬底上，多晶半导体层布置在驱动晶体管的第一栅电极上并且包括第一电极、第二电极和沟道，并且第二栅电极布置在驱动晶体管的多晶半导体层上。补偿晶体管包括多晶半导体层和栅电极，多晶半导体层包括第一电极、第二电极和沟道，并且栅电极布置在补偿晶体管的多晶半导体层上。



1. 有机发光二极管显示器,包括:
衬底;
像素,所述像素布置在所述衬底上;
扫描线;
数据线;
驱动电压线;以及
初始化电压线,
其中,所述扫描线、所述数据线、所述驱动电压线和所述初始化电压线连接到所述像素,
其中,所述像素包括:
有机发光元件;
第一开关晶体管,所述第一开关晶体管连接到所述扫描线;
驱动晶体管,所述驱动晶体管将电流施加到所述有机发光元件;以及
补偿晶体管,所述补偿晶体管对所述驱动晶体管的操作进行补偿,
其中,所述驱动晶体管包括:
第一栅电极,所述第一栅电极布置在所述衬底上;以及
多晶半导体层,所述多晶半导体层布置在所述第一栅电极上,并且包括第一电极、第二电极和沟道,
其中,所述补偿晶体管包括:
多晶半导体层,所述多晶半导体层包括第一电极、第二电极和沟道;以及
第一栅电极,所述第一栅电极布置在所述补偿晶体管的所述多晶半导体层上。
2. 如权利要求1所述的有机发光二极管显示器,其中,所述驱动晶体管还包括:
第二栅电极,所述第二栅电极布置在所述驱动晶体管的所述多晶半导体层上,
其中,所述驱动晶体管的所述第二栅电极接收流到所述驱动电压线的驱动电压。
3. 如权利要求2所述的有机发光二极管显示器,其中,所述驱动晶体管还包括:
重叠层,所述重叠层布置在所述衬底与所述驱动晶体管的所述第一栅电极之间,
其中,流到所述驱动电压线的所述驱动电压施加到所述重叠层。
4. 如权利要求1所述的有机发光二极管显示器,其中,所述第一开关晶体管包括:
多晶半导体层,所述多晶半导体层包括第一电极、第二电极和沟道;
第一栅电极,所述第一栅电极布置在所述第一开关晶体管的所述多晶半导体层上;以
及
第二栅电极,所述第二栅电极布置在所述第一开关晶体管的所述多晶半导体层下方,
其中,流到所述驱动电压线的驱动电压施加到所述第一开关晶体管的所述第二栅电极,以及
其中,所述第一开关晶体管连接到所述扫描线和所述数据线。
5. 如权利要求1所述的有机发光二极管显示器,其中,所述第一开关晶体管包括:
栅电极,所述栅电极布置在所述衬底上;以及
多晶半导体层,所述多晶半导体层布置在所述第一开关晶体管的所述栅电极上,并且
包括第一电极、第二电极和沟道,

其中,所述第一开关晶体管连接到所述扫描线和所述数据线。

6.如权利要求1所述的有机发光二极管显示器,还包括:

第二开关晶体管,

其中,所述第一开关晶体管连接到所述扫描线和所述数据线,

其中,所述第二开关晶体管连接到所述扫描线和所述驱动晶体管的所述第一栅电极,

以及

其中,所述第二开关晶体管包括:

多晶半导体层,所述多晶半导体层包括第一电极、第二电极和沟道;

第一栅电极,所述第一栅电极布置在所述第二开关晶体管的所述多晶半导体层上;以

及

第二栅电极,所述第二栅电极布置在所述第二开关晶体管的所述多晶半导体层下方,

其中,所述第二开关晶体管的所述第二栅电极接收流到所述驱动电压线的驱动电压。

7.如权利要求6所述的有机发光二极管显示器,其中,所述第一开关晶体管包括:

多晶半导体层,所述多晶半导体层包括第一电极、第二电极和沟道;

第一栅电极,所述第一栅电极布置在所述第一开关晶体管的所述多晶半导体层上;以

及

第二栅电极,所述第二栅电极布置在所述第一开关晶体管的所述多晶半导体层下方,

其中,所述第一开关晶体管的所述第二栅电极接收流到所述驱动电压线的所述驱动电压。

8.如权利要求6所述的有机发光二极管显示器,还包括:

驱动电压施加部,

其中,所述驱动晶体管还包括:

重叠层,所述重叠层布置在所述衬底与所述驱动晶体管的所述

第一栅电极之间,

其中,所述重叠层接收所述驱动电压,

所述重叠层电连接到所述第二开关晶体管的所述第二栅电极,以使得所述驱动电压施加到所述第二开关晶体管的所述第二栅电极,以及

其中,所述驱动晶体管还包括:

第二栅电极,所述第二栅电极布置在所述驱动晶体管的所述多晶半导体层上,以及

其中,所述驱动电压施加部将所述驱动电压施加到所述驱动晶体管的所述重叠层和所述第二栅电极。

9.如权利要求1所述的有机发光二极管显示器,还包括:

第二开关晶体管,

其中,所述第一开关晶体管连接到所述扫描线和所述数据线,

其中,所述第二开关晶体管连接到所述扫描线和所述驱动晶体管的所述第一栅电极,

以及

其中,所述第二开关晶体管包括:

栅电极,所述栅电极布置在所述衬底上;以及

多晶半导体层,所述多晶半导体层布置在所述第二开关晶体管的所述栅电极上,并且

包括第一电极、第二电极和沟道。

10. 如权利要求1所述的有机发光二极管显示器,其中,所述补偿晶体管初始化所述驱动晶体管的所述第一栅电极,以及

其中,所述补偿晶体管还包括:

第二栅电极,所述第二栅电极布置在所述补偿晶体管的所述多晶半导体层下方,

其中,所述补偿晶体管的所述第二栅电极接收流到所述驱动电压线的驱动电压。

有机发光二极管显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年6月28日提交到韩国知识产权局的第10-2018-0074950号韩国专利申请的优先权,该韩国专利申请的公开内容通过引用以其整体地并入本文。

技术领域

[0003] 本发明的示例性实施方式涉及有机发光二极管显示器。

背景技术

[0004] 有机发光二极管显示器具有自发光特性。由于有机发光二极管显示器不需要单独的光源,因此与液晶显示器不同,其可具有相对小的厚度和重量。另外,有机发光二极管显示器展现出诸如低功耗、高亮度、高响应速度等的高品质特性。

[0005] 通常,有机发光二极管显示器包括衬底、定位在衬底上的多个薄膜晶体管、布置在构成薄膜晶体管的布线之间的多个绝缘层以及连接到薄膜晶体管的有机发光元件。

发明内容

[0006] 本发明的示例性实施方式虽然存在着形成在显示装置的多晶半导体层中的突起,但是通过例如移除或减少瞬时残像来减小显示装置的厚度并改善显示装置。

[0007] 根据示例性实施方式,有机发光二极管显示器包括衬底、布置在衬底上的像素、扫描线、数据线、驱动电压线和初始化电压线。扫描线、数据线、驱动电压线和初始化电压线连接到像素。像素包括有机发光元件、连接到扫描线的第一开关晶体管、将电流施加到有机发光元件的驱动晶体管和对驱动晶体管的操作进行补偿的补偿晶体管。驱动晶体管包括第一栅电极和多晶半导体层,第一栅电极布置在衬底上,并且多晶半导体层布置在第一栅电极上并且包括第一电极、第二电极和沟道。补偿晶体管包括多晶半导体层和第一栅电极,多晶半导体层包括第一电极、第二电极和沟道,并且第一栅电极布置在补偿晶体管的多晶半导体层上。

[0008] 在示例性实施方式中,驱动晶体管还包括布置在驱动晶体管的多晶半导体层上的第二栅电极。

[0009] 在示例性实施方式中,驱动晶体管的第二栅电极接收流到驱动电压线的驱动电压。

[0010] 在示例性实施方式中,驱动晶体管还包括布置在衬底与驱动晶体管的第一栅电极之间的重叠层。

[0011] 在示例性实施方式中,流到驱动电压线的驱动电压施加到重叠层。

[0012] 在示例性实施方式中,有机发光二极管显示器还包括驱动电压施加部,驱动电压施加部将驱动电压施加到驱动晶体管的重叠层和第二栅电极。

[0013] 在示例性实施方式中,有机发光二极管显示器还包括第二开关晶体管。第一开关晶体管连接到扫描线和数据线,并且第二开关晶体管连接到扫描线和驱动晶体管的第一栅

电极。

[0014] 在示例性实施方式中,第一开关晶体管包括多晶半导体层和第一栅电极,多晶半导体层包括第一电极、第二电极和沟道,并且第一栅电极布置在第一开关晶体管的多晶半导体层上。

[0015] 在示例性实施方式中,第一开关晶体管还包括布置在第一开关晶体管的多晶半导体层下方的第二栅电极。流到驱动电压线的驱动电压施加到第一开关晶体管的第二栅电极。

[0016] 在示例性实施方式中,第一开关晶体管包括栅电极和多晶半导体层,栅电极布置在衬底上,并且多晶半导体层布置在第一开关晶体管的栅电极上并且包括第一电极、第二电极和沟道。

[0017] 在示例性实施方式中,第二开关晶体管包括多晶半导体层和第一栅电极,多晶半导体层包括第一电极、第二电极和沟道,并且第一栅电极布置在第二开关晶体管的多晶半导体层上。

[0018] 在示例性实施方式中,第二开关晶体管还包括布置在第二开关晶体管的多晶半导体层下方的第二栅电极。第二开关晶体管的第二栅电极接收流到驱动电压线的驱动电压。

[0019] 在示例性实施方式中,第一开关晶体管包括多晶半导体层和第一栅电极,多晶半导体层包括第一电极、第二电极和沟道,并且第一栅电极布置在第一开关晶体管的多晶半导体层上。

[0020] 在示例性实施方式中,第一开关晶体管还包括布置在第一开关晶体管的多晶半导体层下方的第二栅电极。第一开关晶体管的第二栅电极接收流到驱动电压线的驱动电压。

[0021] 在示例性实施方式中,驱动晶体管还包括布置在衬底与驱动晶体管的第一栅电极之间的重叠层。重叠层接收驱动电压,并且重叠层电连接到第二开关晶体管的第二栅电极,以使得驱动电压施加到第二开关晶体管的第二栅电极。

[0022] 在示例性实施方式中,有机发光二极管显示器还包括驱动电压施加部。驱动晶体管还包括布置在驱动晶体管的多晶半导体层上的第二栅电极,并且驱动电压施加部将驱动电压施加到驱动晶体管的重叠层和第二栅电极。

[0023] 在示例性实施方式中,第二开关晶体管包括栅电极和多晶半导体层,栅电极布置在衬底上,并且多晶半导体层布置在第二开关晶体管的栅电极上并且包括第一电极、第二电极和沟道。

[0024] 在示例性实施方式中,补偿晶体管初始化驱动晶体管的第一栅电极。

[0025] 在示例性实施方式中,补偿晶体管还包括布置在补偿晶体管的多晶半导体层下方的第二栅电极。补偿晶体管的第二栅电极接收流到驱动电压线的驱动电压。

[0026] 根据示例性实施方式,有机发光二极管显示器包括衬底、布置在衬底上的像素、扫描线、数据线、驱动电压线和初始化电压线。扫描线、数据线、驱动电压线和初始化电压线连接到像素。像素包括有机发光元件、连接到扫描线的第一开关晶体管、将电流施加到有机发光元件的驱动晶体管和对驱动晶体管的操作进行补偿的补偿晶体管。驱动晶体管包括第一栅电极、多晶半导体层和第二栅电极,第一栅电极布置在衬底上,多晶半导体层布置在第一栅电极上并且包括第一电极、第二电极和沟道,并且第二栅电极布置在驱动晶体管的多晶半导体层上。补偿晶体管包括多晶半导体层和第一栅电极,多晶半导体层包括第一电极、第

二电极和沟道,并且第一栅电极布置在补偿晶体管的多晶半导体层上。补偿晶体管不包括布置在补偿晶体管的多晶半导体层下方的第二栅电极。

[0027] 根据本发明的示例性实施方式,尽管突起可形成在多晶半导体层中,但是由于驱动晶体管的栅电极布置在多晶半导体层下方,因此可减小栅极绝缘层的厚度并且可减小显示装置的厚度。而且,因为驱动晶体管的栅电极布置在多晶半导体层下方,因此如果栅极绝缘层的厚度被减小,则驱动晶体管的特性(滞后)被减小,以使得在显示的图像中不产生瞬时残像。

附图说明

[0028] 通过参照附图详细描述本发明示例性实施方式,本发明的上述和其它特征将变得更加明确,在附图中:

[0029] 图1是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。

[0030] 图2是根据示例性实施方式的施加到有机发光二极管显示器的一个像素的信号的时间图。

[0031] 图3是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0032] 图4是示意性地示出因在多晶半导体层中产生的突起而导致的上覆层的结构的视图。

[0033] 图5是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。

[0034] 图6是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0035] 图7是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。

[0036] 图8是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0037] 图9是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0038] 图10是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。

[0039] 图11是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0040] 图12是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。

[0041] 图13是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0042] 图14是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0043] 图15是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

具体实施方式

[0044] 在下文中,将参照附图对本发明的示例性实施方式进行更加全面的描述。在整个

附图中,相同的附图标记表示相同的元件。

[0045] 应理解,当诸如层、膜、区域或衬底的元件被称为在另一元件“上”时,该元件可直接在另一元件上,或者也可存在有中间元件。

[0046] 空间相对措辞诸如“下面 (beneath)”、“下方 (below)”、“下 (lower)”、“下方 (under)”、“上方 (above)”、“上面 (upper)”等可在本文中出于描述的便利而使用,以描述如图中所示的一个元件或特征与另一元件或特征的关系。应理解,除了附图中所示的取向以外,空间相对措辞旨在包括装置在使用或操作中的不同取向。例如,如果图中的装置被翻转,则被描述为在其它元件或者特征“下方 (below)”、“下面 (beneath)”或者“下方 (under)”的元件将随后被取向为在其它元件或特征“上方 (above)”。因此,示例性措辞“下方 (below)”和“下方 (under)”可包含上方和下方的取向这两者。

[0047] 应理解,措辞“第一”、“第二”、“第三”等在本文中用于将一个元件与另一元件区分开,并且这些元件不受这些措辞的限制。因此,示例性实施方式中的“第一”元件可被描述为另一示例性实施方式中的“第二”元件。

[0048] 除非上下文中另有明确说明,否则通常应将每个示例性实施方式内的特征或方面的描述视为可用于其它示例性实施方式中的其它相似特征或方面。

[0049] 参照图1至图3对根据示例性实施方式的有机发光二极管显示器进行描述。

[0050] 图1是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。图2是根据示例性实施方式的施加到有机发光二极管显示器的一个像素的信号的时序图。图3是根据示例性实施方式 (例如,图1中所示的示例性实施方式) 的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0051] 参照图1,有机发光二极管显示器的像素PX包括连接到信号线127、151、152、153、158、171、172和741的多个晶体管T1、T2、T3、T4、T5、T6和T7、存储电容器Cst和有机发光二极管OLED。

[0052] 参照图3,驱动晶体管T1包括布置在多晶半导体层下方的栅电极G1 (称为驱动栅电极)。多晶半导体层包括第一电极S1、第二电极D1和布置在它们之间的沟道。相反,在其它晶体管T2至T7中,栅电极G2、G3、G4、G5、G6和G7布置在多晶半导体层上。在图3中,G4、G5、G6和G7示出为G,S4、S5、S6和S7示出为S,并且D4、D5、D6和D7示出为D。在驱动晶体管T1中,与可能受到多晶半导体层的突起的影响的其它晶体管T2至T7的栅电极G2、G3、G4、G5、G6和G7不同,栅电极G1不受多晶半导体层的突起的影响。在示例性实施方式中,使用驱动晶体管T1完成向有机发光二极管OLED供给电流的主要功能,并且其它晶体管T2至T7仅执行准备或初始化驱动晶体管T1的操作的功能。其结果,可减少因多晶半导体层的突起而对显示品质引起的影响。

[0053] 参照图1和图3,向有机发光二极管OLED提供电流的驱动晶体管T1还包括重叠层M1和与重叠层M1重叠的第二栅电极G1-2。为了说明的便利,图1中未示出重叠层M1。根据示例性实施方式,重叠层M1可被省略。第二栅电极G1-2布置在与驱动晶体管T1的栅电极G1相对的一侧上,其中形成有驱动晶体管T1的沟道的半导体层布置在它们之间。重叠层M1布置在驱动晶体管T1的栅电极G1下方。第二栅电极G1-2和重叠层M1彼此电连接,并且其上施加有驱动电压ELVDD。第二栅电极G1-2上施加有预定电压 (驱动电压ELVDD),以使得第二栅电极G1-2不用作晶体管的栅电极。如图3中所示,第二栅电极G1-2布置在包括第一电极S1、第二

电极D1和布置在它们之间的沟道的多晶半导体层的沟道上。

[0054] 根据示例性实施方式的像素PX包括总共七个晶体管T1至T7。

[0055] 七个晶体管T1至T7包括向有机发光二极管OLED提供电流的驱动晶体管T1,并且还包括连接到扫描线151和数据线171并且在像素PX中提供数据电压Dm的第二晶体管T2。第三晶体管T3也连接到扫描线151。连接到扫描线151的第二晶体管T2和第三晶体管T3可各自称为开关晶体管。用于操作有机发光二极管OLED的其它晶体管可包括第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7,并且这些晶体管中的每个可称为补偿晶体管。

[0056] 多个信号线127、151、152、153、158、171、172和741可包括扫描线151、前一扫描线152、发光控制线153、旁路控制线158、数据线171、驱动电压线172、初始化电压线127和公共电压线741。旁路控制线158可为前一扫描线152的一部分或者可电连接到前一扫描线152。

[0057] 扫描线151连接到栅极驱动器,并且将扫描信号Sn传输到第二晶体管T2和第三晶体管T3。前一扫描线152连接到栅极驱动器,并且将施加到布置在前一级处的像素PX的前一扫描信号Sn-1传输到第四晶体管T4。发光控制线153连接到发光控制器,并且将控制有机发光二极管OLED发射的时间的发光控制信号EM传输到第五晶体管T5和第六晶体管T6。旁路控制线158将旁路信号GB传输到第七晶体管T7,并且根据示例性实施方式,可传输与前一扫描信号Sn-1相同的信号。

[0058] 数据线171为传输从数据驱动器产生的数据电压Dm的布线。有机发光二极管OLED(也称为有机发光装置)发射的亮度根据数据电压Dm而改变。驱动电压线172施加驱动电压ELVDD,初始化电压线127传输初始化驱动晶体管T1的初始化电压Vint,并且公共电压线741施加公共电压ELVSS。施加到驱动电压线172、初始化电压线127和公共电压线741的电压可分别为预定电压。

[0059] 接下来,对多个晶体管进行详细描述。

[0060] 驱动晶体管T1对根据施加的数据电压Dm来对输出的电流的大小进行控制,并且输出的驱动电流Id施加到有机发光二极管OLED。其结果,有机发光二极管OLED的亮度根据数据电压Dm来控制。出于这种目的,驱动晶体管T1的第一电极S1(也称为输入端子)布置成接收驱动电压ELVDD,并且经由第五晶体管T5连接到驱动电压线172。驱动晶体管T1的第一电极S1也连接到第二晶体管T2的第二电极D2,从而还接收数据电压Dm。第二电极D1(也称为输出端子)布置成朝向有机发光二极管OLED输出电流,并且经由第六晶体管T6连接到有机发光二极管OLED的阳极。栅电极G1连接到存储电容器Cst的一个电极(第二存储电极E2)。相应地,栅电极G1的电压根据存储到存储电容器Cst的电压而改变,并且其结果,由驱动晶体管T1输出的驱动电流Id改变。栅电极G1布置在多晶半导体层与衬底之间,从而布置在多晶半导体层下方。而且,第二栅电极G1-2布置在多晶半导体层上并且直接接收驱动电压ELVDD。驱动电压ELVDD也施加到与第二栅电极G1-2电连接的重叠层M1,并且重叠层M1布置在栅电极G1与衬底之间。第二栅电极G1-2因多晶半导体层的沟道区(第二电极D1与第一电极S1之间的区域)中的驱动电压ELVDD而使驱动晶体管T1的特性(阈值电压值)漂移,以使得驱动晶体管T1的特性得到改善。

[0061] 在像素PX中第二晶体管T2接收数据电压Dm。栅电极G2连接到扫描线151,并且第一电极S2连接到数据线171。第二晶体管T2的第二电极D2连接到驱动晶体管T1的第一电极S1。当第二晶体管T2根据通过扫描线151传输的扫描信号Sn而被导通时,通过数据线171传输的

数据电压 D_m 传输到驱动晶体管T1的第一电极S1。栅电极G2布置在布置有第二晶体管T2的沟道的多晶半导体层上。

[0062] 第三晶体管T3将数据电压 D_m 由驱动晶体管T1改变的补偿电压(电压 D_m+V_{th})传输到存储电容器Cst的第二存储电极E2。第三晶体管T3的栅电极G3连接到扫描线151。第三晶体管T3的第一电极S3连接到驱动晶体管T1的第二电极D1,并且第三晶体管T3的第二电极D3连接到存储电容器Cst的第二存储电极E2和驱动晶体管T1的栅电极G1。第三晶体管T3根据通过扫描线151传输的扫描信号 S_n 而被导通。当导通时,第三晶体管T3连接驱动晶体管T1的栅电极G1和第二电极D1,并且连接驱动晶体管T1的第二电极D1与存储电容器Cst的第二存储电极E2。栅电极G3布置在布置有第三晶体管T3的沟道的多晶半导体层上。

[0063] 第四晶体管T4具有初始化驱动晶体管T1的栅电极G1和存储电容器Cst的第二存储电极E2的功能。第四晶体管T4的栅电极G4连接到前一扫描线152,并且第一电极S4连接到初始化电压线127。第四晶体管T4的第二电极D4经由第三晶体管T3的第二电极D3连接到存储电容器Cst的第二存储电极E2和驱动晶体管T1的栅电极G1。第四晶体管T4根据通过前一扫描线152传输的前一扫描信号 S_{n-1} 将初始化电压 V_{int} 传输到驱动晶体管T1的栅电极G1和存储电容器Cst的第二存储电极E2。相应地,驱动晶体管T1的栅电极G1的栅极电压和存储电容器Cst被初始化。初始化电压 V_{int} 可为能够通过具有低电压值而导通驱动晶体管T1的电压。栅电极G4布置在布置有第四晶体管T4的沟道的多晶半导体层上。

[0064] 第五晶体管T5具有将驱动电压ELVDD传输到驱动晶体管T1的功能。栅电极G5连接到发光控制线153,并且第一电极S5连接到驱动电压线172。第五晶体管T5的第二电极D5连接到驱动晶体管T1的第一电极S1。栅电极G5布置在布置有第五晶体管T5的沟道的多晶半导体层上。

[0065] 第六晶体管T6具有将从驱动晶体管T1输出的驱动电流 I_d 传输到有机发光二极管OLED的功能。栅电极G6连接到发光控制线153,并且第一电极S6连接到驱动晶体管T1的第二电极D1。第六晶体管T6的第二电极D6连接到有机发光二极管OLED的阳极。栅电极G6布置在布置有第六晶体管T6的沟道的多晶半导体层上。

[0066] 第五晶体管T5和第六晶体管T6根据通过发光控制线153传输的发光控制信号EM而被同时导通。当驱动电压ELVDD通过第五晶体管T5传输到驱动晶体管T1的第一电极S1时,驱动晶体管T1根据驱动晶体管T1的栅电极G1的电压(例如,存储电容器Cst的第二存储电极E2的电压)来输出驱动电流 I_d 。输出的驱动电流 I_d 通过第六晶体管T6传输到有机发光二极管OLED。当电流 I_{oled} 流到有机发光二极管OLED时,有机发光二极管OLED发光。

[0067] 第七晶体管T7具有初始化有机发光二极管OLED的阳极的功能。栅电极G7连接到旁路控制线158,第一电极S7连接到有机发光二极管OLED的阳极,并且第二电极D7连接到初始化电压线127。旁路控制线158可连接到前一扫描线152,并且旁路信号GB施加有具有与前一扫描信号 S_{n-1} 相同的时序的信号。在示例性实施方式中,旁路控制线158未连接到前一扫描线152,并且可传输与前一扫描信号 S_{n-1} 独立的信号。当第七晶体管T7根据旁路信号GB而被导通时,初始化电压 V_{int} 被施加到有机发光二极管OLED的阳极以进行初始化。栅电极G7布置在布置有第七晶体管T7的沟道的多晶半导体层上。

[0068] 像素PX还包括存储电容器Cst。数据电压 D_m 经过驱动晶体管T1并且施加到存储电容器Cst以被存储。

[0069] 存储电容器Cst的第一存储电极E1连接到驱动电压线172,并且第二存储电极E2连接到驱动晶体管T1的栅电极G1、第三晶体管T3的第二电极D3和第四晶体管T4的第二电极D4。其结果,第二存储电极E2确定驱动晶体管T1的栅电极G1的电压(驱动晶体管T1的栅-源电压 V_{gs}),数据电压 D_m 通过第三晶体管T3的第二电极D3施加到第二存储电极E2,并且初始化电压 V_{int} 通过第四晶体管T4的第二电极D4施加到第二存储电极E2。

[0070] 像素PX还包括有机发光二极管OLED,有机发光二极管OLED的阳极连接到第六晶体管T6的第二电极D6和第七晶体管T7的第一电极S7,并且阴极连接到传输公共电压ELVSS的公共电压线741。

[0071] 在图1的示例性实施方式中,像素电路包括七个晶体管T1至T7和一个电容器Cst。然而,像素电路不限于此。例如,根据示例性实施方式,晶体管的数量、电容器的数量和它们的连接可被不同地改变。

[0072] 有机发光二极管显示器包括显示图像的显示区域,并且像素PX以各种形式(如矩阵)排列在显示区域中。

[0073] 现在参照图1和图2对根据示例性实施方式的有机发光二极管显示器的一个像素的操作进行描述。

[0074] 在初始化周期期间,低电平的前一扫描信号 S_{n-1} 通过前一扫描线152供给到像素PX。因此,接收前一扫描信号 S_{n-1} 的第四晶体管T4被导通,并且初始化电压 V_{int} 通过第四晶体管T4施加到驱动晶体管T1的栅电极G1和存储电容器Cst的第二存储电极E2。其结果,驱动晶体管T1和存储电容器Cst被初始化。初始化电压 V_{int} 为低电压,以使得驱动晶体管T1可被导通。

[0075] 在初始化周期期间,低电平的旁路信号GB也被施加到第七晶体管T7。因此,接收旁路信号GB的第七晶体管T7被导通,以使得初始化电压 V_{int} 通过第七晶体管T7施加到有机发光二极管OLED的阳极。其结果,有机发光二极管OLED的阳极也被初始化。

[0076] 接下来,在数据写入周期(在下文中称为写入周期)期间,低电平的扫描信号 S_n 通过扫描线151供给到像素PX。第二晶体管T2和第三晶体管T3通过低电平的扫描信号 S_n 导通。

[0077] 当第二晶体管T2被导通时,数据电压 D_m 在经过第二晶体管T2之后输入到驱动晶体管T1的第一电极S1。

[0078] 而且,在数据写入周期期间,第三晶体管T3被导通,并且其结果,驱动晶体管T1的第二电极D1电连接到栅电极G1和存储电容器Cst的第二存储电极E2。驱动晶体管T1的栅电极G1和第二电极D1连接成二极管式连接。此外,在初始化周期期间低电压(初始化电压 V_{int})施加到驱动晶体管T1的栅电极G1,以使得驱动晶体管T1处于导通状态。其结果,输入到驱动晶体管T1的第一电极S1的数据电压 D_m 经过驱动晶体管T1的沟道并且从第二电极D1输出,且然后通过第三晶体管T3存储在存储电容器Cst的第二存储电极E2中。在这种情况下,施加到第二存储电极E2的电压根据驱动晶体管T1的阈值电压 V_{th} 而改变,并且当数据电压 D_m 施加到驱动晶体管T1的第一电极S1并且初始化电压 V_{int} 施加到驱动晶体管T1的栅电极G1时,输出到第二电极D1的电压可具有值 $(V_{gs}+V_{th})$ 。此处,电压 V_{gs} 为施加到驱动晶体管T1的栅电极G1和第一电极S1的电压之差,从而具有值 (D_m-V_{int}) 。因此,从第二电极D1输出并存储在第二存储电极E2中的电压可具有值 $(D_m-V_{int}+V_{th})$ 。

[0079] 接下来,在发光周期期间,从发光控制线153供给的发光控制信号EM具有低电平的

值,以使得第五晶体管T5和第六晶体管T6被导通。

[0080] 由于第五晶体管T5和第六晶体管T6被导通,驱动电压ELVDD施加到驱动晶体管T1的第一电极S1,并且驱动晶体管T1的第二电极D1连接到有机发光二极管OLED。驱动电流 I_d 根据驱动晶体管T1的栅电极G1的电压和第一电极S1的电压(例如,驱动电压ELVDD)之间的电压差而产生。驱动晶体管T1的驱动电流 I_d 可具有与值 $(V_{gs}-V_{th})$ 的平方成正比的值。此处,值 V_{gs} 与施加到存储电容器Cst的两个端子的电压差相同,并且值 V_{gs} 为 (V_g-V_s) ,从而具有值 $(D_m-V_{int}+V_{th}-ELVDD)$ 。此处,当值 $(V_{gs}-V_{th})$ 通过减去值 V_{th} 来获得时,获得值 $(D_m-V_{int}-ELVDD)$ 。也就是说,驱动晶体管T1的驱动电流 I_d 具有与驱动晶体管T1的阈值电压 V_{th} 无关的值。

[0081] 因此,尽管布置在每个像素PX中的驱动晶体管T1因工艺分布而具有不同的阈值电压 V_{th} ,但是每个驱动晶体管T1的输出电流可为恒定的,从而改善其非均匀性特性。

[0082] 在驱动晶体管T1中,栅电极G1形成在多晶半导体层下方。其结果,即使在多晶半导体层中形成突起,驱动晶体管T1也能够正确地操作而与突起无关(例如,突起不会对驱动晶体管T1产生负面影响),并且获得恒定的特性。其结果,显示装置可摆脱如瞬时残像之类的显示缺陷。

[0083] 在上面的等式中,在使用多晶半导体层的P型晶体管的情况下,值 V_{th} 可具有略大于0的值或负值。而且,+和-的表达可根据计算电压的方向而改变。然而,没有变化的一点是,作为驱动晶体管T1的输出电流的驱动电流 I_d 可具有不依赖于阈值电压 V_{th} 的值。

[0084] 当上述发光周期结束时,再次开始初始化周期并且从头开始重复相同的操作。

[0085] 对于多个晶体管T1、T2、T3、T4、T5、T6和T7的第一电极和第二电极,根据电压或电流的施加方向,一个可为源电极S,并且另一个可为漏电极D。

[0086] 根据示例性实施方式,当初始化周期中的第七晶体管T7初始化有机发光二极管OLED的阳极时,也可以防止来自驱动晶体管T1的少量漏电流朝向有机发光二极管OLED流动。在这种情况下,少量电流作为旁路电流 I_{bp} 通过第七晶体管T7放电到初始化电压 V_{int} 端子。其结果,由于有机发光二极管OLED不发射不必要的光,因此可更清楚地显示黑灰色并且也可改善对比度。在这种情况下,旁路信号GB可为与前一扫描信号 S_{n-1} 的时序不同时序的信号。根据示例性实施方式,第七晶体管T7可被省略。

[0087] 此外,在上述操作的像素PX中,当驱动电压ELVDD施加到驱动晶体管T1的第二栅电极G1-2时,驱动晶体管T1的特性(阈值电压)漂移,以使得显示品质得到改善。

[0088] 接下来,参照图3对包括在有机发光二极管显示器中的晶体管的横截面结构进行描述。

[0089] 图3示出了包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。从左到右,示出了驱动晶体管T1、第三晶体管T3和第二晶体管T2,接着是第四晶体管T4到第七晶体管T7。第四晶体管T4至第七晶体管T7的横截面相同。因此,为了说明的便利,这些横截面组合在一起并示出为一个。在这方面,在图3中,G对应于G4至G7,D对应于D4至D7,并且S对应于S4至S7。

[0090] 根据示例性实施方式,有机发光二极管显示器包括包括有例如塑料或聚酰亚胺(PI)的衬底110和110-1以及分别布置在衬底110和110-1上的势垒层111和111-1。衬底110和110-1可统称为衬底,并且势垒层111和111-1可统称为势垒层。根据示例性实施方式,衬

底和势垒层可形成具有相同的数量,并且与图3中所示的不同,它们可仅包含一对,或者可形成三对或更多对。势垒层111和111-1可被形成以减少在形成上覆层时对施加到柔性衬底110和110-1的影响。

[0091] 现在,对驱动晶体管T1的横截面进行描述。

[0092] 重叠层M1布置在上势垒层111上,并且重叠层M1被缓冲层112覆盖。栅电极G1形成在缓冲层112上,并且栅电极G1被第一栅极绝缘层141覆盖。多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S1、第二电极D1和布置在它们之间的沟道。

[0093] 多晶半导体层被第二栅极绝缘层142覆盖,并且第二栅电极G1-2形成在第二栅极绝缘层142上。第二栅电极G1-2被层间绝缘层160覆盖。

[0094] 层间绝缘层160上形成有数据导体。数据导体包括数据线171和传输驱动电压ELVDD的驱动电压线172。

[0095] 驱动电压线172包括驱动电压施加部C-1,驱动电压施加部C-1通过分别暴露第二栅电极G1-2和重叠层M1的开口连接到第二栅电极G1-2和重叠层M1。驱动电压施加部C-1可为驱动电压线172延伸的一部分或仅电连接的一部分。

[0096] 栅电极G1和第二栅电极G1-2布置在驱动晶体管T1的沟道上方和下方。在示例性实施方式中,栅电极G1和第二栅电极G1-2可具有与沟道的宽度对应(例如,基本上相等)的宽度。然而,在示例性实施方式中,如图3中所示,示出了栅电极G1朝向第三晶体管T3(例如,在图3中朝向右侧)延伸以使得布置在沟道下方的栅电极G1连接到第三晶体管T3的第二电极D3的结构。在示例性实施方式中,除了该延伸部分以外,栅电极G1具有与驱动晶体管T1的沟道的宽度对应(例如,基本上相等)的宽度。

[0097] 当掺杂多晶半导体层时,第二栅电极G1-2可用作掩模。其结果,第二栅电极G1-2的宽度可符合沟道的宽度。根据示例性实施方式,由于驱动晶体管T1包括第二栅电极G1-2和重叠层M1作为接收驱动电压ELVDD的部分,因此重叠层M1可被省略。

[0098] 驱动晶体管T1具有底栅(例如,第二栅电极G1-2),并且驱动电压ELVDD施加到第二栅电极G1-2,从而使沟道的特性漂移。其结果,根据示例性实施方式,可通过使用底栅来减少或消除可能因形成在多晶半导体层中的突起(参见图4)而产生的缺陷。

[0099] 接下来,对第三晶体管T3的横截面进行描述。

[0100] 缓冲层112布置在上势垒层111上,并且第一栅极绝缘层141布置在缓冲层112上。

[0101] 多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S3、第二电极D3和布置在它们之间的沟道。

[0102] 多晶半导体层被第二栅极绝缘层142覆盖,并且栅电极G3(151)形成在第二栅极绝缘层142上。栅电极G3(151)被层间绝缘层160覆盖。

[0103] 层间绝缘层160上形成有连接部71。连接部71通过分别暴露第三晶体管T3的第二电极D3和驱动晶体管T1的栅电极G1的开口来电连接第三晶体管T3的第二电极D3与驱动晶体管T1的栅电极G1。由于驱动晶体管T1的输出根据栅电极G1的电压而改变,因此输出到第三晶体管T3的第二电极D3的电压对驱动晶体管T1的输出产生影响。

[0104] 栅电极G3(151)布置在第三晶体管T3的沟道上,并且具有与沟道的宽度对应(例如,基本上相等)的宽度。当掺杂多晶半导体层时,栅电极G3(151)可用作掩模。

[0105] 如上所述,与驱动晶体管T1不同,在示例性实施方式中,第三晶体管T3具有顶栅并

且不包括底栅。因此,与驱动晶体管T1不同,在示例性实施方式中,第三晶体管T3不包括使沟道的特性漂移的结构。

[0106] 接下来,对第二晶体管T2的横截面进行描述。

[0107] 缓冲层112布置在上势垒层111上,并且第一栅极绝缘层141布置在缓冲层112上。

[0108] 多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S2、第二电极D2和布置在它们之间的沟道。

[0109] 多晶半导体层被第二栅极绝缘层142覆盖,并且栅电极G2 (151) 形成在第二栅极绝缘层142上。栅电极G2 (151) 被层间绝缘层160覆盖。

[0110] 数据线171形成在层间绝缘层160上。数据线171通过暴露第二晶体管T2的第一电极S2的开口连接到第二晶体管T2的第一电极S2。当第二晶体管T2被导通时,数据电压Dm输入到对应的像素PX。

[0111] 栅电极G2 (151) 布置在第二晶体管T2的沟道上,并且具有与沟道的宽度对应(例如,基本上相等)的宽度。当掺杂多晶半导体层时,栅电极G2 (151) 可用作掩模。

[0112] 如上所述,在示例性实施方式中,与驱动晶体管T1不同,第二晶体管T2具有顶栅并且不包括底栅。因此,在示例性实施方式中,第二晶体管T2不包括使沟道的特性漂移的结构。

[0113] 在下文中,对包括在像素PX中的第四晶体管T4至第七晶体管T7进行分组和描述。第四晶体管T4至第七晶体管T7中的每个的第一电极用S指示,其第二电极用D指示,并且其栅电极用G指示。

[0114] 缓冲层112布置在上势垒层111上,并且第一栅极绝缘层141布置在缓冲层112上。多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S、第二电极D和布置在它们之间的沟道。

[0115] 多晶半导体层被第二栅极绝缘层142覆盖,并且栅电极G形成在第二栅极绝缘层142上。栅电极G被层间绝缘层160覆盖。

[0116] 第四晶体管T4至第七晶体管T7具有图1中所示的连接关系,并且布置在像素PX中。

[0117] 栅电极G布置在第四晶体管T4至第七晶体管T7的沟道上,并且具有与沟道的宽度对应(例如,基本上相等)的宽度。当掺杂多晶半导体层时,栅电极G可用作掩模。

[0118] 如上所述,在示例性实施方式中,第四晶体管T4至第七晶体管T7也具有顶栅并且不包括底栅。其结果,在示例性实施方式中,第四晶体管T4至第七晶体管T7不包括使沟道的特性漂移的结构。

[0119] 在具有上述结构的有机发光二极管显示器中,仅在像素PX中执行主要操作的驱动晶体管T1具有底栅(布置在多晶半导体层下方的栅电极),并且剩余的晶体管具有顶栅(布置在多晶半导体层上的栅电极)并且不具有底栅。

[0120] 多晶半导体层通过形成非晶硅的半导体层并且将激光照射到半导体层上以进行结晶化来形成。在结晶化步骤中多晶半导体层中可形成有突起,并且参照图4对使用顶栅的结构中的扩展横截面进行描述。

[0121] 图4是示意性地示出因在多晶半导体层中产生的突起而导致的上覆层的结构的视图。

[0122] 图4中的剖面图示出了在驱动晶体管T1中使用顶栅的结构。多晶半导体层Poly上

形成有两个栅极层GL1和GL2。

[0123] 具有突起的多晶半导体层Poly布置在衬底110上。形成在多晶半导体层Poly中的突起形成为在第一栅极绝缘层141和第二栅极绝缘层142以及布置在其上的两个栅极层GL1和GL2中形成凸出的突起。其结果,电荷聚集在栅极层GL1和GL2的突起上,并且第一栅极绝缘层141和第二栅极绝缘层142的厚度变薄,以使得绝缘方面可能被破坏。为了防止绝缘击穿,第一栅极绝缘层141和第二栅极绝缘层142的厚度应足够厚,并且其结果,显示装置的厚度的减小上存在限制。

[0124] 然而,在根据本发明的示例性实施方式中,驱动晶体管T1的栅电极G1形成在多晶半导体层的突起下方(底栅),并且其结果,突起的影响被减小或消除。即,即使使第一栅极绝缘层141的厚度变薄,也可获得足够的绝缘特性。

[0125] 与驱动晶体管T1不同,第二晶体管T2至第七晶体管T7具有顶栅结构(例如,它们不包括底栅),并且栅电极布置在包括突起的多晶半导体层上。然而,第二晶体管T2至第七晶体管T7在向有机发光二极管OLED提供电流方面不起主要作用,并因此,显示品质不因与第二晶体管T2至第七晶体管T7对应的突起而受特别影响。然而,在示例性实施方式中,第二晶体管T2至第七晶体管T7之中的至少一些晶体管可具有底栅结构,以进一步改善显示特性。

[0126] 在图1至图3的示例性实施方式中,通过仅在驱动晶体管T1中形成接收驱动电压ELVDD的第二栅电极G1-2来使驱动晶体管T1的特性漂移。然而,本发明示例性实施方式不限于此。例如,根据示例性实施方式,第二晶体管T2至第七晶体管T7之中的至少一些晶体管可包括接收驱动电压ELVDD的第二栅电极。与仅在驱动晶体管T1中利用第二栅电极G1-2相比,在第二晶体管T2至第七晶体管T7中的一些中利用第二栅电极可能增加显示装置的复杂性和成本,但是可进一步改善显示特性。

[0127] 接下来,参照图5和图6对还包括接收施加到第二晶体管T2的驱动电压ELVDD的第二栅电极G2-2的示例性实施方式进行描述。

[0128] 图5是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。图6是根据示例性实施方式(例如,图5中所示的示例性实施方式)的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0129] 与图1的电路图相比,在图5的电路图中,第二晶体管T2还包括第二栅电极G2-2,并且第二栅电极G2-2连接到驱动电压线172。因此,第二栅电极G2-2接收驱动电压ELVDD,并且其结果,除了驱动晶体管T1的沟道特性以外,第二晶体管T2的沟道特性也发生漂移。

[0130] 与图3的剖面图相比,在图6的剖面图中,第二晶体管T2还包括第二栅电极G2-2,并且还包括有将驱动电压ELVDD施加到第二栅电极G2-2的驱动电压施加部C-2。

[0131] 参照图5和图6,为了解释的便利,对先前描述的元件的进一步描述可被省略。

[0132] 现在对第二晶体管T2的横截面进行详细描述。

[0133] 缓冲层112布置在上势垒层111上,并且第二栅电极G2-2布置在缓冲层112上。第二栅电极G2-2被第一栅极绝缘层141覆盖。

[0134] 多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S2、第二电极D2和布置在它们之间的沟道。

[0135] 多晶半导体层被第二栅极绝缘层142覆盖,并且栅电极G2(151)形成在第二栅极绝缘层142上。栅电极G2(151)被层间绝缘层160覆盖。

[0136] 数据线171和驱动电压施加部C-2形成在层间绝缘层160上。数据线171通过暴露第二晶体管T2的第一电极S2的开口连接到第二晶体管T2的第一电极S2。当第二晶体管T2被导通时,数据电压Dm输入到对应的像素PX。驱动电压施加部C-2通过暴露第二栅电极G2-2的开口连接到第二晶体管T2的第二栅电极G2-2。驱动电压施加部C-2将驱动电压ELVDD施加到第二栅电极G2-2。其结果,第二晶体管T2的沟道特性发生漂移。

[0137] 栅电极G2 (151) 布置在第二晶体管T2的沟道上,并且具有与沟道的宽度对应(例如,基本上相等)的宽度。当掺杂多晶半导体层时,栅电极G2 (151) 可用作掩模。

[0138] 如上所述,第二晶体管T2包括顶栅。另外,在图5和图6的示例性实施方式中,附加地包括接收驱动电压ELVDD的第二栅电极G2-2,以使得第二晶体管T2的沟道特性也发生漂移。

[0139] 然而,第二晶体管T2的结构不限于此,并且根据示例性实施方式,第二晶体管T2可形成有底栅,并且第二栅电极G2-2可形成为顶栅。在这种情况下,栅电极G2 (151) 可在多晶半导体层下方形成成为使得其连接到扫描线151,并且第二栅电极G2-2可在多晶半导体层上形成成为使得驱动电压ELVDD被施加。

[0140] 接下来,参照图7和图8对还包括接收施加到第三晶体管T3的驱动电压ELVDD的第二栅电极G3-2的示例性实施方式进行描述。

[0141] 图7是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。图8是根据示例性实施方式(例如,图7中所示的示例性实施方式)的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0142] 与图1的电路图相比,在图7的电路图中,第三晶体管T3还包括第二栅电极G3-2,并且第二栅电极G3-2连接到驱动电压线172。因此,第二栅电极G3-2接收驱动电压ELVDD,并且其结果,除了驱动晶体管T1的沟道特性以外,第三晶体管T3的沟道特性也发生漂移。

[0143] 与图1的剖面图相比,在图8的剖面图中,第三晶体管T3还包括第二栅电极G3-2,并且还包括有将驱动电压ELVDD施加到第二栅电极G3-2的驱动电压施加部C-3。

[0144] 参照图7和图8,为了解释的便利,对先前描述的元件的进一步描述可被省略。

[0145] 现在对第三晶体管T3的横截面进行详细描述。

[0146] 缓冲层112布置在上势垒层111上,并且第二栅电极G3-2布置在缓冲层112上。第二栅电极G3-2被第一栅极绝缘层141覆盖。

[0147] 多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S3、第二电极D3和布置在它们之间的沟道。

[0148] 多晶半导体层被第二栅极绝缘层142覆盖,并且栅电极G3 (151) 形成在第二栅极绝缘层142上。栅电极G3 (151) 被层间绝缘层160覆盖。

[0149] 连接部71和驱动电压施加部C-3形成在层间绝缘层160上。

[0150] 连接部71通过分别暴露第三晶体管T3的第二电极D3和驱动晶体管T1的栅电极G1的开口来电连接第三晶体管T3的第二电极D3与驱动晶体管T1的栅电极G1。由于驱动晶体管T1的输出根据栅电极G1的电压而改变,因此输出到第三晶体管T3的第二电极D3的电压对驱动晶体管T1的输出产生影响。

[0151] 驱动电压施加部C-3通过暴露第二栅电极G3-2的开口连接到第三晶体管T3的第二栅电极G3-2。驱动电压施加部C-3将驱动电压ELVDD施加到第二栅电极G3-2。其结果,第三晶

晶体管T3的沟道特性发生漂移。

[0152] 栅电极G3 (151) 布置在第三晶体管T3的沟道上,并且具有与沟道的宽度对应(例如,基本上相等)的宽度。当掺杂多晶半导体层时,栅电极G3 (151) 可用作掩模。

[0153] 如上所述,第三晶体管T3包括顶栅。另外,在图7和图8的示例性实施方式中,附加地包括接收驱动电压ELVDD的第二栅电极G3-2,以使得第三晶体管T3的沟道特性也发生漂移。

[0154] 然而,第三晶体管T3的结构不限于此,并且根据示例性实施方式,第三晶体管T3可形成有底栅,并且第二栅电极G3-2可形成为顶栅。在这种情况下,栅电极G3 (151) 在多晶半导体层下方形成成为使得其连接到扫描线151,并且第二栅电极G3-2在多晶半导体层上形成成为接收驱动电压ELVDD。

[0155] 接下来,参照图9对用于将驱动电压ELVDD施加到第三晶体管T3的第二栅电极G3-2的方法进行描述。

[0156] 图9是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0157] 图9的晶体管T1至T7中的每个的横截面结构与图8的横截面结构基本上相同。然而,与图8中所示的示例性实施方式不同,在图9中所示的示例性实施方式中,省略了将驱动电压ELVDD施加到第三晶体管T3的第二栅电极G3-2的驱动电压施加部C-3。

[0158] 相反,在图9中所示的示例性实施方式中,第三晶体管T3的第二栅电极G3-2从布置在驱动晶体管T1下方的重叠层M1接收驱动电压ELVDD。

[0159] 例如,在图9中,重叠层M1布置在驱动晶体管T1下方,并且还包括在第三晶体管T3下方延伸的部分M1-1。重叠层M1通过暴露重叠层M1的延伸的部分M1-1的开口直接连接到第三晶体管T3的第二栅电极G3-2。由于重叠层M1通过驱动电压施加部C-1接收驱动电压ELVDD,因此驱动电压ELVDD也被施加到第三晶体管T3的第二栅电极G3-2。

[0160] 与图8中所示的示例性实施方式相比,在图9中所示的示例性实施方式中,层间绝缘层160上的结构被简化,并且多晶半导体层下方(例如,驱动晶体管T1的栅电极G1下方)的结构更复杂。使用多晶半导体层的晶体管通常使用顶栅型并且通常在晶体管上布置由像素电极、有机发射层和公共电极制成的有机发光二极管OLED时具有更复杂的结构。

[0161] 相应地,在图9中所示的示例性实施方式中,相对简单的多晶半导体层下方(例如,驱动晶体管T1的栅电极G1下方)的结构变得更加复杂,并且(层间绝缘层160上的)上部区域的结构被简化。

[0162] 由于像素PX的面积在高分辨率下变小,因此如图9中那样层间绝缘层160上的简单结构在某些情况下可能是有利的。

[0163] 接下来,参照图10和图11对结合图5至图8的示例性实施方式的示例性实施方式进行描述。

[0164] 图10是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。图11是根据示例性实施方式(例如,图10的示例性实施方式)的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0165] 参照图10和图11,为了解释的便利,对先前描述的元件的进一步描述可被省略。

[0166] 图10和图11的示例性实施方式还包括接收施加到第二晶体管T2的驱动电压ELVDD

的第二栅电极G2-2(如图5和图6的示例性实施方式那样),并且还包括接收施加到第三晶体管T3的驱动电压ELVDD的第二栅电极G3-2(如图7和图8的示例性实施方式那样)。

[0167] 与图1的电路图相比,在图10的电路图中,第二晶体管T2还包括第二栅电极G2-2,并且第三晶体管T3还包括第二栅电极G3-2。其结果,第二晶体管T2的第二栅电极G2-2连接到驱动电压线172,并且第三晶体管T3的第二栅电极G3-2也连接到驱动电压线172。该结构使第二晶体管T2的沟道特性和第三晶体管T3的沟道特性发生漂移。

[0168] 在图11的剖面图中,图6和图8的特征被一同示出。例如,与图3的剖面图相比,第二晶体管T2还包括第二栅电极G2-2,并且第三晶体管T3还包括第二栅电极G3-2。另外,还包括有将驱动电压ELVDD施加到第二晶体管T2的第二栅电极G2-2的驱动电压施加部C-2和将驱动电压ELVDD施加到第三晶体管T3的第二栅电极G3-2的驱动电压施加部C-3。

[0169] 图11的示例性实施方式具有两个驱动电压施加部C-2和C-3被直接连接的结构。根据示例性实施方式,两个驱动电压施加部C-2和C-3可仅通过连接部电连接。

[0170] 如上所述,第二晶体管T2和第三晶体管T3包括顶栅。然而,根据示例性实施方式,第二晶体管T2和第三晶体管T3还可形成有底栅,并且第二栅电极G2-2和G3-2可形成为顶栅。在这种情况下,栅电极G2和G3可在多晶半导体层下方形成为连接到扫描线151,并且第二栅电极G2-2和G3-2可在多晶半导体层上形成为接收驱动电压ELVDD。

[0171] 接下来,参照图12和图13对还包括接收施加到第四晶体管T4的驱动电压ELVDD的第二栅电极G4-2的示例性实施方式进行描述。

[0172] 图12是根据示例性实施方式的有机发光二极管显示器的一个像素的等效电路图。图13是根据示例性实施方式(例如,图12中所示的示例性实施方式)的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0173] 参照图12和图13,为了解释的便利,对先前描述的元件的进一步描述可被省略。

[0174] 与图1的电路图相比,在图12的电路图中,第四晶体管T4还包括第二栅电极G4-2,并且第二栅电极G4-2连接到驱动电压线172。因此,第二栅电极G4-2接收驱动电压ELVDD,并且其结果,第四晶体管T4的沟道特性发生漂移。

[0175] 与图3的剖面图相比,在图13的剖面图中,第四晶体管T4还包括第二栅电极G4-2,并且还包括有将驱动电压ELVDD施加到第二栅电极G4-2的驱动电压施加部C-4。

[0176] 现在对第四晶体管T4的横截面进行详细描述。

[0177] 缓冲层112布置在上势垒层111上,并且第二栅电极G4-2布置在缓冲层112上。第二栅电极G4-2被第一栅极绝缘层141覆盖。

[0178] 多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S4、第二电极D4和布置在它们之间的沟道。

[0179] 多晶半导体层被第二栅极绝缘层142覆盖,并且栅电极G4形成在第二栅极绝缘层142上。栅电极G4被层间绝缘层160覆盖。

[0180] 驱动电压施加部C-4形成在层间绝缘层160上。驱动电压施加部C-4通过暴露第二栅电极G4-2的开口连接到第二晶体管T4的第二栅电极G4-2。驱动电压施加部C-4将驱动电压ELVDD施加到第二栅电极G4-2。其结果,第四晶体管T4的沟道特性发生漂移。

[0181] 栅电极G4布置在第四晶体管T4的沟道上,并且具有与沟道的宽度对应(例如,基本上相等)的宽度。当掺杂多晶半导体层时,栅电极G4可用作掩模。

[0182] 如上所述,第四晶体管T4包括顶栅。然而,在示例性实施方式中,附加地形成接收驱动电压ELVDD的第二栅电极G4-2,以使得第四晶体管T4的沟道特性也发生漂移。

[0183] 然而,第四晶体管T4的结构不限于此,并且根据示例性实施方式,第四晶体管T4可包括底栅,并且第二栅电极G4-2可形成为顶栅。在这种情况下,栅电极G4可形成在多晶半导体层下方,并且第二栅电极G4-2可形成在多晶半导体层上以接收驱动电压ELVDD。

[0184] 可提供与上述示例性实施方式的特性一同包括图12和图13的示例性实施方式的特性(还包括接收施加到第四晶体管T4的驱动电压ELVDD的第二栅电极G4-2)的示例性实施方式。例如,除了图12和图13的示例性实施方式以外,第二晶体管T2还可包括接收驱动电压ELVDD的第二栅电极G2-2,或者第三晶体管T3还可包括接收驱动电压ELVDD的第二栅电极G3-2。而且,接收驱动电压ELVDD的第二栅电极G2-2和G3-2可包括在第二晶体管T2和第三晶体管T3这两者中。

[0185] 在示例性实施方式中,第五晶体管T5至第七晶体管T7也可包括接收驱动电压ELVDD的第二栅电极。

[0186] 在上述示例性实施方式中,仅驱动晶体管T1使用底栅结构(栅电极布置在多晶半导体层下方),并且其它晶体管T2至T7使用顶栅结构(栅电极布置在多晶半导体层上)。

[0187] 然而,根据示例性实施方式,底栅结构可使用在除驱动晶体管T1以外的晶体管中,以使得除驱动晶体管T1以外的晶体管的特性因多晶半导体层的突起而导致的影响可被减少。

[0188] 接下来,参照图14对第二晶体管T2和第三晶体管T3具有底栅结构的示例性实施方式进行描述。

[0189] 图14是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0190] 在图14的示例性实施方式中,与图3的示例性实施方式不同,第二晶体管T2和第三晶体管T3使用底栅结构。接下来,对第二晶体管T2和第三晶体管T3的结构进行详细描述。

[0191] 首先对第二晶体管T2的横截面进行描述。

[0192] 缓冲层112布置在上势垒层111上,并且栅电极G2(151)布置在缓冲层112上。栅电极G2(151)被第一栅极绝缘层141覆盖。

[0193] 多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S2、第二电极D2和布置在它们之间的沟道。

[0194] 多晶半导体层被第二栅极绝缘层142覆盖,并且层间绝缘层160形成在第二栅极绝缘层142上。

[0195] 数据线171形成在层间绝缘层160上。数据线171通过暴露第二晶体管T2的第一电极S2的开口连接到第二晶体管T2的第一电极S2。当第二晶体管T2被导通时,数据电压Dm输入到对应的像素PX。

[0196] 第二晶体管T2的栅电极G2布置在多晶半导体层下方,以使得其具有底栅结构,并且栅电极G2具有与沟道的宽度对应(例如,基本上相等)的宽度。而且,由于栅电极G2布置在多晶半导体层下方,因此当掺杂多晶半导体层时可另行利用掩模。

[0197] 在图14的示例性实施方式中,第二晶体管T2不单独包括使沟道特性漂移的结构,并且根据示例性实施方式,可接收驱动电压ELVDD,并且可形成有布置在多晶半导体层上的

第二栅电极。

[0198] 接下来,对第三晶体管T3的横截面进行描述。

[0199] 缓冲层112布置在上势垒层111上,并且栅极电极G3 (151) 布置在缓冲层112上。栅电极G3 (151) 被第一栅极绝缘层141覆盖。

[0200] 多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S3、第二电极D3和布置在它们之间的沟道。

[0201] 多晶半导体层被第二栅极绝缘层142覆盖,并且层间绝缘层160形成在第二栅极绝缘层142上。

[0202] 连接部71形成在层间绝缘层160上。连接部71通过分别暴露第三晶体管T3的第二电极D3和驱动晶体管T1的栅电极G1的开口来电连接第三晶体管T3的第二电极D3与驱动晶体管T1的栅电极G1。由于驱动晶体管T1的输出根据栅电极G1的电压而改变,因此输出到第三晶体管T3的第二电极D3的电压对驱动晶体管T1的输出产生影响。

[0203] 第三晶体管T3的栅电极G3布置在多晶半导体层下方,以使得其具有底栅结构,并且栅电极G3具有与沟道的宽度对应(例如,基本上相等)的宽度。由于栅电极G3布置在多晶半导体层下方,因此当掺杂多晶半导体层时可另行利用掩模。

[0204] 在图14的示例性实施方式中,第三晶体管T3不单独包括使沟道特性漂移的结构,并且根据示例性实施方式,可接收驱动电压ELVDD,并且可形成有布置在多晶半导体层上的第二栅电极。

[0205] 与图14的示例性实施方式不同,第二晶体管T2和第三晶体管T3中的仅一个包括底栅结构。而且,在示例性实施方式中,第四晶体管T4至第七晶体管T7之中的一个晶体管可具有底栅结构。

[0206] 除了该结构以外,第二晶体管T2至第七晶体管T7之中的至少一个晶体管还可包括接收驱动电压ELVDD的第二栅电极。

[0207] 在上述的示例性实施方式中,驱动晶体管T1在具有底栅结构的同时还包括多晶半导体层上的第二栅电极G1-2。然而,根据示例性实施方式,第二栅电极G1-2可被省略。现在参照图15对该结构进行描述。

[0208] 图15是根据示例性实施方式的包括在有机发光二极管显示器的一个像素中的多个晶体管的剖面图。

[0209] 与图1的示例性实施方式不同,在根据图15的示例性实施方式的驱动晶体管T1中,省略了第二栅电极G1-2。

[0210] 现在对根据图15的示例性实施方式的驱动晶体管T1的横截面进行描述。

[0211] 重叠层M1布置在上势垒层111上,并且重叠层M1被缓冲层112覆盖。栅电极G1形成在缓冲层112上,并且栅电极G1被第一栅极绝缘层141覆盖。多晶半导体层布置在第一栅极绝缘层141上。多晶半导体层包括第一电极S1、第二电极D1和布置在它们之间的沟道。

[0212] 多晶半导体层被第二栅极绝缘层142覆盖,并且层间绝缘层160布置在第二栅极绝缘层142上。

[0213] 驱动电压施加部C-1形成在层间绝缘层160上。驱动电压施加部C-1通过暴露重叠层M1的开口连接到重叠层M1。而且,驱动电压施加部C-1连接到驱动电压线172,以使得驱动电压ELVDD流动。其结果,驱动电压ELVDD也被施加到重叠层M1。驱动电压施加部C-1可为从

驱动电压线172延伸的一部分或仅电连接的一部分。

[0214] 栅电极G1布置在驱动晶体管T1的沟道下方,并且栅电极G1具有与沟道的宽度对应(例如,基本上相等)的宽度。图15示出了栅电极G1向右延伸以连接到第三晶体管T3的第二电极D3的结构,并且除了延伸部分以外,其宽度对应(例如,基本上相等)于沟道的宽度。

[0215] 在图15的驱动晶体管T1中,第二栅电极未形成在多晶半导体层上,以使得在掺杂多晶半导体层时可另行利用掩模。根据示例性实施方式,驱动电压施加部C-1的结构可由覆盖驱动晶体管T1的沟道的形状形成,以使得可实现不使用掩模的示例性实施方式。

[0216] 根据示例性实施方式,重叠层M1可被省略。

[0217] 在本文中描述的每个示例性实施方式中,布置在相同层处的布线和电极可由相同的材料形成。布置在第二栅极绝缘层142上的层可由相同的材料形成,并且可通过使用一个掩模形成。而且,布置在上势垒层111上、布置在缓冲层112上、布置在第一栅极绝缘层141上以及布置在层间绝缘层160上的每个层可由相同的材料形成。

[0218] 虽然已参照本发明的示例性实施方式对本发明概念进行了特定示出和描述,但是本领域普通技术人员将理解,在不背离如随附权利要求书中限定的本发明的范围和精神的情况下可在形式和细节上进行各种改变。

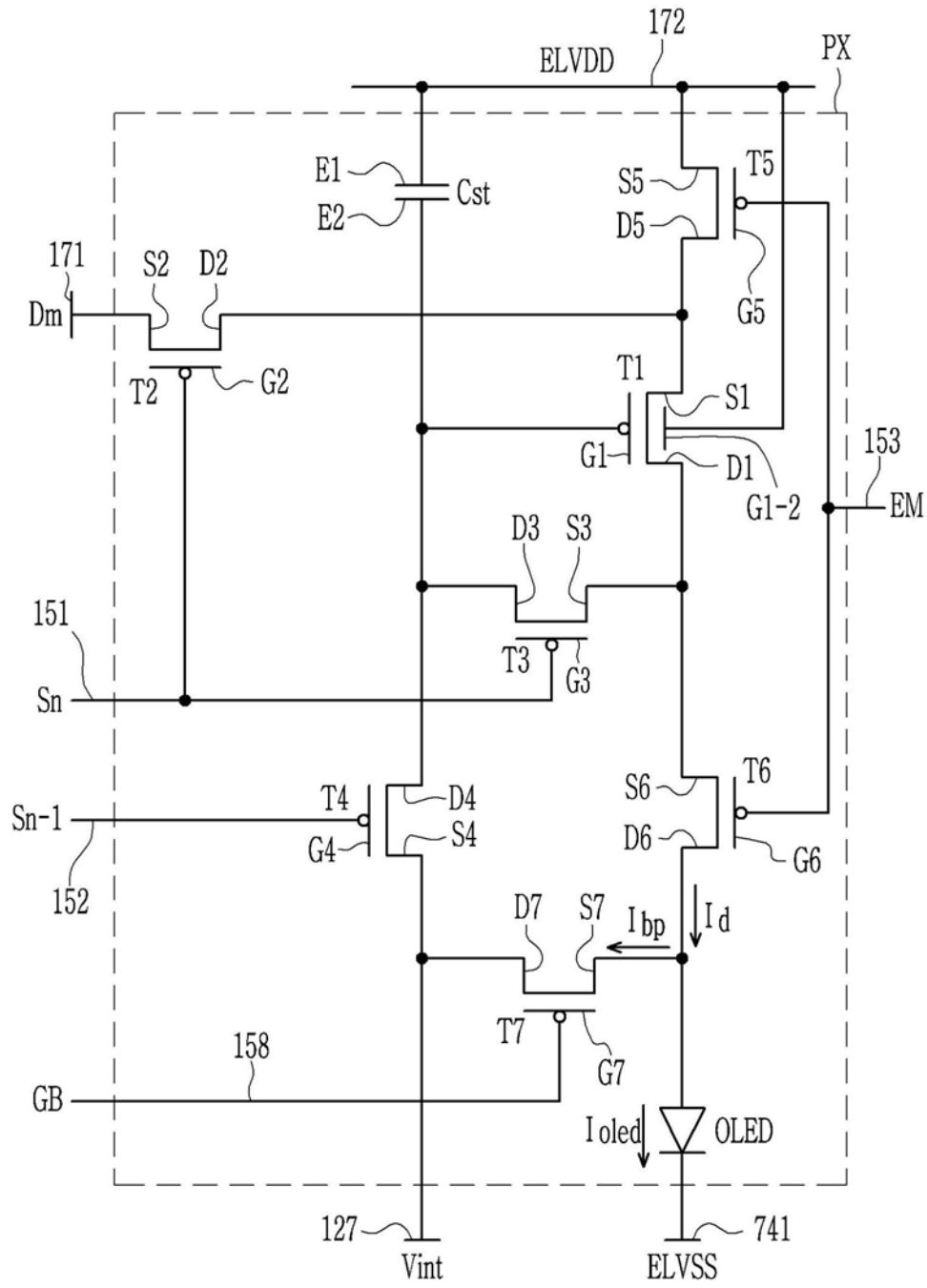


图1

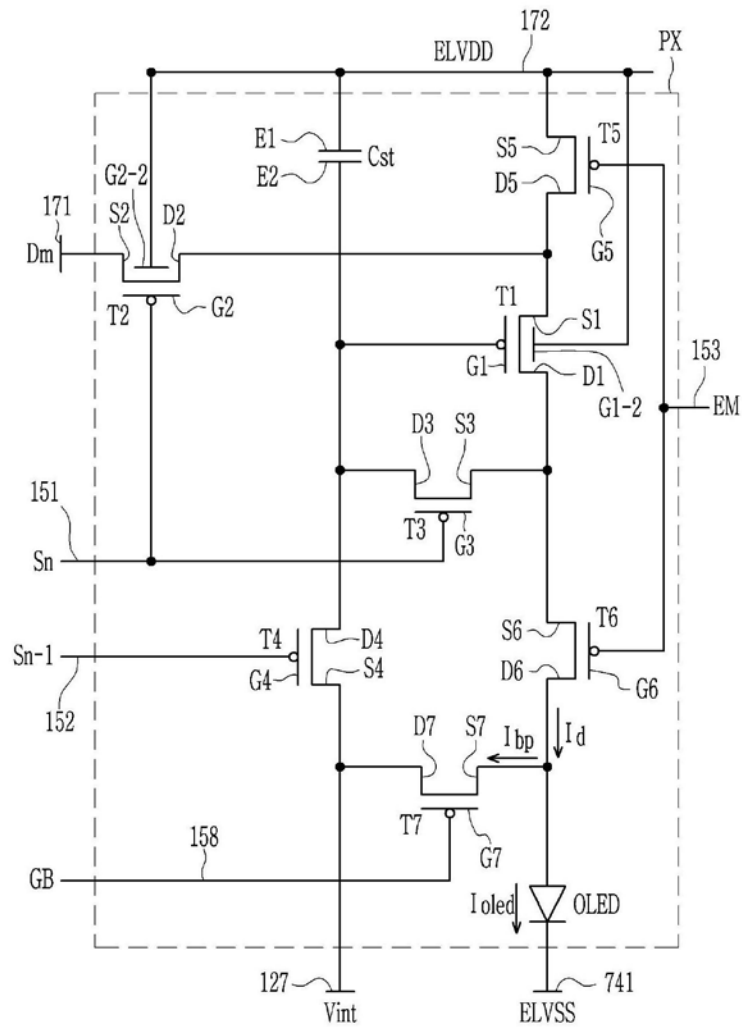


图5

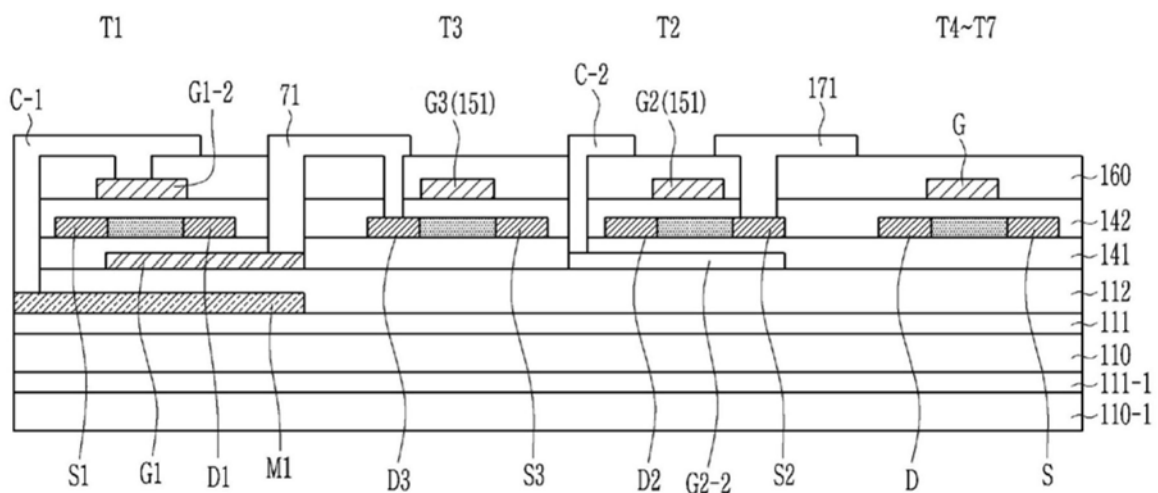


图6

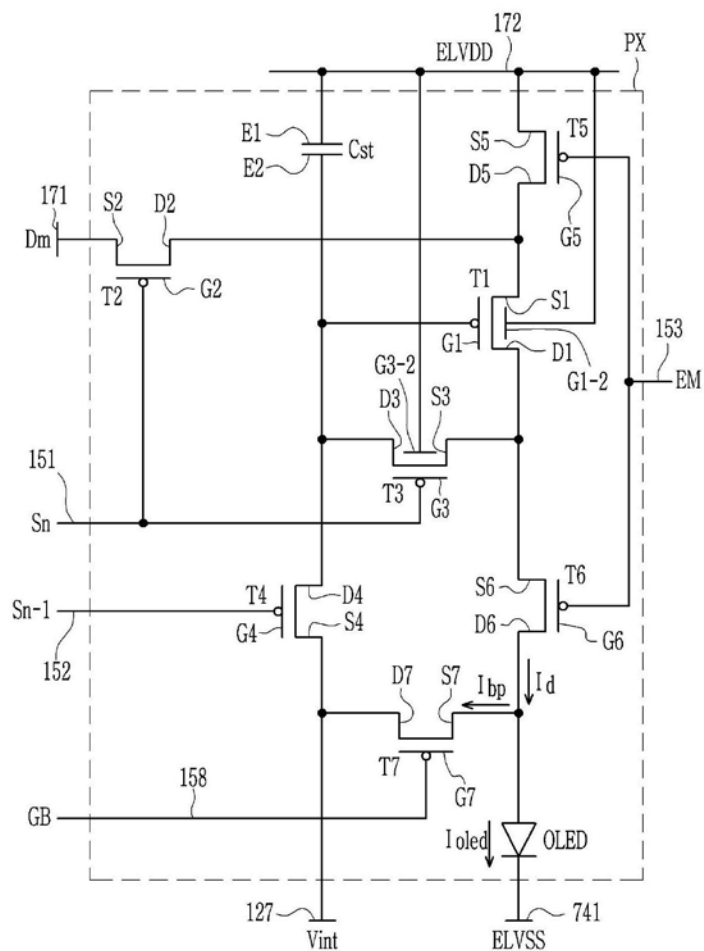


图7

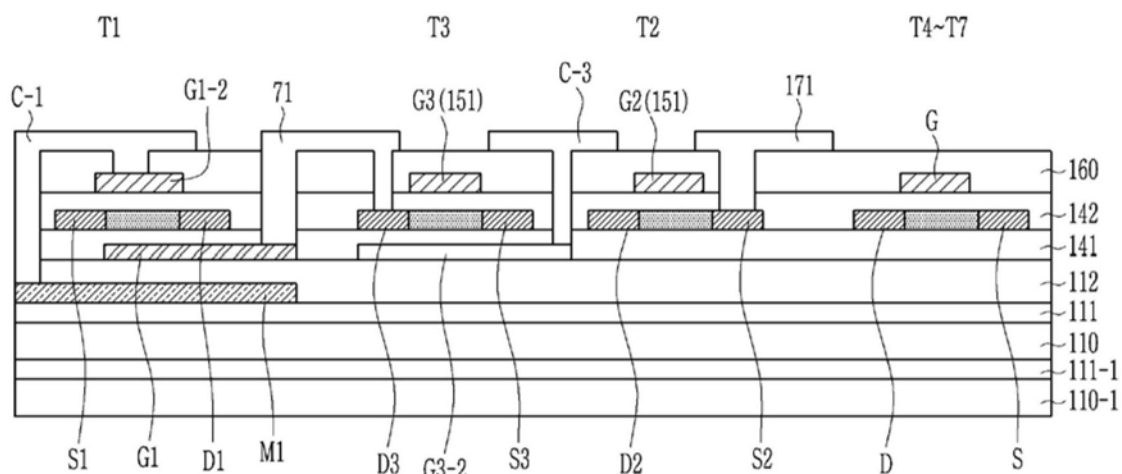


图8

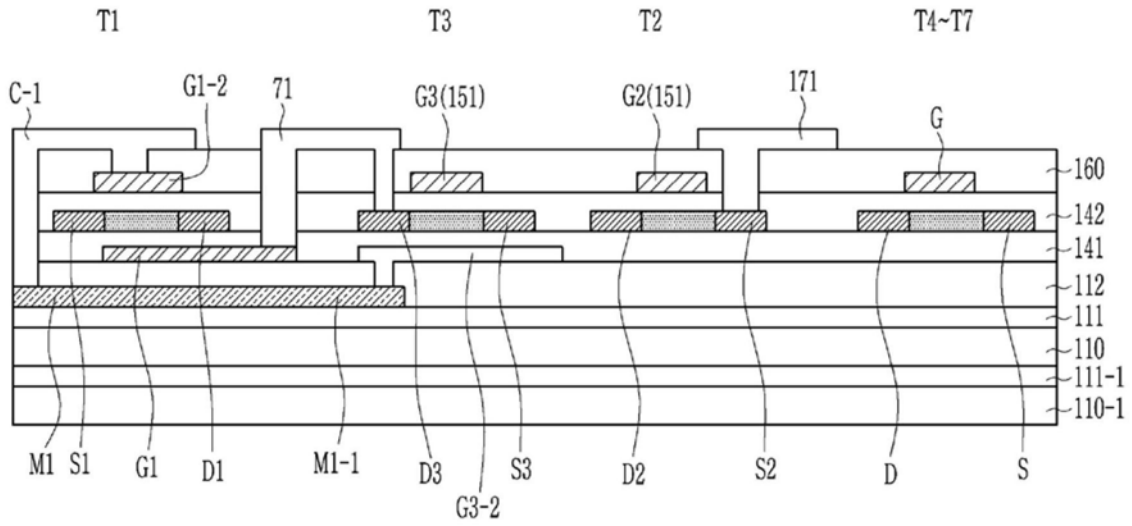


图9

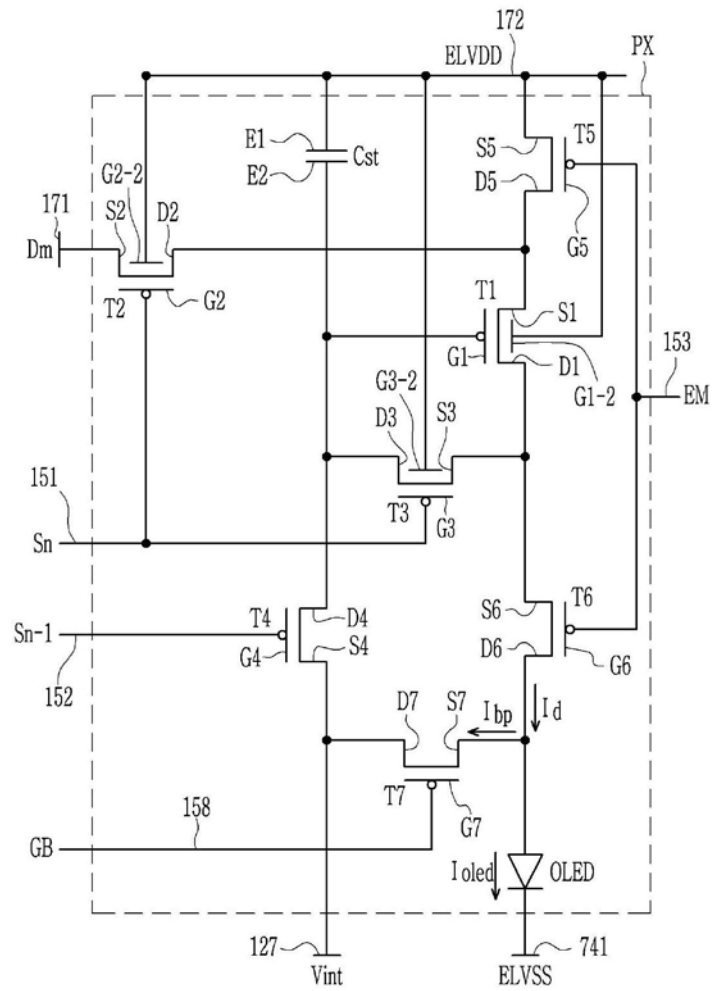


图10

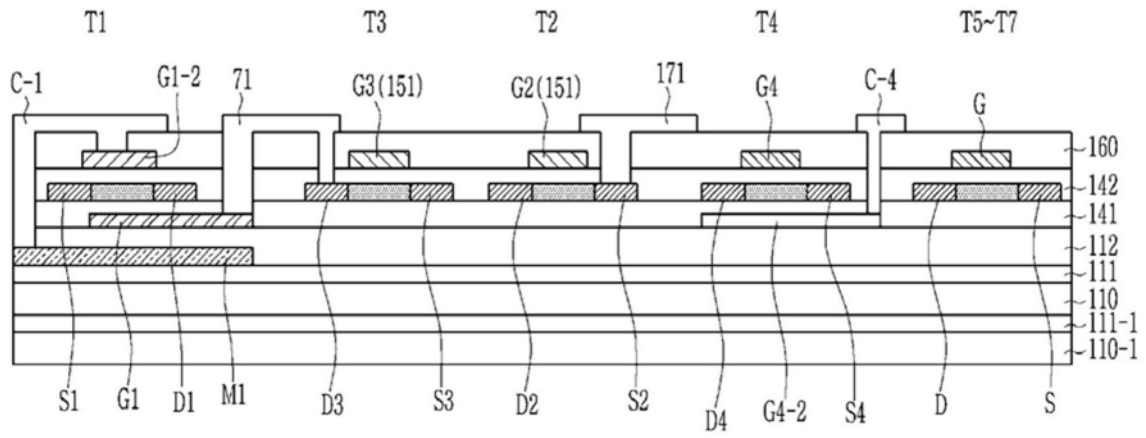


图13

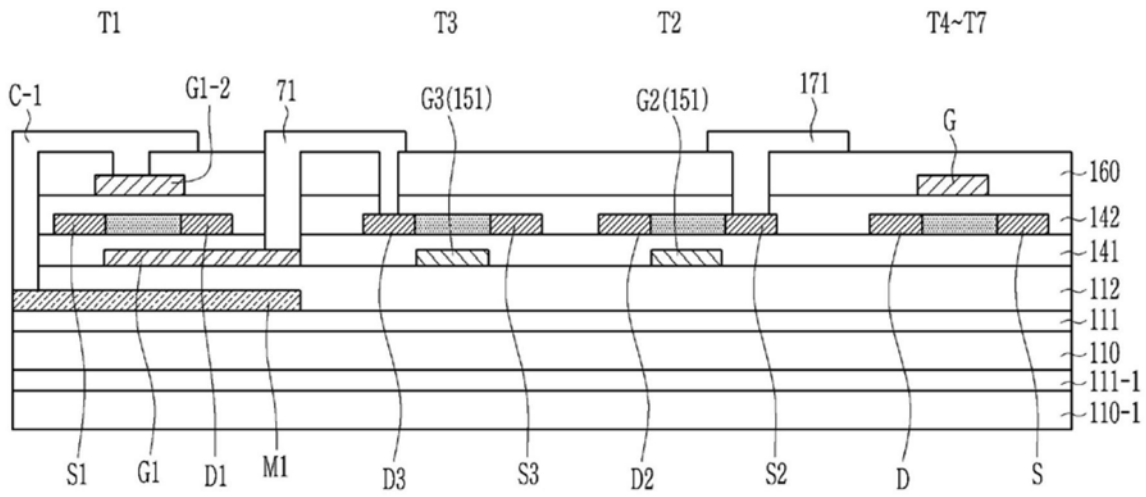


图14

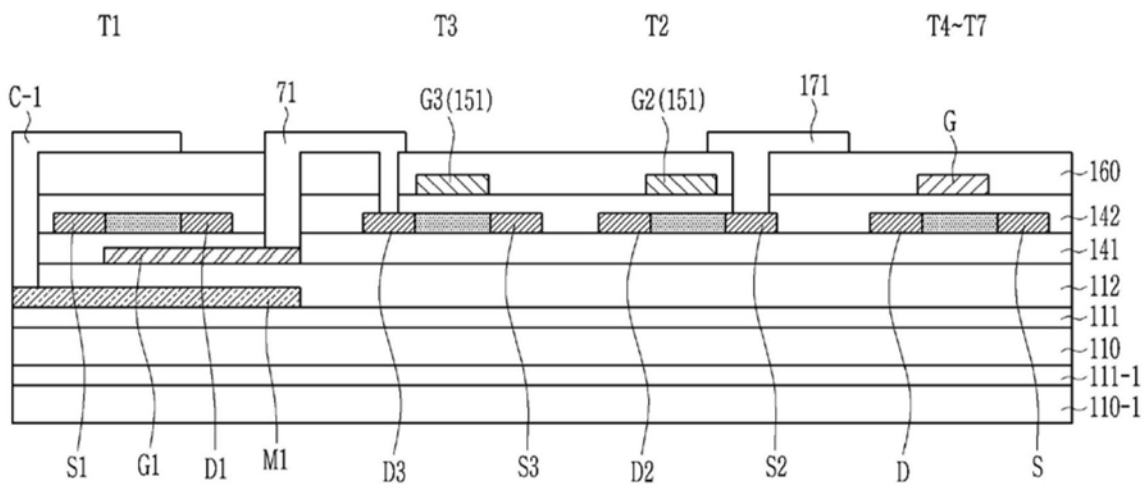


图15

专利名称(译)	有机发光二极管显示装置		
公开(公告)号	CN110660829A	公开(公告)日	2020-01-07
申请号	CN201910564788.1	申请日	2019-06-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	黄荣仁 金成虎 梁容豪 王盛民		
发明人	黄荣仁 金成虎 梁容豪 王盛民		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3279 G09G3/3233 G09G2300/0819 G09G2300/0861 G09G2320/0233 G09G2320/045 H01L27/124 H01L29/78648 H01L29/78675 G09G3/3258 G09G2320/0257 H01L27/1222 H01L27/3276 H01L51/0097 H01L2251/5338		
优先权	1020180074950 2018-06-28 KR		
外部链接	Espacenet SIPO		

摘要(译)

公开了有机发光二极管显示器。有机发光二极管显示器包括驱动晶体管和补偿晶体管。驱动晶体管包括第一栅电极、多晶半导体层和第二栅电极，第一栅电极布置在衬底上，多晶半导体层布置在驱动晶体管的第一栅电极上并且包括第一电极、第二电极和沟道，并且第二栅电极布置在驱动晶体管的多晶半导体层上。补偿晶体管包括多晶半导体层和栅电极，多晶半导体层包括第一电极、第二电极和沟道，并且栅电极布置在补偿晶体管的多晶半导体层上。

