



(12) 发明专利申请

(10) 申请公布号 CN 105321986 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201510479263. X

(22) 申请日 2015. 08. 03

(30) 优先权数据

10-2014-0098983 2014. 08. 01 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 崔基敏 李玗宙 金弘锡 全光训

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 朱胜 江河清

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 23/552(2006. 01)

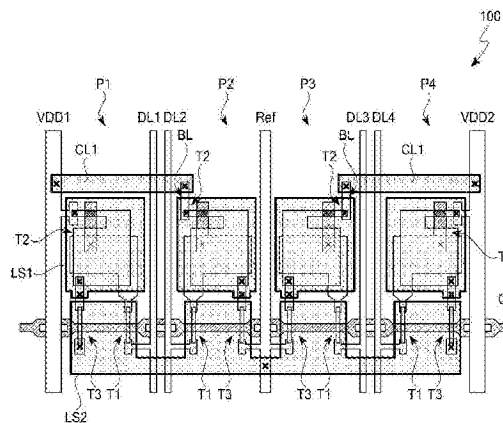
权利要求书2页 说明书13页 附图10页

(54) 发明名称

有机发光显示装置

(57) 摘要

公开了一种有机发光显示装置, 该有机发光显示装置可以包括: 在基板上的第一像素; 设置在第一像素内的具有第一有源层的开关晶体管; 设置在第一像素内的具有第二有源层的驱动晶体管; 与第二有源层交叠的第一遮光层; 以及与第一有源层交叠的第二遮光层, 其中, 第一遮光层与驱动晶体管连接, 并且第二遮光层与第一遮光层电绝缘。



1. 一种有机发光显示装置,包括:
在基板上的第一像素;
设置在所述第一像素内的具有第一有源层的开关晶体管;
设置在所述第一像素内的具有第二有源层的驱动晶体管;
与所述第二有源层交叠的第一遮光层;以及
与所述第一有源层交叠的第二遮光层,
其中,所述第一遮光层与所述驱动晶体管连接,并且所述第二遮光层与所述第一遮光层电绝缘。
2. 根据权利要求1所述的有机发光显示装置,还包括设置在所述第一像素内的具有第三有源层的感测晶体管,
其中,所述第二遮光层与所述第三有源层交叠。
3. 根据权利要求1所述的有机发光显示装置,其中,所述第二遮光层与导电线连接。
4. 根据权利要求3所述的有机发光显示装置,其中,所述导电线耦接至低于所述开关晶体管的阈值电压的电势。
5. 根据权利要求3所述的有机发光显示装置,还包括设置在所述第一像素内的感测晶体管,以及与所述感测晶体管连接的参考线,
其中,所述导电线由所述参考线形成。
6. 根据权利要求5所述的有机发光显示装置,其中,所述第二遮光层通过相应的接触孔与所述感测晶体管 and 所述参考线连接。
7. 根据权利要求4所述的有机发光显示装置,还包括设置在所述第一像素的外周边处的虚数据线,
其中,所述导电线由所述虚数据线形成。
8. 根据权利要求4所述的有机发光显示装置,还包括设置在所述第一像素的外周边处的静电放电线,
其中,所述导电线由所述静电放电线形成。
9. 根据权利要求4所述的有机发光显示装置,还包括设置在所述第一像素内的阴极,以及与所述阴极连接的低电源线,
其中,所述导电线由所述低电源线形成。
10. 根据权利要求7所述的有机发光显示装置,还包括设置在所述第一像素内的感测晶体管、与所述感测晶体管电连接的参考线、以及用于连接所述感测晶体管与所述参考线的连接线。
11. 根据权利要求8所述的有机发光显示装置,还包括设置在所述第一像素内的感测晶体管、与所述感测晶体管电连接的参考线、以及用于连接所述感测晶体管与所述参考线的连接线。
12. 根据权利要求9所述的有机发光显示装置,还包括设置在所述第一像素内的感测晶体管、与所述感测晶体管电连接的参考线、以及用于连接所述感测晶体管与所述参考线的连接线。
13. 根据权利要求1所述的有机发光显示装置,还包括:
在所述基板上的第二像素;

设置在所述第二像素内的具有第一有源层的开关晶体管；
设置在所述第二像素内的具有第二有源层的驱动晶体管；
与在所述第二像素内的所述第二有源层交叠的第一遮光层；以及
与在所述第二像素内的所述第一有源层交叠的第二遮光层，

其中，在所述第一像素内的所述第一遮光层与在所述第二像素内的所述第一遮光层电绝缘，并且在所述第一像素内的所述第二遮光层与在所述第二像素内的所述第二遮光层电连接。

有机发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2014 年 8 月 1 日提交的韩国专利申请第 10-2014-0098983 号的权益,其全部内容通过引用合并到本文中。

技术领域

[0003] 本发明的实施例涉及有机发光显示装置,并且更具体地涉及具有顶栅极结构的薄膜晶体管的有机发光显示装置。

背景技术

[0004] 以如下结构提供了自身发光的有机发光显示装置:在该结构中发光层形成在用于注入电子的阴极和用于注入空穴的阳极之间。当在阴极中生成的电子和在阳极中生成的空穴被注入到发光层内时,通过电子与空穴结合产生激子。然后,当激子从激发态落入基态时,有机发光显示装置发光。

[0005] 有机发光显示装置包括起开关装置作用的薄膜晶体管。该薄膜晶体管可以分为底栅极结构和顶栅极结构。对于底栅极结构,栅电极被设置在有源层下方。同时,对于顶栅极结构,栅电极被设置在有源层上方。

[0006] 在下文中,将参照附图描述现有技术的具有顶栅极结构的薄膜晶体管的有机发光显示装置。

[0007] 图 1 是示出了相关技术的有机发光显示装置的横截面图。

[0008] 如图 1 所示,相关技术的有机发光显示装置可以包括:基板 10、有源层 20、栅极绝缘膜 25、栅电极 30、绝缘夹层 35、源电极 40a、漏电极 40b、钝化膜 45、平坦化膜 50、阳极 60、堤层 (bank layer) 70、有机发射层 80 以及阴极 90。

[0009] 有源层 20 起电子迁移通道的作用,并且有源层 20 形成在基板 10 上。

[0010] 栅极绝缘膜 25 使有源层 20 与栅电极 30 彼此绝缘,并且栅极绝缘膜 25 形成在有源层 20 上。

[0011] 栅电极 30 形成在栅极绝缘膜 25 上。

[0012] 绝缘夹层 35 形成在栅电极 30 上。绝缘夹层 35 形成在基板 10 的表面上,其中,绝缘夹层 35 具有用于露出有源层 20 的一端的第一接触孔和用于露出有源层 20 的另一端的第二接触孔。

[0013] 源电极 40a 和漏电极 40b 形成在绝缘夹层 35 上。源电极 40a 通过第一接触孔与有源层 20 的所述一端连接,并且漏电极 40b 通过第二接触孔与有源层 20 的所述另一端连接。

[0014] 钝化膜 45 形成在源电极 40a 和漏电极 40b 上,其中,钝化膜 45 保护设置在其下方的薄膜晶体管。

[0015] 平坦化膜 50 形成在钝化膜 45 上以使基板 10 的表面平坦化。

[0016] 钝化膜 45 和平坦化膜 50 具有穿过其自身以露出源电极 40a 的接触孔。

[0017] 阳极 60 形成在平坦化膜 50 上。阳极通过设置在钝化膜 45 和平坦化膜 50 中的接触孔与源电极 40a 连接。

[0018] 堤层 70 形成在平坦化膜 50 上。形成为矩阵配置的堤层 70 限定了用于显示图像的显示区。

[0019] 有机发射层 80 形成在阳极 60 上。有机发射层 80 形成在由堤层 70 限定的显示区中。

[0020] 阴极 90 形成在有机发射层 80 上。

[0021] 对于相关技术的有机发光显示装置,有源层 20 正好形成在基板 10 的上表面上。因此,有源层 20 暴露于通过基板 10 的下表面入射的外部光,从而劣化了有源层 20 的可靠性。

发明内容

[0022] 因此,本发明的实施例涉及一种基本上避免了由于相关技术的限制和缺点而导致的一个或多个问题的有机发光显示装置。

[0023] 本发明的实施例的一个方面涉及提供一种提高了有源层的可靠性的有机发光显示装置。本发明的实施例的另一方面涉及提供一种促进防止有源层暴露于外部光的有机发光显示装置。

[0024] 本发明的实施例的另外的优点和特征将部分地在随后的描述中阐述,并且将部分地在本领域普通技术人员研究下面的内容时变得明显,或者可以通过本发明的实施例的实践而获知这些优点和特征。通过在书面描述及其权利要求书以及附图中特别指出的结构可以实现和获得本发明的实施例的目的和其他优点。

[0025] 为了获得这些优点和其他优点并且根据本发明的实施例的目的,如本文中所示和大致描述的,提供了一种有机发光显示装置,该有机发光显示装置可以包括:在基板上的第一像素;设置在第一像素内的具有第一有源层的开关晶体管;设置在第一像素内的具有第二有源层的驱动晶体管;与第二有源层交叠的第一遮光层;以及与第一有源层交叠的第二遮光层,其中,第一遮光层与驱动晶体管连接,并且第二遮光层与第一遮光层电绝缘。

[0026] 应该理解,本发明的实施例的上述一般描述和后面的详细描述都是示例性和说明性的,并且旨在提供如所要求保护的本发明的进一步的说明。

附图说明

[0027] 被包括用以提供对本发明的实施例的进一步理解并且被并入本申请中并构成本申请的一部分的附图示出了本发明的一个或多个实施例,并且与说明书一起用于说明本发明的实施例的原理。在附图中:

[0028] 图 1 是示出了相关技术的有机发光显示装置的横截面图;

[0029] 图 2 是示出了根据本发明的一个实施例的有机发光显示装置的平面图;

[0030] 图 3A 是示出了图 2 中的第一像素和第二像素的详细平面图,并且图 3B 是示出了图 3A 所示的第一遮光层与驱动薄膜晶体管的第二源电极之间的电连接的横截面图;

[0031] 图 4 是示出了根据本发明的一个实施例的有机发光显示装置的电路图;

[0032] 图 5 是示出了根据本发明的另一实施例的有机发光显示装置的平面图;

[0033] 图 6 是示出了图 5 中的第一像素、第二像素、虚像素和静电防护电路的详细平面

图；

[0034] 图 7 是示出了根据本发明的另一实施例的有机发光显示装置的电路图；

[0035] 图 8 是示出了根据本发明的另一实施例的有机发光显示装置的平面图；

[0036] 图 9 是示出了根据本发明的另一实施例的有机发光显示装置的电路图；

[0037] 图 10 是示出了根据本发明的另一实施例的有机发光显示装置的平面图；

[0038] 图 11 是示出了根据本发明的另一实施例的有机发光显示装置的电路图；以及

[0039] 图 12 是示出了根据本发明的另一实施例的有机发光显示装置的电路图。

具体实施方式

[0040] 现在将详细参考本发明的示例性实施例，在附图中示出了本发明的示例性实施例的示例。贯穿附图将尽可能使用相同的附图标记来指代相同或相似的部分。

[0041] 将通过参照附图描述的下面的实施例来阐明本发明的优点和特征以及本发明的实现方法。然而，本发明可以以不同的形式来体现并且不应当被解释为限于本文中所阐述的实施例。更确切地说，提供这些实施例使得本公开内容将严密且完整，并且将对本领域技术人员充分地传达本发明的范围。此外，本发明仅由权利要求的范围来限定。

[0042] 在用于描述本发明的实施例的附图中所公开的形状、尺寸、比例、角度和数字仅为示例，因此本发明不限于所示出的细节。在通篇中相似的附图标记指代相似的元件。在下面的描述中，在确定相关的已知功能或配置的详细描述不必要地使本发明的主题模糊的情况下，则将省略该详细描述。在使用本说明书中所描述的“包含”、“具有”和“包括”的情况下，除了使用“仅…”之外，可以添加另外的部分。单数形式的术语可以包括复数形式，除非被指出与此相反。在解释元件时，虽然未明确描述，但是元件被解释为包括误差区域。

[0043] 在本发明的实施例的描述中，在结构（例如，电极、线、布线、层或接触部）被描述为形成在另一结构的上部 / 下部处或在另外结构上 / 下的情况下，本描述应当被解释为包括结构彼此接触的情况以及第三结构被设置在其之间的情况。

[0044] 在描述时间关系时，例如，在时间顺序被描述为“在…之后”、“随后…”、“接下来…”和“在…之前”的情况下，可以包括不连续的情况，除非使用“恰好”或“直接”。

[0045] 将要理解的是，虽然本文中可以使用术语“第一”、“第二”等等来描述各种元件，但是这些元件不应当受限于这些术语。这些术语仅用于区分一个元件与另一元件。例如，在不脱离本发明的范围的情况下，第一元件可以被称为第二元件，并且类似地，第二元件可以被称为第一元件。

[0046] 本发明的各个实施例的特征可以彼此部分地或整体地结合或组合，并且如本领域技术人员能够充分理解的，所述特征可以以各种方式彼此相互作用并且在技术上被驱动（driven）。本发明的实施例可以彼此独立地被实施，或者可以以相互依赖的关系一起被实施。

[0047] 在下文中，将参照附图详细描述根据本发明的实施例的有机发光显示装置。

[0048] 图 2 是示出了根据本发明的一个实施例的有机发光显示装置的平面图。图 2 示出了包括有第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 的单元像素。

[0049] 如图 2 所示，根据本发明的一个实施例的有机发光显示装置可以包括：基板 100、栅极线 GL、第一数据线 DL1、第二数据线 DL2、第三数据线 DL3、第四数据线 DL4、第一电源线

VDD1、第二电源线 VDD2、参考线 Ref、开关薄膜晶体管 T1、驱动薄膜晶体管 T2、感测薄膜晶体管 T3、第一遮光层 LS1 以及第二遮光层 LS2。

[0050] 第一像素 P1 形成在第一电源线 VDD1 与第一数据线 DL1 之间,第二像素 P2 形成在第二数据线 DL2 与参考线 Ref 之间,第三像素 P3 形成在参考线 Ref 与第三数据线 DL3 之间,并且第四像素 P4 形成在第四数据线 DL4 与第二电源线 VDD2 之间。

[0051] 开关薄膜晶体管 T1、驱动薄膜晶体管 T2 和感测薄膜晶体管 T3 被设置在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的每个像素中,以其中栅电极形成在有源层上的顶栅极结构来设置开关薄膜晶体管 T1、驱动薄膜晶体管 T2 和感测薄膜晶体管 T3。

[0052] 第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 可以分别由用于发射红 (R) 光、白 (W) 光、蓝 (B) 光和绿 (G) 光的像素形成,但是不限于该结构。在下文中,将详细描述上述结构的每个元件如下。

[0053] 基板 100 可以由透明材料形成。例如,基板 100 可以由玻璃或透明塑料形成,但是不限于该材料。

[0054] 栅极线 GL 沿第一方向(例如,在基板 100 上的横向)形成。栅极线 GL 与设置在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的每个像素中的开关薄膜晶体管 T1 和感测薄膜晶体管 T3 连接。

[0055] 在与数据线 DL1、数据线 DL2、数据线 DL3、数据线 DL4、电源线 VDD1、电源线 VDD2 以及参考线 Ref 相交的栅极线 GL 的预定区中形成孔。孔能够减小栅极线 GL 与数据线 DL1、数据线 DL2、数据线 DL3、数据线 DL4 之间的交叠区、栅极线 GL 与电源线 VDD1、电源线 VDD2 之间的交叠区以及栅极线 GL 与参考线 Ref 之间的交叠区,从而降低信号干扰。

[0056] 第一数据线 DL1、第二数据线 DL2、第三数据线 DL3 和第四数据线 DL4 沿第二方向(例如,在基板 100 上的纵向)形成。第二方向(例如,纵向)可以垂直于第一方向(例如,横向)。第一数据线 DL1 与第二数据线 DL2 被设置成彼此相邻使得在第一数据线 DL1 与第二数据线 DL2 之间未形成另一线。第三数据线 DL3 与第四数据线 DL4 被设置成彼此相邻使得在第三数据线 DL3 与第四数据线 DL4 之间未形成另一线。

[0057] 第一数据线 DL1 与设置在第一像素 P1 内的开关薄膜晶体管 T1 连接,第二数据线 DL2 与设置在第二像素 P2 内的开关薄膜晶体管 T1 连接,第三数据线 DL3 与设置在第三像素 P3 内的开关薄膜晶体管 T1 连接,并且第四数据线 DL4 与设置在第四像素 P4 内的开关薄膜晶体管 T1 连接。

[0058] 第一电源线 VDD1 和第二电源线 VDD2 沿第二方向(例如,在基板 100 上的纵向)形成。在第一电源线 VDD1 与第二电源线 VDD2 之间,存在有第一数据线 DL1、第二数据线 DL2、第三数据线 DL3、第四数据线 DL4 以及参考线 Ref。虽然未示出,但是相邻单元像素的每条数据线被设置在第一电源线 VDD1 的左侧和第二电源线 VDD2 的右侧中。

[0059] 第一电源线 VDD1 与设置在第一像素 P1 和第二像素 P2 中的每个像素内的驱动薄膜晶体管 T2 连接。第一电源线 VDD1 被设置成与第一像素 P1 相邻使得容易连接第一电源线 VDD1 与设置在第一像素 P1 内的驱动薄膜晶体管 T2。然而,第一电源线 VDD1 未被设置成与第二像素 P2 相邻使得不容易连接第一电源线 VDD1 与设置在第二像素 P2 内的驱动薄膜晶体管 T2。因此,第一电源线 VDD1 通过附加的第一连接线 CL1 和桥线 BL 与设置在第二像素 P2 内的驱动薄膜晶体管 T2 连接。即,第一连接线 CL1 通过接触孔 X 与第一电源线 VDD1

和桥线 BL 连接,并且桥线 BL 通过接触孔 X 与第一连接线 CL1 和设置在第二像素 P2 内的驱动薄膜晶体管 T2 连接。在本文中,附图中所示的‘X’表示用于电连接两个彼此交叠的具有介于其间的绝缘层的元件的接触孔,其中,接触孔形成在绝缘层中。

[0060] 第二电源线 VDD2 与设置在第三像素 P3 和第四像素 P4 中的每个像素内的驱动薄膜晶体管 T2 连接。第二电源线 VDD2 被设置成与第四像素 P4 相邻使得容易连接第二电源线 VDD2 与设置在第四像素 P4 内的驱动薄膜晶体管 T2。然而,第二电源线 VDD2 未被设置成与第三像素 P3 相邻使得不容易连接第二电源线 VDD2 与设置在第三像素 P3 内的驱动薄膜晶体管 T2。因此,第二电源线 VDD2 通过附加的第一连接线 CL1 和桥线 BL 与设置在第三像素 P3 内的驱动薄膜晶体管 T2 连接。即,第一连接线 CL1 通过接触孔 X 与第二电源线 VDD2 和桥线 BL 连接,并且桥线 BL 通过接触孔 X 与第一连接线 CL1 和设置在第三像素 P3 内的驱动薄膜晶体管 T2 连接。

[0061] 参考线 Ref 沿第二方向(即,在基板 100 上的纵向)形成。参考线 Ref 被设置在第二数据线 DL2 与第三数据线 DL3 之间。

[0062] 参考线 Ref 与设置在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的每个像素内的感测薄膜晶体管 T3 连接。参考线 Ref 被设置成与第二像素 P2 和第三像素 P3 相邻使得容易连接参考线 Ref 与设置在第二像素 P2 和第三像素 P3 中的每个像素内的感测薄膜晶体管 T3。然而,参考线 Ref 未被设置成与第一像素 P1 和第四像素 P4 相邻使得不容易连接参考线 Ref 与设置在第一像素 P1 和第四像素 P4 中的每个像素内的感测薄膜晶体管 T3。因此,需要用于在参考线 Ref 与设置在第一像素 P1 和第四像素 P4 中的每个像素内的感测薄膜晶体管 T3 之间连接的附加结构。根据本发明的一个实施例,第二遮光层 LS2 被设置成连接参考线 Ref 与设置在第一像素 P1 内的感测薄膜晶体管 T3 并且连接参考线 Ref 与设置在第四像素 P4 内的感测薄膜晶体管 T3。即,第二遮光层 LS2 通过相应的接触孔 X 与参考线 Ref、设置在第一像素 P1 内的感测薄膜晶体管 T3 以及设置在第四像素 P4 内的感测薄膜晶体管 T3 连接。

[0063] 将参照图 3 描述开关薄膜晶体管 T1、驱动薄膜晶体管 T2 和感测薄膜晶体管 T3 的详细结构。

[0064] 第一遮光层 LS1 覆盖设置在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 内的驱动薄膜晶体管 T2 的区域使得能够防止外部光入射到驱动薄膜晶体管 T2 的有源层(未示出)上。无需根据所示出的图案来形成第一遮光层 LS1。第一遮光层 LS1 可以以能够至少部分地(例如,完全地)覆盖驱动薄膜晶体管 T2 的有源层(未示出)的任意图案形成。例如,第一遮光层 LS1 可以覆盖有源层的大部分,例如至少 90%,例如至少 95%,例如至少 99%,例如 100%。

[0065] 因此,参照图 2,第一遮光层 LS1 在基板 100 与驱动薄膜晶体管 T2 的有源层之间、与驱动薄膜晶体管 T2 的有源层交叠。换言之,第一遮光层 LS1 可以被设置在基板 100 与驱动薄膜晶体管 T2 的有源层之间并且至少部分地(例如,完全地)覆盖形成有驱动薄膜晶体管 T2 的有源层的区域。这将同样地应用于下面的第二遮光层 LS2。即,第二遮光层 LS2 在基板 100 与开关薄膜晶体管 T1 的有源层之间、与开关薄膜晶体管 T1 的有源层交叠。换言之,第二遮光层 LS2 可以被设置在基板 100 与开关薄膜晶体管 T1 的有源层之间并且至少部分地(例如,完全地)覆盖形成有开关薄膜晶体管 T1 的有源层的区域。

[0066] 第一遮光层 LS1 由导电材料形成。如果导电材料的第一遮光层 LS1 以电绝缘的岛状结构形成,那么第一遮光层 LS1 可能对驱动薄膜晶体管 T2 的操作有坏的影响。因此,由于第一遮光层 LS1 通过接触孔 X 与驱动薄膜晶体管 T2 电连接,因而能够防止对驱动薄膜晶体管 T2 的操作的坏的影响。

[0067] 第一遮光层 LS1 在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的每个像素中被分离地图案化。即,被图案化在第一像素 P1 中的第一遮光层 LS1、被图案化在第二像素 P2 中的第一遮光层 LS1、被图案化在第三像素 P3 中的第一遮光层 LS1 以及被图案化在第四像素 P4 中的第一遮光层 LS1 彼此电绝缘。这是因为第一遮光层 LS1 与第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的每个像素的驱动薄膜晶体管 T2 电连接。

[0068] 第二遮光层 LS2 覆盖设置在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 内的开关薄膜晶体管 T1 和感测薄膜晶体管 T3 的区使得能够防止外部光入射到开关薄膜晶体管 T1 的有源层(未示出)和感测薄膜晶体管 T3 的有源层(未示出)上。无需根据所示出的图案来形成第二遮光层 LS2。第二遮光层 LS2 可以以能够覆盖开关薄膜晶体管 T1 的有源层(未示出)和感测薄膜晶体管 T3 的有源层(未示出)的任意图案形成。

[0069] 第二遮光层 LS2 由导电材料形成。如果导电材料的第二遮光层 LS2 以电绝缘的岛状结构形成,那么第二遮光层 LS2 可能对开关薄膜晶体管 T1 和感测薄膜晶体管 T3 的操作有坏的影响。因此,由于第二遮光层 LS2 通过接触孔 X 与参考线 Ref 电连接,因而能够防止对开关薄膜晶体管 T1 和感测薄膜晶体管 T3 的操作的坏的影响。

[0070] 第二遮光层 LS2 在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中被图案化为一体,而不是在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的每个像素中被分离地图案化。这是因为第二遮光层 LS2 与参考线 Ref 连接。

[0071] 在附图中,第一遮光层 LS1 被设置在距第二遮光层 LS2 预定的间隔处。然而,在考虑仅防护薄膜晶体管 T1、薄膜晶体管 T2 和薄膜晶体管 T3 的有源层的情况下,可以将第一遮光层 LS1 与第二遮光层 LS2 彼此连接。在这种情况下,用于覆盖在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的每个像素中的开关薄膜晶体管 T1、驱动薄膜晶体管 T2 和感测薄膜晶体管 T3 的区的遮光层形成为一体,并且该遮光层可以与像素 P1、像素 P2、像素 P3 和像素 P4 中的每个像素的驱动薄膜晶体管 T2 连接。这是为了防止驱动薄膜晶体管 T2 的操作受到遮光层的坏的影响。

[0072] 然而,在遮光层在相应的像素 P1、像素 P2、像素 P3 和像素 P4 中形成为一体并且与驱动薄膜晶体管 T2 连接的情况下,在操作驱动薄膜晶体管 T2 的过程中电荷可能被充入遮光层,并且开关薄膜晶体管 T1 可能受到遮光层的电荷的坏的影响,由此可能由开关薄膜晶体管 T1 的故障引起数据混合问题。

[0073] 因此,对于本发明的一个实施例,覆盖驱动薄膜晶体管 T2 的区并且与驱动薄膜晶体管 T2 连接的第一遮光层 LS1 被设置在距覆盖开关薄膜晶体管 T1 的区和感测薄膜晶体管 T3 的区的第二遮光层 LS2 预定的间隔处,从而第二遮光层 LS2 与第一遮光层 LS1 电绝缘。因此,能够在操作驱动薄膜晶体管 T2 时防止开关薄膜晶体管 T1 的故障。

[0074] 为了在第二遮光层 LS2 被设置在距第一遮光层 LS1 预定的间隔的情况下防止开关薄膜晶体管 T1 的操作和感测薄膜晶体管 T3 的操作受到第二遮光层 LS2 的坏的影响,第二遮光层 LS2 与参考线 Ref 连接。

[0075] 并不总是需要第二遮光层 LS2 与参考线 Ref 连接。可选择地,第二遮光层 LS2 可以与低电压线或接地电压线连接。这将稍后参照下面的各种示例进行描述。

[0076] 图 3A 是示出了图 2 中的第一像素 P1 和第二像素 P2 的平面图,并且图 3B 是示出了图 3A 所示的第一遮光层与驱动薄膜晶体管的第二源电极之间的电连接的横截面图。在图 2 中,第三像素 P3 和第四像素 P4 与第一像素 P1 和第二像素 P2 对称,因此将省略对于第三像素 P3 和第四像素 P4 的详细说明。

[0077] 如图 3A 所示,栅极线 GL 沿第一方向形成,并且第一电源线 VDD1、第一数据线 DL1、第二数据线 DL2 和参考线 Ref 沿第二方向形成并且与栅极线 GL 相交。第一像素 P1 被设置在第一电源线 VDD1 与第一数据线 DL1 之间,并且第二像素 P2 被设置在第二数据线 DL2 与参考线 Ref 之间。

[0078] 在第一像素 P1 中,存在开关薄膜晶体管 T1、驱动薄膜晶体管 T2、感测薄膜晶体管 T3、第一遮光层 LS1 和第二遮光层 LS2。

[0079] 设置在第一像素 P1 中的开关薄膜晶体管 T1 可以包括第一栅电极 G1、第一源电极 S1、第一漏电极 D1 和第一有源层 A1。

[0080] 第一栅电极 G1 可以由栅极线 GL 的局部部分形成,但是不限于该结构。第一栅电极 G1 可以从栅极线 GL 分支出,或者可以由通过接触孔与栅极线 GL 连接的附加的电极形成。第一漏电极 D1 可以从第一数据线 DL1 分支出。第一源电极 S1 与第一漏电极 D1 面对。换言之,第一源电极 S1 被设置为与第一漏电极 D1 相对。第一源电极 S1 通过第一接触孔 CH1 与驱动薄膜晶体管 T2 的第二栅电极 G2 连接,并且第一源电极 S1 占据了相对较大的面积使得能够增大电容 C。第一有源层 A1 与第一源电极 S1 和第一漏电极 D1 连接,因此第一有源层 A1 起电子迁移通道的作用。

[0081] 设置在第一像素 P1 中的驱动薄膜晶体管 T2 可以包括第二栅电极 G2、第二源电极 S2、第二漏电极 D2 和第二有源层 A2。

[0082] 第二栅电极 G2 通过第一接触孔 CH1 与开关薄膜晶体管 T1 的第一源电极 S1 连接。第二漏电极 D2 可以通过第十六接触孔 CH16 与从第一电源线 VDD1 分支出的突出部连接。第二源电极 S2 与第二漏电极 D2 面对。第二源电极 S2 可以通过第四接触孔 CH4 与稍后将要说明的感测薄膜晶体管 T3 的第三源电极 S3 连接。虽然未示出,但是第二源电极 S2 与有机发光二极管 OLED 的阳极连接。第二有源层 A2 与第二源电极 S2 和第二漏电极 D2 连接,因此第二源电极 A2 起电子迁移通道的作用。第二有源层 A2 可以由氧化物半导体材料形成,并且第二源电极 S2 与第二漏电极 D2 可以通过氧化物半导体材料的退火工艺而导通。在这种情况下,第二有源层 A2、第二源电极 S2 和第二漏电极 D2 可以形成在同一层中。特别地,在第二有源层 A2、第二源电极 S2 和第二漏电极 D2 形成在同一层中的情况下,第二源电极 S2 可以在第二有源层 A2 的一端处延伸,并且第二漏电极 D2 可以在第二有源层 A2 的另一端处延伸。

[0083] 设置在第一像素 P1 中的感测薄膜晶体管 T3 可以包括第三栅电极 G3、第三源电极 S3、第三漏电极 D3 和第三有源层 A3。

[0084] 第三栅电极 G3 可以由栅极线 GL 的局部部分形成,但是不限于该结构。第三栅电极 G3 可以从栅极线 GL 分支出,或者可以由通过接触孔与栅极线 GL 连接的附加的电极形成。如上所述,第三源电极 S3 可以通过第四接触孔 CH4 与驱动薄膜晶体管 T2 的第二源电极 S2

连接。第三漏电极 D3 与第三源电极 S3 面对,并且第三漏电极 D3 通过第二接触孔 CH2 与第二遮光层 LS2 连接。

[0085] 第三有源层 A3 与第三源电极 S3 和第三漏电极 D3 连接,因此第三有源层 A3 起电子迁移通道的作用。

[0086] 为了通过第一遮光层 LS1 覆盖驱动薄膜晶体管 T2 的第二有源层 A2,设置在第一像素 P1 中的第一遮光层 LS1 的面积等于或大于第二有源层 A2 的面积。第一遮光层 LS1 通过第四接触孔 CH4 和第十三接触孔 CH13 与驱动薄膜晶体管 T2 的第二源电极 S2 连接。

[0087] 参照图 3B,第一绝缘层 110、第一遮光层 LS1、第二绝缘层 120、第二源电极 S2、第三绝缘层 130 和第三源电极 S3 依次形成在基板 100 上。第一遮光层 LS1 通过第十三接触孔 CH13 与第三源电极 S3 连接,并且第三源电极 S3 通过第四接触孔 CH4 与第二源电极 S2 连接。因此,第一遮光层 LS1 经由第三源电极 S3 与第二源电极 S2 连接。

[0088] 第一遮光层 LS1 包括在第十三接触孔 CH13 的区中的突出结构以有利于形成第十三接触孔 CH13 的工艺。

[0089] 为了通过第二遮光层 LS2 覆盖开关薄膜晶体管 T1 的第一有源层 A1 和感测薄膜晶体管 T3 的第三有源层 A3,设置在第一像素 P1 中的第二遮光层 LS2 的面积等于或大于第一有源层 A1 和第三有源层 A3 的面积。第二遮光层 LS2 通过第二接触孔 CH2 与感测薄膜晶体管 T3 的第三漏电极 D3 连接,并且第二遮光层 LS2 还通过第三接触孔 CH3 与参考线 Ref 连接。

[0090] 开关薄膜晶体管 T1、驱动薄膜晶体管 T2、感测薄膜晶体管 T3、第一遮光层 LS1 和第二遮光层 LS2 形成在第二像素 P2 中。在下文中,将省略与前述第一像素 P1 相同的结构的重复说明。

[0091] 设置在第二像素 P2 中的开关薄膜晶体管 T1 可以包括第一栅电极 G1、第一源电极 S1、第一漏电极 D1 和第一有源层 A1。

[0092] 第一栅电极 G1 可以由栅极线 GL 的局部部分形成,第一漏电极 D1 可以从第二数据线 DL2 分支出,第一源电极 S1 可以通过第五接触孔 CH5 与驱动薄膜晶体管 T2 的第二栅电极 G2 连接,并且第一有源层 A1 可以与第一源电极 S1 和第一漏电极 D1 连接。

[0093] 设置在第二像素 P2 中的驱动薄膜晶体管 T2 可以包括第二栅电极 G2、第二源电极 S2、第二漏电极 D2 和第二有源层 A2。

[0094] 如上所述,第二栅电极 G2 可以通过第五接触孔 CH5 与开关薄膜晶体管 T1 的第一源电极 S1 连接。第二漏电极 D2 可以通过第一连接线 CL1 和桥线 BL 与第一电源线 VDD1 连接。第一连接线 CL1 通过第六接触孔 CH6 与桥线 BL 连接,并且第一连接线 CL1 通过第七接触孔 CH7 与第一电源线 VDD1 连接。桥线 BL 通过第十五接触孔 CH15 与第二漏电极 D2 连接。第二源电极 S2 可以通过第八接触孔 CH8 与稍后将要说明的感测薄膜晶体管 T3 的第三源电极 S3 连接。第二有源层 A2 与第二源电极 S2 和第二漏电极 D2 连接。

[0095] 设置在第二像素 P2 中的感测薄膜晶体管 T3 可以包括第三栅电极 G3、第三源电极 S3、第三漏电极 D3 和第三有源层 A3。

[0096] 第三栅电极 G3 可以由栅极线 GL 的局部部分形成,第三源电极 S3 可以通过第八接触孔 CH8 与驱动薄膜晶体管 T2 的第二源电极 S2 连接,第三漏电极 D3 可以从参考线 Ref 分支出,并且第三有源层 A3 可以与第三源电极 S3 和第三漏电极 D3 连接。

[0097] 为了通过第一遮光层 LS1 覆盖驱动薄膜晶体管 T2 的第二有源层 A2, 设置在第二像素 P2 中的第一遮光层 LS1 的面积等于或大于第二有源层 A2 的面积。此外, 设置在第二像素 P2 中的第一遮光层 LS1 通过第八接触孔 CH8 和第十四接触孔 CH14 与驱动薄膜晶体管 T2 的第二源电极 S2 连接。

[0098] 第一遮光层 LS1 通过第十四接触孔 CH14 与第三源电极 S3 连接, 并且第三源电极 S3 通过第八接触孔 CH8 与第二源电极 S2 连接。因此, 第一遮光层 LS1 经由第三源电极 S3 与第二源电极 S2 连接。第一遮光层 LS1 包括在第十四接触孔 CH14 的区中的突出结构以促进形成第十四接触孔 CH14 的过程。

[0099] 为了通过第二遮光层 LS2 覆盖开关薄膜晶体管 T1 的第一有源层 A1 和感测薄膜晶体管 T3 的第三有源层 A3, 设置在第二像素 P2 中的第二遮光层 LS2 的面积等于或大于第一有源层 A1 和第三有源层 A3 的面积。设置在第二像素 P2 中的第二遮光层 LS2 与设置在第一像素 P1 中的第二遮光层 LS2 形成为一体。具有上述结构的与第一数据线 DL1 和第二数据线 DL2 交叠的第二遮光层 LS2 从第一像素 P1 延伸至第二像素 P2。

[0100] 第二遮光层 LS2 防止外部光入射到形成在第一像素 P1 和第二像素 P2 中的每个像素中的第一有源层 A1 和第三有源层 A3 上, 并且第二遮光层 LS2 还将包括在不与参考线 Ref 相邻的第一像素 P1 的感测薄膜晶体管 T3 中的第三漏电极 D3 与参考线 Ref 连接。

[0101] 图 4 是根据本发明的一个实施例的有机发光显示装置的电路图, 其对应于包括在图 2 所示的有机发光显示装置中的像素 P1、像素 P2、像素 P3 和像素 P4 中的每个像素的电路图。

[0102] 如图 4 所示, 根据本发明的一个实施例的有机发光显示装置可以包括: 栅极线 GL、数据线 DL、电源线 VDD、参考线 Ref、开关薄膜晶体管 T1、驱动薄膜晶体管 T2、感测薄膜晶体管 T3、电容 C、有机发光二极管 OLED、第一遮光层 LS1 以及第二遮光层 LS2。

[0103] 根据开关薄膜晶体管 T1 通过提供至栅极线 GL 的栅极信号来切换, 开关薄膜晶体管 T1 将由数据线 DL 提供的数据电压提供给驱动薄膜晶体管 T2。

[0104] 根据驱动薄膜晶体管 T2 通过由开关薄膜晶体管 T1 提供的数据电压来切换, 驱动薄膜晶体管 T2 从由电源线 VDD 提供的功率生成数据电流, 并且将所生成的数据电流提供给有机发光二极管 OLED。

[0105] 感测薄膜晶体管 T3 感测导致图像质量劣化的驱动薄膜晶体管 T2 的阈值电压偏差。阈值电压偏差的这种感测在感测模式下执行。感测薄膜晶体管 T3 响应于由栅极线 GL 提供的感测控制信号将驱动薄膜晶体管 T2 的电流提供给参考线 Ref。

[0106] 电容 C 将提供给驱动薄膜晶体管 T2 的数据电压保持一帧, 其中电容 C 与驱动薄膜晶体管 T2 的栅极端子和源极端子连接。

[0107] 有机发光二极管 OLED 根据由驱动薄膜晶体管 T2 提供的数据电流发射预定的光。有机发光二极管 OLED 可以包括与驱动薄膜晶体管 T2 的源电极 (参见图 3 中的 'S2') 连接的阳极以及依次形成在阳极上的有机发射层和阴极。有机发光二极管 OLED 的阴极与低电源线 VSS 连接。

[0108] 覆盖驱动薄膜晶体管 T2 的有源层的第一遮光层 LS1 与驱动薄膜晶体管 T2 的源极端子连接。

[0109] 覆盖开关薄膜晶体管 T1 的有源层和感测薄膜晶体管 T3 的有源层的第二遮光层

LS2 与参考线 Ref 连接。

[0110] 在该实施例中,第一遮光层 LS1 与驱动薄膜晶体管 T2 的源电极 S2 连接。源电极 S2 和漏电极 D2 可以基于驱动薄膜晶体管 T2 的模式切换。因此,在该实施例中,第一遮光层 LS1 可以与驱动薄膜晶体管的漏电极 D2 连接。

[0111] 图 5 是示出了根据本发明的另一实施例的有机发光显示装置的平面图。对于图 5 中的有机发光显示装置,虚像素 D-P 和静电放电电路 ESD 与包括第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 的单元像素被设置在一起。

[0112] 对于图 5 中的有机发光显示装置,第二遮光层 LS2 未与参考线 Ref 连接,而与虚像素 D-P 的虚数据线 D-DL 连接。

[0113] 如图 5 所示,根据本发明的另一实施例的有机发光显示装置可以包括:基板 100、栅极线 GL、第一数据线 DL1、第二数据线 DL2、第三数据线 DL3、第四数据线 DL4、第一电源线 VDD1、第二电源线 VDD2、参考线 Ref、开关薄膜晶体管 T1、驱动薄膜晶体管 T2、感测薄膜晶体管 T3、虚数据线 D-DL、虚开关薄膜晶体管 D-T1、虚驱动薄膜晶体管 D-T2、虚感测薄膜晶体管 D-T3、静电放电电路 ESD-V、静电放电电路 ESD、第一遮光层 LS1 以及第二遮光层 LS2。

[0114] 对于图 5 中的有机发光显示装置的以下描述,相同的附图标记将用于指代与本发明的前述实施例的部分相同的部分,并且将仅详细描述不同的部分。

[0115] 如图 5 所示,根据本发明的另一实施例,虚像素 D-P 形成为与第一像素 P1 相邻。虚像素 D-P 被设置在虚数据线 D-DL 与第一电源线 VDD1 之间。虚像素 D-P 可以是不可操作的像素。例如,虚像素 D-P 可以与常规(可操作)像素(例如,像素 P1、像素 P2、像素 P3 和像素 P4)形成在一起,并且虚像素 D-P 可以具有在某种程度上类似于常规像素(例如,像素 P1、像素 P2、像素 P3 或像素 P4 中的任一个像素)的结构,但是虚像素 D-P 可以被配置成使得其不能发光。

[0116] 虚像素 D-P 提高了对应于最外面像素的第一像素 P1 的图案精度。这将详细描述如下。当在像素区域中形成多个像素时,所述多个像素通过多个掩模过程被图案化。通常,对于对应于最外面像素的第一像素 P1,非常难以精确控制掩模过程的曝光量,即,非常难以精确地图案化第一像素 P1。对于本发明的该实施例,由于虚像素 D-P 形成为与第一像素 P1 相邻,虚像素 D-P 是最外面像素,因此能够提高第一像素 P1 的图案精度。

[0117] 此外,虚像素 D-P 能够使由静电导致的像素区域损坏最小化。如果虚像素 D-P 形成在最外面区域中,那么虚像素 D-P 被静电问题损坏使得能够降低对像素区域的像素的损坏。

[0118] 虚像素 D-P 可以包括虚开关薄膜晶体管 D-T1、虚驱动薄膜晶体管 D-T2 和虚感测薄膜晶体管 D-T3。由于虚像素 D-P 不发光,因此虚开关薄膜晶体管 D-T1、虚驱动薄膜晶体管 D-T2 和虚感测薄膜晶体管 D-T3 可以被设计成不允许操作。例如,虚开关薄膜晶体管 D-T1、虚驱动薄膜晶体管 D-T2 和虚感测薄膜晶体管 D-T3 可以被设计成在其中不包括有源层以防止电子迁移。

[0119] 静电放电电路 ESD-V 被布置在虚数据线 D-DL 的外围处(换言之,在外边缘处)。静电放电电路 ESD 与静电放电电路 ESD-V 和栅极线 GL 连接。虽然未详细示出,但是静电放电电路 ESD 可以由薄膜晶体管形成。通过将静电放电电路 ESD-V 与静电放电电路 ESD 结合,能够防止可能在栅极线 GL 中出现的静电。即,如果在栅极线 GL 中出现静电,那么静电通过静电

放电线 ESD-V 经由静电放电电路 ESD 被释放。

[0120] 第一遮光层 LS1 与前述实施例中的第一遮光层 LS1 相同,因此将省略对于第一遮光层 LS1 的详细说明。

[0121] 第二遮光层 LS2 与前述实施例中的第二遮光层 LS2 稍有不同。以与本发明的前述实施例相同的方式,第二遮光层 LS2 覆盖在第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 中的开关薄膜晶体管 T1 的区和感测薄膜晶体管 T3 的区。然而,对于图 5 中的有机发光显示装置,第二遮光层 LS2 与虚数据线 D-DL 连接以便防止对开关薄膜晶体管 T1 和感测薄膜晶体管 T3 的操作的坏的影响。

[0122] 在本发明前述实施例中,第二遮光层 LS2 连接第一像素 P1 的感测薄膜晶体管 T3 与参考线 Ref,并且第二遮光层 LS2 还连接第四像素 P4 的感测薄膜晶体管 T3 与参考线 Ref。然而,对于图 5 所示的有机发光显示装置,第二遮光层 LS2 不与参考线 Ref 连接。即,需要提供附加的结构用于连接第一像素 P1 的感测薄膜晶体管 T3 与参考线 Ref,并且连接第四像素 P4 的感测薄膜晶体管 T3 与参考线 Ref。因此,对于图 5 所示的有机发光显示装置,附加地提供了第二连接线 CL2。第二连接线 CL2 通过接触孔 X 与第一像素 P1 的感测薄膜晶体管 T3、参考线 Ref 以及第四像素 P4 的感测薄膜晶体管 T3 连接。

[0123] 图 6 是示出了图 5 中的第一像素 P1、第二像素 P2、虚像素 D-P 和静电放电电路 ESD 的详细平面图。在下文中,将仅详细描述不同的部分。

[0124] 如图 6 所示,与栅极线 GL 相交的虚数据线 D-DL 形成在第一电源线 VDD1 的左侧中,因此虚像素 D-P 形成在第一电源线 VDD1 与虚数据线 D-DL 之间。

[0125] 虚像素 D-P 可以包括虚开关薄膜晶体管 D-T1、虚驱动薄膜晶体管 D-T2 和虚感测薄膜晶体管 D-T3。

[0126] 虚开关薄膜晶体管 D-T1 可以包括:由栅极线 GL 的局部部分形成的第一虚栅电极 D-G1、从虚数据线 D-DL 分支出的第一虚源电极 D-S1 以及与第一虚源电极 D-S1 面对的第一虚漏电极 D-D1。虚开关薄膜晶体管在其中不包括有源层使得未形成电子迁移通道,因此虚开关薄膜晶体管 D-T1 不起开关薄膜晶体管的作用。

[0127] 虚驱动薄膜晶体管 D-T2 可以包括:通过第九接触孔 CH9 与第一虚漏电极 D-D1 连接的第二虚栅电极 D-G2、从第一电源线 VDD1 分支出的第二虚漏电极 D-D2 以及与第二虚漏电极 D-D2 面对的第二虚源电极 D-S2。虚驱动薄膜晶体管 D-T2 在其中未包括有源层使得未形成电子迁移通道,因此虚驱动薄膜晶体管 D-T2 不起驱动薄膜晶体管的作用。

[0128] 虚感测薄膜晶体管 D-T3 可以包括:由栅极线 GL 的局部部分形成的第三虚栅电极 D-G3、由第二虚源电极 D-S2 形成的第三虚源电极 D-S3 以及与第三虚源电极 D-S3 面对的第三虚漏电极 D-D3。虚感测薄膜晶体管 D-T3 在其中未包括有源层使得未形成电子迁移通道,因此虚感测薄膜晶体管 D-T3 不起感测薄膜晶体管的作用。因此,无需连接第三虚漏电极 D-D3 与参考线 Ref。

[0129] 以与前述实施例相同的方式,第一遮光层 LS1 在第一像素 P1 和第二像素 P2 中的每个像素中被图案化。此外,第二遮光层 LS2 在第一像素 P1 和第二像素 P2 中形成为一体。为了通过第二遮光层 LS2 覆盖形成在第一像素 P1 和第二像素 P2 中的开关薄膜晶体管 T1 的第一有源层 A1 和感测薄膜晶体管 T3 的第三有源层 A3,第二遮光层 LS2 的面积等于或大于第一有源层 A1 和第三有源层 A3 的面积。与第一数据线 DL1、第二数据线 DL2 和第一电源

线 VDD1 交叠的第二遮光层 LS2 从第二像素 P2 经由第一像素 P1 延伸至虚像素 D-P 的虚数据线 D-DL。

[0130] 具体地,第二遮光层 LS2 通过第十接触孔 CH10 与虚数据线 D-DL 连接。虚数据线 D-DL 未提供有用于发射 (emission) 的数据电压。因此,能够给虚数据线 D-DL 提供预定电压。如果第二遮光层 LS2 与虚数据线 D-DL 连接,那么具有如下优点:选择电压水平对在第一像素 P1 和第二像素 P2 中的开关薄膜晶体管 T1 和感测薄膜晶体管 T3 的操作没有坏的影响的最优电压,并将所选择的最优电压提供给虚数据线 D-DL。

[0131] 如上所述,附加地形成了第二连接线 CL2 以连接第一像素 P1 的感测薄膜晶体管 T3 与参考线 Ref。第二连接线 CL2 通过第二接触孔 CH2 与在第一像素 P1 中的感测薄膜晶体管 T3 的第三漏电极 D3 连接,并且第二连接线 CL2 通过第三接触孔 CH3 与参考线 Ref 连接。

[0132] 图 7 是示出了根据本发明的另一实施例的有机发光显示装置的电路图,其对应于被包括在图 5 所示的有机发光显示装置中的像素 P1、像素 P2、像素 P3、像素 P4 中的每个像素的电路图。

[0133] 如图 7 所示,根据本发明的另一实施例的有机发光显示装置可以包括:栅极线 GL、虚数据线 D-DL、数据线 DL、电源线 VDD、参考线 Ref、开关薄膜晶体管 T1、驱动薄膜晶体管 T2、感测薄膜晶体管 T3、电容 C、有机发光二极管 OLED、第一遮光层 LS1 以及第二遮光层 LS2。

[0134] 除了附加地设置了虚数据线 D-DL 以及第二遮光层 LS2 在其连接结构方面改变之外,图 7 中的电路图与图 4 中的电路图相同,因此将省略对于相同部分的详细说明。

[0135] 如图 7 所示,根据本发明的另一实施例,覆盖开关薄膜晶体管 T1 的有源层和感测薄膜晶体管 T3 的有源层的第二遮光层 LS2 与虚数据线 D-DL 连接。

[0136] 图 8 是示出了根据本发明的另一实施例的有机发光显示装置的平面图。除了第二遮光层 LS2 与静电放电线 ESD-V 连接而不是与虚像素 D-P 的虚数据线 D-DL 连接之外,图 8 中的有机发光显示装置与图 5 中的有机发光显示装置相同,因此将仅描述不同的部分如下。

[0137] 如图 8 所示,与虚数据线 D-DL、第一电源线 VDD1、第一数据线 DL1、第二数据线 DL2、参考线 Ref、第三数据线 DL3 以及第四数据线 DL4 交叠的第二遮光层 LS2 从第四像素 P4 经由虚像素 D-P 延伸至静电放电线 ESD-V。虽然未详细示出,但是第二遮光层 LS2 可以延伸至与布置在与包括第一像素 P1、第二像素 P2、第三像素 P3 和第四像素 P4 的单元像素的行相同的行中的所有单元像素连接,其将同样地应用于图 5 中的实施例。

[0138] 具体地,第二遮光层 LS2 通过第十一接触孔 CH11 与静电放电线 ESD-V 连接。

[0139] 同时,图 8 示出了虚像素 D-P 被包括在有机发光显示装置中,但是这并不是必需的。即,可以将虚像素 D-P 从图 8 中的有机发光显示装置中去除,并且形成与第一电源线 VDD1 的左侧相邻的静电放电线 ESD-V。

[0140] 图 9 是示出了根据本发明的另一实施例的有机发光显示装置的电路图。图 9 中的有机发光显示装置通过将虚像素 D-P 从图 8 中的有机发光显示装置中去除来获得。

[0141] 如图 9 所示,根据本发明的另一实施例的有机发光显示装置可以包括:栅极线 GL、静电放电线 ESD-V、数据线 DL、电源线 VDD、参考线 Ref、开关薄膜晶体管 T1、驱动薄膜晶体管 T2、感测薄膜晶体管 T3、电容 C、有机发光二极管 OLED、第一遮光层 LS1 以及第二遮光层

LS2。

[0142] 除了附加地设置了静电放电线 ESD-V 以及第二遮光层 LS2 在其连接结构方面改变之外,图 9 中的电路图与图 4 中的电路图相同,因此将省略对于相同部分的详细说明。

[0143] 如图 9 所示,根据本发明的另一实施例,覆盖开关薄膜晶体管 T1 的有源层和感测薄膜晶体管 T3 的有源层的第二遮光层 LS2 与静电放电线 ESD-V 连接。

[0144] 图 10 是示出了根据本发明的另一实施例的有机发光显示装置的平面图。除了附加地连接静电放电线 ESD-V 与低电源线 VSS 之外,图 10 中的有机发光显示装置与图 8 中的有机发光显示装置相同,因此将仅详细描述不同的部分。

[0145] 如图 10 所示,以与图 8 中的有机发光显示装置相同的方式,第二遮光层 LS2 通过第十一接触孔 CH11 与静电放电线 ESD-V 连接。此外,静电放电线 ESD-V 通过第十二接触孔 CH12 与低电源线 VSS 连接。低电源线 VSS 与设置在像素 P1、像素 P2、像素 P3 和像素 P4 中的每个像素中的有机发光二极管 OLED 的阴极连接。

[0146] 图 11 是示出了根据本发明的另一实施例的有机发光显示装置的电路图,其涉及图 10 中的有机发光显示装置。将省略对于与图 9 中的部分相同的部分的详细描述。

[0147] 如图 11 所示,根据本发明的另一实施例的有机发光显示装置,覆盖开关薄膜晶体管 T1 的有源层和感测薄膜晶体管 T3 的有源层的第二遮光层 LS2 与静电放电线 ESD-V 连接。此外,静电放电线 ESD-V 与低电源线 VSS 连接。

[0148] 图 12 是示出了根据本发明的另一实施例的有机发光显示装置的电路图,其中,第二遮光层 LS2 与低电源线 VSS 直接连接。对于图 10 和图 11,第二遮光层 LS2 经由静电放电线 ESD-V 与低电源线 VSS 连接。对于图 12,第二遮光层 LS2 与低电源线 VSS 直接连接。换言之,在第二遮光层 LS2 与低电源线 VSS 之间没有连接附加的线(例如,静电放电线 ESD-V)。然而,术语“直接连接”可以包括经由接触孔连接。

[0149] 如上所述,第二遮光层 LS2 与导电线连接使得能够防止对开关薄膜晶体管 T1 和感测薄膜晶体管 T3 的操作的坏的影响。具体地,第二遮光层 LS2 可以与参考线 Ref 连接,可以与虚数据线 D-DL 连接,可以与静电放电线 ESD-V 连接,可以经由静电放电线 ESD-V 与低电源线 VSS 连接,或者可以与低电源线 VSS 直接连接,但是不限于这些结构。例如,在附加地形成恒定电压线之后,第二遮光层 LS2 可以与恒定电压线连接。

[0150] 根据本发明,第一遮光层 LS1 和第二遮光层 LS2 能够防止外部光入射到开关薄膜晶体管 T1 的有源层和驱动薄膜晶体管 T2 的有源层上。

[0151] 具体地,覆盖驱动薄膜晶体管 T2 的区的第一遮光层 LS1 与覆盖开关薄膜晶体管 T1 的区的第二遮光层 LS2 电绝缘使得能够在操作驱动薄膜晶体管 T2 时防止开关薄膜晶体管 T1 故障。

[0152] 对本领域技术人员将明显的是,在不脱离本发明的精神或范围的情况下,可以在本发明中做出各种修改和变化。因此,本发明旨在覆盖本发明的修改和变化,只要这些修改和变化落入所附权利要求及其等同内容的范围内即可。

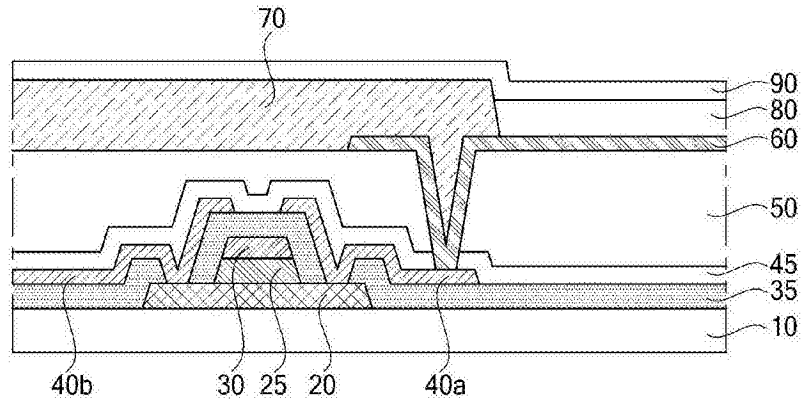


图 1

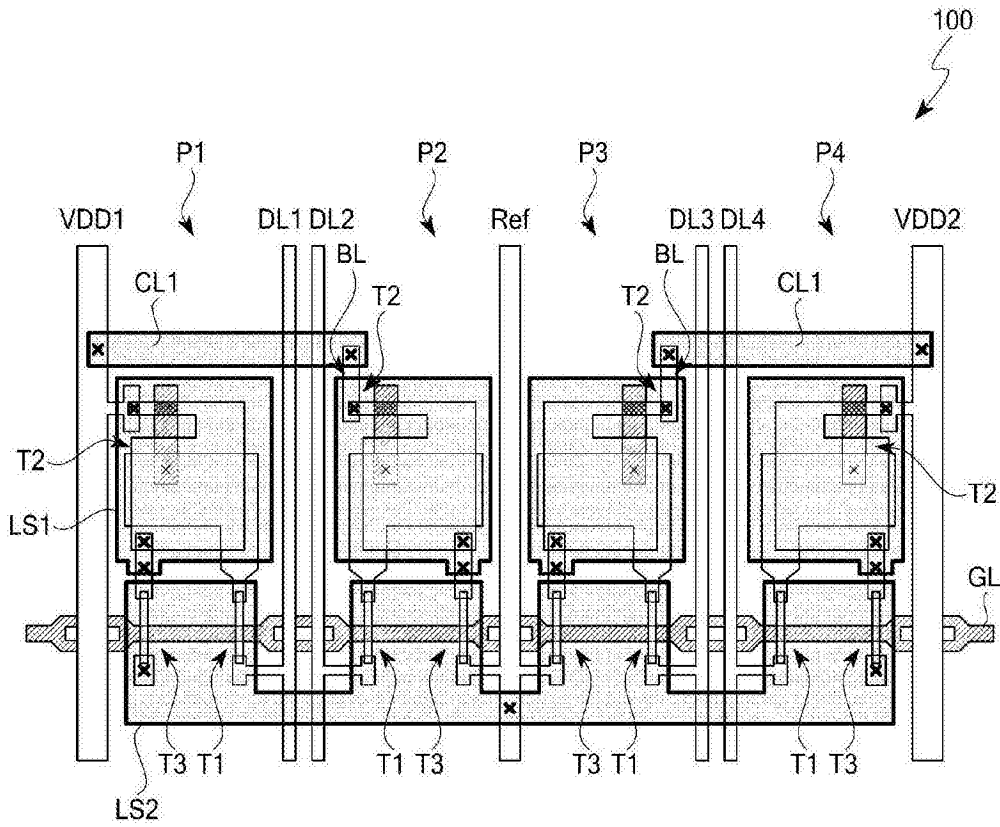


图 2

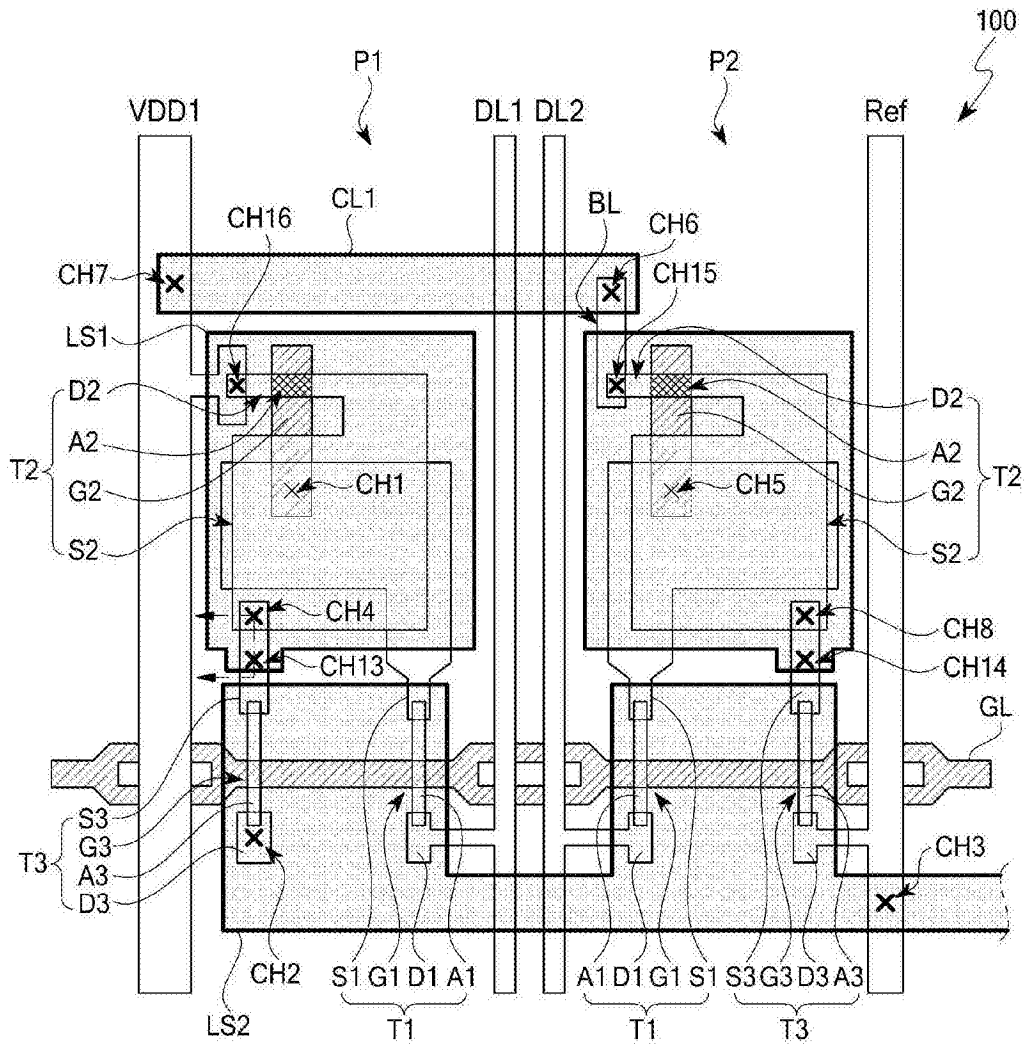


图 3A

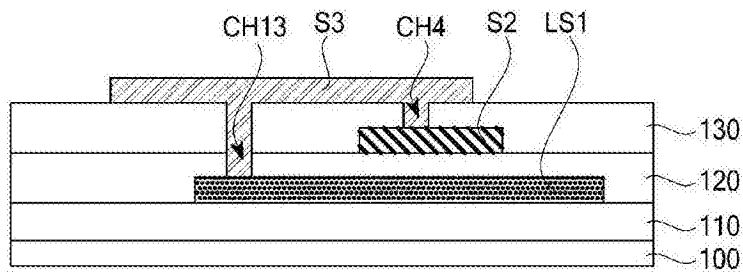


图 3B

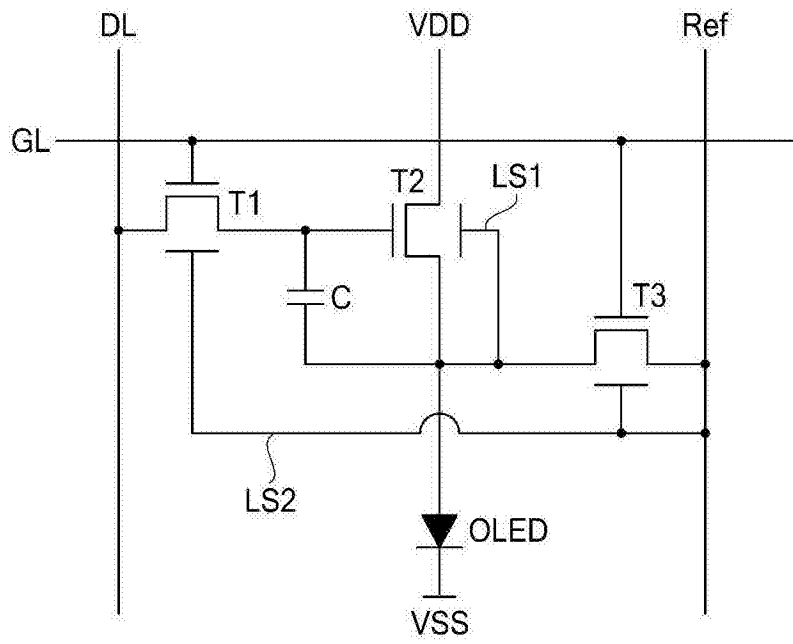


图 4

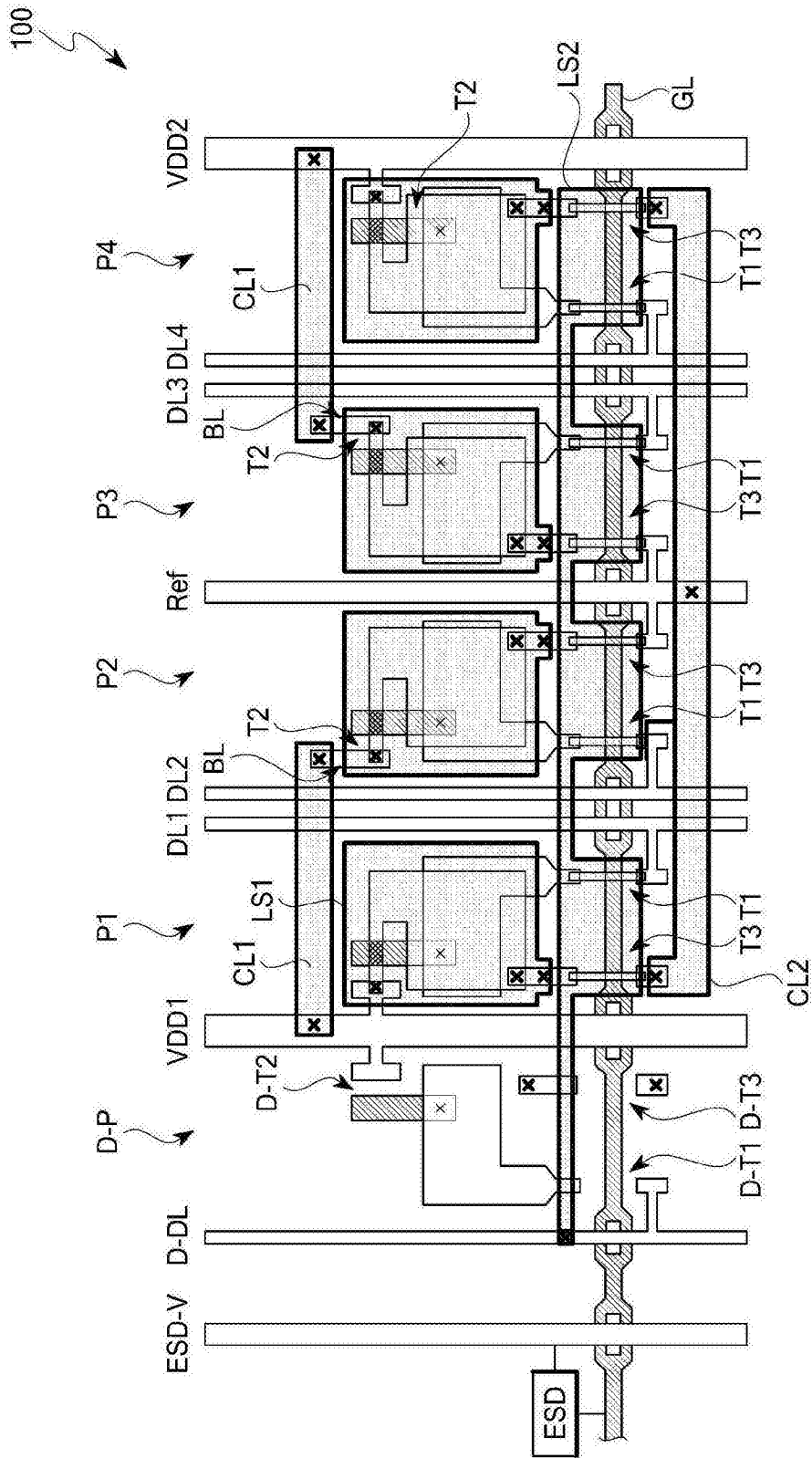


图 5

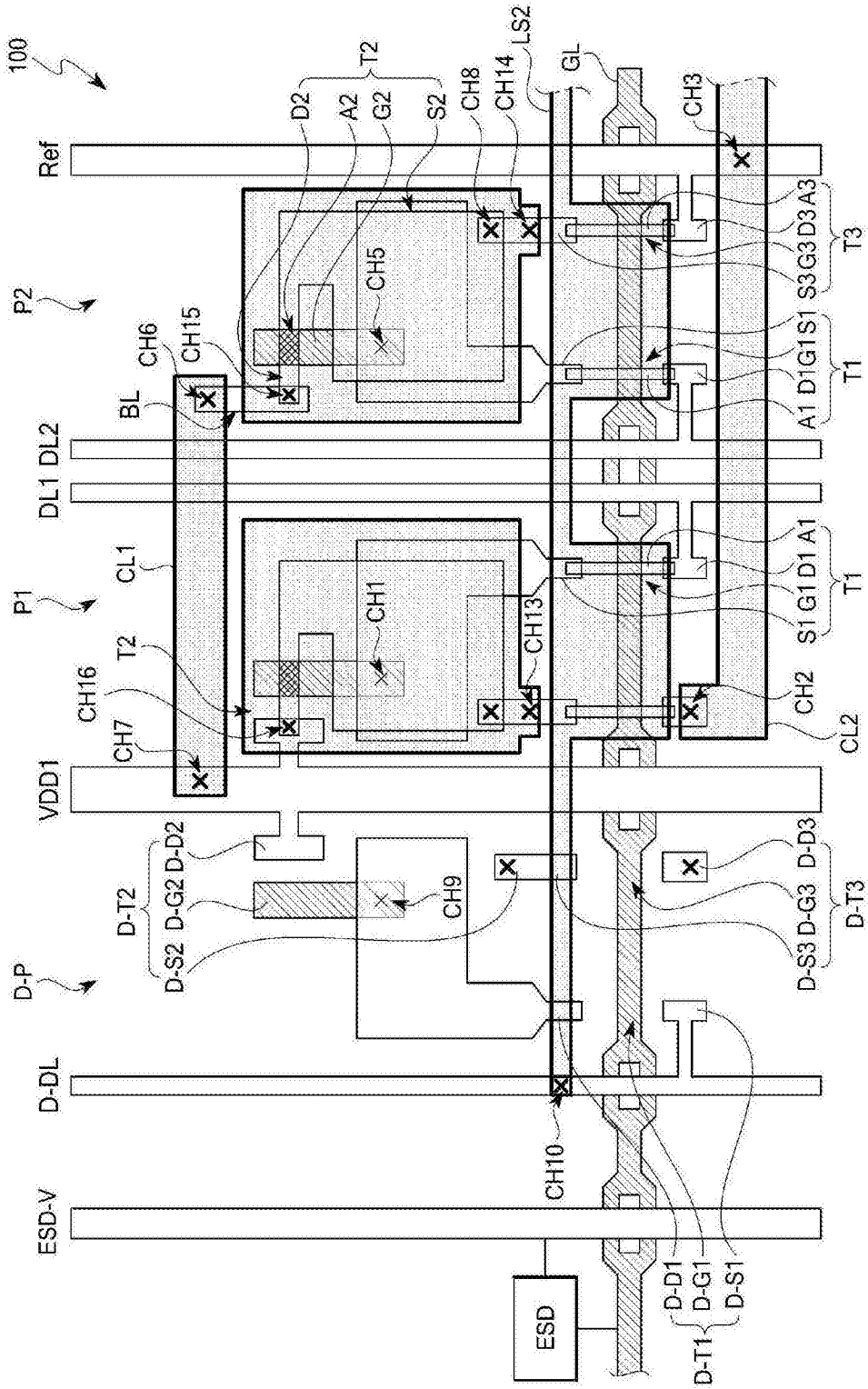


图 6

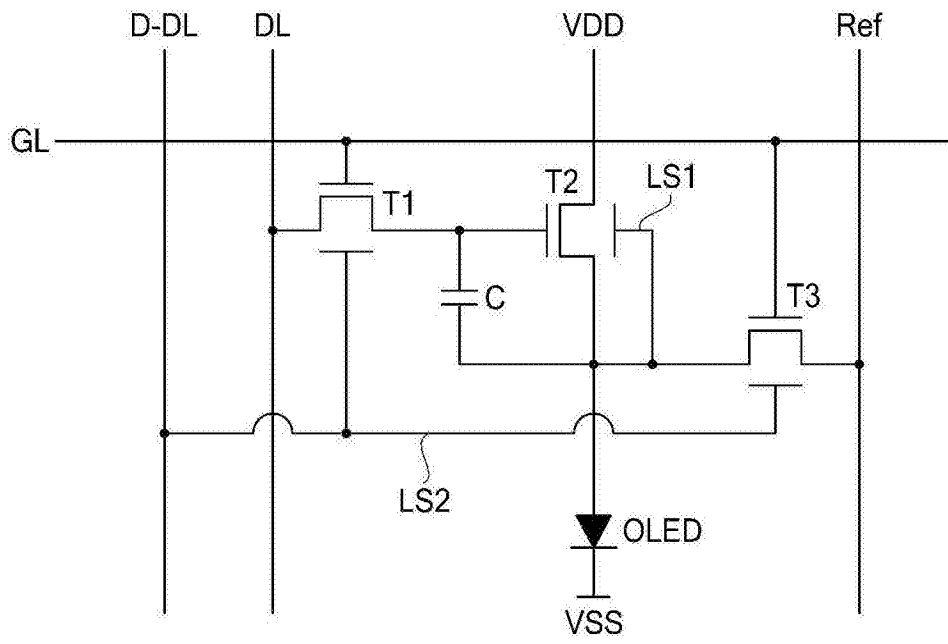


图 7

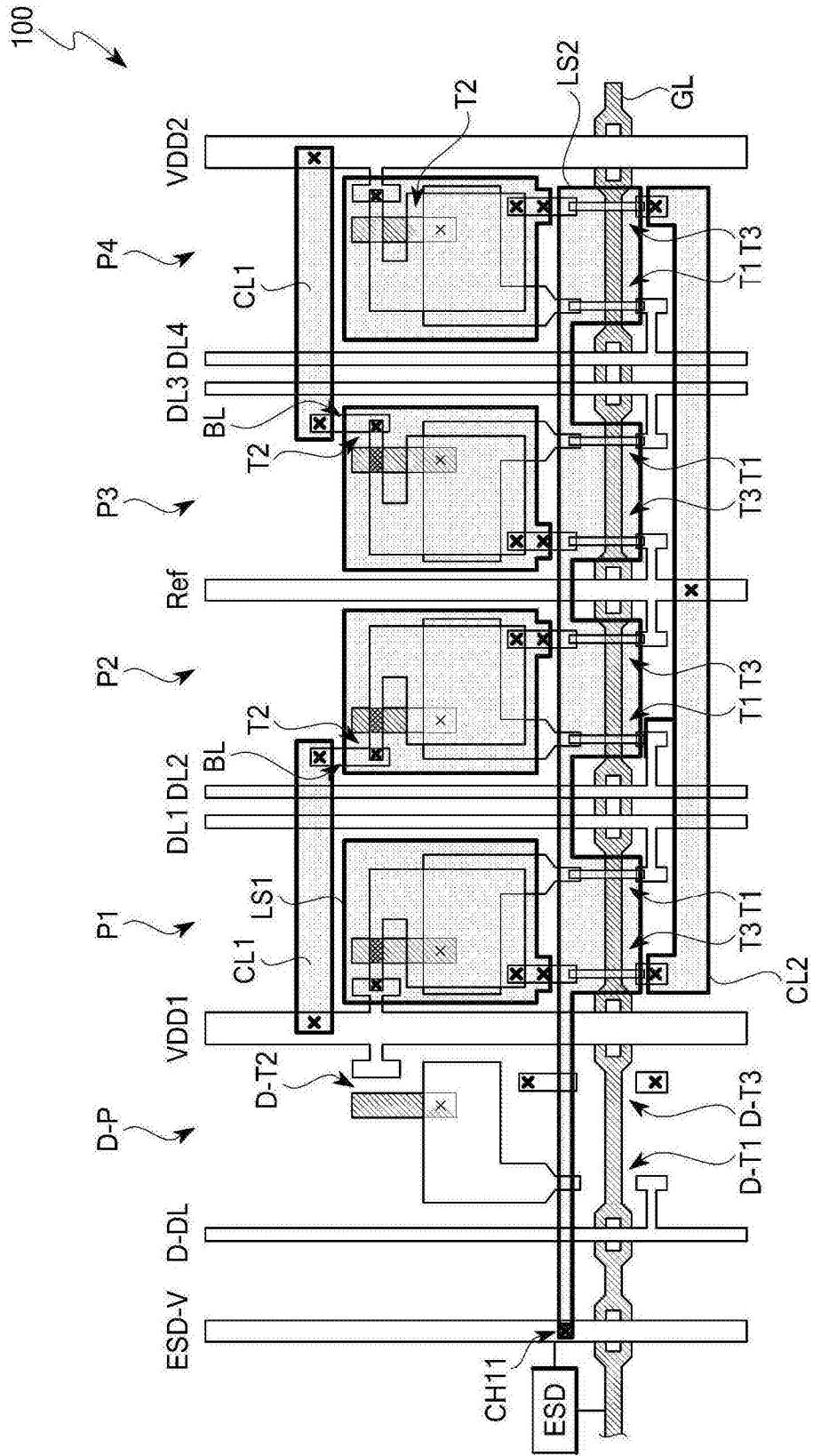


图 8

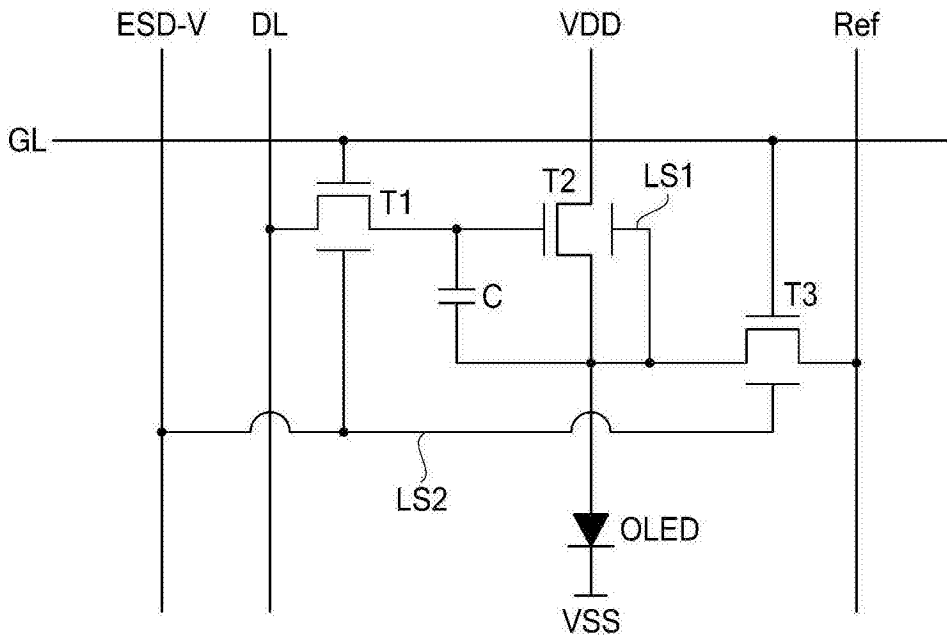


图 9

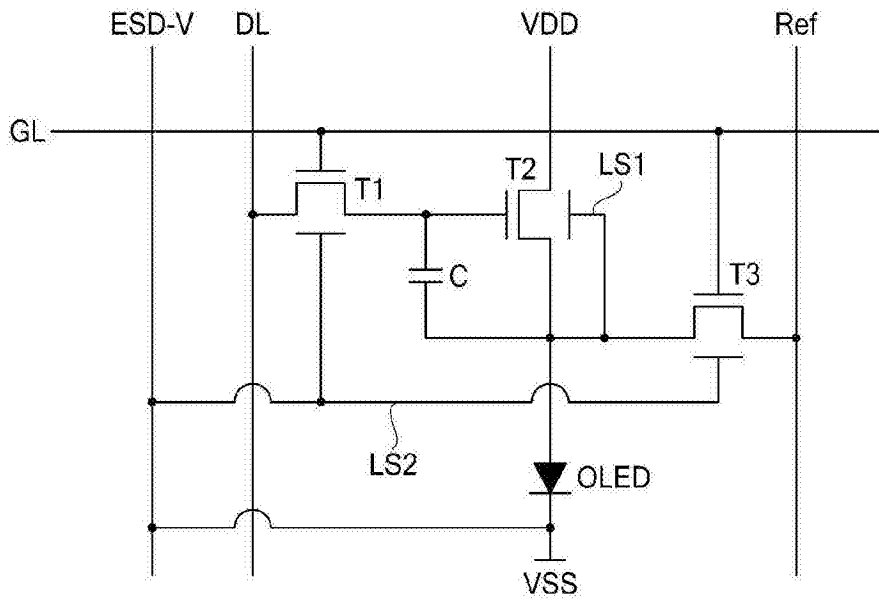


图 11

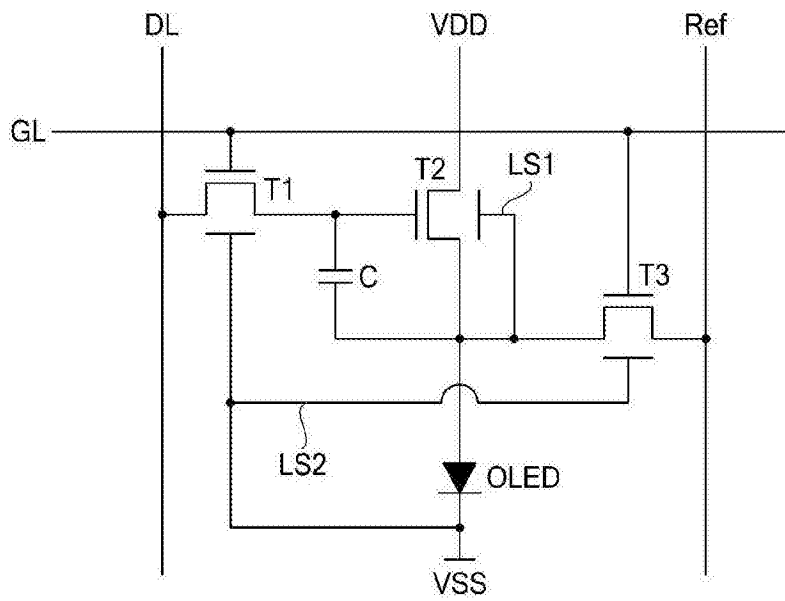


图 12

专利名称(译)	有机发光显示装置		
公开(公告)号	CN105321986A	公开(公告)日	2016-02-10
申请号	CN201510479263.X	申请日	2015-08-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔基敏 李玠宙 金弘锡 全光训		
发明人	崔基敏 李玠宙 金弘锡 全光训		
IPC分类号	H01L27/32 H01L23/552		
CPC分类号	H01L27/3223 H01L27/3262 H01L27/3272 H01L27/3276 H01L27/0248 H01L51/5221		
代理人(译)	朱胜 江河清		
优先权	1020140098983 2014-08-01 KR		
其他公开文献	CN105321986B		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种有机发光显示装置，该有机发光显示装置可以包括：在基板上的第一像素；设置在第一像素内的具有第一有源层的开关晶体管；设置在第一像素内的具有第二有源层的驱动晶体管；与第二有源层交叠的第一遮光层；以及与第一有源层交叠的第二遮光层，其中，第一遮光层与驱动晶体管连接，并且第二遮光层与第一遮光层电绝缘。

