



(12)发明专利申请

(10)申请公布号 CN 110164380 A

(43)申请公布日 2019.08.23

(21)申请号 201910396424.7

(22)申请日 2019.05.14

(71)申请人 武汉华星光电半导体显示技术有限公司

地址 430079 湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室

(72)发明人 王威 徐品全

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/3266(2016.01)

G09G 3/3225(2016.01)

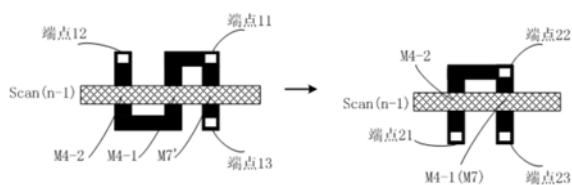
权利要求书1页 说明书5页 附图3页

(54)发明名称

一种像素补偿电路及OLED显示装置

(57)摘要

本发明揭露一种像素补偿电路及OLED显示装置,由同一行扫描信号线输出的扫描信号控制至少两颗薄膜晶体管,从而将有机发光二极管以及存储电容均与复位电压信号线连通,使其接收复位电压信号而复位。且由同一行扫描信号控制的至少两颗薄膜晶体管,其有源层的多晶硅走线在竖直方向上可以仅为2条走线,从而可以压缩像素结构在水平方向上的尺寸,为PPI的提高提供空间,利于实现高PPI面板设计。



1. 一种像素补偿电路, 应用于一像素结构, 所述像素结构包括一复位电压信号线以及多条扫描信号线; 其特征在于,

所述像素补偿电路包括由同一条扫描信号线控制的一第四晶体管和一第七晶体管, 同时, 所述第四晶体管和第七晶体管均接入所述复位电压信号线;

所述第四晶体管和所述第七晶体管的有源层的多晶硅走线相连接, 且所述多晶硅走线在竖直方向上为2条走线, 其中, 定义所述竖直方向为与所述复位电压信号线的走线延伸方向垂直的方向。

2. 如权利要求1所述的像素补偿电路, 其特征在于, 所述扫描信号线与所述复位电压信号线的走线延伸方向相同。

3. 如权利要求1所述的像素补偿电路, 其特征在于, 所述第四晶体管和所述第七晶体管至少其中之一为双栅极晶体管或多栅极晶体管, 所述第四晶体管和所述第七晶体管至少共用一部分有源层。

4. 如权利要求1所述的像素补偿电路, 其特征在于, 所述第四晶体管和所述第七晶体管的有源层采用同一层半导体材料形成。

5. 如权利要求1所述的像素补偿电路, 其特征在于, 所述像素补偿电路还包括一存储电容以及一有机发光二极管;

所述第四晶体管和所述第七晶体管栅极均接入一第 $n-1$ 行扫描信号线, n 为大于1的正整数;

所述第四晶体管的漏极接入所述复位电压信号线, 其源极电连接所述存储电容的下极板, 所述存储电容的上极板接入一驱动电压信号线;

所述第七晶体管的漏极接入所述复位电压信号线, 其源极电连接所述有机发光二极管的阳极, 所述有机发光二极管的阴极接入一公共接地电压信号线。

6. 如权利要求5所述的像素补偿电路, 其特征在于, 所述像素结构还包括多条发光控制信号线, 所述像素补偿电路还包括一第一晶体管、一第二晶体管、一第三晶体管、一第五晶体管以及一第六晶体管;

所述第一晶体管、所述第五晶体管以及所述第六晶体管的栅极均接入一第 n 行发光控制信号线, 所述第二晶体管和所述第三晶体管的栅极均接入一第 n 行扫描信号线;

所述第二晶体管和所述第五晶体管的源极共同连接到所述第一晶体管的漏极, 所述第一晶体管和所述第三晶体管的源极共同连接到所述第六晶体管的漏极;

所述第二晶体管的漏极接入一数据信号线;

所述第三晶体管漏极接入所述第 n 行发光控制信号线;

所述第五晶体管的漏极接入所述驱动电压信号线;

所述第六晶体管的源极电连接所述有机发光二极管的阳极。

7. 一种OLED显示装置, 其特征在于, 所述OLED显示装置包括至少一像素结构, 以及应用于所述像素结构的像素补偿电路, 所述像素补偿电路采用如权利要求1-6任意一项所述的像素补偿电路。

一种像素补偿电路及OLED显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素补偿电路及OLED显示装置。

背景技术

[0002] 近年来OLED (Organic Light Emitting Diode,有机发光二极管) 显示技术的快速发展,推动曲面和柔性显示产品迅速进入市场,相关领域技术更新也是日新月异。OLED是指利用有机半导体材料和发光材料在电场驱动下,通过载流子注入和复合导致发光的二极管。OLED显示装置由于重量轻、自发光、广视角、驱动电压低、发光效率高、功耗低、响应速度快等优点,应用范围越来越广泛。在OLED像素电路中,可以通过一个薄膜晶体管(TFT) 驱动像素电路中的OLED发光,这个薄膜晶体管称为驱动晶体管。但是由于OLED的发光亮度与流经OLED的电流大小有关,所以作为驱动晶体管的薄膜晶体管的电学性能会直接影响显示效果,尤其是薄膜晶体管的阈值电压经常会发生漂移,还会在长时间开启偏压后出现稳定性下降的问题,造成了驱动电流的漂移,使OLED的亮度不均,进而使得整个OLED显示装置出现亮度不均匀的问题。为了改善OLED显示装置的显示效果,一般都要对OLED进行像素补偿,以消除OLED驱动电流漂移(即驱动晶体管的阈值漂移)的影响,这种电路即称为像素补偿电路。

[0003] AMOLED (Active-Matrix Organic Light Emitting Diode,有源矩阵有机发光二极管) 显示装置是采用电流驱动OLED器件发光形成画面的显示器件。为了获得较优的画面均匀度,需获得较精准的电流控制能力。因此,一般采用外部补偿和内部补偿两种方法来获得上述效果。内部补偿,即针对每个子像素均采用7T1C (7 transistor 1 capacitance,即七个薄膜晶体管加一个存储电容的结构) 或6T1C (6 transistor 1 capacitance,即六个薄膜晶体管加一个存储电容的结构) 或6T2C (6 transistor 2 capacitance,即六个薄膜晶体管加两个存储电容的结构) 等像素补偿电路对驱动晶体管进行输出电流调控。

[0004] 参考图1A-1B,其中图1A为现有包括像素补偿电路的像素结构示意图,图1B为图1A对应的像素补偿电路的电路原理图。本实施例的像素补偿电路为7T1C电路,包括第一至第七晶体管M1-M7共七个薄膜晶体管、一个存储电容Cst以及一个有机发光二极管OELD1。

[0005] 在图1A中,第一金属层包括扫描信号线(Scan)、发光控制信号线(EM) 以及存储电容Cst下极板;第二金属层包括:存储电容Cst的上极板以及电压信号线VI;第三金属层包括:驱动电压信号线VDD以及数据信号线Data。同时,在图1A中,标号M7' 用于示意该第七晶体管M7' 是由前一行扫描信号线Scan (n-1) 控制的,是另一个7T1C电路单元中的晶体管;而与M1-M6属于同一7T1C电路单元中的M7由扫描信号线Scan (n) 控制(未示于图1A中)。

[0006] 在图1B中,第一、第五、第六晶体管M1、M5、M6的栅极均接入第n行发光控制信号线EM (n);第二、第三、第七晶体管M2、M3、M7的栅极均接入第n行扫描信号线Scan (n);第四晶体管M4为双栅极结构薄膜晶体管(包括M4-1和M4-2两部分),且栅极接入第n-1行扫描信号线Scan (n-1);第二晶体管M2和第五晶体管M5的源极共同连接到第一晶体管M1的漏极,第一晶体管M1和第三晶体管M3的源极共同连接到第六晶体管M6的漏极,第三晶体管M3的漏极接入

第n行发光控制信号线EM(n);第二晶体管M2的漏极接入数据信号线Data;第五晶体管M5的漏极接入驱动电压信号线VDD(通常为高电平),同时电连接存储电容Cst的上极板;第四晶体管M4的源极电连接存储电容Cst的下极板,第四晶体管M4和第七晶体管M7的漏极共同接入复位电压信号线VI;第六晶体管M6和第七晶体管M7的源极共同连接到有机发光二极管OLED1的阳极,有机发光二极管OLED1的阴极连接至公共接地电压信号线VSS(通常为低电平)。

[0007] 对于现有的7T1C电路设计来说,第四晶体管M4与第七晶体管M7由不同的扫描信号线控制:当第n-1行扫描信号线Scan(n-1)输出扫描信号时,第四晶体管M4开启,从而将存储电容Cst的下极板与复位电压信号线VI连通,使其接收复位电压信号而复位;当第n行扫描信号线Scan(n)输出扫描信号时,第七晶体管M7开启,从而将有机发光二极管OLED1的阳极与复位电压信号线VI连通,使其接收复位电压信号而复位。

[0008] 然而,对于现有的7T1C电路设计来说,第四晶体管M4的源极(如图1A所示端点12)与存储电容Cst的下极板电连接,漏极(如图1A所示端点11)与复位电压信号线VI电连接;另一7T1C电路单元中的第七晶体管M7'的漏极(如图1A所示端点11)与复位电压信号线VI电连接,源极(如图1A所示端点13)与有机发光二极管OLED1的阳极相连。由于第四晶体管M4或第七晶体管M7(与另一7T1C电路单元中的第七晶体管M7'结构相同)至少有一颗为双栅极结构薄膜晶体管(例如,在图1A中第四晶体管M4为双栅极结构薄膜晶体管,包含M4-1和M4-2两部分),且第四晶体管M4和第七晶体管M7'分别位于端点11的两侧,导致两薄膜晶体管有源层的多晶硅(Poly)为90度旋转后的S型走线(即在竖直方向上有3条多晶硅走线)。也即,由于7T1C、6T1C、6T2C等像素补偿电路中元器件的布局,限制了像素结构的尺寸进一步缩小,进而限制了像素密度(Pixels Per Inch,简称PPI)的提升。

发明内容

[0009] 本发明的目的在于,针对现有技术存在的问题,提供一种像素补偿电路及OLED显示装置,可以缩减像素结构的面积,提高像素密度,利于实现高像素密度面板设计。

[0010] 为实现上述目的,本发明提供了一种像素补偿电路,应用于一像素结构,所述像素结构包括一复位电压信号线以及多条扫描信号线;所述像素补偿电路包括由同一条扫描信号线控制的一第四晶体管和一第七晶体管,同时,所述第四晶体管和第七晶体管均接入所述复位电压信号线;所述第四晶体管和所述第七晶体管的有源层的多晶硅走线相连接,且所述多晶硅走线在竖直方向上为2条走线,其中,定义所述竖直方向为与所述复位电压信号线的走线延伸方向垂直的方向。

[0011] 为实现上述目的,本发明还提供了一种OLED显示装置,所述OLED显示装置包括像素结构以及像素补偿电路,所述像素补偿电路采用本发明所述的像素补偿电路。

[0012] 本发明的优点在于:本发明像素补偿电路,可以由同一行扫描信号线输出的扫描信号控制至少两颗薄膜晶体管,从而将有机发光二极管以及存储电容均与复位电压信号线连通,使其接收复位电压信号而复位。该两颗薄膜晶体管可以均为单栅极结构薄膜晶体管,或两薄膜晶体管至少一颗为双栅或多栅极晶体管,同时两薄膜晶体管至少共用一部分有源层;同时,该两颗薄膜晶体管的有源层的多晶硅走线在竖直方向上可以仅为2条走线,从而可以压缩像素结构在水平方向上的尺寸,为PPI的提高提供空间,利于实现高PPI面板设计。

附图说明

[0013] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0014] 图1A为现有包括像素补偿电路的像素结构示意图;

[0015] 图1B为图1A对应的像素补偿电路的电路原理图;

[0016] 图2A为本发明包括像素补偿电路的像素结构的一实施例的示意图;

[0017] 图2B为图2A对应的像素补偿电路的电路原理图;

[0018] 图3为本发明像素补偿电路的局部结构示意图。

具体实施方式

[0019] 下面详细描述本发明的实施方式,所述实施方式的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的组件或具有相同或类似功能的组件。下面通过参考附图描述的实施方式是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。此外,本发明在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。

[0020] 本发明像素补偿电路,应用于一像素结构,所述像素结构包括一复位电压信号线以及多条扫描信号线,所述像素补偿电路包括由同一条扫描信号线控制的一第四晶体管和一第七晶体管,同时,所述第七晶体管均接入所述复位电压信号线,所述第四晶体管和所述第七晶体管的有源层的多晶硅走线相连接,且所述多晶硅走线在竖直方向上为2条走线,其中,定义所述竖直方向为与所述复位电压信号线的走线延伸方向垂直的方向,定义所述复位电压信号线的走线延伸方向为水平方向。由于两晶体管的有源层的多晶硅走线在竖直方向上为2条走线,从而可以缩减像素结构在水平方向上的尺寸,为像素密度(PPI)的提高提供空间,有利于提高像素密度,实现高像素密度面板设计。

[0021] 具体的,两薄膜晶体管可以均为单栅极结构薄膜晶体管;或两薄膜晶体管至少一颗为双栅或多栅极晶体管(即包含2个及以上的非连续有源层),同时两薄膜晶体管至少共用一部分有源层。

[0022] 参考图2A-2B,其中,图2A为本发明像素补偿电路一实施例的像素结构示意图,图2B为图2A对应的像素补偿电路的电路原理图,图中仅用于示意各晶体管的相对位置,实际上有源层位于像素结构膜层的其它金属层的下方。本实施例的像素补偿电路为7T1C电路,包括第一至第七晶体管M1-M7共七个薄膜晶体管、一个存储电容Cst以及一个有机发光二极管OELD1。在其它实施例中,像素补偿电路也可以为6T1C、6T2C等电路。在图2A中,第一金属层包括多条扫描信号线(Scan)、多条发光控制信号线(EM)以及至少一存储电容Cst下极板;第二金属层包括:所述存储电容Cst的上极板以及一电压信号线VI;第三金属层包括:一驱动电压信号线VDD以及多条数据信号线Data。

[0023] 在本实施例中,第四晶体管M4为双栅极结构薄膜晶体管,包含M4-1和M4-2两部分。具体的,所述第四晶体管M4和所述第七晶体管M7的栅极均接入第n-1行扫描信号线Scan(n-1),其中,n为大于1的正整数;所述第四晶体管M4的M4-2部分的源极接入所述存储电容Cst

的下极板(通过图2A中所示端点21接入),所述存储电容Cst的上极板接入驱动电压信号线VDD;所述第四晶体管M4的M4-1部分与所述第七晶体管M7共用有源层,两晶体管均为一端接入所述复位电压信号线VI(通过图2A中所示端点23接入),另一端电连接所述有机发光二极管OLED1的阳极(通过图2A中所示端点22电连接),所述有机发光二极管OLED1的阴极接入公共接地电压信号线VSS。即,复位电压信号线VI与存储电容Cst的下极板之间存在一个薄膜晶体管(本实施例为第四晶体管M4的M4-2部分),复位电压信号线VI与有机发光二极管OLED1的阳极之间存在至少一个薄膜晶体管(本实施例为第四晶体管M4的M4-1部分以及第七晶体管M7),存储电容Cst的下极板和有机发光二极管OLED1的阳极分别与复位电压信号线VI藕接。

[0024] 由于所述第四晶体管M4和所述第七晶体管M7均由第n-1行扫描信号线Scan(n-1)输出的上一帧画面的扫描信号控制,当第n-1行扫描信号线Scan(n-1)输出扫描信号时,第四晶体管M4和第七晶体管M7同时开启,从而将有机发光二极管OLED1的阳极与复位电压信号线VI连通,使其接收复位电压信号而复位;第四晶体管M4的开启同时也将存储电容Cst的下极板与复位电压信号线VI连通,使其接收复位电压信号而复位。

[0025] 具体的,所述第一晶体管M1、所述第五晶体管M5以及所述第六晶体管M6的栅极均接入第n行发光控制信号线EM(n),所述第二晶体管M2和所述第三晶体管M3的栅极均接入第n行扫描信号线Scan(n);所述第二晶体管M2和所述第五晶体管M5的源极共同连接到所述第一晶体管M1的漏极,所述第一晶体管M1和所述第三晶体管M3的源极共同连接到所述第六晶体管M6的漏极;所述第二晶体管M2的漏极接入数据信号线Data;所述第三晶体管M3的漏极接入所述第n行发光控制信号线EM(n);所述第五晶体管M5的漏极接入驱动电压信号线VDD;所述第六晶体管M6的源极电连接所述有机发光二极管OLED1的阳极。

[0026] 也即,在本发明7T1C电路中至少包含2颗均由第n-1行扫描信号线Scan(n-1)输出的上一帧画面的扫描信号控制的薄膜晶体管,例如,所述第四晶体管M4和所述第七晶体管M7。两薄膜晶体管可以均为单栅极结构薄膜晶体管;或两薄膜晶体管至少一颗为双栅或多栅极晶体管(即包含2个及以上的非连续有源层),同时两薄膜晶体管至少共用一部分有源层。所述第n-1行扫描信号线Scan(n-1)与所述复位电压信号线VI的走线延伸方向相同(即平行)。所述第四晶体管M4和所述第七晶体管M7的有源层可以采用同一层半导体材料形成。

[0027] 由于所述第四晶体管M4和所述第七晶体管M7位于端点21均由同一行扫描信号控制,同时,所述第四晶体管M4和所述第七晶体管M7的有源层的多晶硅走线相连接,且在竖直方向上可以仅为2条走线,从而可以压缩像素结构在水平方向上的尺寸,为PPI的提高提供空间,利于实现高PPI面板设计。其中,定义所述复位电压信号线VI的走线延伸方向为水平方向,与所述复位电压信号线VI的走线延伸方向垂直的方向为竖直方向。

[0028] 上述的像素补偿电路中,所述第一至第七晶体管M1-M7可以均为PMOS晶体管,也可以均为NMOS晶体管。

[0029] 参考图3,其为本发明像素补偿电路的局部结构示意图,图3中右侧为本发明的像素补偿电路的局部结构,图3左侧为现有技术中像素补偿电路的局部结构作为对比。第n-1行扫描信号线Scan(n-1)与复位电压信号线VI平行,图中仅示意出第n-1行扫描信号线Scan(n-1)。

[0030] 通过改进像素结构的布局结构,本发明的像素补偿电路中,所述第四晶体管M4和

所述第七晶体管M7可以均由同一行扫描信号线输出的扫描信号控制,从而将有机发光二极管以及存储电容与复位电压信号线连通,使其接收复位电压信号而复位。同时,所述第四晶体管M4和所述第七晶体管M7的有源层的多晶硅走线相连接(在端点处存在通孔),且在竖直方向上可以仅为2条走线,从而可以压缩像素结构在水平方向上的尺寸,为PPI的提高提供空间,利于实现高PPI面板设计。而由同一行扫描信号控制所述第四晶体管M4和所述第七晶体管M7可以均为单栅极结构薄膜晶体管;也可以为,两薄膜晶体管至少一颗为双栅或多栅极晶体管(即包含由通孔隔开的2个及以上的非连续有源层),且两薄膜晶体管至少共用一部分有源层。例如,在图3中右侧第四晶体管M4为双栅极结构薄膜晶体管,包含M4-1和M4-2两部分,第七晶体管M7为单栅极结构薄膜晶体管,第四晶体管M4的M4-1部分与第七晶体管M7共用有源层。

[0031] 而现有技术中像素补偿电路中,同一像素补偿电路中的第四晶体管M4和第七晶体管M7分别由两行扫描信号控制。而由同一行扫描信号控制所述第四晶体管M4和另一像素补偿电路中的第七晶体管M7'至少有一颗需为双栅极结构薄膜晶体管(例如,在图3中左侧第四晶体管M4为双栅极结构薄膜晶体管,包含M4-1和M4-2两部分),两薄膜晶体管不能共用有源层,导致有源层的多晶硅走线为90度旋转后的S型走线(即在竖直方向上有3条多晶硅走线,限制了像素密度的提升。

[0032] 相比于现有技术,本发明改进的像素补偿电路布局结构,可以由同一行扫描信号线输出的扫描信号控制至少两颗薄膜晶体管,从而将有机发光二极管以及存储电容均与复位电压信号线连通,使其接收复位电压信号而复位。本发明改进的像素补偿电路布局结构还可以压缩像素结构在水平方向上的尺寸,为PPI的提高提供空间,利于实现高PPI面板设计。

[0033] 基于同一发明构思,本发明还提供了一种OLED显示装置,所述OLED显示装置包括像素结构以及像素补偿电路,所述像素补偿电路采用本发明上述改进的像素补偿电路。本发明改进的像素补偿电路布局结构,可以由同一行扫描信号线输出的扫描信号控制至少两颗薄膜晶体管,从而将有机发光二极管以及存储电容均与复位电压信号线连通,使其接收复位电压信号而复位。本发明改进的像素补偿电路布局结构可以压缩像素结构在水平方向上的尺寸,为PPI的提高提供空间,利于实现高PPI面板设计。

[0034] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

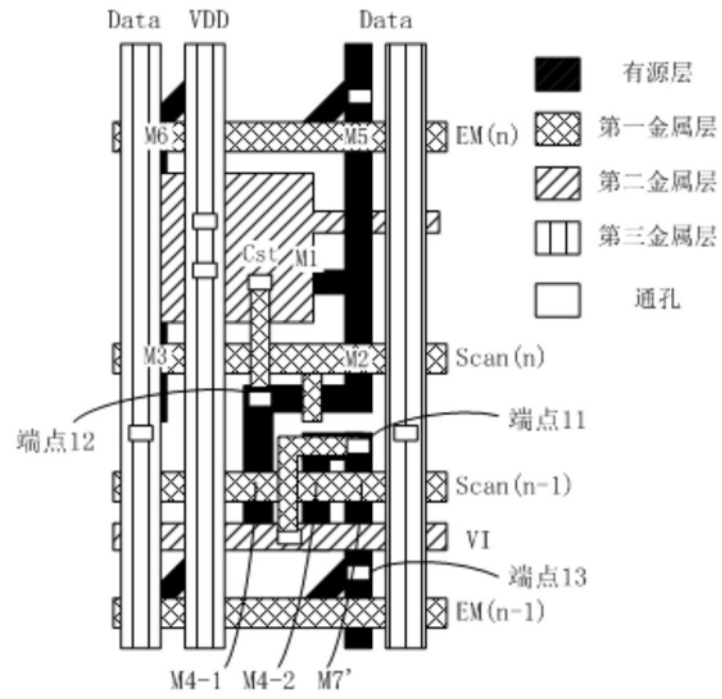


图1A

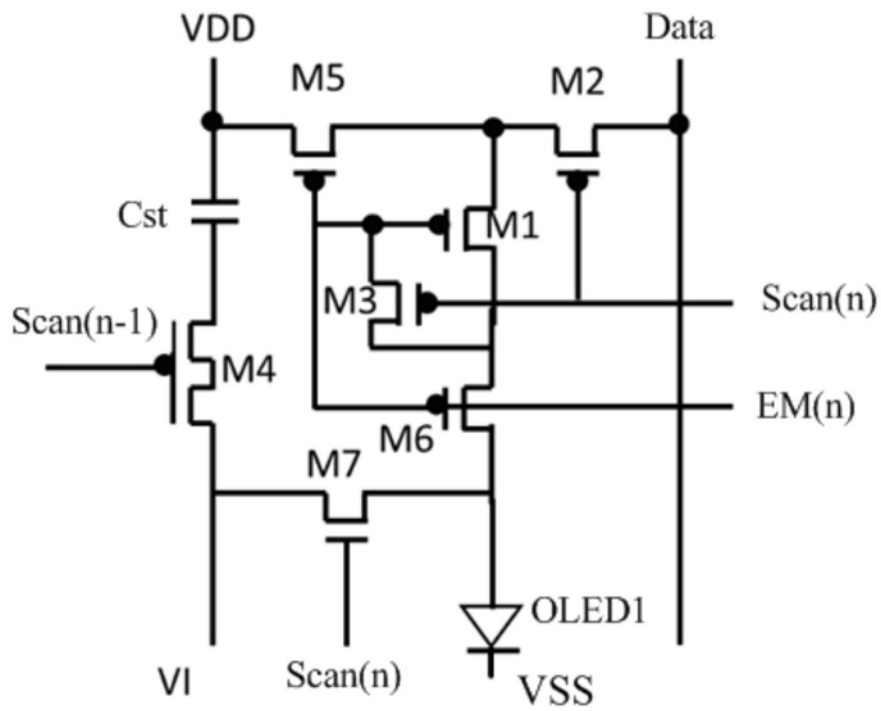


图1B

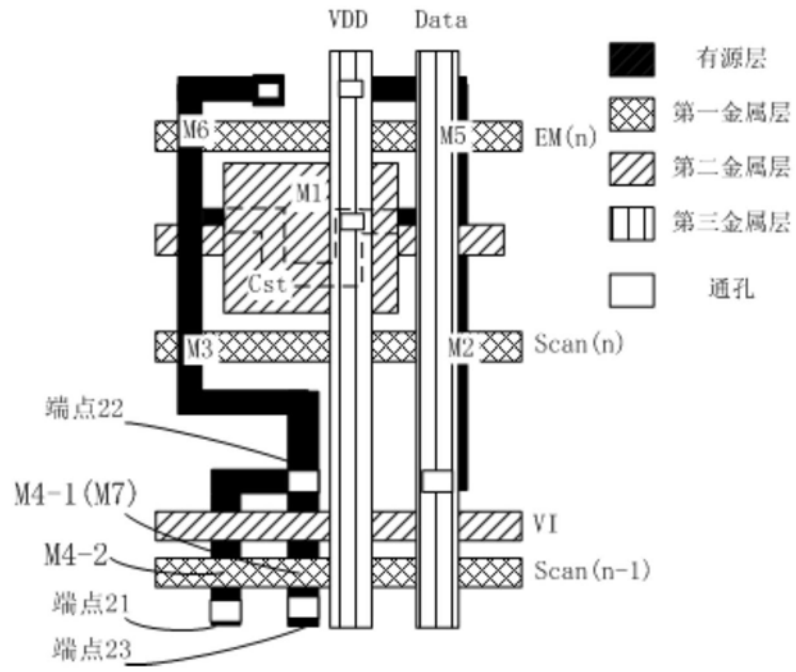


图2A

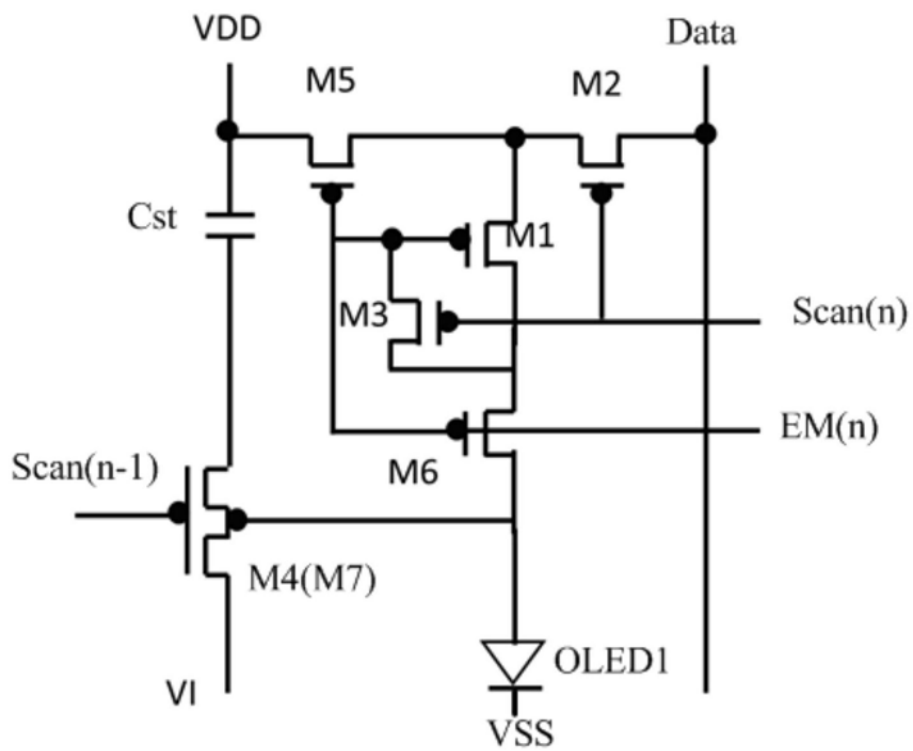


图2B

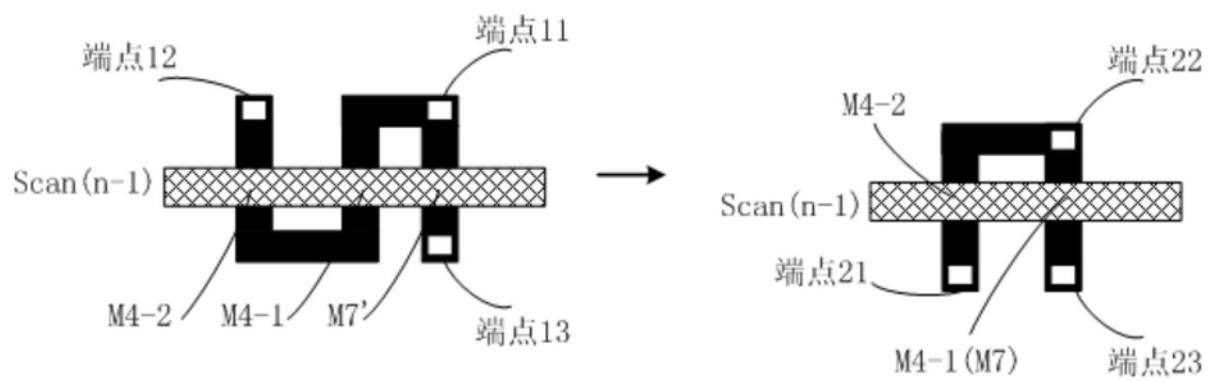


图3

专利名称(译)	一种像素补偿电路及OLED显示装置		
公开(公告)号	CN110164380A	公开(公告)日	2019-08-23
申请号	CN201910396424.7	申请日	2019-05-14
[标]发明人	王威 徐品全		
发明人	王威 徐品全		
IPC分类号	G09G3/3266 G09G3/3225		
CPC分类号	G09G3/3225 G09G3/3266		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

本发明揭露一种像素补偿电路及OLED显示装置，由同一行扫描信号线输出的扫描信号控制至少两颗薄膜晶体管，从而将有机发光二极管以及存储电容均与复位电压信号线连通，使其接收复位电压信号而复位。且由同一行扫描信号控制的至少两颗薄膜晶体管，其有源层的多晶硅走线在竖直方向上可以仅为2条走线，从而可以压缩像素结构在水平方向上的尺寸，为PPI的提高提供空间，利于实现高PPI面板设计。

