



(12)发明专利申请

(10)申请公布号 CN 109841650 A

(43)申请公布日 2019.06.04

(21)申请号 201811332135.2

(22)申请日 2018.11.09

(30)优先权数据

10-2017-0162161 2017.11.29 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 崔基敏

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 刘久亮

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 51/56(2006.01)

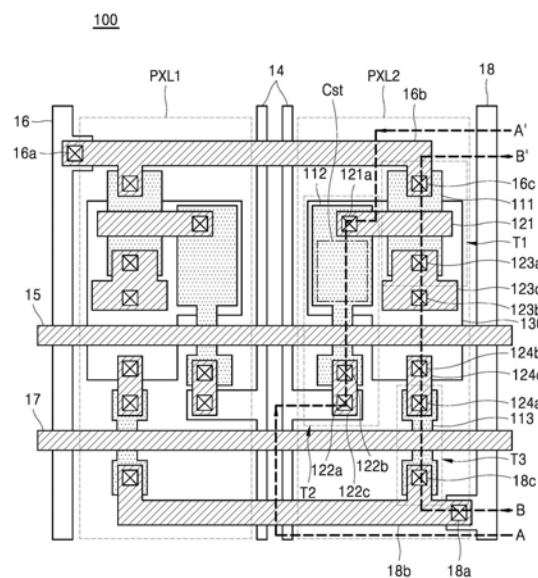
权利要求书3页 说明书12页 附图14页

(54)发明名称

有机发光二极管显示装置及其制造方法

(57)摘要

有机发光二极管显示装置及其制造方法。一种有机发光二极管(OLED)显示装置包括晶体管的有源层,该晶体管的有源层被设置在缓冲绝缘膜上。栅绝缘膜被设置在导电层上方的所述缓冲绝缘膜上并且被设置在所述有源层上。栅极被设置在所述有源层的沟道区域上方的所述栅绝缘膜上。第一连接图案被设置在导线和所述有源层上方的所述栅绝缘膜上。所述第一连接图案通过所述栅绝缘膜和所述缓冲绝缘膜经由第一接触孔与所述导电层连接。所述第一连接图案还通过所述栅绝缘膜经由第二连接接触孔与所述有源层连接。所述第一连接图案具有与所述栅极相同的材料。



1. 一种有机发光二极管OLED显示装置,该OLED显示装置包括:
基板;
导电层,该导电层被设置在所述基板上;
缓冲绝缘膜,该缓冲绝缘膜被设置在所述导电层上;
晶体管的有源层,该晶体管的有源层被设置在所述缓冲绝缘膜上;
栅绝缘膜,该栅绝缘膜被设置在所述导电层上方的所述缓冲绝缘膜上并且被设置在所述有源层上;
栅极,该栅极被设置在所述有源层的沟道区域上方的所述栅绝缘膜上;以及
第一连接图案,该第一连接图案被设置在导线和所述有源层上方的所述栅绝缘膜上,所述第一连接图案经由穿过所述栅绝缘膜和所述缓冲绝缘膜的第一连接接触孔与所述导电层连接,并且所述第一连接图案经由穿过所述栅绝缘膜的第二连接接触孔与所述有源层连接,所述第一连接图案具有与所述栅极相同的材料。
2. 根据权利要求1所述的OLED显示装置,其中,所述晶体管包括像素的开关晶体管,其中,所述导电层包括用于向所述像素提供数据电压的数据线,并且其中,所述栅极包括用于驱动所述开关晶体管的扫描线。
3. 根据权利要求2所述的OLED显示装置,所述OLED显示装置还包括:
遮光图案,该遮光图案被设置在所述基板上并且具有与所述数据线相同的材料,其中,所述开关晶体管的所述有源层和所述遮光图案二者的交叠区域分别包括所述像素的存储电容器的第一电极和第二电极,在所述第一电极和所述第二电极之间设置有所述缓冲绝缘膜。
4. 根据权利要求2所述的OLED显示装置,所述OLED显示装置还包括:
驱动晶体管的有源层,该驱动晶体管的有源层被设置在所述缓冲绝缘膜上;以及
感测晶体管的有源层,该感测晶体管的有源层被设置在所述缓冲绝缘膜上,
其中,所述开关晶体管的有源层具有比所述驱动晶体管的有源层和所述感测晶体管的有源层大的面积。
5. 根据权利要求2所述的OLED显示装置,所述OLED显示装置还包括:
遮光图案,该遮光图案被设置在所述基板上,其中,所述缓冲绝缘膜还被设置在所述遮光图案上,并且其中,所述栅绝缘膜还被设置在所述遮光图案上方的所述缓冲绝缘膜上;
驱动晶体管的有源层,该驱动晶体管的有源层被设置在所述缓冲绝缘膜上,其中,所述栅绝缘膜还被设置在所述驱动晶体管的所述有源层上;
所述驱动晶体管的栅极,所述驱动晶体管的所述栅极被设置在与所述驱动晶体管的所述有源层的沟道区域交叠并且与所述开关晶体管的所述有源层的漏极区域交叠的所述栅绝缘膜上,所述驱动晶体管的所述栅极经由穿过所述栅绝缘膜的栅极接触孔与所述开关晶体管的所述有源层的所述漏极区域连接;以及
第二连接图案,该第二连接图案被设置在所述栅绝缘膜上,所述第二连接图案经由穿过所述栅绝缘膜和所述缓冲绝缘膜的第三连接接触孔与所述遮光图案连接,并且所述第二连接图案经由穿过所述栅绝缘膜的第四连接接触孔与所述驱动晶体管的所述有源层的漏极区域连接。
6. 根据权利要求2所述的OLED显示装置,所述OLED显示装置还包括:

基准电压线,该基准电压线被设置在所述基板上;

感测晶体管的有源层,该感测晶体管的有源层被设置在所述缓冲绝缘膜上,其中,所述栅绝缘膜还被设置在所述感测晶体管的所述有源层上;

所述栅绝缘膜上的感测线,该感测线与所述感测晶体管的所述有源层的沟道区域交叠;以及

第二连接图案,该第二连接图案被设置在所述栅绝缘膜上,所述第二连接图案经由穿过所述栅绝缘膜和所述缓冲绝缘膜的第三连接接触孔与所述基准电压线连接,并且所述第二连接图案经由穿过所述栅绝缘膜的第四连接接触孔与所述感测晶体管的所述有源层的源极区域连接。

7. 根据权利要求6所述的OLED显示装置,所述OLED显示装置还包括:

遮光图案,该遮光图案被设置在所述基板上,其中,所述缓冲绝缘膜被设置在所述遮光图案上,并且其中,所述栅绝缘膜被设置在与所述遮光图案交叠的所述缓冲绝缘膜上;

第三连接图案,该第三连接图案被设置在所述栅绝缘膜上,所述第三连接图案经由穿过所述栅绝缘膜和所述缓冲绝缘膜的第五连接接触孔与所述遮光图案连接,并且所述第三连接图案经由穿过所述栅绝缘膜的第六连接接触孔与所述感测晶体管的所述有源层的漏极区域连接。

8. 根据权利要求1所述的OLED显示装置,其中,所述晶体管包括用于驱动像素的发光二极管的驱动晶体管,其中,所述栅极包括用于驱动所述驱动晶体管的驱动晶体管栅极,并且其中,所述导电层包括用于遮挡所述发光二极管的光的遮光图案。

9. 根据权利要求1所述的OLED显示装置,其中,所述晶体管包括用于感测关于像素的发光二极管的电压的感测晶体管,其中,所述栅极包括用于驱动所述感测晶体管的感测线,并且其中,所述导电层包括用于遮挡所述发光二极管的光的遮光图案。

10. 一种用于制造有机发光二极管OLED显示装置的制造方法,该制造方法包括以下步骤:

在基板上形成导电层;

在所述导电层上形成缓冲绝缘膜;

在所述缓冲绝缘膜上形成晶体管的有源层;

在所述导电层上方的所述缓冲绝缘膜上以及在所述晶体管的所述有源层上形成栅绝缘膜;

形成穿过所述栅绝缘膜和所述缓冲绝缘膜的第一连接接触孔,以使所述导电层露出;

形成穿过所述栅绝缘膜的第二连接接触孔,以使所述晶体管的所述有源层露出;

在所述晶体管的所述有源层的沟道区域上方的所述栅绝缘膜上形成栅极;以及

在形成所述栅极的同时,在所述栅绝缘膜上形成第一连接图案,所述第一连接图案经由所述第一连接接触孔与所述导电层连接,并且所述第一连接图案经由所述第二连接接触孔与所述晶体管的所述有源层连接。

11. 根据权利要求10所述的制造方法,其中,所述晶体管包括像素的开关晶体管,其中,所述导电层包括用于向所述像素提供数据电压的数据线,并且其中,所述栅极包括用于驱动所述开关晶体管的扫描线。

12. 根据权利要求11所述的制造方法,所述制造方法还包括以下步骤:

在形成所述数据线的同时,在所述基板上形成遮光图案,其中,所述开关晶体管的所述有源层和所述遮光图案二者的交叠区域分别包括所述像素的存储电容器的第一电极和第二电极,在所述第一电极和所述第二电极之间设置有所述缓冲绝缘膜。

13. 根据权利要求11所述的制造方法,所述制造方法还包括以下步骤:

在所述基板上形成基准电压线;

在所述缓冲绝缘膜上形成感测晶体管的有源层,其中,所述栅绝缘膜还形成在所述感测晶体管的所述有源层上;

在所述感测晶体管的所述有源层的沟道区域上方的所述栅绝缘膜上形成感测线;以及形成穿过所述栅绝缘膜和所述缓冲绝缘膜的第三连接接触孔,以使所述基准电压线露出;

形成穿过所述栅绝缘膜的第四连接接触孔,以使所述感测晶体管的所述有源层的源极区域露出;以及

在所述栅绝缘膜上形成经由所述第三连接接触孔与所述基准电压线连接并且经由所述第四连接接触孔与所述感测晶体管的所述有源层的所述源极区域连接的第二连接图案。

14. 根据权利要求13所述的制造方法,所述制造方法还包括以下步骤:

在所述基板上形成遮光图案,其中,所述缓冲绝缘膜还形成在所述遮光图案上,并且其中,所述栅绝缘膜还形成在所述遮光图案上方的所述缓冲绝缘膜上;

形成穿过所述栅绝缘膜和所述缓冲绝缘膜的第五连接接触孔,以使所述遮光图案露出;

形成穿过所述栅绝缘膜的第六连接接触孔,以使所述感测晶体管的所述有源层的漏极区域露出;以及

在所述栅绝缘膜上形成经由所述第五连接接触孔与所述遮光图案连接并且经由所述第六连接接触孔与所述感测晶体管的所述有源层的所述漏极区域连接的第三连接图案。

有机发光二极管显示装置及其制造方法

技术领域

[0001] 本公开涉及包括对应于每个像素区域的至少一个薄膜晶体管的薄膜晶体管阵列基板以及包括该薄膜晶体管阵列基板的有机发光显示装置。

背景技术

[0002] 显示装置适用于诸如电视、移动电话、笔记本电脑和平板计算机这样的各种电子装置。对于显示装置的薄化、轻量化和低功耗的研究一直在继续。

[0003] 显示装置的典型示例可以包括液晶显示装置 (LCD)、等离子体显示装置 (PDP)、场发射显示装置 (FED)、电致发光显示装置 (ELD)、电润湿显示装置 (EWD) 以及有机发光显示装置 (OLED)。

[0004] 显示面板可以包括彼此接合的一对基板以及设置在这一对基板之间的极化材料或发光材料。

[0005] 关于这一点,所述一对基板中的一个可以是薄膜晶体管阵列基板。薄膜晶体管阵列基板具有限定在显示区域内的多个像素区域,在该显示区域中显示图像并且薄膜晶体管阵列基板驱动每个像素区域。薄膜晶体管阵列基板包括对应于每个像素区域的至少一个薄膜晶体管。

[0006] 在传统的薄膜晶体管阵列基板中,薄膜晶体管包括以岛的形式存在的有源层、与该有源层的一部分交叠的栅极以及与有源层的两端对应的源极和漏极。

[0007] 进一步地,为了减少从与有源层和栅极之间的交叠区域对应的沟道的泄露电流,可以将栅极设置在覆盖有源层的至少一部分的栅绝缘膜上。

[0008] 在这种情况下,在形成栅极的构图处理期间,有源层的不与栅极交叠的剩余部分被暴露于构图处理。因此,在构图处理期间产生的预定量的电荷可以被充到有源层。在已经充了预定量的电荷的情况下,有源层容易发生由静电造成的过量充电爆炸。

[0009] 特别地,有源层的宽度越大,充入有源层的电荷的量越大。结果,过量充电爆炸更容易发生,由此造成缺陷点。

发明内容

[0010] 本公开旨在提供一种能够防止由于静电造成的有源层的过量充电爆炸的薄膜晶体管阵列基板,并且提供一种包括该薄膜晶体管阵列基板的有机发光显示装置。

[0011] 本公开的目的不限于上述目的。如上面没有提及的,本公开的其它目的和优点可以从下面的说明中理解,并且从本公开的实施方式更加清楚地理解。进一步地,将容易领会的是,本公开的目标和优点可以通过如权利要求中所公开的特征及其组合来实现。

[0012] 一个实施方式包括有机发光二极管 (OLED) 显示装置,该 OLED 显示装置包括:基板;导电层,该导电层被设置在所述基板上;以及缓冲绝缘膜,该缓冲绝缘膜被设置在所述导电层上。晶体管的有源层被设置在所述缓冲绝缘膜上。栅绝缘膜被设置在所述导电层上方的所述缓冲绝缘膜上并且被设置在所述有源层上。栅极被设置在所述有源层的沟道区域上方

的所述栅绝缘膜上。第一连接图案被设置在导线和所述有源层上方的所述栅绝缘膜上。所述第一连接图案经由穿过所述栅绝缘膜和所述缓冲绝缘膜的第一连接接触孔与所述导电层连接。所述第一连接图案还经由穿过所述栅绝缘膜的所述第二连接接触孔与所述有源层连接。所述第一连接图案具有与所述栅极相同的材料。

[0013] 在一个实施方式中,所述晶体管包括像素的开关晶体管,所述导电层包括用于向所述像素提供数据电压的数据线,并且所述栅极包括用于驱动所述开关晶体管的扫描线。

[0014] 在另一实施方式中,所述晶体管包括用于驱动像素的发光二极管的驱动晶体管,其中,所述栅极包括用于驱动所述驱动晶体管的驱动晶体管栅极,并且其中,所述导电层包括用于遮挡所述发光二极管的光的遮光图案。

[0015] 在另一实施方式中,所述晶体管包括用于感测关于像素的发光二极管的电压的感测晶体管,其中,所述栅极包括用于驱动所述感测晶体管的感测线,并且其中,所述导电层包括用于遮挡所述发光二极管的光的遮光图案。

[0016] 在一个实施方式中,遮光图案被设置在具有与所述数据线相同的材料的基板上。所述开关晶体管的所述有源层和所述遮光图案二者的交叠区域分别包括所述像素的存储电容器的第一电极和第二电极,在所述第一电极和所述第二电极之间设置有所述缓冲绝缘膜。

[0017] 在一个实施方式中,所述OLED显示装置还包括设置在所述缓冲绝缘膜上的驱动晶体管的有源层。感测晶体管的有源层被设置在所述缓冲绝缘膜上。所述开关晶体管的有源层具有比所述驱动晶体管的有源层和所述感测晶体管的有源层大的面积。

[0018] 在一个实施方式中,所述OLED显示装置还包括设置在所述基板上的基准电压线。感测晶体管的有源层被设置在所述缓冲绝缘膜上。所述栅绝缘膜还被设置在所述感测晶体管的所述有源层上。所述栅绝缘膜上的感测线与所述感测晶体管的所述有源层的沟道区域交叠。第二连接图案被设置在所述栅绝缘膜上。所述第二连接图案经由穿过所述栅绝缘膜和所述缓冲绝缘膜的第三连接接触孔与所述基准电压线连接。所述第二连接图案经由穿过所述栅绝缘膜的第四连接接触孔与所述感测晶体管的所述有源层的源极区域连接。

[0019] 在一个实施方式中,所述OLED显示装置还包括设置在所述基板上的遮光图案。所述缓冲绝缘膜被设置在所述遮光图案上。所述栅绝缘膜被设置在与所述遮光图案交叠的所述缓冲绝缘膜上。第三连接图案被设置在所述栅绝缘膜上。所述第三连接图案经由穿过所述栅绝缘膜和所述缓冲绝缘膜的第五连接接触孔与所述遮光图案连接。所述第三连接图案经由穿过所述栅绝缘膜的第六连接接触孔与所述感测晶体管的所述有源层的漏极区域连接。

[0020] 在另一方面,提供了一种用于制造有机发光二极管(OLED)显示装置的制造方法。在基板上形成导电层。在所述导电层上形成缓冲绝缘膜。在所述缓冲绝缘膜上形成晶体管的有源层。在所述导电层上方的所述缓冲绝缘膜上以及在所述晶体管的所述有源层上形成栅绝缘膜。形成穿过所述栅绝缘膜和所述缓冲绝缘膜的第一连接接触孔,以使所述导电层露出。形成穿过所述栅绝缘膜的所述第二连接接触孔,以使所述晶体管的所述有源层露出。在所述晶体管的所述有源层的沟道区域上方的所述栅绝缘膜上形成栅极。在形成所述栅极的同时,在所述栅绝缘膜上形成第一连接图案。所述第一连接图案经由所述第一连接接触孔与所述导电层连接。所述第一连接图案还经由所述第二连接接触孔与所述晶体管的所述有源

层连接。

[0021] 在一个实施方式中,所述晶体管包括像素的开关晶体管,所述导电层包括用于向所述像素提供数据电压的数据线,并且所述栅极包括用于驱动所述开关晶体管的扫描线。

[0022] 在一个实施方式中,在形成所述数据线的同时,在所述基板上进一步形成遮光图案。所述开关晶体管的所述有源层和所述遮光图案二者的交叠区域分别包括所述像素的存储电容器的第一电极和第二电极,在所述第一电极和所述第二电极之间设置有所述缓冲绝缘膜。

[0023] 在一个实施方式中,在所述基板上形成基准电压线。在所述缓冲绝缘膜上形成感测晶体管的有源层。所述栅绝缘膜还形成在所述感测晶体管的所述有源层上。在所述感测晶体管的所述有源层的沟道区域上方的所述栅绝缘膜上形成感测线。形成穿过所述栅绝缘膜和所述缓冲绝缘膜的第三连接接触孔,以使所述基准电压线露出。形成穿过所述栅绝缘膜的第四连接接触孔,以使所述感测晶体管的所述有源层的源极区域露出。在所述栅绝缘膜上形成经由所述第三连接接触孔与所述基准电压线连接并且经由所述第四连接接触孔与所述感测晶体管的所述有源层的所述源极区域连接的第二连接图案。

[0024] 在一个实施方式中,在所述基板上形成遮光图案。所述缓冲绝缘膜还形成在所述遮光图案上。所述栅绝缘膜还形成在所述遮光图案上方的所述缓冲绝缘膜上。形成穿过所述栅绝缘膜和所述缓冲绝缘膜的第五连接接触孔,以使所述遮光图案露出。形成穿过所述栅绝缘膜的第六连接接触孔,以使所述感测晶体管的所述有源层的漏极区域露出。在所述栅绝缘膜上形成经由所述第五连接接触孔与所述遮光图案连接并且经由所述第六连接接触孔与所述感测晶体管的所述有源层的所述漏极区域连接的第三连接图案。

附图说明

[0025] 图1示出根据本公开的一个实施方式的有机发光显示装置。

[0026] 图2示出对于图1中的每个像素区域的等效电路的一个示例。

[0027] 图3示出与图2中的等效电路对应的薄膜晶体管阵列基板的平面图的一个示例。

[0028] 图4示出沿着图3中的线A-A' 截取的横截面。

[0029] 图5示出沿着图3中的线B-B' 截取的横截面。

[0030] 图6示出用于制造根据本公开的一个实施方式的薄膜晶体管阵列基板的方法。

[0031] 图7至图14示出与图6的方法步骤对应的结构。

具体实施方式

[0032] 下面例示并进一步描述各个实施方式的示例。要理解的是,本文中的说明不旨在将权利要求限于所描述的特定实施方式。相反,其旨在于涵盖如可以包含在本公开的如所附的权利要求限定的精神和范围之内的另选方案、修改以及等同物。

[0033] 不同附图中的相同的参考标号表示相同或相似的元件,并且如此执行相似的功能。进一步地,已知步骤和元件的说明和细节出于描述的简单性而被省略。此外,在本公开的下面的详细描述中,为了提供本公开的透彻理解,阐述了许多具体细节。然而,要理解的是,本公开可以在没有这些具体细节的情况下实现。在其它情况下,为了避免不必要地使本公开的各方面模糊,没有详细地描述已知方法、程序、部件和电路。

[0034] 要理解的是,虽然术语“第一”、“第二”、“第三”等可以在本文中用来描述各种元件、部件、区域、层和/或部分,但是这些元件、部件、区域、层和/或部分不应当受限于这些术语。这些术语用来将一个元件、部件、区域、层或部分与其它元件、部件、区域、层或部分区分开。因此,在不脱离本公开的精神和范围的情况下,下文描述的第一元件、部件、区域、层或部分能够被称为第二元件、部件、区域、层或部分。

[0035] 要理解的是,当指出一个元件或层与另一个元件或层“连接”或者“联接”时,该元件或层可以直接与该另一个元件或层连接或联接,或者可以存在一个或多个中间元件或层。另外,将要进一步理解的是,当指出一个元件或层在两个元件或层“之间”时,可以是在这两个元件或层之间存在该唯一元件或层,或者也可以存在一个或多个中间元件。

[0036] 本文中使用的术语仅用于描述特定实施方式,并且不旨在限制本公开。如本文中所使用,除非文中另有明确指示,否则单数形式“一”和“一个”也旨在包括复数形式。将要进一步理解的是,术语“包括”、“包含”当在该说明书中使用说明存在所述的特征、整数、操作、元件和/或部件,但是不排除存在或增加一个或多个其它特征、整数、操作、元件、部件和/或其部分。如本文中所使用的,术语“和/或”包括一个或多个相关所列的项的任何和全部组合。诸如“至少一个”这样的表述当位于一列表的元件前面时可以修饰整个列表的元件,而可以不修饰该列表的单个元件。

[0037] 除非另有定义,否则包括本文中使用的技术术语和科学术语的全部术语都具有与本发明构思所属的领域中的普通技术人员通常理解的相同的含义。将要进一步理解的是,诸如在常用的字典中所定义的术语应当被解释为具有与其在相关领域的语境中的含义相一致的含义,并且除非在本文有明确定义,否则这些术语将不会以理想化或在过于正式的含义上进行解释。

[0038] 在下文中,将参照附图详细地描述根据本公开的各个实施方式的薄膜晶体管阵列基板以及包括该薄膜晶体管阵列基板的有机发光显示装置。

[0039] 首先,参照图1至图5,将描述根据本公开的一个实施方式的薄膜晶体管阵列基板以及包括该薄膜晶体管阵列基板的有机发光显示装置。

[0040] 图1示出了根据本公开的一个实施方式的有机发光显示装置。图2示出了对于图1中的每个像素区域的等效电路的一个示例。图3示出了与图2中的等效电路对应的薄膜晶体管阵列基板的平面图的一个示例。图4示出了沿着图3中的线A-A'截取的横截面。

[0041] 图5示出了沿着图3中的线B-B'截取的横截面。

[0042] 如图1中所示,根据本公开的一个实施方式的有机发光显示装置包括:显示面板10,其包括在显示图像的显示区域内被排列成矩阵的多个像素区域PXL;数据驱动单元12,其用于驱动显示面板10的数据线14;栅极驱动单元13,其用于驱动显示面板10的扫描线15;以及定时控制器11,其用于控制数据驱动单元12和栅极驱动单元13中的每一个的驱动定时。

[0043] 进一步地,显示面板10包括:扫描线15,每条扫描线15对应于包括在水平方向上被排列成一行的像素区域的每条水平线;以及数据线14,每条数据线14对应于包括在垂直方向上被排列成一列的像素区域PXL的垂直线。多个像素区域PXL可以通过使扫描线15和数据线14相交来限定,并且因此可以以矩阵的形式排列在显示区域AA内。

[0044] 进一步地,显示面板10包括用于向多个像素区域PXL提供第一驱动电压VDD的第一

电源线、用于向多个像素区域PXL提供低于第一驱动电压VDD的第二驱动电压VSS的第二电源线以及用于向多个像素区域PXL提供基准电压VREF的参考电源线。

[0045] 定时控制器11根据显示面板10的分辨率将从外部输入的数字视频数据RGB进行重新排列,并且将经重新排列的数字视频数据RGB' 提供给数据驱动单元12。

[0046] 此外,定时控制器11基于诸如垂直同步信号Vsync、水平同步信号Hsync、点时钟信号DCLK和数据使能信号DE这样的定时信号来生成并提供用于控制数据驱动单元12的操作定时的数据控制信号DDC和用于控制栅极驱动单元13的操作定时的栅极控制信号GDC。

[0047] 数据驱动单元12基于数据控制信号DDC将经重新排列的数字视频数据RGB' 转换成模拟数据电压。此外,数据驱动单元12基于经重新排列的数字视频数据RGB' 在每个水平周期经由数据线15向与每条水平线对应的像素区域提供数据信号VDATA。

[0048] 栅极驱动单元13基于栅极控制信号GDC生成并提供扫描信号SCAN和感测信号SENSE。

[0049] 虽然没有单独示出,但是显示面板10包括面向彼此接合在一起的一对基板和设置在这一对基板之间的有机发光元件阵列。此外,这一对基板中的一个可以被实现为薄膜晶体管阵列基板。薄膜晶体管阵列基板具有限定在其中的多个像素区域PXL,并且向每个像素区域PXL中的有机发光元件提供驱动电流。

[0050] 像素区域PXL中的每一个包括有机发光元件OLED、存储电容器Cst、第一薄膜晶体管T1、第二薄膜晶体管T2和第三薄膜晶体管T3。

[0051] 有机发光元件OLED包括阳极和阴极以及设置在阳极和阴极之间的有机发光层(未示出)。在一个示例中,有机发光层包括空穴注入层、空穴传输层、发光层和电子传输层。另选地,有机发光层可以还包括电子注入层。

[0052] 第一薄膜晶体管T1设置在提供第一驱动电压VDD的第一电源线16和提供低于第一驱动电压VDD的第二驱动电压VSS的第二电源线之间。第一薄膜晶体管T1与有机发光元件OLED串联连接。

[0053] 第二薄膜晶体管T2设置在数据线14和第一薄膜晶体管T1之间。当第二薄膜晶体管T2基于来自扫描线15的扫描信号SCAN而导通时,数据信号VDATA被施加到第一薄膜晶体管T1的栅极和第二薄膜晶体管T2之间的第一节点ND1。

[0054] 存储电容器Cst设置在第一节点ND1和第二节点ND2之间。第二节点ND2是第一薄膜晶体管T1和有机发光元件OLED之间的接触点。

[0055] 存储电容器Cst基于经由导通的第二薄膜晶体管T2而提供给第一节点ND1的数据信号VDATA进行充电。

[0056] 第三薄膜晶体管T3设置在用于提供基准电压VREF的参考电源线18和第二节点ND2之间。当第三薄膜晶体管T3基于来自与每条水平线对应的感测线17的感测信号SENSE而导通时,第二节点ND2被提供有基准电压VREF,或者来自第二节点ND2的电压被传递给参考电源线18。

[0057] 如图3中所示,根据本公开的一个实施方式的有机发光显示装置的薄膜晶体管阵列基板100包括第一薄膜晶体管T1、第二薄膜晶体管T2和第三薄膜晶体管T3以及存储电容器。

[0058] 此外,薄膜晶体管阵列基板100还包括扫描线15和感测线17以及数据线14、第一电

源线16和参考电源线18,扫描线15和感测线17二者沿着第一方向(图3中的水平方向)延伸,数据线14、第一电源线16和参考电源线18全部沿着第二方向(图3中的垂直方向)延伸。

[0059] 关于这一点,每条数据线14可以对应于每条垂直线,而第一电源线16和参考电源线18中的每一个可以对应于不止一条垂直线。

[0060] 薄膜晶体管阵列基板100包括第一连接图案16b和第二连接图案18b。第一连接图案16b经由第一连接接触孔16a与第一电源线16连接,并且沿着水平方向延伸至不与第一电源线16相邻的像素区域PXL2。第二连接图案18b经由第二连接接触孔18a与参考电源线18连接,并且沿着水平方向延伸至不与参考电源线18相邻的像素区域PXL1。

[0061] 第一薄膜晶体管T1包括有源层111和与有源层111的一部分交叠的栅极121。

[0062] 第一薄膜晶体管T1的有源层111包括与栅极121交叠的沟道区域以及分别设置在该沟道区域的两端的源极区域和漏极区域。

[0063] 第一薄膜晶体管T1的有源层111的源极区域和漏极区域中的一个经由第一连接图案16b与第一电源线16连接,而第一薄膜晶体管T1的有源层111的源极区域和漏极区域中的另一个与有机发光元件(图2中的OLED)和第三薄膜晶体管T3之间的第二节点(图2中的ND2)连接。

[0064] 此外,第一薄膜晶体管T1的栅极121与第二薄膜晶体管T2连接。

[0065] 第二薄膜晶体管T2包括有源层112和限定与有源层112交叠的扫描线15的一部分的栅极。

[0066] 第二薄膜晶体管T2的有源层112包括与限定扫描线15的一部分的栅极交叠的沟道区域以及分别设置在该沟道区域的两端的源极区域和漏极区域。关于这一点,第二薄膜晶体管T2的有源层112的源极区域和漏极区域中的一个经由第一连接接触孔122a和第二连接接触孔122b以及连接图案122c与数据线14连接,而第二薄膜晶体管T2的有源层112的源极区域和漏极区域中的另一个与第一薄膜晶体管T1的栅极121连接。

[0067] 第三薄膜晶体管T3包括有源层113和限定与有源层113交叠的感测线17的一部分的栅极。

[0068] 第三薄膜晶体管T3的有源层113包括与限定感测线17的一部分的栅极交叠的沟道区域以及分别设置在该沟道区域的两端的源极区域和漏极区域。关于这一点,第三薄膜晶体管T3的有源层113的源极区域和漏极区域中的一个经由第二连接图案18b与参考电源线18连接,而第三薄膜晶体管T3的有源层113的源极区域和漏极区域中的另一个与有机发光元件(图2中的OLED)和第一薄膜晶体管T1之间的第二节点(图2中的ND2)连接。

[0069] 第一薄膜晶体管T1可以被配置为向有机发光元件OLED提供驱动电流。在这方面,当从第一薄膜晶体管T1出现泄露电流时,这可能造成有机发光元件OLED的故障,其可能导致差的图像质量。

[0070] 因此,为了防止由于光束造成的从第一薄膜晶体管T1的泄露电流,薄膜晶体管阵列基板100包括交叠在第一薄膜晶体管T1的与第一薄膜晶体管T1的栅极121交叠的有源层111的沟道区域上的遮光图案130。

[0071] 遮光图案130被设置成比第一薄膜晶体管T1的有源层111更邻近基板(图4中的101)。遮光图案至少交叠在第一薄膜晶体管T1的有源层111中的沟道区域上。

[0072] 此外,遮光图案130用作连接到第一薄膜晶体管T1和第三薄膜晶体管T3与有机发

光元件OLED之间的第二节点ND2的存储电容器(图2中的Cst)的第一电容器电极。

[0073] 此外,第二薄膜晶体管T2的有源层112的源极区域和漏极区域中的一个与第一薄膜晶体管T1连接。所述一个用作与第一薄膜晶体管T1和第二薄膜晶体管T2之间的第一节点ND1连接的存储电容器(图2中的Cst)的第二电容器电极。

[0074] 也就是说,在遮光图案130和第二薄膜晶体管T2的有源层112之间的交叠区域中,设置有存储电容器Cst。

[0075] 为了在每个图像帧期间稳定地驱动每个有机发光元件OLED,存储电容器Cst需要具有高于阈值的电容。

[0076] 为了确保存储电容器Cst的容量,需要增大第二薄膜晶体管T2的有源层112和遮光图案130之间的交叠区域。因此,第二薄膜晶体管T2的有源层112的面积可以比其它薄膜晶体管T1和T3各自的有源层111和113中的每一个的面积大。

[0077] 此外,为了减少电流从有源层111、112和113中的每一个的泄露,薄膜晶体管T1、T2和T3的栅极121、15和17中的每一个可以被设置在覆盖有源层111、112和113的至少一部分的各个栅绝缘膜上。

[0078] 也就是说,在有源层111、112和113中的每一个已经以岛的形式形成的情况下执行用于形成栅极的构图处理。因此,预定量的电荷可以被充入到暴露于构图处理的有源层111、112和113。

[0079] 特别地,在有源层111、112和113当中,第二薄膜晶体管T2的用于限定存储电容器Cst的有源层112具有最宽的宽度。结果,大量电荷可以被充入到第二薄膜晶体管T2的有源层112中,这因此容易发生由于静电造成的过量充电爆炸。

[0080] 为了解决这个问题,在根据本公开的一个实施方式的薄膜晶体管阵列基板100中,可以在形成第二薄膜晶体管T2的有源层112之前形成数据线14。此外,在用于形成栅极的构图处理期间,可以形成将第二薄膜晶体管T2的有源层112和数据线14连接的连接图案122c。

[0081] 也就是说,在用于形成栅极的构图处理中,薄膜晶体管T2的有源层112经由连接图案122c连接到数据线14。因此,在用于形成栅极的构图处理期间,被充入到有源层112的电荷可以经由数据线14放电,这可以抑制由于静电造成的过量充电爆炸。

[0082] 具体地,如图4中所示,根据本公开的一个实施方式的薄膜晶体管阵列基板100可以包括:数据线14和设置在基板101上的遮光图案130;第二薄膜晶体管T2的有源层112,其设置在覆盖数据线14和遮光图案130的缓冲绝缘膜102上;栅绝缘膜103,其设置在缓冲绝缘膜102上并且覆盖第二薄膜晶体管T2的有源层112的至少一部分和数据线14;第一连接接触孔122a,其穿过缓冲绝缘膜102和栅绝缘膜103并且设置在数据线14的一部分上;第二连接接触孔122b,其穿过栅绝缘膜103并且设置在第二薄膜晶体管T2的有源层112的一部分上;以及连接图案122c,其设置在栅绝缘膜103上并且经由第一连接接触孔122a和第二连接接触孔122b将数据线14连接到第二薄膜晶体管T2的有源层112。

[0083] 此外,薄膜晶体管阵列基板100还包括设置在栅绝缘膜103上的扫描线15。关于这一点,扫描线15的一部分与第二薄膜晶体管T2的有源层112的一部分交叠,并且因此用作第二薄膜晶体管T2的栅极。

[0084] 第二薄膜晶体管T2的有源层112设置在缓冲绝缘膜102上,并且包括与限定扫描线15的一部分的栅极交叠的沟道区域112a以及分别设置在沟道区域112a的两端的源极区域

112b和漏极区域112c。

[0085] 关于这一点,第二薄膜晶体管T2的有源层112的源极区域112b和漏极区域112c中的一个(图4中的源极区域112b)经由第一连接接触孔122a和第二连接接触孔122b以及连接图案122c与基板101上的数据线14连接,而第二薄膜晶体管T2的有源层112的源极区域112b和漏极区域112c中的另一个(图4中的漏极区域112c)经由穿过栅绝缘膜103的栅极接触孔121a与第一薄膜晶体管T1的栅极121连接。

[0086] 此外,第二薄膜晶体管T2的有源层112可以包括氧化物半导体材料。在这种情况下,第二薄膜晶体管T2的有源层112的源极区域112b和漏极区域112c中的每一个可以由导电氧化物半导体材料制成,该导电氧化物半导体材料可以在形成设置在栅绝缘膜103上的扫描线15和第一连接图案16b的构图处理期间通过暴露于蚀刻剂来形成。

[0087] 与第一电源线16连接的第一连接图案16b被设置在栅绝缘膜103上。

[0088] 虽然没有单独示出,但是第一电源线16可以与数据线14一起设置在基板101上,并且被缓冲绝缘膜102覆盖。在这种情况下,第一连接图案16b可以经由穿过缓冲绝缘膜102和栅绝缘膜103的第一连接接触孔16a与第一电源线16连接。

[0089] 与数据线14不同,第一电源线16可以设置在层间绝缘膜(未示出)上,该层间绝缘膜覆盖栅极121、连接图案122c、扫描线15、感测线17和第一连接图案16b等。在这种情况下,第一连接接触孔16a可以穿过层间绝缘膜并且设置在第一连接图案16b的一部分上。

[0090] 以这种方式,根据本公开的一个实施方式,第二薄膜晶体管T2的有源层112可以经由布置在与扫描线15相同的垂直水平的连接图案122c与数据线14连接。因此,已经被充入到第二薄膜晶体管T2的有源层112中的电荷可以在执行形成扫描线15的构图处理的同时经由数据线14放电。因此,将第二薄膜晶体管T2的有源层112配置成具有相对大的面积可以保证存储电容器Cst的容量,同时可以防止超过阈值的大量电荷被充入到第二薄膜晶体管T2的有源层112内。结果,第二薄膜晶体管T2的有源层112可以摆脱由于静电造成的过量充电爆炸。

[0091] 另外,如图5中所示,根据本公开的一个实施方式的薄膜晶体管阵列基板100可以还包括设置在基板101上并且被缓冲绝缘膜102覆盖的参考电源线18、第一薄膜晶体管T1和第三薄膜晶体管T3的设置在缓冲绝缘膜102上的有源层111和113、以及设置在栅绝缘膜103上的第二连接图案18b、感测线17、第一连接图案123c和第二连接图案124c。

[0092] 参考电源线18可以与数据线14一起被设置在基板101上,并且被缓冲绝缘膜102覆盖。在这种情况下,设置在栅绝缘膜103上的第二连接图案18b可以经由穿过缓冲绝缘膜102和栅绝缘膜103的第二连接接触孔18a与参考电源线18连接。

[0093] 然而,这仅是一个示例。在其它示例中,参考电源线18可以形成在覆盖栅极121、连接图案122c、扫描线15、感测线17和第一连接图案16b等的层间绝缘膜(未示出)上。在这种情况下,第二连接接触孔18a可以穿过层间绝缘膜并且设置在第二连接图案18b的一部分上。

[0094] 第一薄膜晶体管T1的有源层111设置在缓冲绝缘膜102上。第一薄膜晶体管T1的有源层111包括与栅极121交叠的沟道区域111a以及分别设置在沟道区域111a的两端的源极区域111b和漏极区域111c。

[0095] 关于这一点,第一薄膜晶体管T1的栅极121设置在覆盖有源层111的一部分的栅绝

缘膜103上。第一薄膜晶体管T1的栅极121经由栅极接触孔(图4中的121a)与第二薄膜晶体管T2连接。

[0096] 第一薄膜晶体管T1的有源层111的源极区域111b和漏极区域111c中的一个(图5中的源极区域111b)经由第一连接图案16a与第一电源线16连接,而第一薄膜晶体管T1的有源层111的源极区域111b和漏极区域111c中的另一个(图5中的漏极111c)经由第一连接接触孔123a和第二连接接触孔123b以及第一连接图案123c与基板101上的遮光图案130连接。

[0097] 此外,第一薄膜晶体管T1的有源层111可以包括氧化物半导体材料。在这种情况下,第一薄膜晶体管T1的有源层111的源极区域111b和漏极区域111c中的每一个可以包括导电氧化物半导体材料。导电氧化物半导体材料可以在形成设置在栅绝缘膜103上的扫描线15和第一连接图案16b等的构图处理期间通过暴露于蚀刻剂来形成。

[0098] 第三薄膜晶体管T3的有源层113设置在缓冲绝缘膜102上。第三薄膜晶体管T3的有源层113包括与限定感测线17的一部分的栅极交叠的沟道区域113a以及分别设置在沟道区域113a的两端的源极区域113b和漏极区域113c。

[0099] 关于这一点,第三薄膜晶体管T3的有源层113的源极区域113b和漏极区域113c中的一个(图5中的源极区域113b)经由第二连接图案18a与参考电源线18连接,而第三薄膜晶体管T3的有源层113的源极区域113b和漏极区域113c中的另一个(图5中的漏极113c)经由第三连接接触孔124a和第四连接接触孔124b以及第二连接图案124c与基板101上的遮光图案130连接。

[0100] 此外,第三薄膜晶体管T3的有源层113可以包括氧化物半导体材料。在这种情况下,第三薄膜晶体管T3的有源层113的源极区域113b和漏极区域113c中的每一个可以包括导电氧化物半导体材料。导电氧化物半导体材料可以在形成设置在栅绝缘膜103上的扫描线15和第一连接图案16b等的构图处理期间通过暴露于蚀刻剂来形成。

[0101] 第一连接图案16b经由穿过栅绝缘膜103的第三连接接触孔16c与第一薄膜晶体管T1的有源层111连接。

[0102] 第一薄膜晶体管T1经由第一连接图案16b与第一电源线16连接。

[0103] 第一连接图案123c经由穿过缓冲绝缘膜102和栅绝缘膜103的第二连接接触孔123b与遮光图案130连接。第一连接图案123c经由穿过栅绝缘膜103的第一连接接触孔123a与第一薄膜晶体管T1的有源层111连接。

[0104] 第二连接图案124c经由穿过栅绝缘膜103的第三连接接触孔124a与第三薄膜晶体管T3连接。第二连接图案124c经由穿过缓冲绝缘膜102和栅绝缘膜103的第四连接接触孔124b与遮光图案130连接。

[0105] 第一薄膜晶体管T1和第三薄膜晶体管T3经由第一连接图案123c和第二连接图案124c以及遮光图案130互连。

[0106] 第二连接图案18b经由穿过栅绝缘膜103的第四连接接触孔18c与第三薄膜晶体管T3的有源层113连接。

[0107] 第三薄膜晶体管T3经由第二连接图案18b与参考电源线18连接。

[0108] 在下文中,将描述根据本公开的一个实施方式用于制造薄膜晶体管阵列基板的方法。

[0109] 图6示出了根据本公开的一个实施方式的用于制造薄膜晶体管阵列基板的方法。

图7至图14分别示出了与图6的方法步骤对应的结构。

[0110] 如图6中所示,根据本公开的一个实施方式的用于制造薄膜晶体管阵列基板的方法包括以下步骤:步骤S10,在基板上形成遮光图案和数据线;步骤S20,形成覆盖遮光图案和数据线的缓冲绝缘膜;步骤S30,在缓冲绝缘膜上形成每个薄膜晶体管的有源层;步骤S40,形成覆盖缓冲绝缘膜和有源层的预绝缘膜;步骤S50,形成至少穿过缓冲绝缘膜和预绝缘膜当中的预绝缘膜的多个接触孔;以及步骤S60,通过对预绝缘膜和预绝缘膜上的导电膜进行构图来形成栅绝缘膜和扫描线。

[0111] 如图7和图8中所示,在基板101上形成遮光图案130和数据线14 (S10)。

[0112] 关于这一点,遮光图案130对应于每个像素区域PXL的一部分。在一个示例中,遮光图案130可以与第一薄膜晶体管(图3中的T1)的有源层111中的沟道区域(图5中的111a)交叠,并且可以与第二薄膜晶体管(图3中的T2)的有源层112的漏极区域(图4中的112c)交叠。

[0113] 数据线14可以对应于包括多个像素区域PXL当中的在垂直方向上排列的像素区域的每条垂直线,并且可以在垂直方向上延伸。

[0114] 在这方面,两条或更多条垂直线可以对应于第一电源线16和参考电源线18中的每一条。第一电源线16和参考电源线18中的每一条可以与遮光图案130和数据线14一起设置在基板101上。

[0115] 如图9和图10中所示,缓冲绝缘膜102被形成覆盖遮光图案130、数据线14、第一电源线16和参考电源线18 (S20)。

[0116] 此外,第一薄膜晶体管的有源层111、第二薄膜晶体管的有源层112和第三薄膜晶体管的有源层113通过对缓冲绝缘膜102上的氧化物半导体材料进行构图来形成 (S30)。

[0117] 如图11和图12中所示,预绝缘膜103' 被形成覆盖缓冲绝缘膜102以及第一薄膜晶体管的有源层111、第二薄膜晶体管的有源层112和第三薄膜晶体管的有源层113 (S40)。

[0118] 此外,多个接触孔16a、16c、18a、18c、121a、122a、122b、123a、123b、124a和124b通过至少对缓冲绝缘膜102和预绝缘膜103' 当中的预绝缘膜103' 进行构图来形成 (S50)。

[0119] 关于这一点,第一连接接触孔16a穿过缓冲绝缘膜102和预绝缘膜103', 并且因此设置在第一电源线16的一部分上。

[0120] 第三连接接触孔16c穿过预绝缘膜103' 并且设置在第一薄膜晶体管的有源层111的一部分上。

[0121] 第二连接接触孔18a穿过缓冲绝缘膜102和预绝缘膜103' 并且设置在参考电源线18的一部分上。

[0122] 第四连接接触孔18c穿过预绝缘膜103' 并且设置在第三薄膜晶体管的有源层113的一部分上。

[0123] 栅极接触孔121a穿过预绝缘膜103' 并且设置在第二薄膜晶体管的有源层112的一部分上。

[0124] 第一连接接触孔122a穿过缓冲绝缘膜102和预绝缘膜103' 并且设置在数据线14的一部分上。

[0125] 第二连接接触孔122b穿过预绝缘膜103' 并且设置在第二薄膜晶体管的有源层112的另一部分上。

[0126] 第一连接接触孔123a穿过预绝缘膜103' 并且设置在第一薄膜晶体管的有源层111

的一部分上。

[0127] 第二连接接触孔123b穿过缓冲绝缘膜102和预绝缘膜103' 并且设置在遮光图案130的一部分上。

[0128] 第三连接接触孔124a穿过预绝缘膜103' 并且设置在第三薄膜晶体管的有源层113的一部分上。

[0129] 第四连接接触孔124b穿过缓冲绝缘膜102和预绝缘膜103' 并且设置在遮光图案130的另一部分上。

[0130] 因此,如图13和图14中所示,预绝缘膜103' 以及覆盖多个接触孔16a、16c、18a、18c、121a、122a、122b、123a、123b、124a和124b和预绝缘膜103' 的导电膜(未示出)同时被构图。因此,扫描线15、感测线17、第一连接图案16b、第二连接图案18b、第一薄膜晶体管的栅极121、连接图案122c、第一连接图案123c和第二连接图案124c形成在栅绝缘膜上(S60)。

[0131] 此时,栅绝缘膜103可以通过使用扫描线15、感测线17、第一连接图案16b、第二连接图案18b、第一薄膜晶体管的栅极121、连接图案122c、第一连接图案123c和第二连接图案124c作为掩模对预绝缘膜103' 进行构图来形成。

[0132] 此外,每个有源层111、112和113的一部分随着被栅绝缘膜103覆盖而限定出沟道区域。另外,在有源层111、112和113中的每一个中,分别被设置在沟道区域的两端的源极区域和漏极区域不被栅绝缘膜103覆盖并因此暴露于构图处理,并且因此被制成具有导电性。

[0133] 扫描线15和感测线17中的每一条对应于包括多个像素区域PXL当中的在水平方向上被排列成一排的像素区域的各条水平线。

[0134] 扫描线15的一部分与第二薄膜晶体管的有源层112中的沟道区域(图4中的112a)交叠。

[0135] 感测线17的一部分与第三薄膜晶体管的有源层113中的沟道区域(图5中的113a)交叠。

[0136] 第一连接图案16b经由第一连接接触孔16a与第一电源线16连接。第一连接图案16b经由第三连接接触孔16c与第一薄膜晶体管的有源层111连接。因此,第一薄膜晶体管的有源层111的源极区域(图5中的111b)经由第一连接图案16b与第一电源线16连接。

[0137] 第二连接图案18b经由第二连接接触孔18a与参考电源线18连接。第二连接图案18b经由第四连接接触孔18c与第三薄膜晶体管的有源层113连接。因此,第三薄膜晶体管的有源层113的源极区域113b经由第二连接图案18b与参考电源线18连接。

[0138] 第一薄膜晶体管的栅极121被交叠在第一薄膜晶体管的有源层111的沟道区域(图5中的111a)上。第一薄膜晶体管的栅极121经由栅极接触孔121a与第二薄膜晶体管的有源层112的漏极区域(图4中的112c)连接。

[0139] 连接图案122c经由第一连接接触孔122a与数据线14连接。连接图案122c经由第二连接接触孔122b与第二薄膜晶体管的有源层112连接。因此,第二薄膜晶体管的有源层112的源极区域(图4中的112b)经由连接图案122c与数据线14连接。

[0140] 第一连接图案123c经由第一连接接触孔123a与第一薄膜晶体管的有源层111连接。第一连接图案123c经由第二连接接触孔123b与遮光图案130连接。

[0141] 第二连接图案124c经由第三连接接触孔124a与第三薄膜晶体管的有源层113连接。第二连接图案124c经由第四连接接触孔124b与遮光图案130连接。

[0142] 因此,第一薄膜晶体管的有源层111的漏极区域(图5中的111c)和第三薄膜晶体管的有源层113的漏极区域(图5中的113c)经由第一连接图案123c和第二连接图案124c以及遮光图案130彼此连接。

[0143] 以这种方式,根据本公开的一个实施方式,在形成有源层111、112和113的步骤S30之前,执行与遮光图案130一起形成数据线14的步骤S10。在形成扫描线15的步骤S60之前,执行形成接触孔的步骤S50。因此,在形成扫描线15的步骤S60中,有源层111、112和113随着被暴露于构图处理而经由接触孔与其它线或图案连接。因此,电荷可以从有源层111、112和113排出。因此,可以防止由于静电造成的有源层111、112和113中的过量充电爆炸。

[0144] 在上面的描述中,阐述了许多具体细节,以便提供本公开的透彻理解。本公开可以在没有这些具体细节的部分或全部的情况下实现。已经在上文例示并描述了各个实施方式的示例。要理解的是,本文中的说明不旨在将权利要求限于所描述的特定实施方式。相反,其旨在于覆盖如可以被包含在本公开的如所附的权利要求限定的精神和范围之内的另选方案、修改以及等同物。

[0145] 相关申请的交叉引用

[0146] 本申请要求于2017年11月29日向韩国知识产权局提交的韩国专利申请No.10-2017-0162161的优先权,其公开内容通过引用整体地并入本文中。

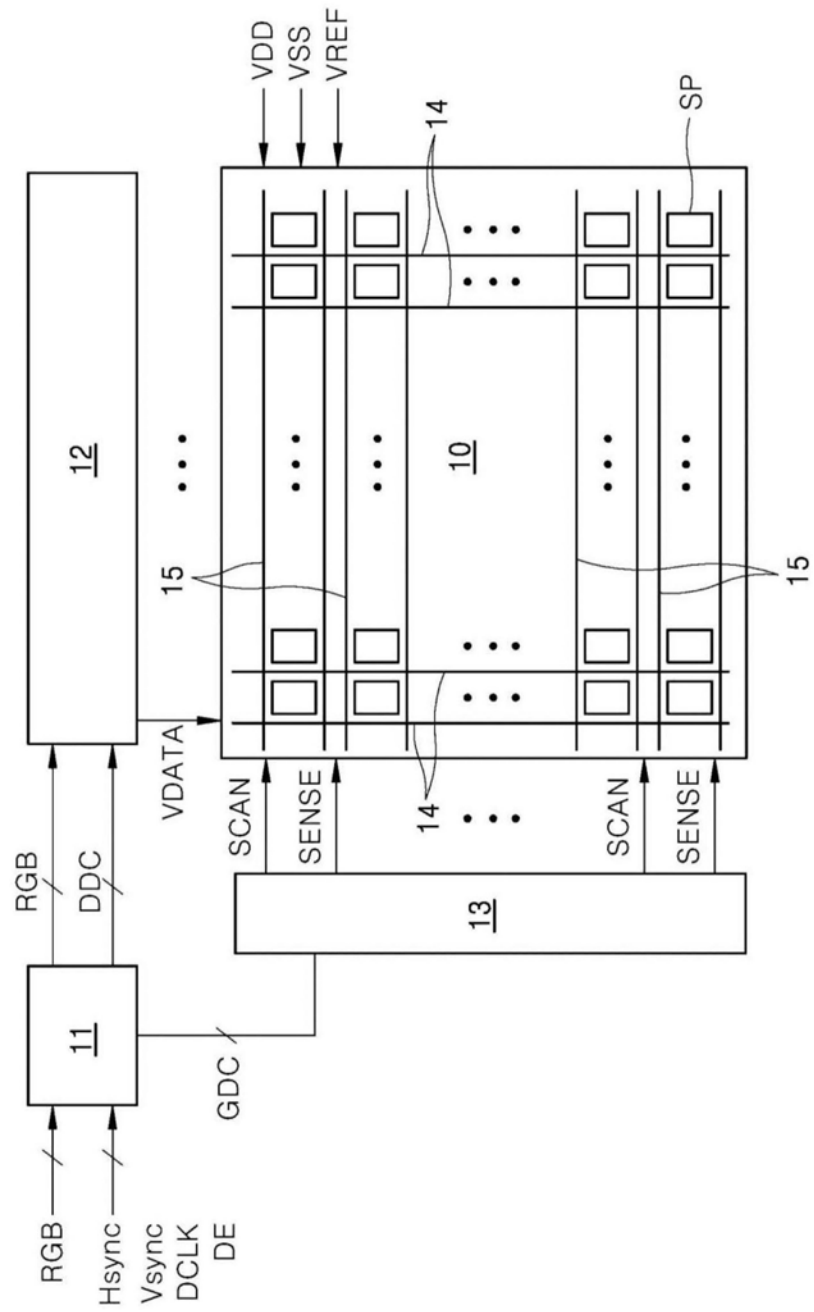


图1

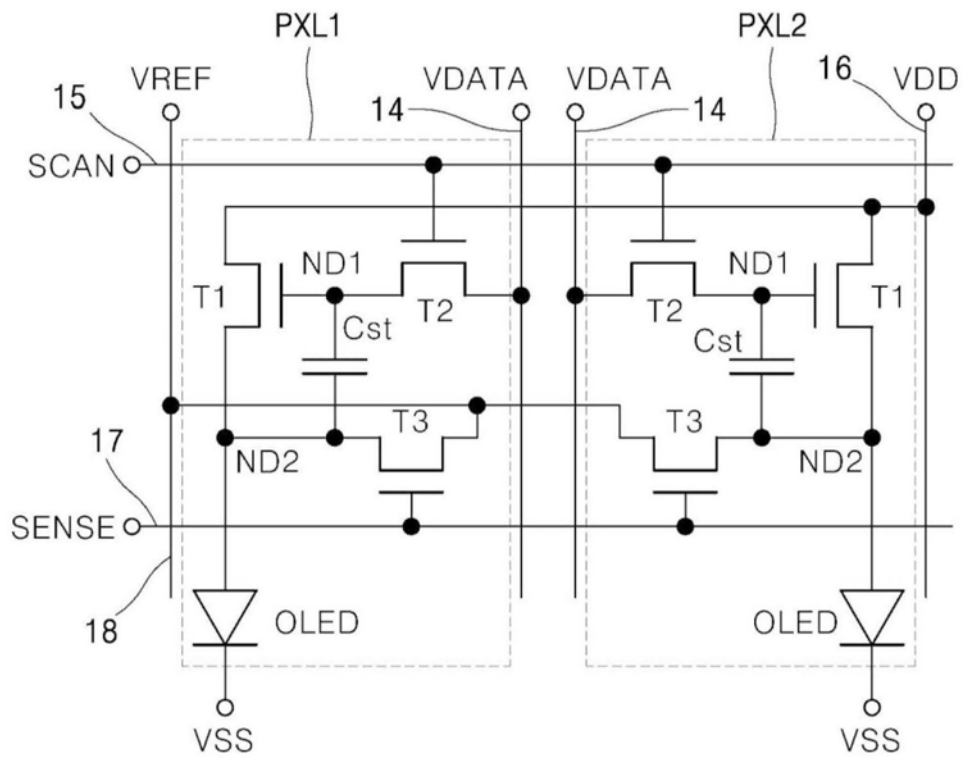


图2

100

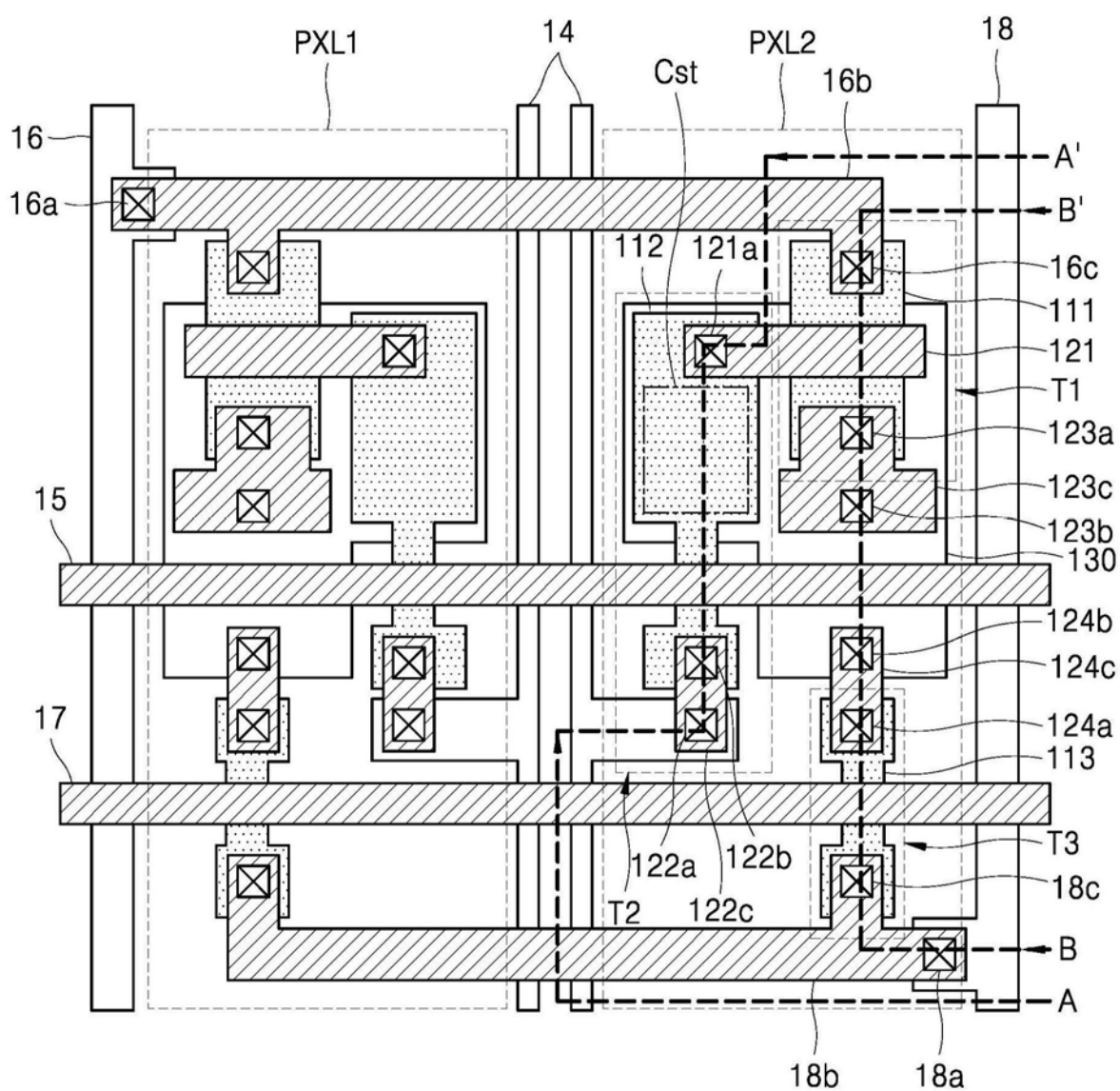


图3

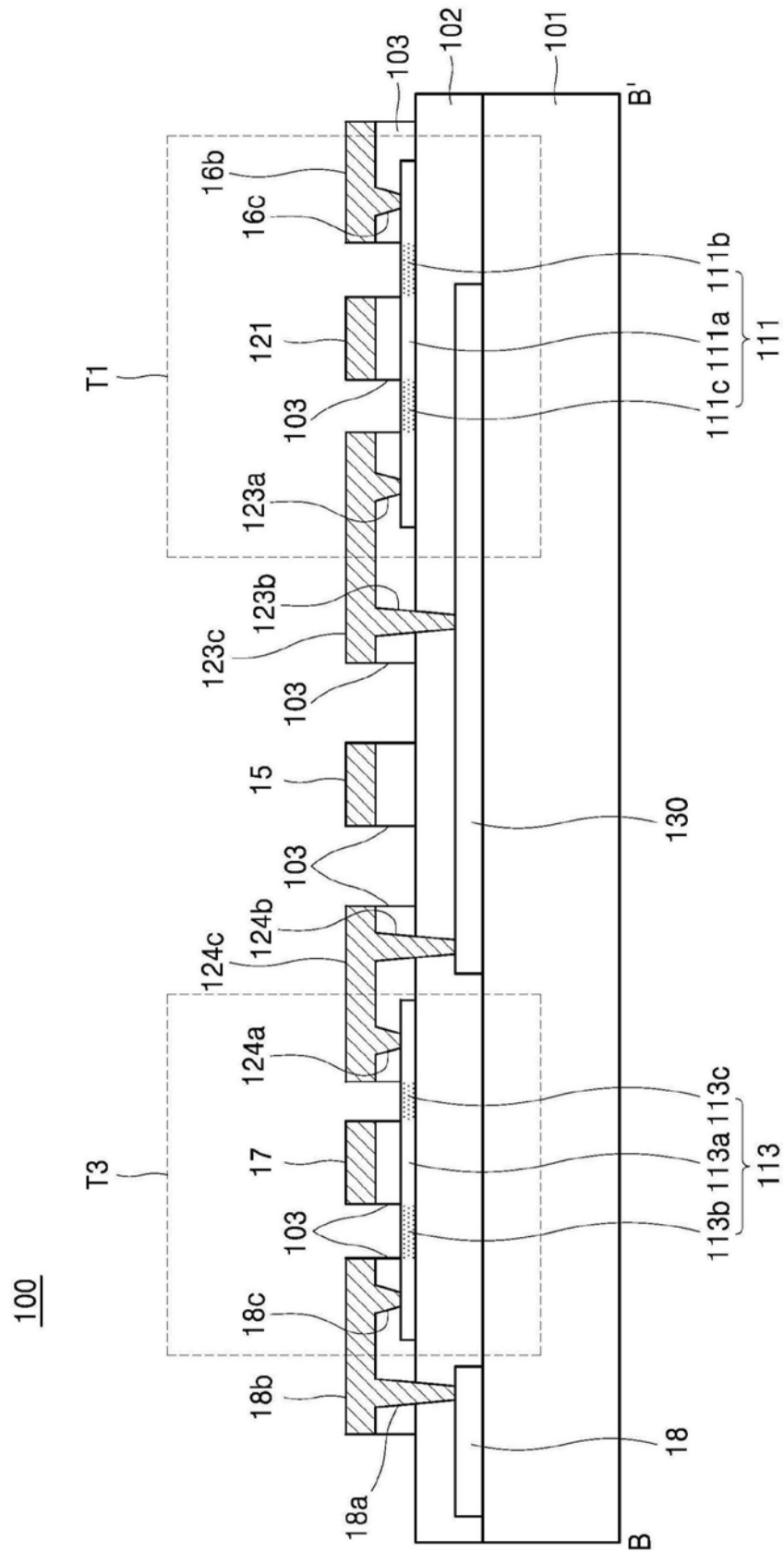


图5

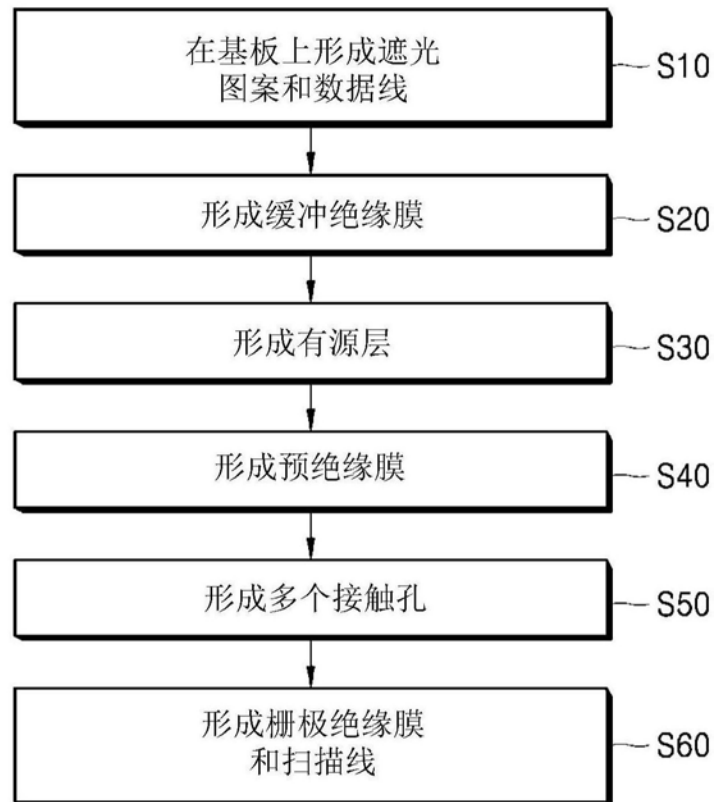


图6

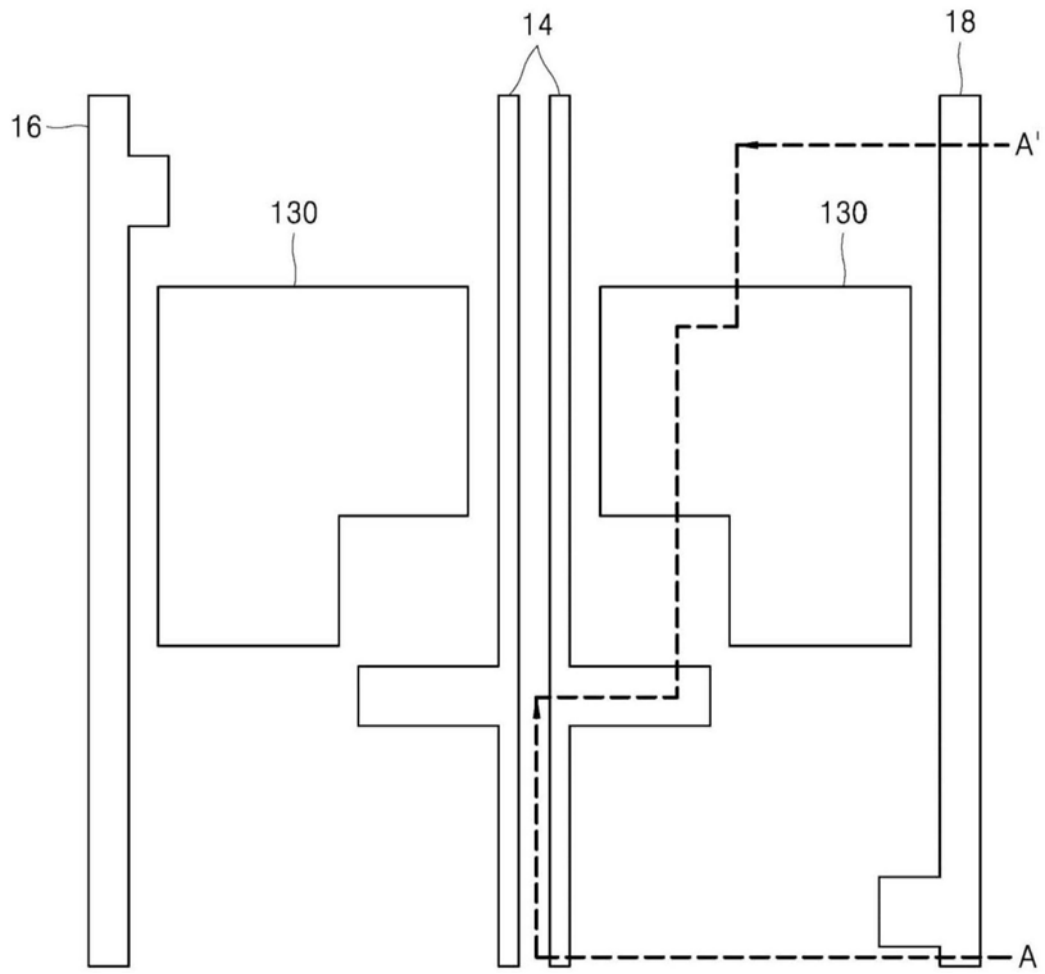


图7

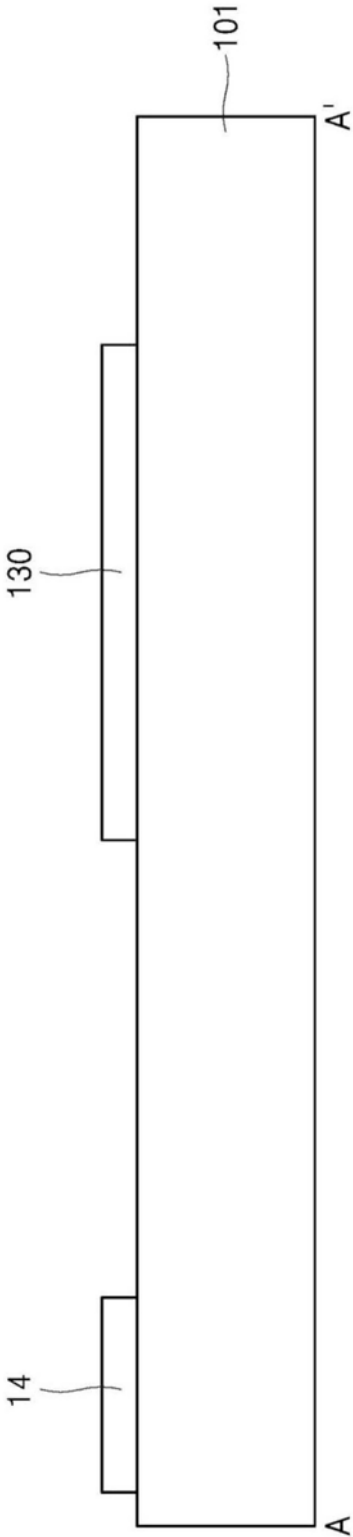


图8

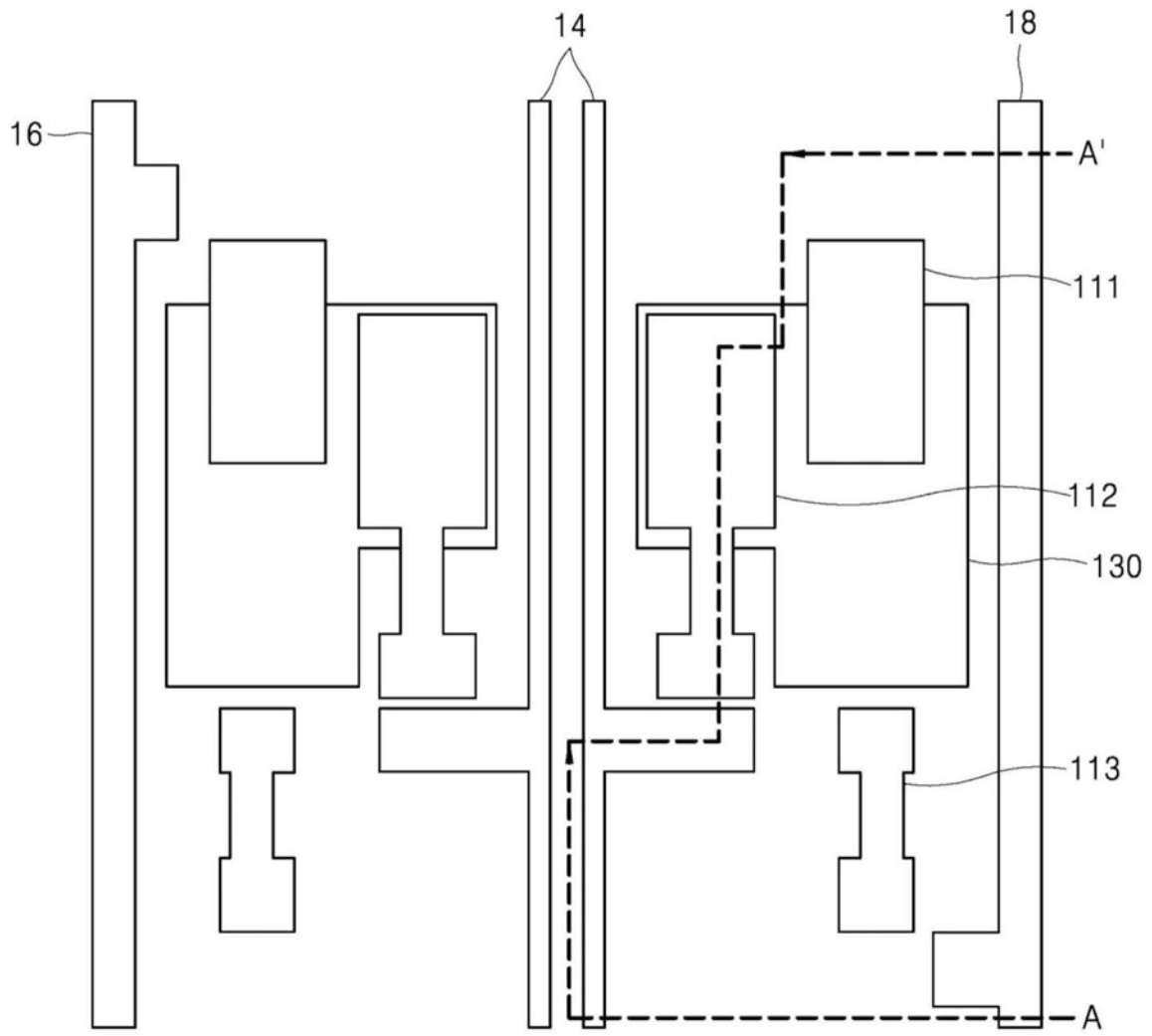


图9

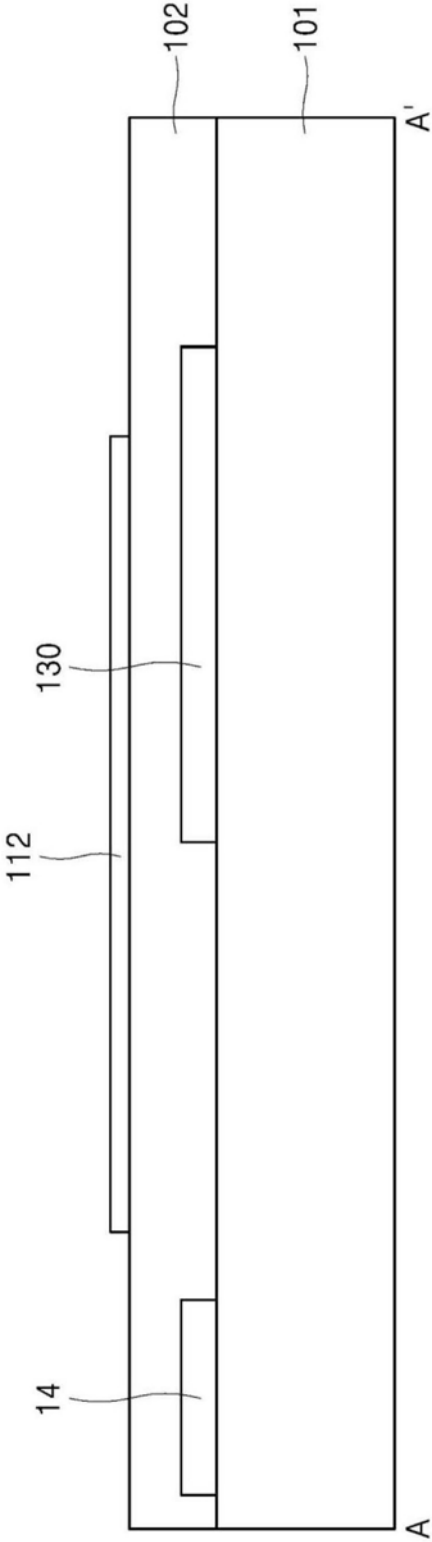


图10

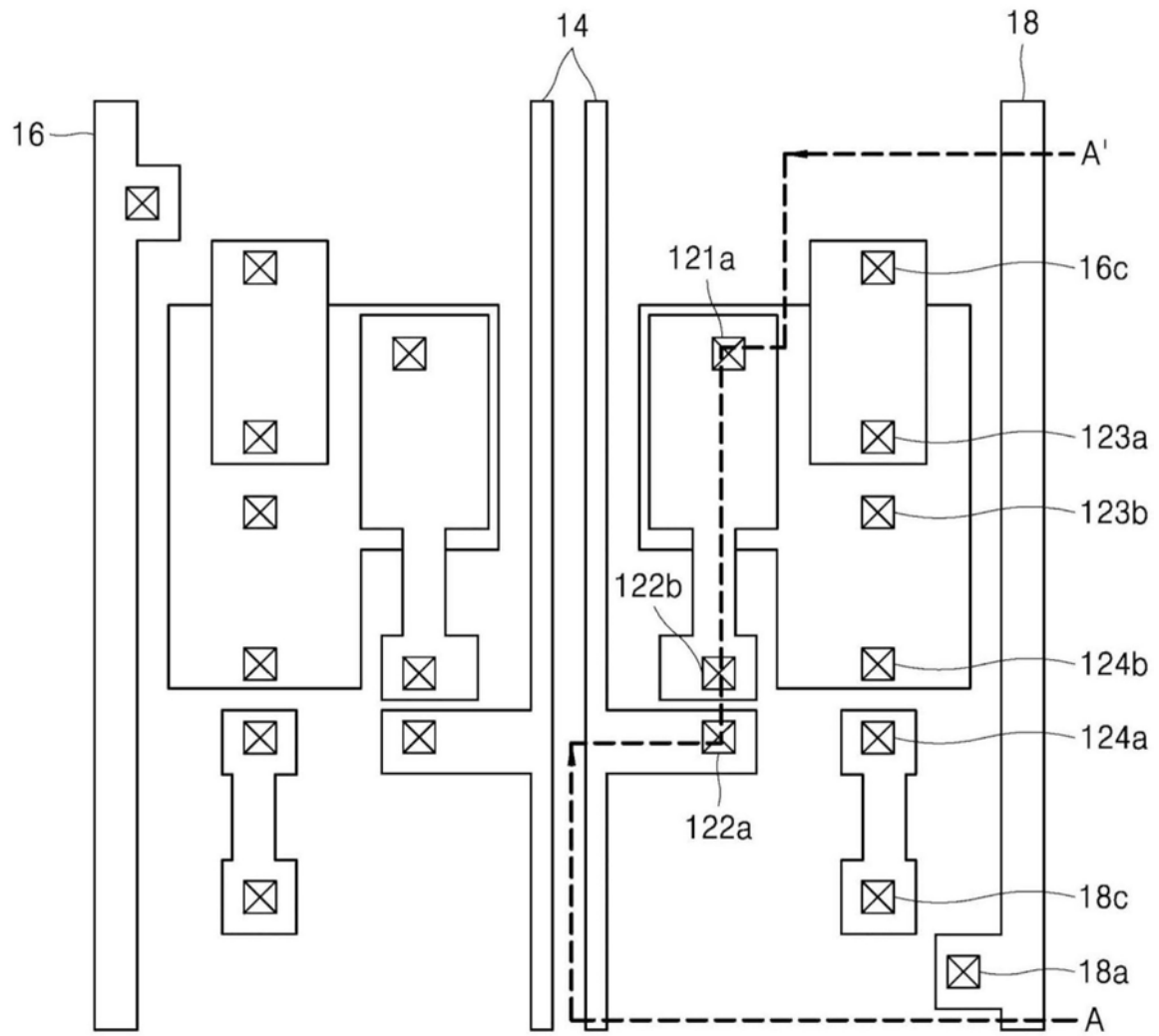


图11

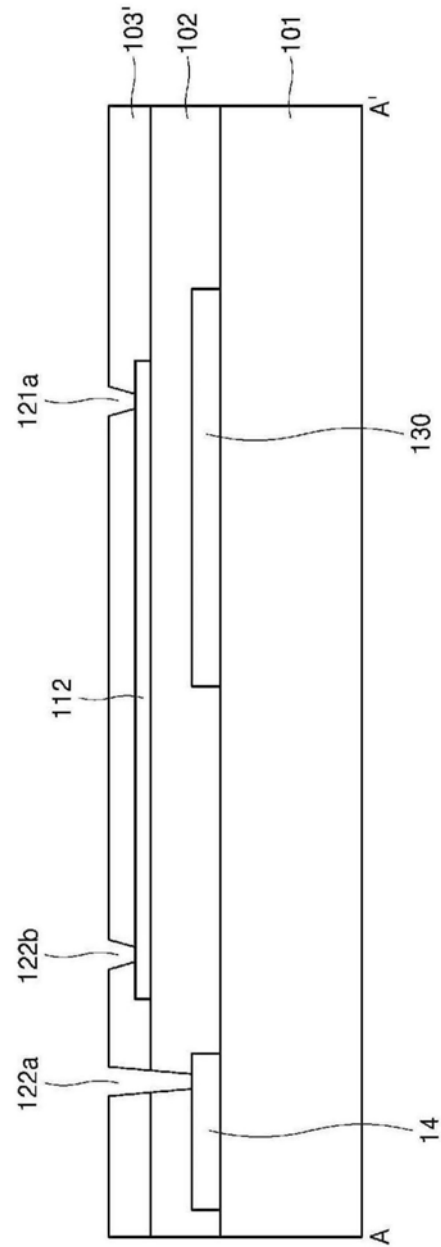


图12

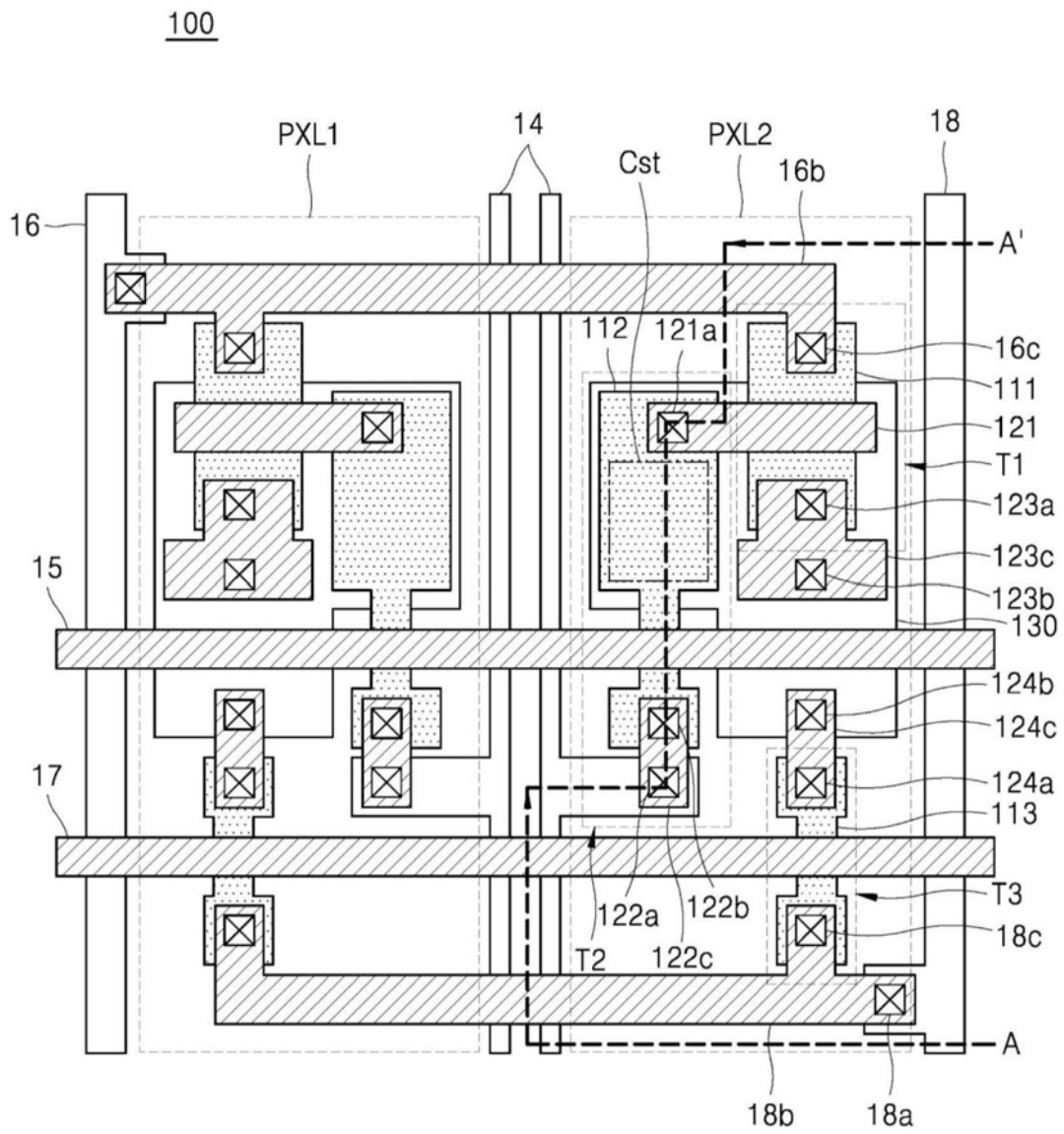


图13

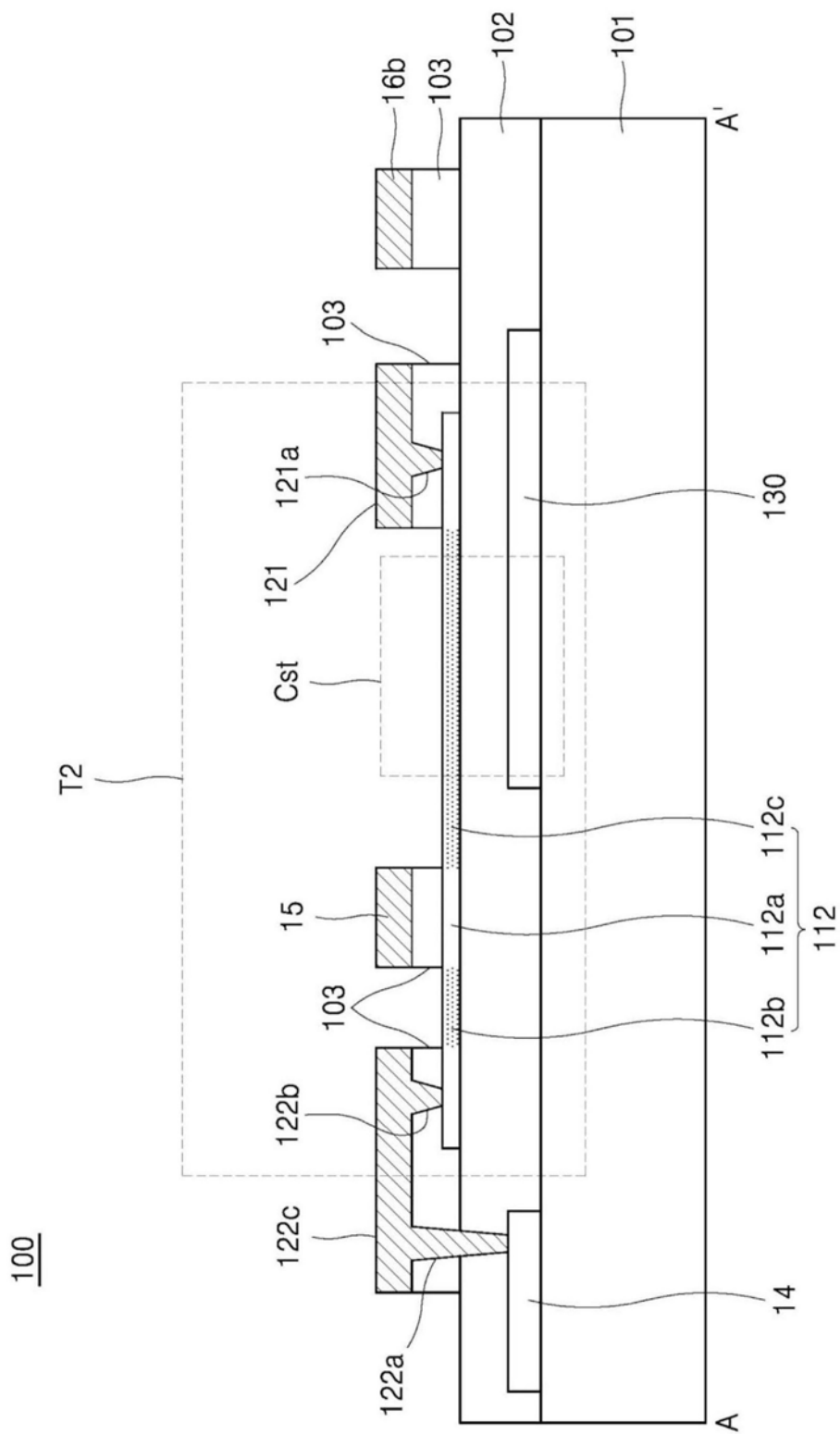


图14

专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	CN109841650A	公开(公告)日	2019-06-04
申请号	CN201811332135.2	申请日	2018-11-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔基敏		
发明人	崔基敏		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	G02F1/136209 H01L27/124 H01L27/1255 H01L27/3265 H01L27/3272 H01L27/3276 H01L29/78633 H01L27/127		
代理人(译)	刘久亮		
优先权	1020170162161 2017-11-29 KR		
外部链接	Espacenet SIPO		

摘要(译)

有机发光二极管显示装置及其制造方法。一种有机发光二极管(OLED)显示装置包括晶体管的有源层，该晶体管的有源层被设置在缓冲绝缘膜上。栅绝缘膜被设置在导电层上方的所述缓冲绝缘膜上并且被设置在所述有源层上。栅极被设置在所述有源层的沟道区域上方的所述栅绝缘膜上。第一连接图案被设置在导线和所述有源层上方的所述栅绝缘膜上。所述第一连接图案通过所述栅绝缘膜和所述缓冲绝缘膜经由第一连接接触孔与所述导电层连接。所述第一连接图案还通过所述栅绝缘膜经由第二连接接触孔与所述有源层连接。所述第一连接图案具有与所述栅极相同的材料。

