



(12)发明专利申请

(10)申请公布号 CN 109243368 A

(43)申请公布日 2019.01.18

(21)申请号 201811345860.3

(22)申请日 2018.11.13

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 高雪岭 彭宽军

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 柴亮 张天舒

(51)Int.Cl.

G09G 3/3225(2016.01)

G09G 3/3233(2016.01)

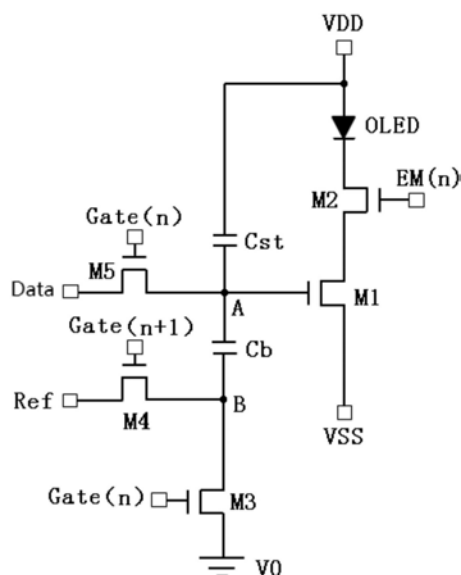
权利要求书2页 说明书7页 附图2页

(54)发明名称

像素电路及其驱动方法、阵列基板

(57)摘要

本发明提供一种像素电路及其驱动方法、阵列基板,属于像素电路技术领域,其可至少部分解决现有的有机发光二极管显示面板的最大亮度受到驱动芯片输出能力的限制的问题。本发明实施例的像素电路包括:发光单元,用于发光;驱动单元,用于根据加载在驱动单元上的驱动电压驱动发光单元发光;存储单元,用于存储加载给驱动单元的驱动电压;写入单元,用于将数据电压写入存储单元;补偿单元,用于将补偿电压写入存储单元,以通过数据电压和补偿电压得到驱动电压。



1. 一种像素电路,其特征在于,包括:
发光单元,用于发光;
驱动单元,用于根据加载在所述驱动单元上的驱动电压驱动发光单元发光;
存储单元,用于存储加载给所述驱动单元的驱动电压;
写入单元,用于将数据电压写入所述存储单元;
补偿单元,用于将补偿电压写入所述存储单元,以通过所述数据电压和所述补偿电压得到所述驱动电压。
2. 根据权利要求1所述的像素电路,其特征在于,
所述发光单元包括有机发光二极管,所述有机发光二极管的第一极连接第一电压端;
所述驱动单元包括第一晶体管,所述第一晶体管的第二极连接第二电压端,所述第一晶体管的栅极连接所述存储单元;
所述有机发光二极管与所述第一晶体管串联在所述第一电压端与所述第二电压端之间。
3. 根据权利要求2所述的像素电路,其特征在于,
所述第一晶体管为N型晶体管。
4. 根据权利要求2所述的像素电路,其特征在于,还包括控制单元,用于控制所述发光单元是否发光,所述控制单元包括:
第二晶体管,所述第二晶体管的第一极连接所述有机发光二极管的第二极,所述第二晶体管的第二极连接所述第一晶体管的第一极,所述第二晶体管的栅极连接控制电压端。
5. 根据权利要求2至4中任意一项所述的像素电路,其特征在于,所述补偿单元包括第三晶体管、第四晶体管、补偿电容;其中,
所述第三晶体管的第一极连接所述补偿电容的第二极,所述第三晶体管的第二极连接零电压端,所述第三晶体管的栅极连接第一栅电压端;
所述第四晶体管的第一极连接补偿电压端,所述第四晶体管的第二极连接所述补偿电容的第二极,所述第四晶体管的栅极连接第二栅电压端;
所述补偿电容的第一极连接所述第一晶体管的栅极。
6. 根据权利要求5所述的像素电路,其特征在于,
所述存储单元包括存储电容,所述存储电容的第一极连接所述第一电压端,所述存储电容的第二极连接所述第一晶体管的栅极。
7. 根据权利要求6所述的像素电路,其特征在于,
所述写入单元包括第五晶体管,所述第五晶体管的第一极连接数据电压端,所述第五晶体管的第二极连接所述第一晶体管的栅极,所述第五晶体管的栅极连接所述第一栅电压端。
8. 根据权利要求6所述的像素电路,其特征在于,
所述第三晶体管、第四晶体管、第五晶体管均为N型晶体管;
或者,
所述第三晶体管、第四晶体管、第五晶体管均为P型晶体管。
9. 一种像素电路的驱动方法,其特征在于,所述像素电路为权利要求1至8中任意一项所述的驱动电路,所述像素电路的驱动方法包括:

写入阶段:通过所述写入单元将所述数据电压写入所述存储单元;

补偿阶段:通过所述补偿单元将所述补偿电压写入所述存储单元,以通过所述数据电压和所述补偿电压得到所述驱动电压;

保持阶段:使所述驱动单元根据加载在所述驱动单元上的驱动电压驱动发光单元发光。

10. 根据权利要求9所述的像素电路的驱动方法,其特征在于,所述像素电路为权利要求8所述的像素电路,所述写入阶段、补偿阶段、保持阶段具体包括:

写入阶段:向第一栅电压端提供导通电压,向第二栅电压端提供关断电压,向数据电压端提供数据电压,向零电压端提供0V的电压;

补偿阶段:向第一栅电压端提供关断电压,向第二栅电压端提供导通电压,向补偿电压端提供补偿电压;

保持阶段:向第一栅电压端提供关断电压,向第二栅电压端提供关断电压。

11. 根据权利要求9所述的像素电路的驱动方法,其特征在于,所述像素电路为权利要求4所述的像素电路,所述写入阶段、补偿阶段、保持阶段还包括:

写入阶段:向控制电压端提供关断电压;

补偿阶段:向控制电压端提供关断电压;

保持阶段:向控制电压端提供导通电压。

12. 一种阵列基板,其特征在于,包括:

多个排成阵列的像素电路,所述像素电路为权利要求1至8中任意一项所述的像素电路。

13. 根据权利要求12所述的阵列基板,其特征在于,其中的所述像素电路为权利要求8所述的像素电路,所述阵列基板还包括多条数据线,多条栅线;其中,

每列像素电路的数据电压端连接一条数据线;

每行像素电路的第一栅电压端连接本级的栅线,第二栅电压端连接下一级的栅线。

14. 根据权利要求13所述的阵列基板,其特征在于,还包括多个补偿电压源、多个多路选择器、多条补偿线;其中,

每列像素电路的补偿电压端连接一条补偿线;

每个多路选择器具有一个输入端和多个输出端,输入端连接一个补偿电压源,每个输出端连接一条补偿线,所述多路选择器用于将输入端的信号轮流输出给各输出端。

像素电路及其驱动方法、阵列基板

技术领域

[0001] 本发明属于像素电路技术领域，具体涉及一种像素电路及其驱动方法、阵列基板。

背景技术

[0002] HDR (高动态光照渲染) 技术中，每幅图像的数据不是每个像素 (也称子像素) 的灰度值，而是其实际亮度值，故HDR技术可获得更多的亮度信息，取得更好的显示效果。

[0003] 为充分体现HDR技术的优势，需要显示面板具有更高的最大亮度和更高的对比度 (其可通过提高最大亮度实现)。对于有机发光二极管 (OLED) 显示面板，其最大亮度是由驱动芯片所能提供的最大数据电压 (也就是驱动芯片的输出能力) 决定的，故若要提高其最大亮度，则需要使用具有更高输出能力的驱动芯片。

发明内容

[0004] 本发明至少部分解决现有的有机发光二极管显示面板的最大亮度受到驱动芯片输出能力的限制的问题，提供一种可在驱动芯片输出能力不变的情况下获得更高最大亮度的像素电路及其驱动方法、阵列基板。

[0005] 本发明的一个方面提供一种像素电路，其包括：

[0006] 发光单元，用于发光；

[0007] 驱动单元，用于根据加载在所述驱动单元上的驱动电压驱动发光单元发光；

[0008] 存储单元，用于存储加载给所述驱动单元的驱动电压；

[0009] 写入单元，用于将数据电压写入所述存储单元；

[0010] 补偿单元，用于将补偿电压写入所述存储单元，以通过所述数据电压和所述补偿电压得到所述驱动电压。

[0011] 可选的，所述发光单元包括有机发光二极管，所述有机发光二极管的第一极连接第一电压端；

[0012] 所述驱动单元包括第一晶体管，所述第一晶体管的第二极连接第二电压端，所述第一晶体管的栅极连接所述存储单元；

[0013] 所述有机发光二极管与所述第一晶体管串联在所述第一电压端与所述第二电压端之间。

[0014] 可选的，所述第一晶体管为N型晶体管。

[0015] 可选的，所述像素电路还包括控制单元，用于控制所述发光单元是否发光，所述控制单元包括：

[0016] 第二晶体管，所述第二晶体管的第一极连接所述有机发光二极管的第二极，所述第二晶体管的第二极连接所述第一晶体管的第一极，所述第二晶体管的栅极连接控制电压端。

[0017] 可选的，所述补偿单元包括第三晶体管、第四晶体管、补偿电容；其中，

[0018] 所述第三晶体管的第一极连接所述补偿电容的第二极，所述第三晶体管的第二极

连接零电压端,所述第三晶体管的栅极连接第一栅电压端;

[0019] 所述第四晶体管的第一极连接补偿电压端,所述第四晶体管的第二极连接所述补偿电容的第二极,所述第四晶体管的栅极连接第二栅电压端;

[0020] 所述补偿电容的第一极连接所述第一晶体管的栅极。

[0021] 可选的,所述存储单元包括存储电容,所述存储电容的第一极连接所述第一电压端,所述存储电容的第二极连接所述第一晶体管的栅极。

[0022] 可选的,所述写入单元包括第五晶体管,所述第五晶体管的第一极连接数据电压端,所述第五晶体管的第二极连接所述第一晶体管的栅极,所述第五晶体管的栅极连接所述第一栅电压端。

[0023] 可选的,所述第三晶体管、第四晶体管、第五晶体管均为N型晶体管;

[0024] 或者,

[0025] 所述第三晶体管、第四晶体管、第五晶体管均为P型晶体管。

[0026] 本发明的一个方面提供一种上述像素电路的驱动方法,其包括:

[0027] 写入阶段:通过所述写入单元将所述数据电压写入所述存储单元;

[0028] 补偿阶段:通过所述补偿单元将所述补偿电压写入所述存储单元,以通过所述数据电压和所述补偿电压得到所述驱动电压;

[0029] 保持阶段:使所述驱动单元根据加载在所述驱动单元上的驱动电压驱动发光单元发光。

[0030] 可选的,对上述第三晶体管、第四晶体管、第五晶体管类型相同的像素电路,所述写入阶段、补偿阶段、保持阶段具体包括:

[0031] 写入阶段:向第一栅电压端提供导通电压,向第二栅电压端提供关断电压,向数据电压端提供数据电压,向零电压端提供0V的电压;

[0032] 补偿阶段:向第一栅电压端提供关断电压,向第二栅电压端提供导通电压,向补偿电压端提供补偿电压;

[0033] 保持阶段:向第一栅电压端提供关断电压,向第二栅电压端提供关断电压。

[0034] 可选的,对上述具有第二晶体管的像素电路,所述写入阶段、补偿阶段、保持阶段还包括:

[0035] 写入阶段:向控制电压端提供关断电压;

[0036] 补偿阶段:向控制电压端提供关断电压;

[0037] 保持阶段:向控制电压端提供导通电压。

[0038] 本发明的一个方面提供一种阵列基板,其包括:

[0039] 多个排成阵列的上述的像素电路。

[0040] 可选的,当阵列基板中的像素电路为上述第三晶体管、第四晶体管、第五晶体管类型相同的像素电路时;所述阵列基板还包括多条数据线,多条栅线;其中,

[0041] 每列像素电路的数据电压端连接一条数据线;

[0042] 每行像素电路的第一栅电压端连接本级的栅线,第二栅电压端连接下一级的栅线。

[0043] 可选的,阵列基板还包括多个补偿电压源、多个多路选择器、多条补偿线;其中,

[0044] 每列像素电路的补偿电压端连接一条补偿线;

[0045] 每个多路选择器具有一个输入端和多个输出端,输入端连接一个补偿电压源,每个输出端连接一条补偿线,所述多路选择器用于将输入端的信号轮流输出给各输出端。

附图说明

[0046] 图1为本发明实施例的一种像素电路的结构框图;

[0047] 图2为本发明实施例的一种像素电路的结构示意图;

[0048] 图3为本发明实施例的一种像素电路的驱动时序图;

[0049] 图4为本发明实施例的一种阵列基板的结构示意图;

[0050] 其中,附图标记为:1、像素电路;3、栅线;4、数据线;51、补偿电压源;52、补偿线;Muxer、多路选择器;M1、第一晶体管;M2、第二晶体管;M3、第三晶体管;M4、第四晶体管;M5、第五晶体管;OLED、有机发光二极管;Cst、存储电容;Cb、补偿电容;Gate (n)、第一栅电压端;Gate (n+1)、第二栅电压端;VDD、第一电压端;VSS、第二电压端;EM (n)、控制电压端;Data、数据电压端;Ref、补偿电压端;V0、零电压端。

具体实施方式

[0051] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0052] 可以理解的是,此处描述的具体实施例和附图仅仅用于解释本发明,而非对本发明的限定。

[0053] 可以理解的是,在不冲突的情况下,本发明中的各实施例及实施例中的各特征可相互组合。

[0054] 可以理解的是,为便于描述,本发明的附图中仅示出了与本发明相关的部分,而与本发明无关的部分未在附图中示出。

[0055] 实施例1:

[0056] 参照图1至图3,本实施例提供一种像素电路。

[0057] 该像素电路能发出不同亮度的光,故可用于阵列基板的像素(也称子像素)中。

[0058] 具体的,参照图1,该像素电路包括:

[0059] 发光单元,用于发光;

[0060] 驱动单元,用于根据加载在驱动单元上的驱动电压驱动发光单元发光;

[0061] 存储单元,用于存储加载给驱动单元的驱动电压;

[0062] 写入单元,用于将数据电压写入存储单元;

[0063] 补偿单元,用于将补偿电压写入存储单元,以通过数据电压和补偿电压得到驱动电压。

[0064] 本发明实施例的像素电路中,写入单元可将数据电压(如来自驱动芯片)写入存储单元中,而补偿单元则能将补偿电压写入存储单元中,从而利用数据电压和补偿电压共同得到用于驱动发光单元发光的驱动电压,由此,实际用于驱动发光单元发光的电压可超出数据电压的范围,从而在驱动芯片的输出能力(即数据电压)不变的情况下可提高发光单元的最大发光亮度,更好的实现HDR(高动态光照渲染)技术,获得更好的显示效果。

[0065] 可选的,发光单元包括有机发光二极管OLED,有机发光二极管OLED的第一极连接

第一电压端VDD;

[0066] 驱动单元包括第一晶体管M1,第一晶体管M1的第二极连接第二电压端VSS,第一晶体管M1的栅极连接存储单元;

[0067] 有机发光二极管OLED与第一晶体管M1串联在第一电压端VDD与第二电压端VSS之间。

[0068] 也就是说,发光单元可为有机发光二极管OLED,相应的,驱动单元为与其串联的第一晶体管M1(驱动晶体管),故此时有机发光二极管OLED的亮度由流过其的电流决定,也就是由流过第一晶体管M1的电流决定,而流过第一晶体管M1的电流由其栅电压决定,故其栅极连接存储单元,以获得驱动电压。

[0069] 其中,有机发光二极管OLED的第一极和第二极可分别为阴极和阳极,故第一电压端VDD和第二电压端VSS应分别提供相应的电源电压,本实施例中以有机发光二极管OLED的第一极为阳极、第二极为阴极为例进行说明。

[0070] 其中,各晶体管的栅极即其控制极,而第一极和第二极则为可在栅极控制下联通或断开的两极(即源极和漏极)。

[0071] 可选的,第一晶体管M1为N型晶体管。

[0072] 其中,当第一晶体管M1为N型晶体管时,其栅电压(驱动电压)越大则其中的电流越大,即有机发光二极管OLED的亮度越大,有利于通过提高驱动电压增大像素电路的最大发光亮度。

[0073] 可选的,像素电路还包括控制单元,用于控制发光单元是否发光,控制单元包括:

[0074] 第二晶体管M2,第二晶体管M2的第一极连接有机发光二极管OLED的第二极,第二晶体管M2的第二极连接第一晶体管M1的第一极,第二晶体管M2的栅极连接控制电压端EM(n)。

[0075] 也就是说,在发光二极管和第一晶体管M1之间还可串联有起控制作用的第二晶体管M2,通过控制第二晶体管M2的通断,即可决定有机发光二极管OLED中是否有电流,也就是决定有机发光二极管OLED是否发光,以避免不正确的发光。

[0076] 可选的,补偿单元包括第三晶体管M3、第四晶体管M4、补偿电容Cb;其中,

[0077] 第三晶体管M3的第一极连接补偿电容Cb的第二极,第三晶体管M3的第二极连接零电压端V0,第三晶体管M3的栅极连接第一栅电压端Gate(n);

[0078] 第四晶体管M4的第一极连接补偿电压端Ref,第四晶体管M4的第二极连接补偿电容Cb的第二极,第四晶体管M4的栅极连接第二栅电压端Gate(n+1);

[0079] 补偿电容Cb的第一极连接第一晶体管M1的栅极。

[0080] 可选的,存储单元包括存储电容Cst,存储电容Cst的第一极连接第一电压端VDD,存储电容Cst的第二极连接第一晶体管M1的栅极。

[0081] 可选的,写入单元包括第五晶体管M5,第五晶体管M5的第一极连接数据电压端Data,第五晶体管M5的第二极连接第一晶体管M1的栅极,第五晶体管M5的栅极连接第一栅电压端Gate(n)。

[0082] 也就是说,以上像素电路具体可为参照图2的形式。

[0083] 当然,应当理解,该像素电路的结构还可进行许多变化,例如,像素电路中各单元的具体形式可不同;再如,像素电路中也可没有控制单元;再如,像素电路中也可包括其它

的功能单元(如用于消除阈值漂移的单元等)。

[0084] 可选的,第三晶体管M3、第四晶体管M4、第五晶体管M5均为N型晶体管;或者,第三晶体管M3、第四晶体管M4、第五晶体管M5均为P型晶体管。

[0085] 也就是说,以上第三晶体管M3、第四晶体管M4、第五晶体管M5的类型优选是相同的,这样有利于简化采用该像素电路的阵列基板的结构。

[0086] 当然,从便于制备的角度考虑,以上全部晶体管(还包括第一晶体管M1和第二晶体管M2)的类型优选也是相同的。

[0087] 本实施例还提供一种上述像素电路的驱动方法,其包括:

[0088] 写入阶段:通过写入单元将数据电压写入存储单元;

[0089] 补偿阶段:通过补偿单元将补偿电压写入存储单元,以通过数据电压和补偿电压得到驱动电压;

[0090] 保持阶段:使驱动单元根据加载在驱动单元上的驱动电压驱动发光单元发光。

[0091] 也就是说,对以上像素电路进行驱动时,可先将数据电压写入存储单元,之后再补偿电压写入,从而用二者共同得到驱动电压,并通过驱动电压驱动像素电路发光,直到下一帧中的写入阶段来到。

[0092] 具体的,对以上参照图2的像素电路,其驱动方法可参照图3,写入阶段、补偿阶段、保持阶段具体包括:

[0093] S11、写入阶段:向第一栅电压端Gate(n)提供导通电压,向第二栅电压端Gate(n+1)提供关断电压,向数据电压端Data提供数据电压,向零电压端V0提供0V的电压(例如接地),向控制电压端EM(n)提供关断电压。

[0094] 其中,导通电压指用于使对应的晶体管导通的信号,而关断电压则是用于使对应的晶体管关断的信号,例如对N型晶体管,其对应的导通电压为高电压,对应的关断信号为低电压;而对P型晶体管,其对应的导通电压为低电压,对应的关断信号为高电压。

[0095] 具体的,本阶段中,第五晶体管M5导通,故数据电压通过第五晶体管M5写入到存储电容Cst的第二极(即A点),A点电压为数据电压Vdata。同时,第三晶体管M3也导通,故补偿电容Cb第二极(即B点)电压清零,相当于补偿电容Cb上加载了数据电压Vdata。

[0096] 本阶段中,第一晶体管M1的栅电压不是驱动电压,故有机发光二极管OLED不应发光,故如果设有第二晶体管M2(控制单元),则此时应向控制电压端EM(n)提供关断信号,以阻止有机发光二极管OLED发光。

[0097] S12、补偿阶段:向第一栅电压端Gate(n)提供关断电压,向第二栅电压端Gate(n+1)提供导通电压,向补偿电压端Ref提供补偿电压,向控制电压端EM(n)提供关断电压。

[0098] 具体的,本阶段中,第四晶体管M4导通,从而B点电压变为补偿电压Vref;而由于第三晶体管M3和第五晶体管M5均关断,故补偿电容Cb和存储电容Cst均无法放电,它们存储的电荷在二者间再分配,最终,A点电压,也就是实际起到驱动作用的驱动电压变为: $V_{data} + V_{ref} * C_2 / (C_2 + C_1)$;其中,C1和C2分别为存储电容Cst和补偿电容Cb的电容值。

[0099] 由于C1、C2是定值,故实际的驱动电压就等于数据电压Vdata加上一个与参考电压Vref有关的值,例如,若 $V_{ref} = V_{data}$,则实际的驱动电压为 $V_{data} * [1 + C_2 / (C_2 + C_1)]$ 。

[0100] 可见,按照以上方式,实际的驱动电压可超出数据电压的范围,从而在不改变驱动芯片输出能力(即数据电压)的情况下,可提高有机发光二极管OLED的最大亮度。

[0101] 本阶段中,第一晶体管M1的栅电压不稳定,故有机发光二极管OLED不应发光,故如果设有第二晶体管M2(控制单元),则此时应向控制电压端EM(n)提供关断信号,以阻止有机发光二极管OLED发光。

[0102] S13、保持阶段:向第一栅电压端Gate(n)提供关断电压,向第二栅电压端Gate(n+1)提供关断电压,向控制电压端EM(n)提供导通电压。

[0103] 具体的,本阶段中,第三晶体管M3、第四晶体管M4、第五晶体管M5均关断,存储电容Cst和补偿电容Cb无法放电,故其保持第一晶体管M1栅极(即A点)为驱动电压,从而驱动有机发光二极管OLED发光,直到下一帧的写入阶段。

[0104] 由于本阶段是有机发光二极管OLED的主要发光阶段,故如果设有第二晶体管M2(控制单元),则此时应向控制电压端EM(n)提供导通信号,以允许有机发光二极管OLED发光。

[0105] 当然,在以上驱动方法中,第一电压端VDD和第二电压端VSS应分别持续的提供相应的电源电压,而零电压端V0也可持续的提供0V的电压,在此不再详细描述。

[0106] 当然,在阵列基板中,由于数据线、补偿线需要分时的向不同列的像素电路提供信号,故实际上数据电压端Data、补偿电压端Ref在其它阶段也会接收到针对其它行像素电路的信号,但其无法进入像素电路中,故在图3中没有示出。

[0107] 实施例2:

[0108] 参照图4,本实施例提供一种阵列基板,其特包括:

[0109] 多个排成阵列的像素电路1,像素电路1为上述的任意一种像素电路1。

[0110] 该阵列基板包括多个排成阵列的像素(或称子像素),每个像素中均设有以上像素电路1,由于该像素电路1中可包括有机发光二极管(OLED),故该阵列基板可为有机发光二极管阵列基板。

[0111] 可选的,当像素电路1中第三晶体管、第四晶体管、第五晶体管均为N型晶体管或均为P型晶体管时,阵列基板还包括多条数据线4,多条栅线3;其中,

[0112] 每列像素电路1的数据电压端连接一条数据线4;

[0113] 每行像素电路1的第一栅电压端连接本级的栅线3,第二栅电压端连接下一级的栅线3。

[0114] 也就是说,可用每条栅线3控制一行像素电路,每条数据线4控制一列像素电路,而由于第三晶体管、第四晶体管、第五晶体管类型相同,故它们对应的导通电压和关断电压也相同,而相邻级的栅线3的信号正好相差一个周期,故可参照图4,像素电路1的第二栅电压端连接下一级的栅线3,而不用再为其设置单独的信号线,简化电路结构。

[0115] 当然,对最后一行像素,由于其没有对应的下一级栅线,故其第二栅电压端需要通过单独的信号线提供信号。

[0116] 可选的,阵列基板还包括多个补偿电压源51、多个多路选择器Muxer、多条补偿线52;其中,

[0117] 每列像素电路1的补偿电压端连接一条补偿线52;

[0118] 每个多路选择器Muxer具有一个输入端和多个输出端,输入端连接一个补偿电压源51,每个输出端连接一条补偿线52,所述多路选择器Muxer用于将输入端的信号轮流输出给各输出端。

[0119] 为进一步改善显示效果,补偿电压的取值可根据数据电压决定,这就要求提供给各像素电路1的补偿电压是独立的,即每列像素电路1需要连接一条补偿线52。为减少驱动芯片的端口数,可使用多路选择器Muxer:多路选择器Muxer用于使其输入端轮流与各输出端导通,通过将多路选择器Muxer的输入端与补偿电压源51(每个补偿电压源51可连接驱动芯片的一个端口)连接,而使多路选择器Muxer的各输出端分别连接一条补偿线52,即可参照图3,在一个周期内(如补偿阶段),将该来自补偿电压源51的信号依次输出给多个像素电路1。其中,MUX1-MUX4为高电压的时间分别表示多路选择器Muxer的四个输出端有效输出的时间。

[0120] 当然,应当理解,在每个周期中,多路选择器Muxer的各输出端都应产生有效输出,以将补偿电压输出给不同行的像素单元。

[0121] 当然,如果驱动芯片的每个端口直接连接一条补偿线,也是可行的。或者,如果所有补偿线电连接在一起后连接一个定电压源,从而为各像素电路提供统一的补偿电压,也是可行的。

[0122] 当然,阵列基板中还可设有控制线(图中未示出),每条控制线可为一行像素电路的控制电压端提供信号

[0123] 当然,阵列基板中的各像素电路的零电压端、第一电压端、第二电压端可分别与各自相应的信号源连接。

[0124] 实施例3:

[0125] 本实施例提供一种显示面板,其包括上述的任意一种显示基板。

[0126] 也就是说,可将以上显示基板与对盒基板、驱动芯片等组合在一起,构成具有显示功能的显示面板。其中,当显示基板为有机发光二极管阵列基板时,显示面板也为有机发光二极管显示面板。

[0127] 具体的,以上显示面板可为电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0128] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

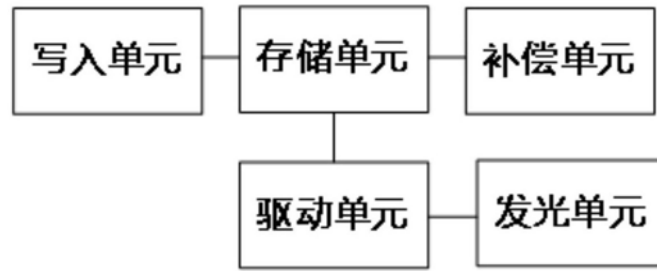


图1

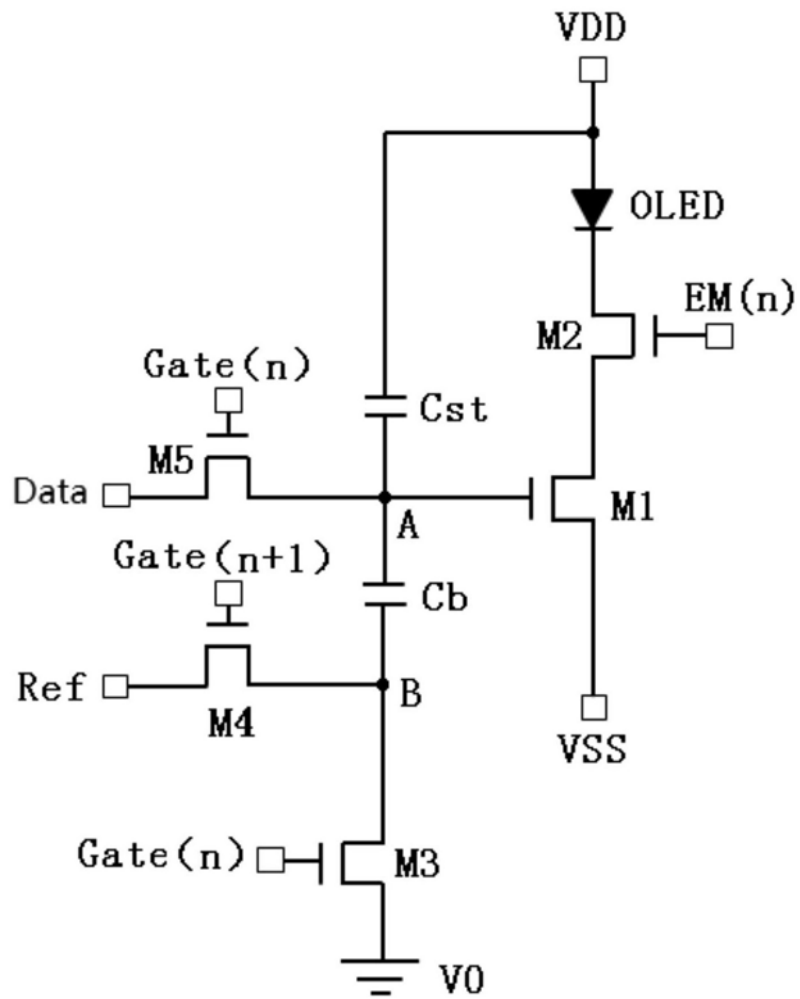


图2

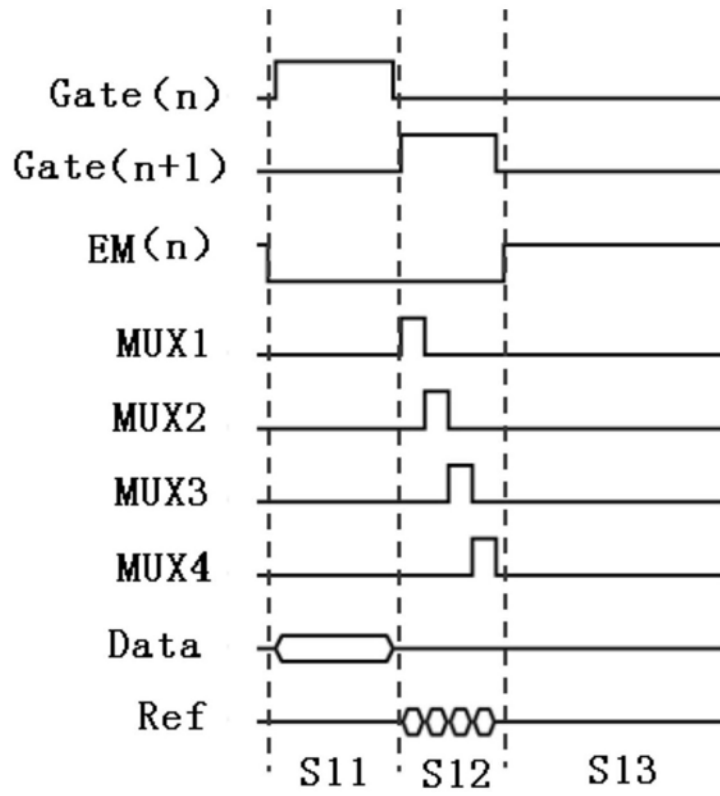


图3

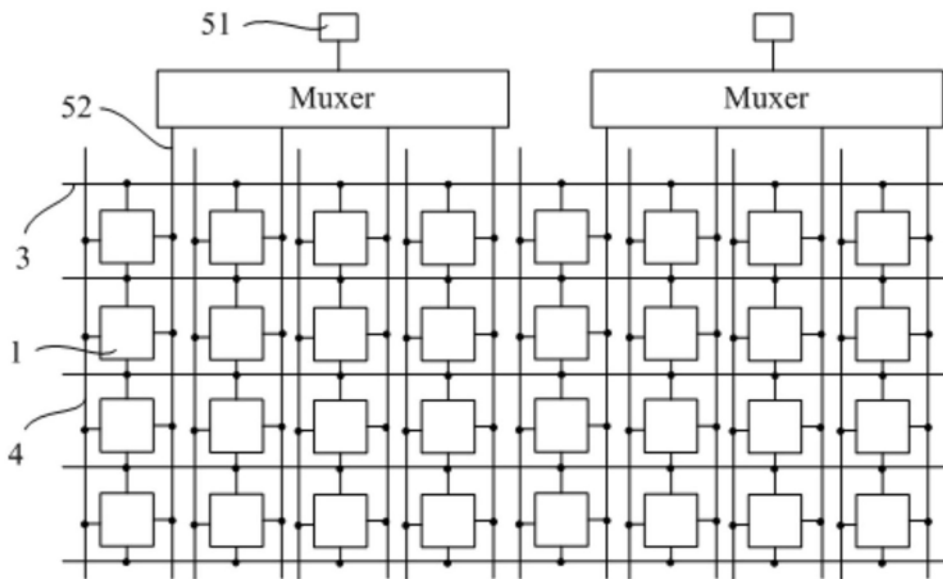


图4

专利名称(译)	像素电路及其驱动方法、阵列基板		
公开(公告)号	CN109243368A	公开(公告)日	2019-01-18
申请号	CN2018111345860.3	申请日	2018-11-13
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	高雪岭 彭宽军		
发明人	高雪岭 彭宽军		
IPC分类号	G09G3/3225 G09G3/3233		
CPC分类号	G09G3/3225 G09G3/3233		
代理人(译)	柴亮 张天舒		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素电路及其驱动方法、阵列基板，属于像素电路技术领域，其可至少部分解决现有的有机发光二极管显示面板的最大亮度受到驱动芯片输出能力的限制的问题。本发明实施例的像素电路包括：发光单元，用于发光；驱动单元，用于根据加载在驱动单元上的驱动电压驱动发光单元发光；存储单元，用于存储加载给驱动单元的驱动电压；写入单元，用于将数据电压写入存储单元；补偿单元，用于将补偿电压写入存储单元，以通过数据电压和补偿电压得到驱动电压。

