



(12)发明专利申请

(10)申请公布号 CN 110391278 A

(43)申请公布日 2019.10.29

(21)申请号 201910315847.1

(22)申请日 2019.04.18

(30)优先权数据

10-2018-0045697 2018.04.19 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 朴相武 李锡贤 丁元俊

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 蔡胜有 谭天

(51)Int.Cl.

H01L 27/32(2006.01)

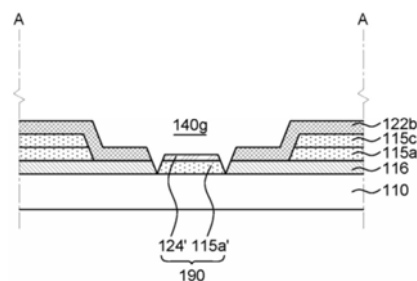
权利要求书3页 说明书19页 附图10页

(54)发明名称

具有改进的接触结构的电致发光显示装置

(57)摘要

在根据本公开的实施方案的具有改进的接触结构的电致发光显示装置中,两个接触孔集成为一个以形成尺寸(或面积)大于接触面积的接触孔。另外,在由接触孔露出的数据线之间的台阶处形成有包括有源层的虚设图案以去除台阶。因此,可以设计像素而不限制接触孔的尺寸。因此,可以增加接触孔的尺寸,这使得易于应用半色调掩模,因此可以减少掩模。此外,增加了设计像素时金属的自由度。因此,可以设计用于高分辨率模型的像素。此外,不需要电极的余量,因此,可以增加开口率。此外,当上导电层被图案化时,在数据线之间不存在由台阶引起的残留光致抗蚀剂层。因此,可以抑制短路缺陷的发生。



1. 一种电致发光显示装置,包括:
 - 沿第一方向设置在基板上的数据线;
 - 设置在所述数据线上的第一绝缘层;
 - 设置在所述第一绝缘层上的有源层;
 - 沿与所述第一方向交叉的第二方向设置在所述第一绝缘层上方的栅极线,在所述栅极线与所述第一绝缘层之间插设有至少第二绝缘层,并且所述栅极线与所述数据线一起限定像素区域;
 - 设置在所述有源层上方的栅电极,所述第二绝缘层插设在所述栅电极与所述有源层之间;
 - 设置在所述栅电极和所述栅极线上的第三绝缘层;
 - 设置在所述第三绝缘层上的源电极和漏电极,所述源电极和所述漏电极连接至所述有源层;
 - 设置在相邻像素区域的两条数据线之间的接触孔,所述接触孔使所述源电极和所述数据线由于所述第一绝缘层和所述第三绝缘层被去除而电连接;以及
 - 设置在所述两条数据线之间的虚设图案,所述虚设图案包括所述第一绝缘层和作为所述有源层的半导体层,
 - 其中所述接触孔具有大于源电极和数据线之间的接触面积的面积。
2. 根据权利要求1所述的电致发光显示装置,还包括:
 - 设置在所述源电极和所述漏电极上的第四绝缘层;以及
 - 设置在所述像素区域的发光单元中的在所述第四绝缘层上的发光器件。
3. 根据权利要求1所述的电致发光显示装置,其中所述接触孔露出每条数据线的部分上表面、每条数据线的侧表面和所述基板的在所述两条数据线之间的上表面。
4. 根据权利要求3所述的电致发光显示装置,其中与所述每条数据线对应的源电极电连接至所述每条数据线的露出的部分上表面。
5. 根据权利要求1所述的电致发光显示装置,其中所述虚设图案包括由所述半导体层制成的第一虚设图案和在所述第一虚设图案上的由所述第一绝缘层制成的第二虚设图案。
6. 根据权利要求5所述的电致发光显示装置,其中所述第一虚设图案用作使对所述第二虚设图案的蚀刻停止的蚀刻停止层。
7. 根据权利要求5所述的电致发光显示装置,其中所述第一虚设图案具有与至少所述源电极相比相同的或更大的宽度。
8. 根据权利要求1所述的电致发光显示装置,其中所述虚设图案进一步覆盖所述数据线的部分上表面。
9. 一种电致发光显示装置,包括:
 - 数据线和栅极线,所述数据线和所述栅极线彼此交叉设置在基板上并限定像素区域;
 - 设置在所述数据线上的第一绝缘层;
 - 设置在所述第一绝缘层上的有源层;
 - 设置在所述有源层上方的栅电极,在所述栅电极与所述有源层之间插设有第二绝缘层;
 - 设置在所述栅电极和所述栅极线上的第三绝缘层;

设置在所述第三绝缘层上的源电极和漏电极,所述源电极和所述漏电极连接至所述有源层;

设置在相邻像素区域的两条数据线之间的接触孔,所述接触孔使所述源电极和所述数据线由于所述第一绝缘层和所述第三绝缘层被去除而电连接;以及

设置在所述两条数据线之间的虚设图案,所述虚设图案包括所述第一绝缘层和作为所述有源层的半导体层以使所述两条数据线之间的台阶平坦化。

10. 根据权利要求9所述的电致发光显示装置,其中所述接触孔具有大于所述源电极和所述数据线之间的接触面积的面积。

11. 根据权利要求9所述的电致发光显示装置,其中所述数据线沿第一方向设置在所述基板上,以及

所述栅极线沿与所述第一方向交叉的第二方向设置在所述第一绝缘层上方,在所述栅极线与所述第一绝缘层之间插设有至少所述第二绝缘层。

12. 根据权利要求9所述的电致发光显示装置,其中所述接触孔露出每条数据线的部分上表面、每条数据线的侧表面和所述基板在所述两条数据线之间的上表面。

13. 根据权利要求12所述的电致发光显示装置,其中每个源电极电连接至每条数据线的露出的部分上表面。

14. 根据权利要求9所述的电致发光显示装置,其中所述虚设图案包括由所述半导体层制成的第一虚设图案和在所述第一虚设图案上的由所述第一绝缘层制成的第二虚设图案。

15. 根据权利要求14所述的电致发光显示装置,其中所述第一虚设图案用作使对第二虚设图案的蚀刻停止的蚀刻停止层。

16. 根据权利要求14所述的电致发光显示装置,其中所述第一虚设图案具有与至少所述第二源电极相比相同的或更大的宽度。

17. 根据权利要求9所述的电致发光显示装置,其中所述虚设图案设置为进一步覆盖所述数据线的部分上表面。

18. 一种电致发光显示装置,包括:

沿第一方向设置在基板上的数据线;

设置在所述数据线上的第一绝缘层;

设置在所述第一绝缘层上的有源层;

沿与所述第一方向交叉的第二方向设置在所述第一绝缘层上方的栅极线,在所述栅极线与所述第一绝缘层之间插设有至少第二绝缘层,并且所述栅极线与所述数据线一起限定像素区域;

设置在所述有源层上方的栅电极,所述第二绝缘层插设在所述栅电极与所述有源层之间;

设置在所述栅电极和所述栅极线上的第三绝缘层;

设置在所述第三绝缘层上的源电极和漏电极,所述源电极和所述漏电极连接至所述有源层;

设置在不同像素区域的彼此相邻的两条数据线之间的单个接触孔,所述单个接触孔设置在所述彼此相邻的两条数据线上方并且与所述两条数据线交叠,所述单个接触孔使每个像素的所述源电极能够与相应像素的数据线电连接;以及

设置在所述两条数据线之间的虚设图案,所述虚设图案包括所述第一绝缘层和作为所述有源层的半导体层。

19. 根据权利要求18所述的电致发光显示装置,其中,
所述单个接触孔借由穿透所述第一绝缘层和第三绝缘层而使得所述两条数据线的一部分露出。

20. 根据权利要求18所述的电致发光显示装置,其中,
所述虚设图案使所述两条数据线之间的台阶平坦化。

具有改进的接触结构的电致发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年4月19日在韩国知识产权局提交的韩国专利申请第10-2018-0045697号的优先权,其公开内容通过引用并入本文。

技术领域

[0003] 本公开涉及一种具有改进的接触结构的电致发光显示装置,更具体地,涉及一种具有改进的接触结构以便容易地设计用于高分辨率模型的像素的电致发光显示装置。

[0004] 随着信息时代的发展,用于可视地显示电信息信号的显示装置领域已迅速增长。因此,对显示装置的各种不同研究正在进行以改善诸如减薄、轻量和低功耗的性能。

[0005] 显示装置的代表性示例包括液晶显示装置(LCD)、场发射显示装置(FED)、电润湿显示装置(EWD)和有机发光显示装置(OLED)。

[0006] 具体地,包括OLED的电致发光显示装置是自发光显示装置,并且与LCD不同,不需要单独的光源。因此,电致发光显示装置可以制造成轻质和薄的形式。此外,电致发光显示装置在功耗方面是有利的,因为它们以低电压被驱动。此外,电致发光显示装置具有优异的色彩表现能力、高响应速度、宽视角和高对比度(CR)。因此,期望电致发光显示装置应用于各种不同领域。

[0007] 电致发光显示装置包括在称为阳极和阴极的两个电极之间由有机材料形成的发光层。当来自阳极的空穴和来自阴极的电子注入发光层时,注入的空穴和电子复合成激子以从发光层发光。

[0008] 发光层包含基质材料(host material)和掺杂剂材料,并且这两种材料彼此相互作用。基质由电子和空穴产生激子并将能量转移到掺杂剂。掺杂剂是少量含有的有机染料,并且从主体接收能量并将能量转换成光。

发明内容

[0009] 为了实现大尺寸和高分辨率的显示装置,需要确保高开口率(aperture ratio)。然而,存在用于修复诸如栅极线的水平线和诸如数据线/电源线的垂直线之间的短路缺陷的栅极冗余图案的问题。

[0010] 因此,本公开要实现的一个目的是提供一种具有改进的接触结构的电致发光显示装置,其能够在没有栅极冗余图案的情况下抑制垂直线与水平线之间的短路缺陷的发生。

[0011] 常规的接触结构包括覆盖接触孔的上层和下层,例如上电极和下电极。在该结构中,接触孔的尺寸(或面积)与上电极和下电极之间的接触面积或连接面积相同。

[0012] 然而,由于用于对接触孔进行图案化的最小尺寸,在设计像素方面存在限制。此外,在下电极与接触孔之间以及上电极与接触孔之间分别需要交叠余量(overlay margin)。因此,减少了设计像素时金属的自由度。

[0013] 此外,如果两个接触孔集成为一个以形成尺寸大于接触面积的接触孔,则在通过接触孔暴露的数据线之间可能存在由台阶引起的残余光致抗蚀剂层。因此,可能发生短路

缺陷。

[0014] 因此,本公开要实现的另一个目的是提供一种电致发光显示装置,其具有可以在图案化上导电层时抑制短路缺陷并且使得容易设计用于高分辨率模型的像素的改进的接触结构。

[0015] 本公开的目的不限于上述目的,并且本领域技术人员从以下描述中可以清楚地理解上面未提及的其他目的。

[0016] 根据本公开的一个方面,具有改进的接触结构的电致发光显示装置,包括沿第一方向设置在基板上的数据线。此外,电致发光显示装置包括设置在数据线上的第一绝缘层和设置在第一绝缘层上的有源层。电致发光显示装置还包括栅极线,该栅极线沿与第一方向交叉的第二方向经由至少第二绝缘层设置在第一绝缘层上方并且与数据线一起限定像素区域。电致发光显示装置还包括经由第二绝缘层在有源层上方的栅电极以及设置在栅电极与栅极线上的第三绝缘层。此外,电致发光显示装置包括设置在第三绝缘层上的源电极和漏电极,源电极和漏电极连接至有源层的预定区域。电致发光显示装置还包括设置在相邻像素区域的两条数据线之间的接触孔,所以接触孔使源电极和数据线由于第一绝缘层和第三绝缘层被去除而电连接。电致发光显示装置还包括设置在两条数据线之间的虚设图案,虚设图案包括第一绝缘层和作为有源层的半导体层。接触孔具有大于源电极和数据线之间的接触面积的面积。

[0017] 根据本公开的另一方面,具有改进的接触结构的电致发光显示装置包括数据线和栅极线,所述数据线和栅极线彼此交叉地设置在基板上并限定像素区域。电致发光显示装置还包括设置在数据线上的第一绝缘层、设置在第一绝缘层上的有源层、以及经由第二绝缘层设置在有源层上方的栅电极。电致发光显示装置还包括设置在栅电极和栅极线上的第三绝缘层。此外,电致发光显示装置包括设置在第三绝缘层上的源电极和漏电极,源电极和漏电极连接至有源层的预定区域。电致发光显示装置还包括设置在相邻像素区域的两条数据线之间的接触孔,因为第一绝缘层和第三绝缘层被去除,所以所述接触孔使源电极和数据线电连接。电致发光显示装置还包括设置在两条数据线之间的虚设图案,虚设图案包括第一绝缘层和作为有源层的半导体层,并且去除两条数据线之间的台阶。

[0018] 示例性实施方案的其他详细内容包括在详细描述和附图中。

[0019] 根据本公开,诸如数据线/电源线的垂直线设置在与最下面的遮光层相同的层上,并且诸如栅极线的水平线设置在与栅电极相同的层上。因此,可以抑制垂直线与水平线之间的短路缺陷的发生。因此,可以去除像素中的栅极冗余图案。因此,对于高分辨率模型,可以提高成品率,并且能够确保附加的开口率。

[0020] 根据本公开,两个接触孔集成为一个以形成尺寸(或面积)大于接触面积的接触孔。此外,在由接触孔暴露的数据线之间的台阶处形成有包括有源层的虚设图案。因此,可以设计像素而不限制接触孔的尺寸并且去除数据线之间的台阶。因此,可以增加接触孔的尺寸,这使得易于应用半色调掩模,因此可以减少掩模。此外,增加了设计像素时金属的自由度。因此,可以设计用于高分辨率模型的像素。此外,不需要电极的余量(margins),因此,可以增加开口率。此外,当上导电层被图案化时,在数据线之间不存在由台阶引起的残留光致抗蚀剂层。因此,可以抑制短路缺陷的发生。

[0021] 根据本公开的效果不限于以上例示的内容,并且在本说明书中包括更多各种不同

的效果。

附图说明

[0022] 从以下结合附图的详细描述中将更清楚地理解本公开的上述和其他方面、特征和其他优点,在附图中:

[0023] 图1是示意性地示出根据本公开的一个实施方案的电致发光显示装置的框图;

[0024] 图2是根据本公开的一个实施方案的电致发光显示装置中包括的像素的电路图;

[0025] 图3是示意性地示出根据本公开的一个实施方案的电致发光显示装置的平面图;

[0026] 图4至图6是根据本公开的一个实施方案的图3中所示的电致发光显示装置的示意性截面图;

[0027] 图7A和图7B是示意性地示出根据一个比较例的接触结构的平面图和截面图;

[0028] 图8A和图8B是示意性地示出根据本公开的一个实施方案的接触结构的平面图和截面图;

[0029] 图9A和图9B是示意性地示出根据本公开的一个实施方案的接触结构的示例的平面图和截面图;

[0030] 图10是示出根据比较例1的接触结构的示例的平面图;

[0031] 图11A和图11B是示出根据比较例2的用于对第二源电极图案化的工艺的一部分的示例的截面图;

[0032] 图12A至图12F是顺序地示出根据本公开的一个实施方案的用于制造电致发光显示装置的工艺的截面图;以及

[0033] 图13A和图13B是示意性地示出根据本公开的一个实施方案的接触结构的另一示例的平面图和截面图。

具体实施方式

[0034] 通过参照下面结合附图详细描述示例性实施方案,将清楚本公开的优点和特征以及实现这些优点和特征的方法。然而,本公开不限于本文公开的示例性实施方案,而且可以以各种不同的形式实现。示例性实施方案仅仅提供,使得本领域技术人员能够完全理解本公开的公开内容和本公开的范围。因此,本公开仅由所附权利要求书的范围限定。

[0035] 用于描述本公开的示例性实施方案的附图中所示的形状、尺寸、比例、角度、数量等仅仅是示例,并且本公开不限于此。在整个说明书中,相似的附图标记通常指示相似的要素。此外,在本公开的以下描述中,可以省略已知相关技术的详细说明,以避免不必要地模糊本公开的主题。在本文中所使用的诸如“包含”、“具有”和“由……构成”的术语通常意在允许添加其他部件,除非这些术语与术语“仅”一起使用。对单数的任何引用可以包括复数,除非另外明确规定。

[0036] 即使没有明确说明,部件也被解释为包括普通的误差范围。

[0037] 当使用诸如“在……上”、“在……上方”、“在……下方”和“邻接”的术语来描述两个部件之间的位置关系时,除非这些术语与“紧接(immediately)”或“直接(directly)”一起使用,否则一个或多个部件可以位于两个部件之间。

[0038] 当元件或层设置在另一元件或层“上”时，另一层或另一元件可以直接插设其他元件上或直接插设其间。

[0039] 尽管术语“第一”、“第二”等用于描述各个部件，但这些部件不受这些术语限制。这些术语仅用于区分一个部件与其他部件。因此，下面提到的第一部件可以是本公开的技术构思中的第二部件。

[0040] 在整个说明书中，相似的附图标记通常指示相似的要素。

[0041] 为了便于描述，示出了附图中所示出的每个部件的尺寸和厚度，但是本公开不限于所示部件的尺寸和厚度。

[0042] 本公开的各种不同实施方案的特征可以部分地或完全地彼此依附或组合，且可以以技术上各种不同的方式互锁和操作，并且实施方案可以彼此独立地或彼此相关联地实施。

[0043] 在下文中，将参照附图详细描述本公开的各种不同的实施方案。

[0044] 图1是示意性地示出根据本公开的实施方案的电致发光显示装置的框图。

[0045] 参照图1，根据本公开的一个实施方案的电致发光显示装置100可以包括显示面板110和数据驱动集成电路(IC) 130。电致发光显示装置100还可以包括栅极驱动IC 150、图像处理170和定时控制器180。

[0046] 显示面板110可以包括多个子像素160。多个子像素160可以沿行方向和列方向放置并且以矩阵形式布置。例如，如图1所示，多个子像素160可以布置为m个行和n个列。此后，为了方便描述，在多个子像素160中，沿行方向设置的一组子像素160被定义为行子像素，并且沿列方向设置的一组子像素160被定义为列子像素。

[0047] 多个子像素160中的每一个子像素可以发射特定颜色的光。例如，多个子像素160可以包括发射红光的红色子像素、发射绿光的绿色子像素和发射蓝光的蓝色子像素。在这种情况下，一组红色子像素、绿色子像素和蓝色子像素可以被称为(一个)像素。

[0048] 显示面板110中的多个子像素160可以连接至栅极线GL1至GLm和数据线DL1至DLn。例如，第一行子像素可以连接至第一栅极线GL1，第一列子像素可以连接至第一数据线DL1。此外，第二行子像素至第m行子像素可以分别连接至第二栅极线GL2至第m栅极线GLm。此外，第二列子像素至第n列子像素可以分别连接至第二数据线DL2至第n数据线DLn。多个子像素160可以被配置为基于从栅极线GL1至GLm传输的栅极电压和从数据线DL1至DLn传输的数据电压来运行。

[0049] 图像处理器170可以输出从外部提供的数据信号(图像数据) DATA和数据使能信号DE。除了数据使能信号DE之外，图像处理器170还可以输出垂直同步信号、水平同步信号和时钟信号中至少之一。

[0050] 定时控制器180可以从图像处理器170接收包括垂直同步信号、水平同步信号、数据使能信号DE和时钟信号的各种各样的定时信号以及数据信号DATA。定时控制器180可以从图像处理器170接收数据信号DATA，即输入图像数据。然后，定时控制器180可以根据可以由数据驱动IC 130处理的数据信号格式转换数据信号DATA，并输出数据信号DATA，即输出图像数据。此外，定时控制器180可以接收定时信号，例如垂直同步信号、水平同步信号、数据使能信号DE和时钟信号。然后，定时控制器180可以生成各种各样的控制信号DCS和GCS，并将控制信号DCS和GCS输出至数据驱动IC 130和栅极驱动IC 150，以分别控制数据驱动IC

130和栅极驱动IC 150。

[0051] 例如,定时控制器180可以输出各种各样的栅极控制信号GCS包括栅极起始脉冲GSP、栅极移位时钟GSC、栅极输出使能GOE等以控制栅极驱动IC 150。

[0052] 此处,栅极起始脉冲控制包括在栅极驱动IC 150中的一个或更多个栅极电路的操作开始定时。栅极移位时钟是通常输入到一个或更多个栅极电路并控制扫描信号(栅极脉冲)的移位定时的时钟信号。栅极输出使能信号指定一个或更多个栅极电路的定时信息。

[0053] 定时控制器180还可以输出各种各样的数据控制信号DCS包括源极起始脉冲SSP、源极采样时钟SSC、源极输出使能SOE等以控制数据驱动IC 130。

[0054] 此处,源极起始脉冲控制包括在数据驱动IC 130中的一个或更多个数据电路的数据采样开始定时。源极采样时钟是控制每条数据电路中的数据的采样定时的时钟信号。源极输出使能信号控制数据驱动IC 130的输出定时。

[0055] 栅极驱动IC 150可以在定时控制器180的控制下将作为导通电压或截止电压的扫描信号顺序地提供至栅极线GL1至GL_m,以顺序地驱动栅极线GL1至GL_m。

[0056] 根据驱动方法,如果需要,栅极驱动IC 150可以仅位于显示面板110的一侧或位于其两侧。

[0057] 栅极驱动IC 150可以通过带式自动接合(TAB)方法或玻璃上芯片(COG)方法连接至显示面板110的接合焊盘。栅极驱动IC 150可以被实现为板内栅极(GIP)型,以直接设置在显示面板110中。另外,如果需要,栅极驱动IC 150可以集成为设置在显示面板110中。

[0058] 栅极驱动IC 150可以包括移位寄存器、电平移位器等。

[0059] 当特定栅极线GL1至GL_m打开时,数据驱动IC 130可以将从定时控制器180接收的输出图像数据DATA转换为模拟数据电压。然后,数据驱动IC 130可以将模拟数据电压输出至数据线DL1至DL_n,以驱动数据线DL1至DL_n。

[0060] 数据驱动IC 130可以通过带式自动接合(TAB)方法或玻璃上芯片(COG)方法连接至显示面板110的接合焊盘。如果需要,数据驱动IC 130可以直接设置在显示面板110中或者可以集成为设置在显示面板110中。

[0061] 数据驱动IC 130可以通过膜上芯片(COF)方法实现。在这种情况下,数据驱动IC 130的一端可以接合至至少一个源极印刷电路板,而另一端可以接合至显示面板110。

[0062] 数据驱动IC 130可以包括逻辑单元,该逻辑单元包括诸如电平移位器或锁存单元的各种各样的电路、数字模拟转换器DAC和输出缓冲器。

[0063] 将参照图2和图3对像素160的结构进行详细描述。

[0064] 图2是根据本公开的实施方案的电致发光显示装置中包括的像素的电路图。在下文中,为了便于描述,假设根据本公开的实施方案的电致发光显示装置具有2T(晶体管)1C(电容器)结构。在这种情况下,将描述像素结构及其操作。然而,本公开不限于此。

[0065] 参照图2,在根据本公开的实施方案的电致发光显示装置100中,像素可以包括开关晶体管ST、驱动晶体管DT、补偿电路(未示出)和发光器件LE。

[0066] 发光器件LE可以根据由驱动晶体管DT形成的驱动电流来操作以发光。

[0067] 开关晶体管ST可以执行开关操作,使得通过数据线116提供的数据信号响应于通过栅极线117提供的栅极信号而作为数据电压存储在电容器C中。

[0068] 响应于存储在电容器C中的数据电压,驱动晶体管DT可以操作以允许恒定驱动电

流在高电位电源线VDD与低电位电源线VSS之间流动。

[0069] 此处,补偿电路被配置成补偿驱动晶体管DT的阈值电压,并且可以包括一个或多个晶体管和电容器。补偿电路可以根据补偿方法具有各种各样的配置。

[0070] 如上所述,在根据本公开的实施方案的电致发光显示装置100中,像素具有包括开关晶体管ST、驱动晶体管DT、电容器C和发光器件LE的2T1C结构。然而,当将补偿电路添加到像素时,像素可以具有各种各样的配置,例如3T1C、4T2C、5T2C、6T1C、6T2C、7T1C、7T2C等。

[0071] 图3是示意性地示出根据本公开的一个实施方案的电致发光显示装置的平面图。图4至图6是根据本公开的一个实施方案的图3中所示的电致发光显示装置的示意性截面图。

[0072] 图3示意性地示出了根据本公开的一个实施方案的电致发光显示装置100中的两个相邻像素的平面结构。为了便于描述,图3示出了像素具有包括开关晶体管、驱动晶体管、电容器和发光器件的2T1C结构的示例。然而,如上所述,当将补偿电路添加到像素时,像素可以具有各种各样的配置,例如3T1C、4T2C、5T2C、6T1C、6T2C、7T1C、7T2C等。

[0073] 图4至图6是根据本公开的一个实施方案的电致发光显示装置100的分别沿图3的线I-I'、II-II'、III-III'和IV-IV'截取的示意性截面图。图4是包括驱动晶体管和电容器的电路单元的一部分、包括发光器件的发光单元的一部分、以及栅极线117和数据线116之间的交叉部分的一部分的示例性描绘。图5是电路单元的一部分的示例性描绘,其中驱动晶体管的第一栅电极121a和开关晶体管的第二漏电极123b连接。图6是电路单元的一部分的示例性描绘,其中数据线116和开关晶体管的第二源电极122b连接。

[0074] 在此,图3示出了将根据本公开的一个实施方案的接触结构应用于电致发光显示装置100的一部分(参见图7A和图7B)的示例。然而,本公开不限于此。稍后将描述本公开的接触结构。

[0075] 参照图3至图6,在根据本公开的一个实施方案的电致发光显示装置100中,栅极线(或扫描线)117、数据线116和电源线(或电源电压线)119在基板110上彼此交叉用于限定像素区域。还可以在基板110上设置感测控制线、参考线等。

[0076] 数据线116和电源线119可以沿第一方向设置在基板110上。此外,栅极线117可以沿与第一方向交叉的第二方向设置,以与数据线116和电源线119一起限定像素区域。此处,为了便于描述,像素区域可以被划分为其中发光器件发光的发光单元和包括向发光器件提供驱动电流的多个驱动电路的电路单元。

[0077] 电源线119可以被设置成用于至少每一个像素区域,但是本公开不限于此。

[0078] 此外,除了数据线116和电源线119之外,参考线还可以沿第一方向设置在与数据线116和电源线119相同的层上。

[0079] 多个像素区域中的每一个像素区域可以包括红色子像素区域、绿色子像素区域、蓝色子像素区域和白色子像素区域以形成单位像素。图3仅示出那些子像素区域中的两个作为示例,但是本公开不限于此。红色子像素区域、绿色子像素区域、蓝色子像素区域和白色子像素区域中的每一个子像素区域包括发光器件和独立地驱动发光器件的多个像素驱动电路。像素驱动电路可以包括开关晶体管、驱动晶体管、电容器和感测晶体管。

[0080] 当扫描脉冲被提供至栅极线117时,可以接通开关晶体管以将提供至数据线116的数据信号提供至电容器和驱动晶体管的第一栅电极121a。开关晶体管可以包括连接至栅极

线117的第二栅电极121b和通过第七接触孔140g连接至数据线116的第二源电极122b。开关晶体管还可以包括通过第六接触孔140f连接至第一栅电极121a的第二漏电极123b和第二有源层124b。

[0081] 驱动晶体管可以根据在电容器中充电的驱动电压来控制从电源线119提供的电流,并且将与驱动电压成比例的电流提供至发光器件。因此,驱动晶体管使发光器件能够发光。驱动晶体管可以包括通过第六接触孔140f连接至第二漏电极123b的第一栅电极121a和通过第八接触孔140h连接至电源线119的第一源电极122a。驱动晶体管还可以包括通过第三接触孔140c和孔H连接至发光器件的第一漏电极123a和第一有源层124a。

[0082] 电源线119可以通过桥接线119a连接至相邻像素区域的第一源电极122a。桥接线119a可以沿与第二方向平行的方向延伸到相邻的像素区域。延伸到相邻像素区域的桥接线119a可以通过第九接触孔140i连接至相邻像素区域的第一源电极122a。

[0083] 桥接线119a的一侧可以沿电源线119垂直延伸,并且通过第八接触孔140h连接至第八接触孔140h下方的电源线119。

[0084] 此处,图4和图6中所示的薄膜晶体管为驱动晶体管和开关晶体管。薄膜晶体管被示出为具有顶栅结构,具体地共面结构,其中第一栅电极121a和第二栅电极121b分别设置在第一有源层124a和第二有源层124b上。然而,本公开不限于此。薄膜晶体管可以具有底栅结构,其中栅电极设置在有源层下面。

[0085] 开关晶体管和驱动晶体管的第一栅电极121a和第二栅电极121b可以经由栅极绝缘层115b分别交叠第一有源层124a和第二有源层124b。栅极绝缘层115b具有与第一栅电极121a和第二栅电极121b中的每一个栅电极基本相同的形状。

[0086] 具体地,第一有源层124a和第二有源层124b可以设置在基板110上。

[0087] 此处,在第一有源层124a下方可以设置有遮光层125,并且在第一有源层124a和遮光层125之间可以设置有缓冲层115a。

[0088] 遮光层125可以用于阻挡来自外部或相邻发光器件的光对第一有源层124a的影响,并且可以作为最下层设置在基板110上。

[0089] 本公开的数据线116和电源线119可以沿第一方向设置在与遮光层125相同的层上。也就是说,本公开的数据线116和电源线119以及遮光层125被设置为基板110上的最下层。因此,包括数据线116和电源线119的垂直线设置在与常规情况不同的层上。因此,代替层间绝缘层115c,其他绝缘层(例如,缓冲层115a和栅极绝缘层115b)设置在包括数据线116和电源线119的垂直线与包括该栅极线117的水平线之间。这是为了抑制短路缺陷。

[0090] 缓冲层115a可以设置在基板110上以覆盖遮光层125、数据线116和电源线119。

[0091] 第一有源层124a和第二有源层124b形成为分别交叠在栅极绝缘层115b上的第一栅电极121a和第二栅电极121b。因此,可以分别在第一源电极122a与第一漏电极123a之间以及第二源电极122b与第二漏电极123b之间形成沟道。

[0092] 栅极绝缘层115b可以由单层无机材料如硅氮化物(SiN_x)或硅氧化物(SiO_x)或硅氮化物(SiN_x)或硅氧化物(SiO_x)的多层形成。

[0093] 图4至图6示出了仅在第一栅电极121a和第二栅电极121b下方形成栅极绝缘层115b的示例,但是本公开不限于此。本公开的栅极绝缘层115b可以形成在其上已形成有第一有源层124a和第二有源层124b的整个基板110上。在这种情况下,栅极绝缘层115b可以包

括接触孔以允许第一源电极122a和第一漏电极123a分别连接至第一有源层124a的源极区和漏极区。此外,栅极绝缘层115b可以包括接触孔以允许第二源电极122b和第二漏电极123b分别连接至第二有源层124b的源极区和漏极区。

[0094] 栅极线117可以设置在与第一栅电极121a和第二栅电极121b相同的层上。上述栅极绝缘层115b可以设置在栅极线117下方。然而,本公开不限于此。

[0095] 第一栅电极121a和第二栅电极121b以及栅极线117可以由各种各样的导电材料诸如钼(Mo)、铝(Al)、铬(Cr)、金(Au)、钛(Ti)、镍(Ni)、钕(Nd)和铜(Cu)中的任一种或它们中的两种或更多种的合金或其多层形成。

[0096] 第一有源层124a和第二有源层124b可以由包含选自Zn、Cd、Ga、In、Sn、Hf和Zr中的至少一种金属的氧化物半导体、非晶硅(a-Si)、多晶硅(多晶-Si)或有机半导体形成。

[0097] 穿透层间绝缘层115c,第一源电极122a和第二源电极122b可以分别通过第一接触孔140a和第四接触孔140d连接至第一有源层124a和第二有源层124b的源极区。穿透层间绝缘层115c,第一漏电极123a和第二漏电极123b可以分别通过第二接触孔140b和第五接触孔140e连接至第一有源层124a和第二有源层124b的漏极区。

[0098] 层间绝缘层115c可以由单层无机材料如硅氮化物(SiN_x)或硅氧化物(SiO_x)或多层硅氮化物(SiN_x)或硅氧化物(SiO_x)形成。层间绝缘层115c可以如图4至图6中所示形成在整个基板110上或仅在像素区域上,但是本公开不限于此。

[0099] 第一源电极122a和第二源电极122b以及第一漏电极123a和第二漏电极123b可以由各种各样的导电材料诸如钼(Mo)、铝(Al)、铬(Cr)、金(Au)、钛(Ti)、镍(Ni)、钕(Nd)和铜(Cu)中的任一种或它们中的两种或更多种的合金或其多层形成。

[0100] 开关晶体管的第二漏电极123b可以沿一个方向延伸,以电连接至驱动晶体管的栅极121a。具体地,第二漏电极123b可以通过穿透层间绝缘层115c的第六接触孔140f连接至第一栅电极121a。

[0101] 第一漏电极123a可以通过穿透保护层115d和上覆层115e的第三接触孔140c和孔H连接至发光器件的阳极126。

[0102] 如上所述,在根据本公开的一个实施方案的电致发光显示装置100中,包括数据线116和电源线119的垂直线沿第一方向设置在基板110上。此外,包括栅极线117的水平线沿与第一方向交叉的第二方向设置,从而与垂直线一起限定像素区域。

[0103] 具体地,在根据本公开的一个实施方案的电致发光显示装置100中,包括数据线116和电源线119的垂直线设置在与作为最下层的遮光层125相同的层上。此外,包括栅极线117的水平线设置在与第一栅电极121a和第二栅电极121b相同的层上。因此,代替常规上已使用的层间绝缘层115c,可以在垂直线与水平线之间插设包括栅极绝缘层115b和缓冲层115a的两层。在这种情况下,栅极绝缘层115b和缓冲层115a与电容器的容量无关。因此,可以增加栅极绝缘层115b和/或缓冲层115a的厚度。因此,随着垂直线与水平线之间的距离增加,可以抑制垂直线与水平线之间的交叉处的短路缺陷的发生。

[0104] 在常规情况下,在包括栅极线的水平线与包括数据线和电源线的垂直线之间可能发生短路缺陷。因此,需要形成栅极冗余图案以修复短路缺陷。这是因为水平线和垂直线仅在其间插设层间绝缘层的情况下彼此相交,因此彼此具有小的距离。因此,可能发生与静电相关的缺陷、由异物引起的在水平线与垂直线之间的短路、或者由栅极线上的绝缘层引起

的缺陷。此外,需要在像素内设计用于修复的结构以提高成品率。为此,常规地,在水平线与垂直线之间的交叉处施加了栅极冗余图案。形成栅极冗余图案以占据栅极线上方和下方的预定区域,这导致像素内的开口率减小。另外,在像素中添加栅极冗余图案使得难以设计用于高分辨率模型的像素。

[0105] 已经认识到,当在水平线与垂直线之间仅插设层间绝缘层115c时,容易发生短路缺陷,并且短路缺陷受到线之间的距离的影响。因此,在本公开的一个实施方案中,数据线116和电源线119设置在与常规情况不同的层上。因此,包括栅极绝缘层115b和缓冲层115a的两层以及层间绝缘层115c设置在垂直线与水平线之间。在这种情况下,栅极绝缘层115b和缓冲层115a与电容器的容量无关。因此,可以增加栅极绝缘层115b和/或缓冲层115a的厚度。因此,由于垂直线与水平线之间的距离增加,可以抑制垂直线与水平线之间的交叉处的短路缺陷的发生。

[0106] 因此,可以从像素中去除栅极冗余图案。设计用于高分辨率模型的像素变得容易,并且可以提高成品率。另外,可以确保增加的开口率。

[0107] 如上所述,栅极冗余图案形成为占据栅极线上方和下方的预定区域,这导致像素内的开口减小。如果在垂直线与水平线之间插设层间绝缘层,则需要增加层间绝缘层的厚度以去除栅极冗余图案。然而,层间绝缘层与电容器的容量有关,因此,难以增加层间绝缘层的厚度。

[0108] 同时,如上所述,根据本公开的一个实施方案,包括数据线116和电源线119的垂直线设置在与遮光层125相同的层上。因此,包括栅极绝缘层115b和缓冲层115a的两个绝缘层可以插设在垂直线与水平线之间。在这种情况下,栅极绝缘层115b和缓冲层115a与电容器的容量无关。因此,可以增加栅极绝缘层115b和/或缓冲层115a的厚度。因此,随着垂直线与水平线之间的距离增加,可以抑制垂直线与水平线之间的交叉处的短路缺陷的发生。因此,可以从像素中去除栅极冗余图案,并且可以将开口A扩展为与栅极冗余图案一样大。此外,设计用于高分辨率模型的像素变得容易,并且可以提高成品率。

[0109] 保护层115d和上覆层115e可以设置在薄膜晶体管上。保护层115d被配置为保护薄膜晶体管和栅极驱动器以及设置在像素区域外部的其他线。上覆层115e是绝缘层,其被配置为通过减小基板110上的台阶来使基板110的顶部平坦化。

[0110] 上覆层115e可以由有机绝缘材料形成。也就是说,上覆层115e可以由丙烯酸树脂、环氧树脂、酚醛树脂、基于聚酰胺的树脂、基于聚酰亚胺的树脂、基于不饱和聚酯的树脂、基于聚亚苯的树脂、基于聚(苯基硫醚)树脂、苯并环丁烯和光致抗蚀剂中的任一种形成,但不限于此。

[0111] 在电路单元的预定区域中,可以通过去除上覆层115e来形成孔H。孔H露出保护层115d的部分表面,并且通过第三接触孔140c露出第三接触孔140c下方的第二漏电极123b。

[0112] 参照图4,发光器件可以设置在上覆层115e上。例如,发光器件可以是形成在上覆层115e上的有机发光器件。此外,有机发光器件可以包括电连接至晶体管的第一漏电极123a的阳极126、阳极126上的有机发光层127、以及有机发光层127上的阴极128。

[0113] 阳极126可以设置在包括孔H的内侧的上覆层115e上。阳极126可以通过第三接触孔140c和形成在保护层115d和上覆层115e中的孔H电连接至第一漏电极123a。阳极126可以由具有高功函数的导电材料形成,以将空穴供应到有机发光层127中。阳极126可以由透明

导电材料如钢锡氧化物 (ITO)、钢锌氧化物 (IZO)、钢锡锌氧化物 (ITZO) 等形成。

[0114] 设置在孔H内部的阳极126可以经由保护层115d与第二漏电极123b的一部分(下文中,为了方便起见,称为“存储电极”)交叠,以形成第一电容器。第二漏电极123b的一部分即存储电极可以经由层间绝缘层115c与第一有源层124a的一部分交叠,以形成第二电容器。如上所述,根据本公开的一个实施方案,第一电容器和第二电容器并联连接。因此,可以增加所有电容器的容量,并且可以减小保护层115d和层间绝缘层115c的厚度。因此,与常规情况相比,可以增加第一电容器和第二电容器中的每一个电容器的容量。根据本公开的一个实施方案的保护层115d和层间绝缘层115c可以具有比栅极绝缘层115b和缓冲层115a更大的厚度。

[0115] 图3和图4示出了阳极126电连接至驱动晶体管的第一漏电极123a的示例,但是本公开不限于此。根据薄膜晶体管的种类、驱动电路的设计方法阳极126可以被配置为电连接至驱动晶体管的第一源电极122a。

[0116] 有机发光层127是用于发射特定颜色的光的有机层,并且可以包括红色有机发光层、绿色有机发光层、蓝色有机发光层和白色有机发光层中的任一种。有机发光层127还可以包括各种各样的有机层,例如空穴传输层、空穴注入层、电子注入层、电子传输层等。图4示出了对于每个像素已经对有机发光层127图案化,但是本公开不限于此。有机发光层127可以是共同形成在多个像素上的公共层。

[0117] 阴极128可以设置在有机发光层127上。阴极128可以将电子供应到有机发光层127中。阴极128可以由基于钢锡氧化物 (ITO)、钢锌氧化物 (IZO)、钢锡锌氧化物 (ITZO)、锌氧化物 (ZnO) 和锡氧化物 (TO) 的透明导电材料形成。另外,阴极128可以由镱 (Yb) 合金或导电材料形成。

[0118] 参照图4至图6,在阳极126和上覆层115e上可以设置有堤部115f。堤部115f可以覆盖阳极126的一部分和有机发光器件的线的一部分。堤部115f可以被设置为限定像素区域中的相邻像素。

[0119] 堤部115f可以由有机绝缘材料形成。例如,堤部115f可以由基于聚酰亚胺、丙烯酸 (acryl) 或苯并环丁烯 (BCB) 的树脂形成,但是本公开不限于此。

[0120] 堤部115f可以设置在上覆层115e上以围绕发光单元。堤部115f可以被设置成覆盖堤部115f下方的桥接线119a。

[0121] 如上所述构造的有机发光装置易受水分影响。在有机发光装置上可以形成有被配置为保护有机发光装置免受水分影响的封装单元(未示出)。例如,封装单元可以具有其中无机层和有机层交替地层叠的结构。然而,本公开不限于此。

[0122] 如在上述电致发光显示装置中,在至少一个绝缘层中形成有接触孔以连接绝缘层上的部件和下方的部件。在常规的接触结构中,上部部件和下部部件例如上电极和下电极覆盖接触孔。在该结构中,接触孔的尺寸(或面积)与上电极和下电极之间的接触面积相同。

[0123] 常规地,由于用于使接触孔图案化的最小尺寸,在设计像素方面存在限制。

[0124] 此外,在下电极与接触孔之间以及上电极与接触孔之间分别需要交叠余量 (overlay margin)。因此,减少了设计像素时金属的自由度。也就是说,上电极需要覆盖接触孔以抑制由于用于上电极的蚀刻剂而引起的对下电极的损坏,因此,需要上余量。此外,下电极需要余量以便接触孔在不偏离下电极的情况下被图案化。因此,常规的接触结构需

要对于上电极和下电极的余量,这导致设计像素时金属的自由度降低。

[0125] 已经发现,由于接触孔的尺寸(或面积)与接触面积相同,因此产生了接触孔的余量。还已经认识到,如果改变接触结构以将两个接触孔集成为一个,则可以设计像素而不限制接触孔的尺寸。因此,在本公开的实施方案中,两个接触孔集成到单个第七接触孔140g中,单个第七接触孔140g的尺寸(或面积)大于接触面积。因此,根据本公开的一个实施方案的接触结构使得能够设计像素而不限制接触孔的尺寸。

[0126] 也就是说,根据本公开,接触孔被设计成其尺寸(或面积)大于接触面积,而常规情况下使用的两个接触孔集成在单个第七接触孔140g中。因此,可以设计像素而不限制接触孔的尺寸。如果接触孔被设计成其尺寸(或面积)大于接触面积,则不需要上述上余量和下余量。因此,可以设计像素而不限制接触孔的尺寸。

[0127] 在根据本公开的一个实施方案的电致发光显示装置中,当用于两个相邻像素的两个接触孔集成到单个第七接触孔140g中时,在通过第七接触孔140g露出的数据线116之间的台阶处形成有虚设图案190。虚设图案190包括有源层和缓冲层,并且形成以去除台阶。由于去除了数据线116之间的台阶,所以当上导电层即第二源电极122b被图案化时,在数据线116之间不存在由台阶引起的残留光致抗蚀剂层。因此,可以抑制短路缺陷的发生。

[0128] 虚设图案190可以包括分别由有源层和缓冲层形成的第一虚设图案124'和第二虚设图案115a'。由有源层形成的第一虚设图案124'可以用作蚀刻停止层,其在第七接触孔140g被图案化时使对第二虚设图案115a'的蚀刻停止。

[0129] 在下文中,将参照附图详细描述在上述电致发光显示装置中实现本公开的接触结构的示例。

[0130] 图7A和图7B是示意性地示出根据一个比较例的接触结构的平面图(顶视图)和截面图。图8A和图8B是示意性地示出根据本公开的一个实施方案的接触结构的平面图(顶视图)和截面图。

[0131] 图7B是根据图7A中所示的比较例的接触结构的沿线a-a'截取的示意性截面图。图8B是图8A中所示的根据本公开的一个实施方案的接触结构的沿线b-b'截取的示意性横截面图的一部分。

[0132] 参照图7A和图7B,根据比较例的接触结构包括在基板10上的下层24。此外,根据比较例的接触结构包括层间绝缘层15c,层间绝缘层15c设置在下层24上并且包括接触孔40以露出下层24的一部分。另外,根据比较例的接触结构包括设置在层间绝缘层15c上并且通过接触孔40连接至下层24的上层22。

[0133] 在该结构中,在下层24下方还设置有缓冲层15a。

[0134] 下层24是由半导体形成的有源层,以及上层22是由导电材料形成的源电极。

[0135] 在根据比较例的接触结构中,上部部件和下部部件(例如,上层22和下层24)覆盖接触孔40。在这种情况下,接触孔40的尺寸(或面积)与上层22和下层24之间的接触面积相同。图7B中所示的长度1表示接触孔40的宽度。可以看出,长度1与上层22和下层24之间的接触部分的宽度相同。

[0136] 常规地,由于用于对接触孔40进行图案化的最小尺寸,在设计像素方面存在限制。

[0137] 此外,在上层22和接触孔40之间以及在下层24和接触孔40之间分别需要交叠余量m1和m2。因此,减少了设计像素时金属的自由度。也就是说,上层22需要覆盖接触孔40以抑

制由于用于上层22的蚀刻剂而引起的对下层24的损坏,并且因此,需要上余量 m_1 。此外,下层24需要余量 m_2 ,以便对接触孔40进行图案化而不偏离下层24。因此,根据比较例的接触结构需要用于上层22和下层24的余量 m_1 和 m_2 ,这导致设计像素时金属的自由度降低。

[0138] 参照图8A和图8B,根据本公开的一个实施方案的接触结构包括在基板110上的下层124。此外,根据本公开的一个实施方案的接触结构包括层间绝缘层115c,层间绝缘层115c设置在下层124上并且包括接触孔140以露出下层124的一部分。另外,根据本公开的一个实施方案的接触结构包括上层122,上层122设置在层间绝缘层115c上并且通过接触孔140连接至下层124。

[0139] 在该结构中,在下层124下方还可以设置有缓冲层115a。

[0140] 下层124可以是由半导体形成的有源层,以及上层122可以是由导电材料形成的源电极。然而,本公开不限于此。

[0141] 在根据本公开的一个实施方案的接触结构中,接触孔140被设计为在尺寸(或面积)上大于接触面积。因此,可以设计像素而不限限制接触孔140的尺寸。即,例如,图8B中所示的长度 L_1 表示接触孔140的宽度。可以看出,长度 L_1 比上层122和下层124之间的接触部分的宽度 L_2 更长。因此,如果接触孔140被设计成尺寸(或面积)大于接触面积,则不需要上述上余量和下余量。因此,可以设计像素而不限限制接触孔140的尺寸。

[0142] 接触孔140可以露出下层124的部分上表面和缓冲层115a的部分上表面。此外,上层122可以与下层124的露出的部分上表面和缓冲层115a的露出的部分上表面接触。

[0143] 上述结构适于在蚀刻上层122的同时不损坏下层124的情况。如果下层被损坏,则可以应用另一种结构。

[0144] 图9A和图9B是示意性地示出根据本公开的一个实施方案的接触结构的示例的平面图和截面图。

[0145] 图9A和图9B示出了将常规情况中使用的用于两个相邻像素的两个接触孔集成为一个以用于垂直线与源电极/漏电极之间的接触的示例。图9B是图9A中所示的根据本公开的一个实施方案的接触结构的示例的沿线A-A'截取的示意性截面图。

[0146] 参照图9A和图9B,根据本公开的一个实施方案的接触结构的示例包括在基板110上的下层例如数据线116。此外,根据本公开的一个实施方案的接触结构的示例包括缓冲层115a,缓冲层115a设置在线116上并且包括第七接触孔140g以露出数据线116的一部分。此外,根据本公开的一个实施方案的接触结构的示例包括层间绝缘层115c和设置在层间绝缘层115c上并通过第七接触孔140g连接至数据线116的上层例如第二源电极122b。

[0147] 数据线116可以由第一导电材料形成,以及第二源电极122b可以由第二导电材料形成。在这种情况下,第一导电材料可以与第二导电材料不同。

[0148] 根据本公开的一个实施方案的第七接触孔140g可以具有比第二源电极122b与数据线116之间的接触面积更大的面积。

[0149] 在这种情况下,数据线116包括两条相邻的数据线,以及第二源电极122b可以通过单个第七接触孔140g连接至每条数据线116。

[0150] 第七接触孔140g可以露出每条数据线116的部分上表面、每条数据线116的侧表面以及两条数据线116之间的虚设图案190的上表面。

[0151] 如上所述,在根据本公开的一个实施方案的电致发光显示装置中,虚设图案190形

成在由第七接触孔140g露出的数据线116之间的台阶处以去除台阶。

[0152] 虚设图案190可以包括分别由有源层和缓冲层形成的第一虚设图案124'和第二虚设图案115a'。由有源层形成的第一虚设图案124'可以用作在第七接触孔140g被图案化时使对第二虚设图案115a'的蚀刻停止的蚀刻停止层。

[0153] 虚设图案190特别是第一虚设图案124'可以具有与至少第二源电极122b相比相同的或更大的宽度。第一虚设图案124'可以具有比第二源电极122b更小的宽度。然而,在这种情况下,在数据线116之间可能存在由台阶引起的残留光致抗蚀剂层,其中在第二源电极122b被图案化时第一虚设图案124'无法覆盖。

[0154] 此外,图9A和图9B示出了其中虚设图案190形成在数据线116之间的示例,但是本公开不限于此。本公开的虚设图案190还可以覆盖每条数据线116的部分上表面。在这种情况下,可以更有效地去除数据线116之间的台阶。

[0155] 每个第二源电极122b可以与每条数据线116的露出的部分上表面接触。每条数据线116的不与第二源电极122b接触的侧表面可以是露出的而不被缓冲层115a和层间绝缘层115c覆盖。

[0156] 如上所述,根据本公开的一个实施方案,数据线116之间的台阶被去除。因此,在上导电层即第二源电极122b被图案化时,在数据线116之间不存在由台阶引起的残留光致抗蚀剂层。因此,可以抑制短路缺陷的发生。

[0157] 图10是示出根据比较例1的接触结构的示例的平面图。图11A和图11B是示出用于对根据比较例2的第二源电极进行图案化的工艺的示例的截面图。

[0158] 图10示出了根据比较例1的接触结构,其中针对每个像素形成接触孔。图11A和图11B示出了用于对根据比较例2的第二源电极进行图案化的工艺的一部分,其中在常规情况下使用的两个接触孔被集成为一个但是数据线之间不形成虚设图案。

[0159] 参照图10,可以看出,在比较例1中,第七接触孔40g具有与第二源电极22b和数据线16之间的接触区域相同的面积。此外,可以看出,第七接触孔40g被单独用于第二源电极22b与数据线16之间的接触。在这种情况下,由于用于对第七接触孔40g进行图案化的最小尺寸,在设计像素时存在限制。此外,上电极和下电极即第二源电极22b和数据线16需要余量,这导致在设计像素时金属的自由度降低。

[0160] 参照图11A,在比较例2中,在基板10上形成数据线16、缓冲层15a和层间绝缘层15c,然后形成第七接触孔以露出相邻像素的数据线16的一部分。在这种情况下,可以看出,缓冲层15a和层间绝缘层15c被相对去除,因此,在数据线16之间产生台阶。

[0161] 然后,在整个基板10上形成导电膜20和预定的光致抗蚀剂层PR以形成第二源电极。

[0162] 然后,使用包括透射区域I和屏蔽区域II的预定掩模M来对光致抗蚀剂层PR进行曝光和显影。

[0163] 在这种情况下,由于由台阶引起的光致抗蚀剂层的倾斜,在数据线16之间存在残留的光致抗蚀剂层。

[0164] 参照图11B,可以看出,当在剩余残留光致抗蚀剂层的同时蚀刻导电膜时,在相邻像素之间形成处于短路状态的第二源电极12b。

[0165] 然而,根据本公开,数据线之间的台阶被去除。因此,当上导电层(即第二源电极)

被图案化时,在数据线之间不存在由台阶引起的残留光致抗蚀剂层。因此,可以抑制短路缺陷的发生。将参照制造工艺的图示描述其细节。

[0166] 图12A至图12F是顺序地示出用于制造根据本公开的一个实施方案的电致发光显示装置的过程的截面图。

[0167] 参照图12A,可以在透明基板110上形成数据线116、电源线的垂直线和遮光层(即使图中未示出)。

[0168] 遮光层可以用于阻挡来自外部或相邻发光器件的光对第一有源层的影响,并且可以作为最下层设置在基板110上。

[0169] 本公开的数据线116和电源线(和参考线)可以沿第一方向设置在与遮光层相同的层上。本公开的数据线116和电源线以及遮光层125作为最下层设置在基板110上。

[0170] 数据线116、电源线和遮光层可以通过在基板110上形成第一金属层并通过掩模工艺选择性地对第一金属层进行图案化来形成。

[0171] 掩模工艺是指一系列工艺,包括:在基板上形成光致抗蚀剂层;使用掩模进行曝光和显影以形成预定的光致抗蚀剂图案;以及使用光致抗蚀剂图案作为蚀刻掩模进行蚀刻。

[0172] 然后,参照图12B,可以在其上已形成有数据线116、电源线和遮光层的基板110上形成缓冲层115a。

[0173] 缓冲层115a可以设置在基板110上,以覆盖遮光层、数据线116和电源线。

[0174] 然后,虽然未在附图中示出,但是可以通过掩模工艺对缓冲层115a进行图案化以形成第八接触孔和第九接触孔,以露出电源线和遮光层的一部分。然而,本公开不限于此。第八接触孔和第九接触孔可以在后面的工艺中形成。

[0175] 当形成第八接触孔和第九接触孔时,可以对缓冲层115a进行图案化以在相邻像素的数据线116之间预先形成稍后将描述的第二虚设图案。然而,本公开不限于此。

[0176] 然后,可以在基板110上形成第一有源层和第二有源层。

[0177] 根据本公开,当形成第一有源层和第二有源层时,包括第一有源层和第二有源层的第一虚设图案124'形成在相邻像素的数据线116之间。

[0178] 第一有源层、第二有源层和第一虚设图案124'可以由包含选自Zn、Cd、Ga、In、Sn、Hf和Zr中的至少一种金属的氧化物半导体、a-Si、多晶-Si或有机半导体形成。

[0179] 然后,可以在整个基板110上顺序地形成栅极绝缘层和第二金属层。

[0180] 然后,可以通过掩模工艺选择性地对栅极绝缘层115b和第二金属层进行图案化,以在第一有源层和第二有源层上形成第二金属层的第一栅电极和第二栅电极。

[0181] 此处,栅极绝缘层可以由单层无机材料例如硅氮化物(SiN_x)或硅氧化物(SiO_x)或多层硅氮化物(SiN_x)或硅氧化物(SiO_x)形成。

[0182] 第二金属层可以由各种各样的导电材料例如钼(Mo)、铝(Al)、铬(Cr)、金(Au)、钛(Ti)、镍(Ni)、钕(Nd)、铜(Cu)中的任一种或它们中的两种或更多种的合金,或多层该导电材料形成。

[0183] 第一有源层和第二有源层可以被形成为在栅极绝缘层上分别与第一栅电极和第二栅电极交叠。因此,可以分别在第一源电极与第一漏电极之间,以及第二源电极与第二漏电极之间形成沟道。

[0184] 如上所述,栅极绝缘层可以形成在仅第一栅电极下方,但是本公开不限于此。栅极

绝缘层可以形成在其上已形成第一有源层和第二有源层的整个基板上。

[0185] 栅极线可以设置在与第一栅电极和第二栅电极相同的层上。在这种情况下,上述栅极绝缘层可以设置在栅极线下方。然而,本公开不限于此。

[0186] 如果当如上所述形成第八接触孔和第九接触孔时预先形成第二虚设图案,则可以在对第一有源层和第二有源层进行图案化时在第二虚设图案上形成第一虚设图案124'。

[0187] 然后,参照图12C,可以在基板110上形成层间绝缘层115c。

[0188] 层间绝缘层115c可以由单层无机材料例如硅氮化物(SiNx)或硅氧化物(SiOx)或者多层硅氮化物(SiNx)或硅氧化物(SiOx)形成。层间绝缘层115c可以形成在整个基板110上或形成在仅像素区域上,但是本公开不限于此。

[0189] 然后,可以通过掩模工艺选择性地对层间绝缘层115c进行图案化。因此,可以形成用于露出第一有源层的源极区和漏极区的第一接触孔和第二接触孔以及用于露出第二有源层的源极区和漏极区的第四接触孔和第五接触孔。此外,可以通过掩模工艺形成用于露出第一栅电极的一部分的第六接触孔。

[0190] 此外,可以通过掩模工艺选择性地对层间绝缘层115c和缓冲层115a进行图案化。因此,可以形成用于露出相邻像素的数据线116的一部分的第七接触孔140g。

[0191] 根据本公开的第七接触孔140g可以具有比第二源电极与数据线116之间的接触面积更大的面积。

[0192] 根据本公开,包括有源层和缓冲层的虚设图案190形成在由第七接触孔140g露出的数据线116之间。

[0193] 虚设图案190可以包括分别由有源层和缓冲层形成的第一虚设图案124'和第二虚设图案115a'。

[0194] 第七接触孔140g可以露出每条数据线116的部分上表面、每条数据线116的侧表面以及两条数据线116之间的虚设图案190的上表面。

[0195] 如上所述,根据本公开的一个实施方案,用于两个相邻像素的两个接触孔被集成为第七接触孔140g。在这种情况下,第一虚设图案124'由相邻像素的数据线116之间的有源层形成,并且在第七接触孔140g被图案化时使对第一虚设图案124'下方的缓冲层的蚀刻停止。因此,第二虚设图案115a'可以由第一虚设图案124'下方的缓冲层形成。

[0196] 虚设图案190,特别是第一虚设图案124'可以具有与至少第二源电极相比相同或更大的宽度。第一虚设图案124'可以具有比第二源电极更小的宽度。然而,在这种情况下,在数据线116之间可能存在由台阶引起的残留光致抗蚀剂层,其中在第二源电极122b被图案化时第一虚设图案124无法覆盖。

[0197] 图12C示出了虚设图案190形成在数据线116之间的示例,但是本公开不限于此。虚设图案190还可以覆盖每条数据线116的部分上表面。在这种情况下,可以更有效地去除数据线116之间的台阶。

[0198] 然后,参照图12D,在整个基板110上形成第三金属层120和光致抗蚀剂层PR。

[0199] 第三金属层120可以由各种导电材料例如钼(Mo)、铝(Al)、铬(Cr)、金(Au)、钛(Ti)、镍(Ni)、钕(Nd)、铜(Cu)中的任一种或者它们中的两种或更多种的合金或者多层该导电材料形成。

[0200] 在这种情况下,根据本公开的一个实施方案,虚设图案190形成在数据线116之间,

因此,减小了台阶。因此,第三金属层120和光致抗蚀剂层PR可以相对平坦地形成在虚设图案190和数据线116上。

[0201] 然后,参照图12E,预定掩模M位于其上已完全形成光致抗蚀剂层PR的基板110上方。

[0202] 掩模M可以包括透射区域I和屏蔽区域II。

[0203] 当使用正型光致抗蚀剂层PR时,掩模M的屏蔽区域II可以对应于在第三金属层120的图案化之后要保留的区域。在该区域中,待形成第一源电极和第二源电极、第一漏电极和第二漏电极以及桥接线。此外,透射区域I可以对应于第三金属层120要被去除的区域。然而,本公开不限于此。

[0204] 然后,使用掩模M对光致抗蚀剂层PR进行曝光和显影,从而去除对应于透射区域I的光致抗蚀剂层PR。

[0205] 然后,参照图12F,可以选择性地对第三金属层120进行图案化以形成第一源电极、第二源电极122b、第一漏电极和第二漏电极以及桥接线。

[0206] 穿透层间绝缘层115c,第一源电极和第二源电极122b可以分别通过第一接触孔和第四接触孔连接至第一有源层和第二有源层的源极区。穿透层间绝缘层115c,第一漏电极和第二漏电极可以分别通过第二接触孔和第五接触孔连接至第一有源层和第二有源层的漏极区。

[0207] 此外,第二源电极122b可以通过第七接触孔140g电连接至数据线116。

[0208] 在这种情况下,根据本公开的一个实施方案,数据线116之间的台阶被去除。因此,当对上导电层,即第二源电极122b进行图案化时,在数据线116之间不存在由台阶引起的残留光致抗蚀剂层。因此,可以抑制短路缺陷的发生。

[0209] 每个第二源电极122b可以与每条数据线116的露出的部分上表面接触。每条数据线116的不与第二源电极122b接触的侧表面可以是露出的而不被缓冲层115a和层间绝缘层115c覆盖。

[0210] 此外,开关晶体管的第二漏电极可以沿一个方向延伸以电连接至驱动晶体管的第一栅电极。具体地,第二漏电极可以通过穿透层间绝缘层115c的第六接触孔连接至第一栅电极。

[0211] 在这种情况下,电源线可以通过朝向像素区域突出的桥接线连接至相邻像素区域的第一源电极。桥接线可以沿与第一方向平行的方向延伸至相邻的像素区域。延伸至相邻像素区域的桥接线可以通过第一接触孔连接至相邻像素区域的第一源电极。

[0212] 桥接线的一侧可以沿着电源线垂直延伸,并且通过第八接触孔连接至第八接触孔下方的电源线。

[0213] 在如上所述形成第一源电极、第二源电极122b、第一漏电极和第二漏电极以及桥接线之后,可以在基板110上形成保护层(尽管其未示出)。

[0214] 然后,可以通过掩模工艺对保护层进行图案化以形成露出第一漏电极的一部分的第三接触孔。

[0215] 然后,可以在基板110上形成上覆层。

[0216] 上覆层可以由有机绝缘材料形成。也就是说,上覆层可以由丙烯酸树脂、环氧树脂、酚醛树脂、基于聚酰胺的树脂、基于聚酰亚胺的树脂、基于不饱和聚酯的树脂、基于聚亚

苯的树脂、基于聚(苯基硫醚)的树脂、苯并环丁烯以及光致抗蚀剂中的任一种形成,但不限于此。

[0217] 在电路单元的预定区域中,可以通过去除上覆层来形成孔。该孔露出保护层的部分表面,并且通过第三接触孔露出第三接触孔下方的第二漏电极。

[0218] 然后,可以在基板110上设置发光器件。作为有机发光器件的发光器件形成在上覆层上。此外,有机发光器件可以包括电连接至晶体管的第一漏电极的阳极、阳极上的有机发光层和有机发光层上的阴极。

[0219] 阳极可以设置在包括孔内侧的上覆层上。阳极可以通过形成在保护层和上覆层中的孔以及第三接触孔电连接至第一漏电极。阳极可以由具有高功函数的导电材料形成,以将空穴供应至有机发光层中。阳极可以由透明导电材料例如铟锡氧化物(ITO)、铟锌氧化物(IZO)、铟锡锌氧化物(ITZO)等形成。

[0220] 设置在孔内的阳极可以经由保护层与第二漏电极的一部分交叠以形成第一电容器。第二漏电极的一部分可以经由层间绝缘层与第一有源层的一部分交叠以形成第二电容器。

[0221] 有机发光层是用于发射特定颜色的光的有机层,并且可以包括红色有机发光层、绿色有机发光层、蓝色有机发光层和白色有机发光层中的任一种。有机发光层还可以包括各种各样的有机层,例如空穴传输层、空穴注入层、电子注入层、电子传输层等。

[0222] 阴极可以设置在有机发光层上。阴极可以将电子供应至有机发光层中。阴极可以由基于铟锡氧化物(ITO)、铟锌氧化物(IZO)、铟锡氧化物(ITZO)、锌氧化物(ZnO)和锡氧化物(TO)的透明导电材料形成。另外,阴极可以由镱(Yb)合金或导电材料形成。

[0223] 此外,可以在阳极和上覆层上形成堤部。堤部可以覆盖阳极的一部分和有机发光器件的一部分线。堤部可以被设置成限定像素区域中的相邻像素。

[0224] 堤部可以由有机绝缘材料形成。例如,堤部可以由基于聚酰亚胺、丙烯酸(acryl)或苯并环丁烯(BCB)的树脂形成,但是本公开不限于此。

[0225] 堤部可以设置在上覆层上以围绕发光单元。堤部可以被设置成覆盖堤部下方的桥接线。

[0226] 如上所述配置的有机发光器件易受水分影响。可以在有机发光器件上形成被配置成保护有机发光器件免受水分影响的封装单元。例如,封装单元可以具有其中无机层和有机层交替层叠的结构。然而,本公开不限于此。

[0227] 本公开的虚设图案可以形成在数据线之间,并且还可以覆盖数据线的部分上表面。将参考附图描述其细节。

[0228] 图13A和图13B是示意性地示出根据本公开的实施方案的接触结构的另一示例的平面图和截面图。

[0229] 除了虚设图案的配置以外,图13A和图13B中示出的根据本公开的一个实施方案的接触结构的另一示例与根据本公开的实施方案的上述接触结构基本相同。因此,将省略对相同部分的说明。

[0230] 图13A和图13B示出了将常规情况下使用的用于两个相邻像素的两个接触孔集成为一个接触孔以用于垂直线与源电极/漏电极之间的接触的示例。图13B是图13A中所示的根据本公开的一个实施方案的接触结构的另一示例的沿线B-B'截取的示意性截面图。

[0231] 参照图13A和图13B,根据本公开的一个实施方案的接触结构的另一示例包括在基板210上的下层,例如数据线216。此外,根据本公开的一个实施方案的接触结构的另一示例包括设置在数据线216上并包括第七接触孔240g以露出数据线216的一部分的缓冲层215a。此外,根据本公开的一个实施方案的接触结构的另一示例包括层间绝缘层215c和设置在层间绝缘层215c上并通过第七接触孔240g连接至数据线216的上层例如第二源电极222b。

[0232] 数据线216可以由第一导电材料形成,第二源电极222b可以由第二导电材料形成。在这种情况下,第一导电材料可以与第二导电材料不同。

[0233] 根据本公开的一个实施方案的第七接触孔240g可以具有比第二源电极222b与数据线216之间的接触面积更大的面积。

[0234] 在这种情况下,数据线216包括两条相邻的数据线,第二源电极222b可以通过单个第七接触孔240g连接至每条数据线216。

[0235] 第七接触孔240g可以露出每条数据线216的部分上表面和虚设图案290的上表面。

[0236] 如上所述,在根据本公开的实施方案的电致发光显示装置中,虚设图案290形成在由第七接触孔240g露出的数据线216之间并且覆盖数据线116的部分上表面以去除台阶。在这种情况下,可以更有效地去除数据线216之间的台阶。

[0237] 虚设图案290可以包括分别由有源层和缓冲层形成的第一虚设图案224'和第二虚设图案215a'。由有源层形成的第一虚设图案224'可以用作在对第七接触孔240g进行图案化时使对第二虚设图案215a'的蚀刻停止的蚀刻停止层。

[0238] 虚设图案290,特别是第一虚设图案224'可以具有与至少第二源电极222b相比相同的或更大的宽度。第一虚设图案224'可以具有比第二源电极222b小的宽度。然而,在这种情况下,在数据线216之间可能存在由台阶引起的残留光致抗蚀剂层,其中在第二源电极222b被图案化时第一虚设图案224'无法覆盖。

[0239] 如上所述,本公开的虚设图案290可以形成在数据线216之间,并且还可以覆盖每条数据线216的部分上表面。在这种情况下,可以更有效地去除数据线216之间的台阶。

[0240] 每个第二源电极222b可以与每条数据线216的露出的部分上表面接触。每条数据线216的不与第二源电极222b接触的侧表面可以被虚设图案290覆盖而不被露出。

[0241] 如上所述,根据本公开的一个实施方案,数据线216之间的台阶被去除。因此,在对上导电层即第二源电极222b进行图案化时,在数据线216之间不存在由台阶引起的残留光致抗蚀剂层。因此,可以抑制短路缺陷的发生。

[0242] 本公开的示例性实施方案还可以描述如下:

[0243] 根据本公开的一个方面,提供了一种电致发光显示装置。电致发光显示装置包括:沿第一方向设置在基板上的数据线;设置在数据线的第一绝缘层;设置在第一绝缘层上的有源层;沿与第一方向交叉的第二方向上设置在第一绝缘层上方的栅极线,栅极线与第一绝缘层之间插设有至少第二绝缘层,所述栅极线与数据线一起限定像素区域;设置在有源层上方的栅电极,第二绝缘层插设栅电极与有源层之间;第三绝缘层,设置在栅电极和栅极线上;设置在第三绝缘层上的源电极和漏电极,所述源电极和漏电极连接至有源层;设置在相邻的像素区域的两条数据线之间的接触孔,接触孔使源电极与数据线由于第一绝缘层和第三绝缘层被去除而电连接;以及设置在两条数据线之间的虚设图案,所述虚设图案包括第一绝缘层和作为有源层的半导体层,其中接触孔具有大于源电极与数据线之间的接触

面积的面积。

[0244] 电致发光显示装置还可以包括：设置在源电极和漏电极上的第四绝缘层；以及设置在像素区域的发光单元中的在第四绝缘层上的发光器件。

[0245] 接触孔可以露出每条数据线的部分上表面、每条数据线的侧表面以及两条数据线之间的基板的上表面。

[0246] 每个源电极可以电连接至每条数据线的露出的部分上表面。

[0247] 虚设图案可以包括由半导体层制成的第一虚设图案和在第一虚设图案上的由第一绝缘层制成的第二虚设图案。

[0248] 第一虚设图案可以用作使对第二虚设图案的蚀刻停止的蚀刻停止层。

[0249] 第一虚设图案可以具有与至少第二源电极相比相同的或更大的宽度。

[0250] 虚设图案可以设置在两条数据线之间并且覆盖数据线的部分上表面。

[0251] 根据本公开的另一方面，提供了一种电致发光显示装置。该电致发光显示装置包括：彼此交叉地设置在基板上的数据线和栅极线，所述数据线和栅极线限定像素区域；设置在数据线上的第一绝缘层；设置在第一绝缘层上的有源层；设置在有源层上方的栅电极，第二绝缘层插设在栅电极与有源层之间；设置在栅电极和栅极线上的第三绝缘层；设置在第三绝缘层上的源电极和漏电极，所述源电极和漏电极连接至有源层；设置在相邻的像素区域的两条数据线之间的接触孔，接触孔使源电极和数据线由于第一绝缘层和第三绝缘层被去除而电连接；以及设置在两条数据线之间的虚设图案，所述虚设图案包括第一绝缘层和作为有源层的半导体层，以使两条数据线之间的台阶平坦化。

[0252] 接触孔可以具有比源电极与数据线之间的接触面积更大的面积。

[0253] 数据线可以沿第一方向设置在基板上，并且栅极线可以沿与第一方向交叉的第二方向设置在第一绝缘层上方，至少第二绝缘层插设栅极线与第一绝缘层之间。

[0254] 接触孔可以露出每条数据线的部分上表面、每条数据线的侧表面以及两条数据线之间的基板的上表面。

[0255] 每个源电极可以电连接至每条数据线的露出的部分上表面。

[0256] 虚设图案可以包括由半导体层制成的第一虚设图案和在第一虚设图案上的由第一绝缘层制成的第二虚设图案。

[0257] 第一虚设图案可以用作使对第二虚设图案的蚀刻停止的蚀刻停止层。

[0258] 第一虚设图案可以具有与至少第二源电极相比相同的或更大的宽度。

[0259] 虚设图案可以设置在两条数据线之间并且覆盖数据线的部分上表面。

[0260] 尽管已经参照附图详细描述了本公开的示例性实施方案，但是本公开不限于此，并且可以在不脱离本公开的技术构思的情况下以许多不同的形式实施。因此，提供本公开的示例性实施方案仅出于说明目的，而不是旨在限制本公开的技术构思。本公开的技术构思的范围不限于此。因此，应当理解，上述示例性实施方案在所有方面都是说明性的，并不限制本公开。本公开的保护范围应基于所附权利要求书来解释，并且在其等同范围内的所有技术构思应被解释为落入本公开内容的范围内。

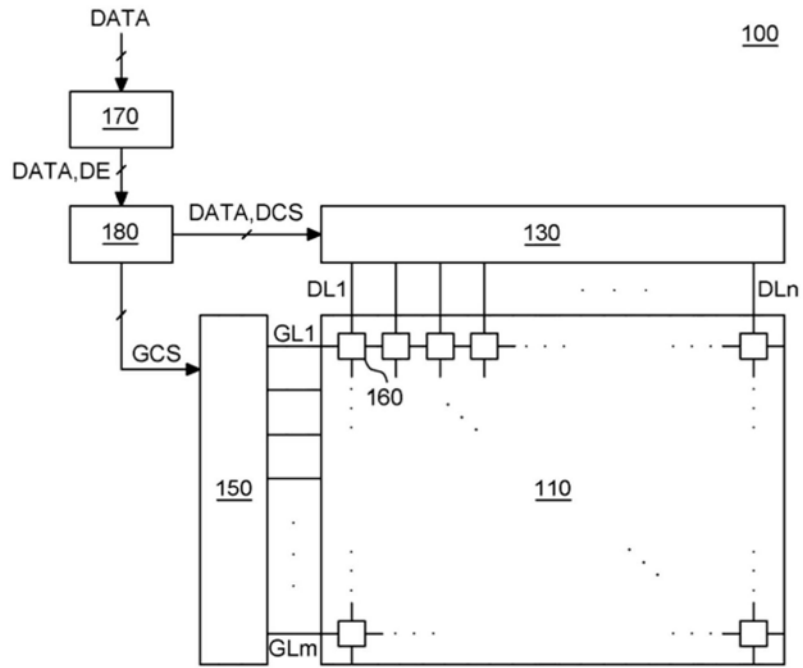


图1

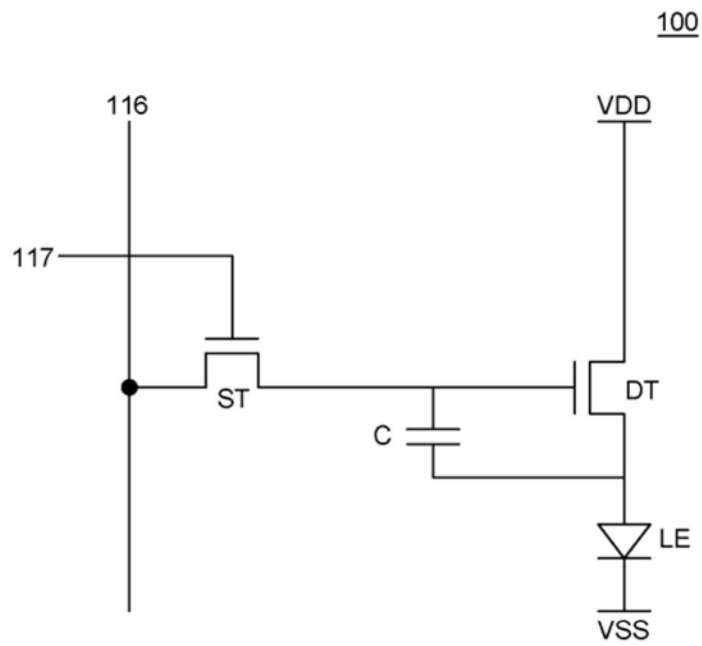


图2

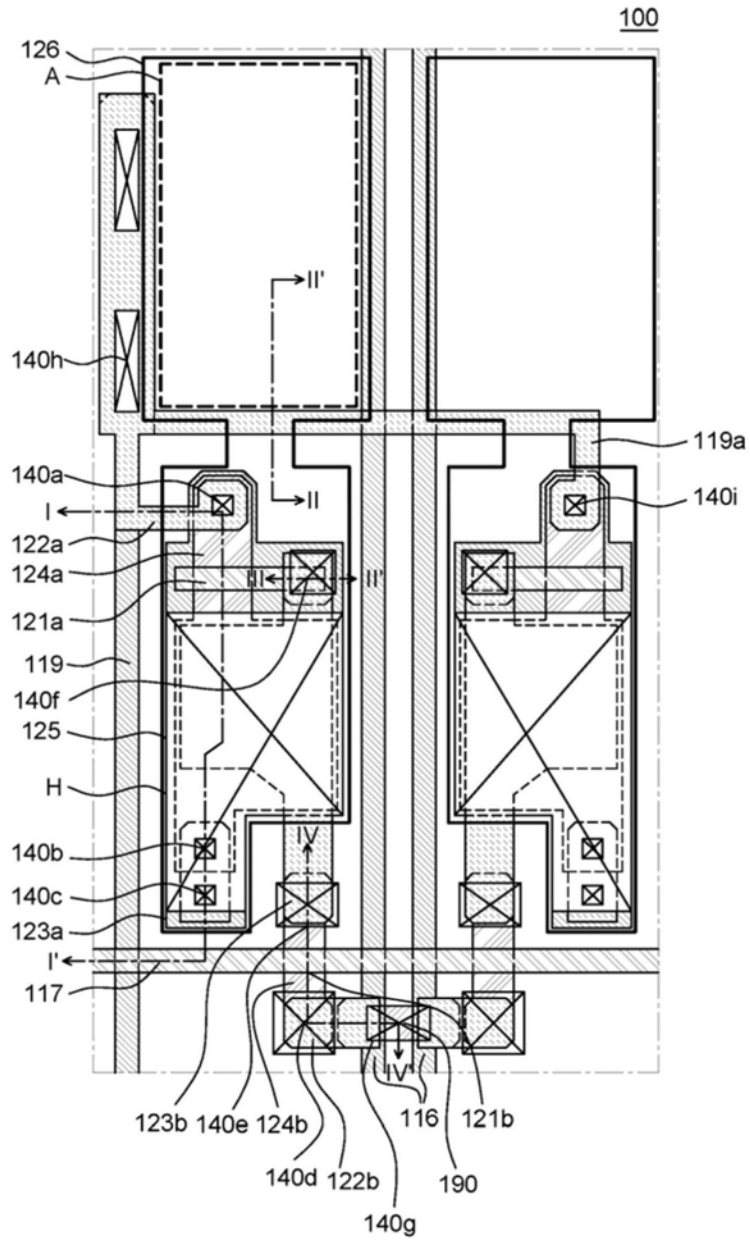


图3

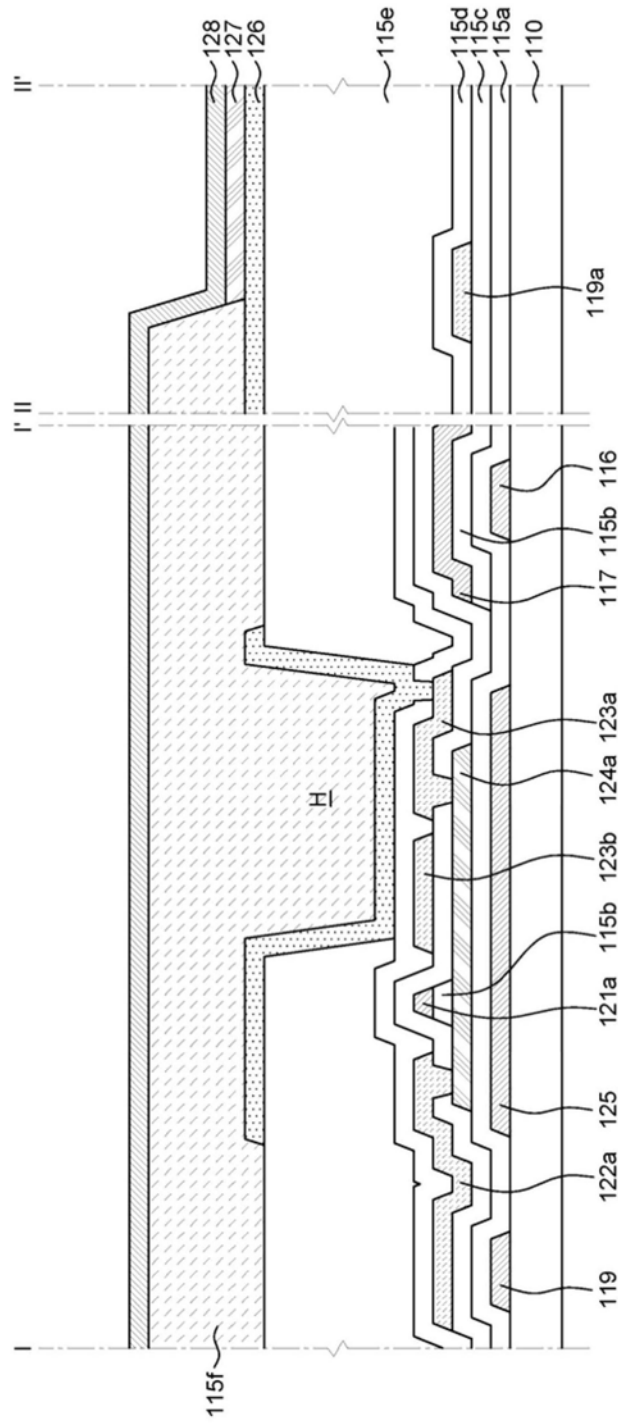


图4

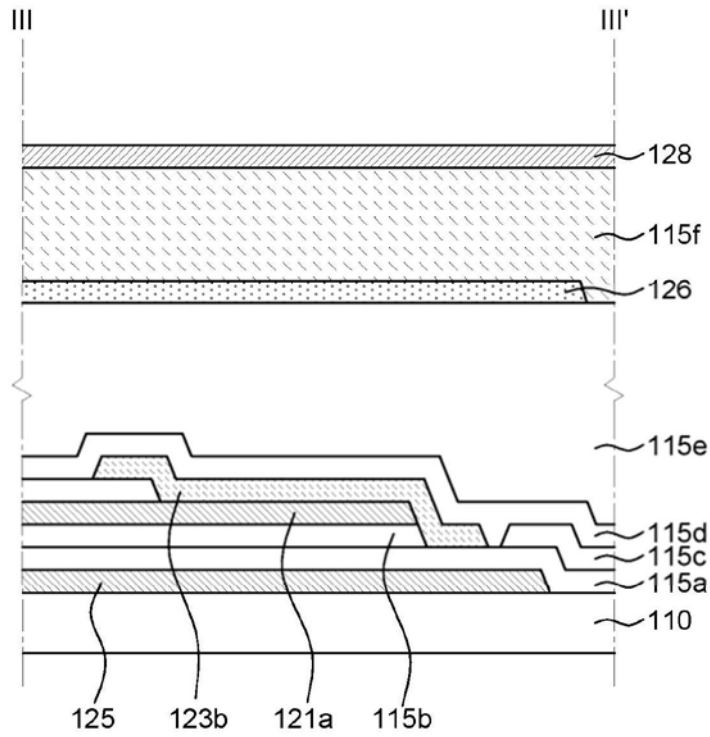


图5

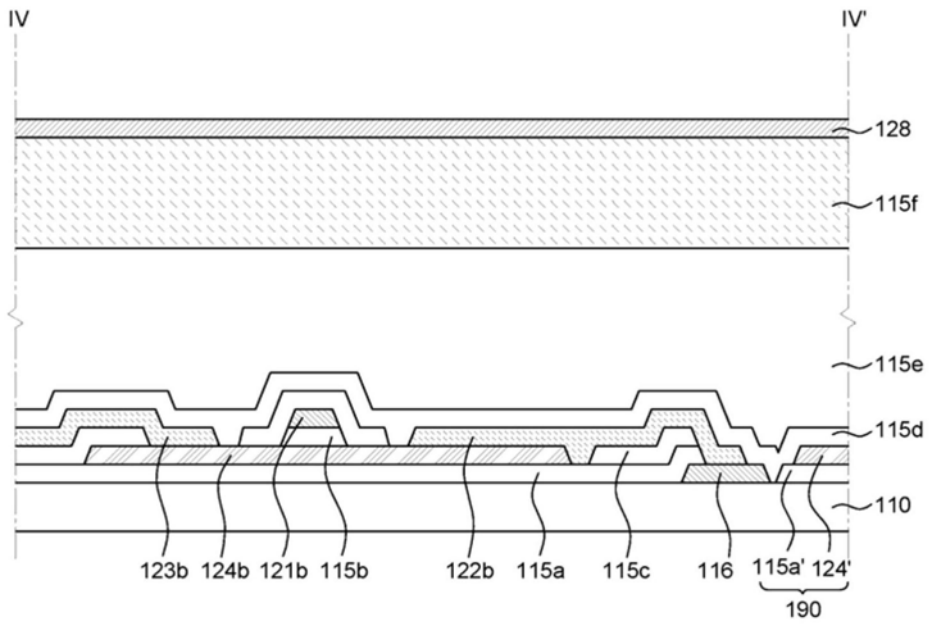


图6

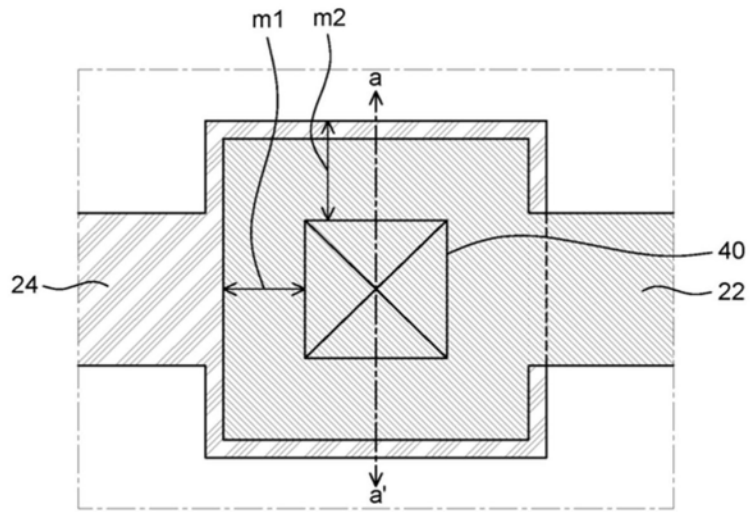


图7A

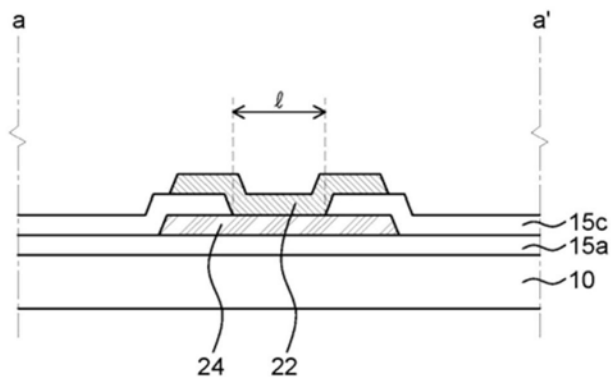


图7B

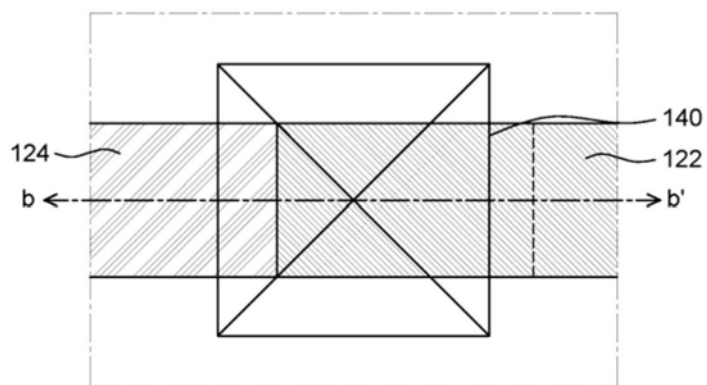


图8A

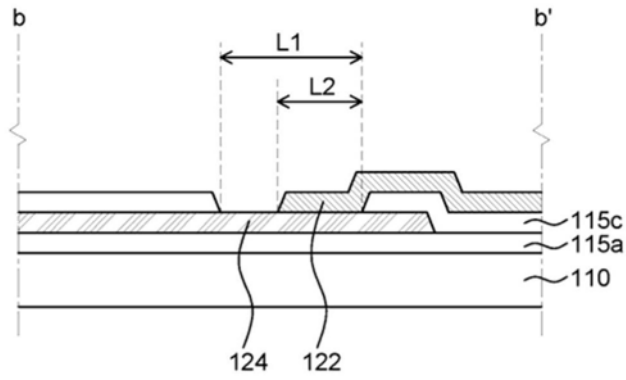


图8B

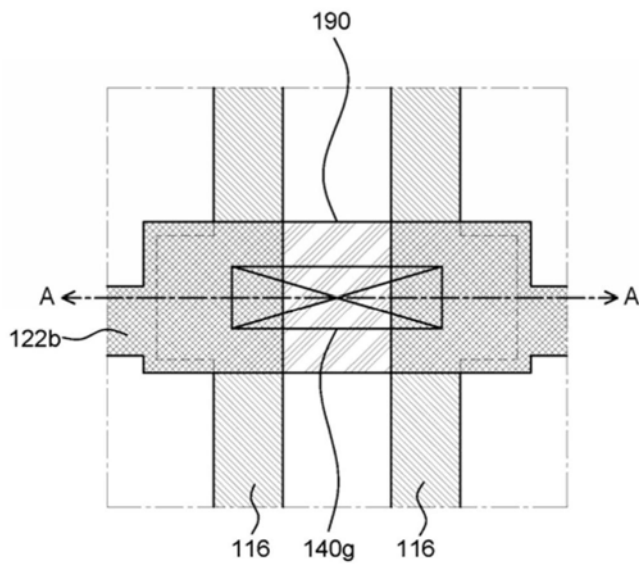


图9A

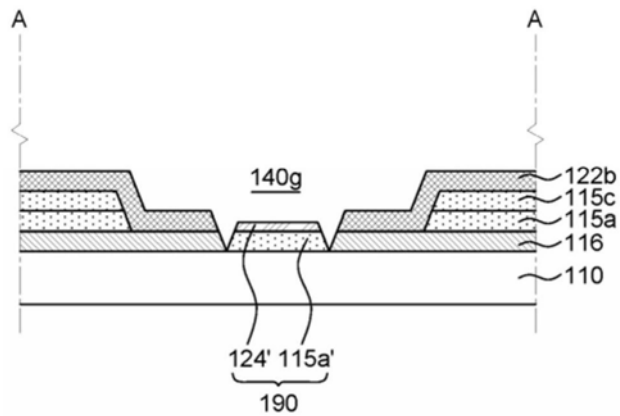


图9B

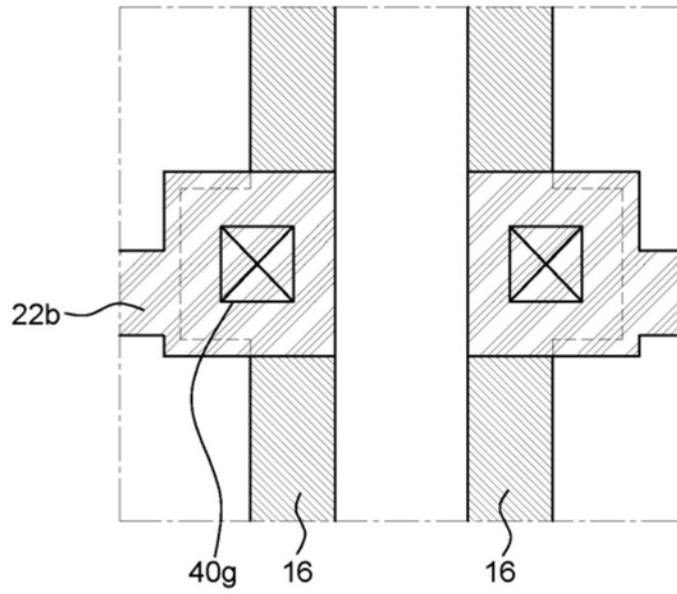


图10

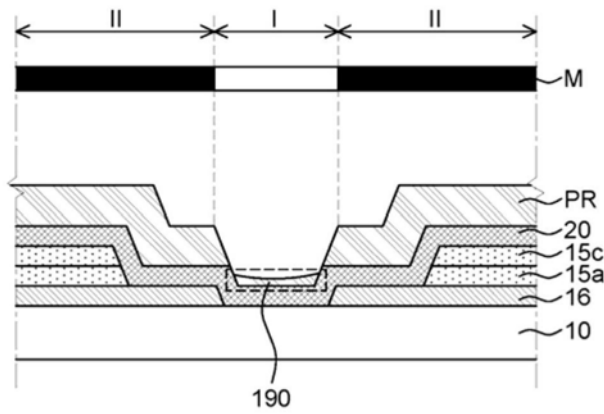


图11A

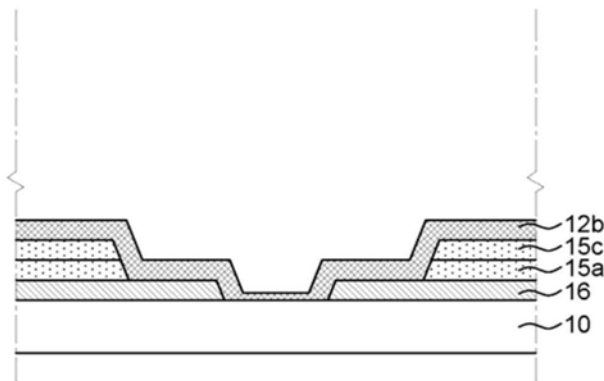


图11B

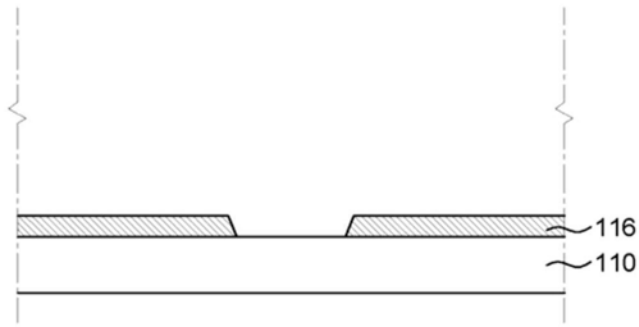


图12A

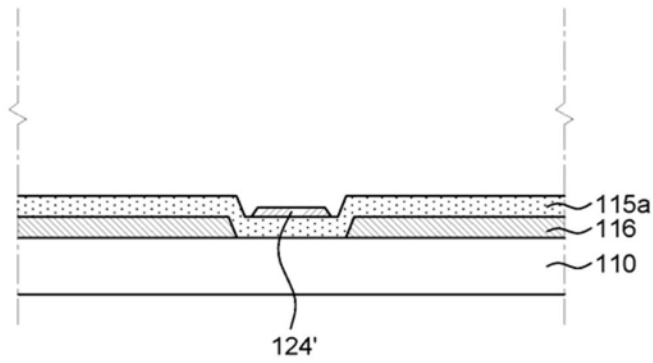


图12B

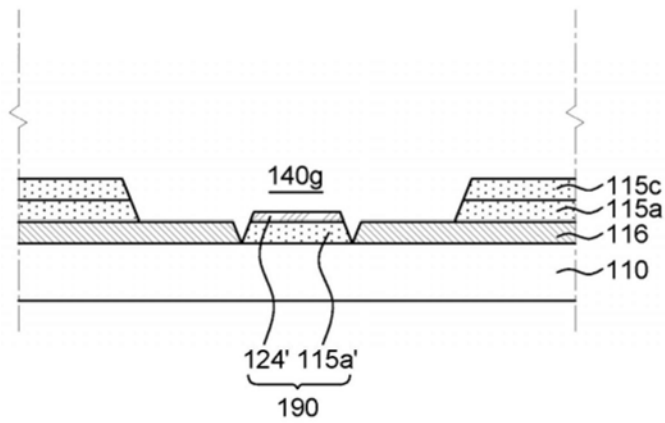


图12C

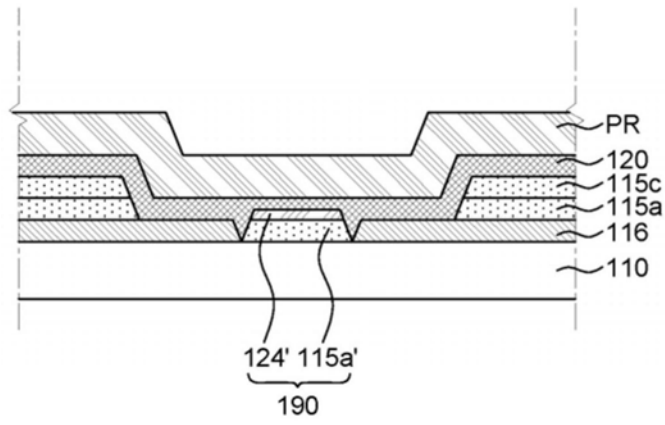


图12D

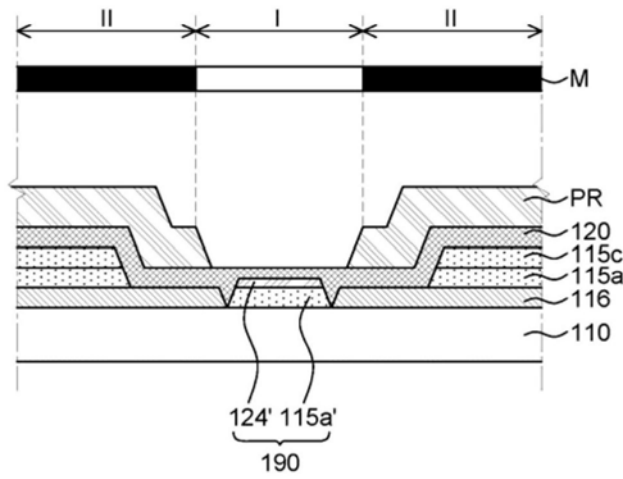


图12E

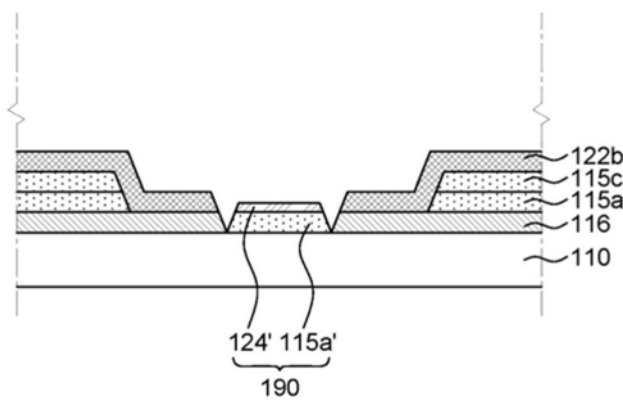


图12F

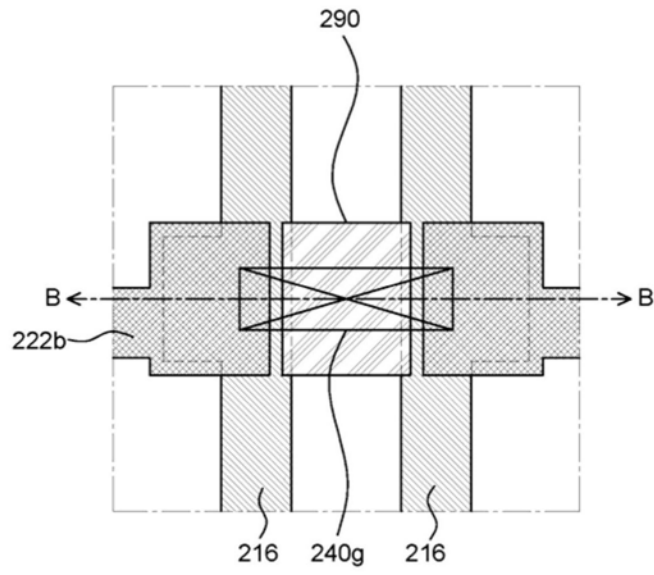


图13A

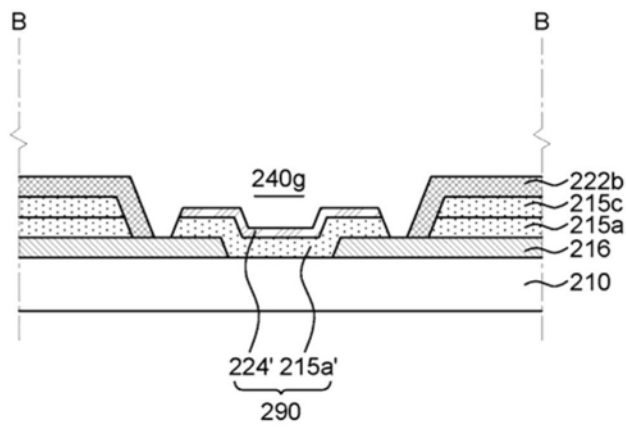


图13B

专利名称(译)	具有改进的接触结构的电致发光显示装置		
公开(公告)号	CN110391278A	公开(公告)日	2019-10-29
申请号	CN201910315847.1	申请日	2019-04-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	朴相武 李锡贤 丁元俊		
发明人	朴相武 李锡贤 丁元俊		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 H01L27/3223 H01L2227/323 H01L27/3272		
代理人(译)	谭天		
优先权	1020180045697 2018-04-19 KR		
外部链接	Espacenet SIPO		

摘要(译)

在根据本公开的实施方案的具有改进的接触结构的电致发光显示装置中，两个接触孔集成为一个以形成尺寸(或面积)大于接触面积的接触孔。另外，在由接触孔露出的数据线之间的台阶处形成有包括有源层的虚设图案以去除台阶。因此，可以设计像素而不限制接触孔的尺寸。因此，可以增加接触孔的尺寸，这使得易于应用半色调掩模，因此可以减少掩模。此外，增加了设计像素时金属的自由度。因此，可以设计用于高分辨率模型的像素。此外，不需要电极的余量，因此，可以增加开口率。此外，当上导电层被图案化时，在数据线之间不存在由台阶引起的残留光致抗蚀剂层。因此，可以抑制短路缺陷的发生。

