



(12)发明专利申请

(10)申请公布号 CN 109427285 A
(43)申请公布日 2019.03.05

(21)申请号 201810811537.4

(22)申请日 2018.07.23

(30)优先权数据

10-2017-0111475 2017.08.31 KR

10-2017-0119848 2017.09.18 KR

10-2017-0155014 2017.11.20 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 孔忠植 韩弘奎 申美姬 李世浣

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 刘久亮

(51)Int.Cl.

G09G 3/30(2006.01)

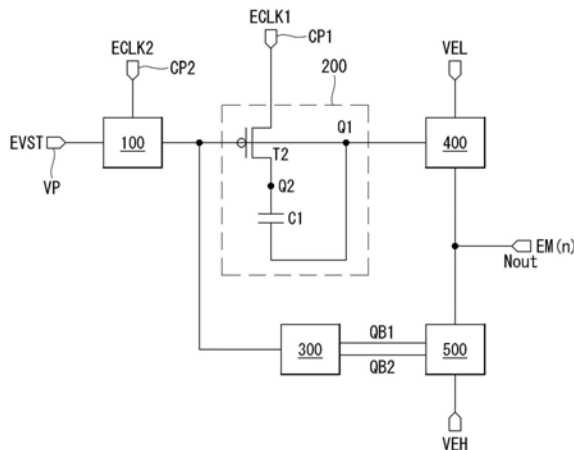
权利要求书3页 说明书28页 附图23页

(54)发明名称

选通驱动电路和使用该选通驱动电路的电致发光显示器

(57)摘要

选通驱动电路和使用该选通驱动电路的电致发光显示器。一种有机发光显示器包括：像素，其与选通线连接；以及选通驱动电路，其向至少一条选通线供应选通信号，并且包括以级联方式彼此连接的多个级。所述选通驱动电路的第n级包括：Q1节点充电单元，其使用反相的第一时钟信号和第二时钟信号，将Q1节点充电至导通电压；以及上拉晶体管，其响应于Q1节点电压而向输出端子施加导通电压。所述Q1节点充电单元包括：第一充电单元，其使用所述第二时钟信号将所述Q1节点电压充电至导通电压；以及第二充电单元，其在所述Q1节点具有导通电压的区间中使用所述第一时钟信号对与Q1节点联接的Q2节点进行充电，其中n是正整数。



1. 一种电致发光显示器,该电致发光显示器包括:
像素,该像素与选通线连接;以及
选通驱动电路,该选通驱动电路向所述选通线中的至少一条供应选通信号,并且包括以级联方式彼此连接的多个级,
其中,所述选通驱动电路的第n级包括:
Q1节点充电单元,该Q1节点充电单元使用反相的第一时钟信号和第二时钟信号将Q1节点充电至导通电压,以及
上拉晶体管,该上拉晶体管响应于Q1节点电压而向输出端子施加导通电压,
其中,n是正整数,
其中,所述Q1节点充电单元包括:
第一充电单元,该第一充电单元使用所述第二时钟信号将所述Q1节点电压充电至导通电压,以及
第二充电单元,该第二充电单元在所述Q1节点具有导通电压的区间中使用所述第一时钟信号对与所述Q1节点联接的Q2节点进行充电。
2. 根据权利要求1所述的电致发光显示器,
其中,所述第一充电单元包括第一晶体管,该第一晶体管连接在起始信号输入端子和所述Q1节点之间并且具有与所述第二时钟信号的输入端子连接的栅极,并且
其中,所述第二充电单元包括:第二晶体管,该第二晶体管连接在所述第一时钟信号的输入端子和所述Q2节点之间并且具有与所述Q1节点连接的栅极;以及第一电容器,该第一电容器连接在所述Q1节点和所述Q2节点之间。
3. 根据权利要求1所述的电致发光显示器,其中,所述Q1节点充电单元还包括Q2节点控制器,该Q2节点控制器在所述Q1节点具有截止电压的区间中向所述Q2节点施加电位电压。
4. 根据权利要求3所述的电致发光显示器,其中,所述Q2节点控制器包括与所述第二时钟信号的输入端子连接的栅极、与所述Q2节点连接的漏极以及高电位电压的输入端子。
5. 根据权利要求1所述的电致发光显示器,其中,所述选通驱动电路还包括:
下拉单元,该下拉单元响应于QB1节点的电压而控制所述输出端子输出截止电压;以及
节点控制器,该节点控制器将所述QB1节点的电压控制成与所述Q1节点的电压的电平相反的电平。
6. 根据权利要求5所述的电致发光显示器,其中,所述节点控制器还包括:
第二电容器,该第二电容器连接在QP节点和QB2节点或QB1节点之间;以及
QP节点控制器,该QP节点控制器连接在第n-1级的QB2节点和所述QP节点之间。
7. 根据权利要求6所述的电致发光显示器,其中,所述节点控制器还包括QB2节点控制器,所述QB2节点控制器响应于所述QP节点的电压而向所述QB2节点施加所述第一时钟信号的导通电压。
8. 根据权利要求7所述的电致发光显示器,其中,所述节点控制器还包括QB1节点控制器,该QB1节点控制器与所述第一时钟信号的输入端子连接,从所述第一时钟信号的输入端子向栅极施加所述第一时钟信号,并且所述QB1节点控制器向所述QB1节点施加所述QB2节点的电压。
9. 根据权利要求1所述的电致发光显示器,其中,所述第一时钟信号和所述第二时钟信

号反相。

10. 根据权利要求1所述的电致发光显示器,其中,所述第一时钟信号和所述第二时钟信号中的每一个的一个周期是两个水平时间段。

11. 根据权利要求5所述的电致发光显示器,

其中,所述下拉单元被配置成双缓冲器,

其中,所述双缓冲器包括两个晶体管,并且所述两个晶体管包括与不同的节点连接的栅极并且输出相同的第二发射信号。

12. 根据权利要求11所述的电致发光显示器,其中,所述下拉单元包括:

第一下拉晶体管,该第一下拉晶体管响应于所述QB1节点的电位而操作;以及

第二下拉晶体管,该第二下拉晶体管响应于QB2节点的电位而操作。

13. 一种电致发光显示器,该电致发光显示器包括:

像素,所述像素与发射线连接;以及

发射驱动器,该发射驱动器向所述发射线供应发射信号,并且包括多个级,

其中,所述多个级当中的第n级包括:

上拉单元,该上拉单元由Q节点控制,以输出具有导通电压的发射信号;

下拉单元,该下拉单元由所述Q节点或QB节点控制,以输出截止电压;

QB节点控制器,该QB节点控制器介于所述QB节点和QB'节点之间;以及

QB节点调节器,该QB节点调节器将第n-1级的QB'节点的电压的电平移位,以因此向所述QB'节点施加电平移位后的电压,

其中,n是等于或大于2的整数。

14. 根据权利要求13所述的电致发光显示器,其中,所述第n级还包括Q节点控制器,该Q节点控制器使用来自第n-1级的发射信号来控制所述Q节点的电压。

15. 根据权利要求13所述的电致发光显示器,其中,所述像素中的每一个包括发光器件和像素驱动电路,并且其中,所述发射线中的每一条与包括在所述像素驱动电路中的发射晶体管连接。

16. 根据权利要求13所述的电致发光显示器,其中,所述QB节点调节器包括Q'节点控制器、QB'节点控制器、QB节点保持单元、QB'节点保持单元和电容器。

17. 根据权利要求16所述的电致发光显示器,

其中,所述Q'节点控制器由第一发射时钟信号控制,以将所述第n-1级的QB'节点的电压施加到所述Q'节点,

其中,所述QB'节点控制器由所述Q'节点控制,以将第二发射时钟信号施加到所述QB'节点,

其中,所述QB节点保持单元由所述Q节点控制,以将所述QB节点放电至发射高电压,

其中,所述QB'节点保持单元由所述Q节点控制,以将所述QB'节点放电至发射高电压,

其中,所述电容器连接在所述Q'节点和所述QB'节点之间,并且

其中,所述QB节点控制器根据所述第二发射时钟信号来控制所述QB节点和所述QB'节点的短路,或者所述QB节点控制器由所述QB'节点控制,以向所述QB节点施加发射低电压。

18. 根据权利要求17所述的电致发光显示器,其中,所述第一发射时钟信号和所述第二发射时钟信号反相。

19. 根据权利要求16所述的电致发光显示器,其中,所述QB节点调节器还包括Q'节点保持单元。

20. 根据权利要求19所述的电致发光显示器,

其中,所述Q'节点控制器由第一发射时钟信号控制,以将所述第n-1级的QB'节点的电压施加到所述Q'节点,

其中,所述QB'节点控制器由所述Q'节点控制,以将第二发射时钟信号施加到所述QB'节点,

其中,所述QB节点保持单元由所述Q节点控制,以将所述QB节点放电至发射高电压,

其中,所述QB'节点保持单元由所述Q节点控制,以将所述QB'节点放电至发射高电压,

其中,所述Q'节点保持单元由所述Q节点控制,以将所述Q'节点放电至发射高电压,

其中,所述电容器连接在所述Q'节点和所述QB'节点之间,并且

其中,所述QB节点控制器根据所述第二发射时钟信号来控制所述QB'节点和所述QB节点的短路,或者所述QB节点控制器由所述QB'节点控制,以向所述QB节点施加发射低电压。

选通驱动电路和使用该选通驱动电路的电致发光显示器

技术领域

[0001] 本公开涉及驱动能力增强的选通驱动电路和使用该选通驱动电路的电致发光显示器。

背景技术

[0002] 由于其小型化和轻,平板显示器(FPD)不仅被广泛用在台式计算机的监视器中,而且被用在诸如膝上型计算机和平板PC这样的移动计算机的监视器和移动电话中。近来,正在开发的不仅是平板显示器,而且还有包括弯曲显示器、柔性显示器、可卷曲显示器和可穿戴显示器的各种类型的显示器。这些显示器是例如液晶显示器(LCD)、等离子体显示面板(PDP)、场发射显示器(FED)、电致发光显示器、有机发光二极管显示器(OLED)、量子点显示器(QD)等。

[0003] 在它们当中,电致发光显示器具有快速的响应速度和广的视角,并且能够以高发光效率产生亮度。通常,电致发光显示器使用因扫描信号而导通的晶体管向驱动晶体管的栅极施加数据电压,并且将供应到驱动晶体管的数据电压充入存储电容器中。另外,利用发射信号使电致发光器件能够发射光。电致发光器件可以包括有机电致发光器件和无机电致发光器件,因此,电致发光显示器可以被分类为有机发光显示器或无机发光显示器。

[0004] 使用发射信号和一个或多个扫描信号来驱动电致发光显示器。通常,产生发射信号和作为选通信号的扫描信号的选通驱动电路包括用于依次输出选通信号的移位寄存器。选通驱动电路可以按由一组薄膜晶体管(TFT)构成的板内选通(GIP)的方式在显示面板的边框区域中实现,边框区域是非显示区。按GIP方式的选通驱动电路包括其数目对应于选通线的数目的多个级,其中,所述多个级中的每一个输出要供应到各条选通线当中的对应选通线的选通脉冲。

[0005] 移位寄存器可以按各种方式实现,并且正在努力优化选通驱动电路的电路配置,以便增强驱动能力和可靠性。

[0006] 如以上提到的,选通驱动电路可按GIP方式实现,GIP是将选通驱动电路与像素阵列一起内置于显示面板中的技术。此选通驱动电路可以被称为GIP电路。GIP电路可以包括移位寄存器,并且移位寄存器中的各级可以响应于起始脉冲而产生输出并且按照时钟信号将所产生的输出移位。选通驱动电路可以包括具有多个晶体管的级,并且这些级可以按级联方式彼此连接并且顺序地产生输出。在这种情况下,晶体管可以包括作为晶体管的一种的TFT。

[0007] 这些级可以各自包括用于控制上拉晶体管的Q节点和用于控制下拉晶体管的QB(Q bar)节点。例如,这些级中的每一个可以包括晶体管,这些晶体管中的每一个响应于起始电压信号和从前一级输入的时钟信号而将Q节点和QB节点充电和放电至反向的电压。

[0008] QB节点被充电和放电至与Q节点的电压反向的电压。当Q节点具有高电位电压时,QB节点具有低电位电压。当Q节点具有低电位电压时,QB节点具有高电位电压。上拉晶体管或下拉晶体管响应于施加到Q节点或QB节点的低电位电压而导通,并且上拉晶体管或下拉

晶体管响应于施加到Q节点或QB节点的高电位电压而截止,因此与选通线连接的晶体管导通/截止。上拉晶体管 and 下拉晶体管中的每一个具有与输出端子连接的一个电极,并且输出端子与用于向像素阵列提供选通信号的选通线连接。

[0009] 如以上提到的,输出信号被Q节点和QB节点施加到输出端子。因此,如果Q节点或QB节点变成浮置,则Q节点或QB节点的电压可以是可变的,而非固定的,并因此可能输出错误的输出信号。

[0010] 使用发射信号和一个或更多个扫描信号来驱动电致发光显示器。为了驱动电致发光显示器,不仅需要用于扫描数据信号的信号,而且还需要用于在扫描信号的扫描期间阻止发光器件发光的发射信号。在这种情况下,发射信号和扫描信号可以被组合成选通信号。

[0011] 通常,扫描信号可以被反转,以产生发射信号。然而,通过将扫描信号反转而产生的发射可能在电致发光显示器的脉宽调制驱动和扫描信号的扫描时受到干扰。另外,由于显示面板的高分辨率而导致的时钟信号和发射信号的负载增加会使操作余量减小,由此可能造成发射驱动器中的错误。

[0012] 因此,为了解决以上提到的问题,本说明书的发明人已经提出了具有增强的驱动能力和可靠性的选通驱动电路和使用该选通驱动电路的电致发光显示器。

[0013] 本公开的一个目的是提供一种选通驱动电路和使用该选通驱动电路的电致发光显示器,因为施加了高电位电压或低电位电压而没有使Q节点浮置以使得防止了从输出端子输出错误的输出,所以该选通驱动电路具有改进的驱动能力和可靠性。

[0014] 本公开的另一个目的是提供一种选通驱动电路和使用该选通驱动电路的电致发光显示器,该选通驱动电路能够改进晶体管的驱动能力,保持稳定的输出特性并且实现窄边框。

[0015] 本公开的又一目的是提供一种选通驱动电路和使用该选通驱动电路的电致发光显示器,该选通驱动电路避免在电致发光显示器的脉宽调制驱动期间和扫描信号的扫描期间发生干扰,由此提高发射信号的准确性。

[0016] 本公开的又一个目的是提供一种选通驱动电路和使用该选通驱动电路的电致发光显示器,尽管由于电致发光显示器的分辨率高而导致时钟信号和发射信号的负载增加,该选通驱动电路也能够没有错误地操作。

[0017] 本公开的目的应该不限于以上提到的目的,并且本领域技术人员将根据以下描述清楚地理解其它未提到的目的。

发明内容

[0018] 因此,本公开的实施方式涉及选通驱动电路和使用该选通驱动电路的电致发光显示器,其基本上消除了由于现有技术的限制和缺点导致的一个或更多个问题。

[0019] 另外的特征和方面将在随后的描述中阐述,并且部分地将从描述中显而易见,或者可以通过实践本文中提供的发明构思来了解。本发明构思的其它特征和方面可以通过书面描述中特别指出的结构,或由其衍生的结构,本公开的权利要求以及附图来实现和获得。

[0020] 为了实现本发明构思的这些和其它方面,如具体实施和广泛描述的,一种电致发光显示器包括:像素,该像素与选通线连接;以及选通驱动电路,该选通驱动电路向所述选通线中的至少一条供应选通信号,并且包括以级联方式彼此连接的多个级。所述选通驱动

电路的第n(n是正整数)级可以包括:Q1节点充电单元,该Q1节点充电单元使用反相的第一时钟信号和第二时钟信号将Q1节点充电至导通电压,以及上拉晶体管,该上拉晶体管响应于Q1节点电压而向输出端子施加导通电压。所述Q1节点充电单元可以包括:第一充电单元,该第一充电单元使用所述第二时钟信号将所述Q1节点电压充电至导通电压,以及第二充电单元,该第二充电单元在所述Q1节点具有导通电压的区间中使用所述第一时钟信号对与所述Q1节点联接的Q2节点进行充电。

[0021] 在另一方面,选通驱动电路包括以级联方式彼此连接的多个级并且用于输出选通信号。所述多个级中的每一级使用第一时钟信号和第二时钟信号输出所述选通信号。所述多个级当中的第n(n是正整数)级包括:上拉晶体管,该上拉晶体管响应于Q1节点的电压而向输出端子施加导通电压;第一电容器,该第一电容器连接在所述Q1节点和Q2节点之间;第一晶体管,该第一晶体管包括与所述第二时钟信号的输入端子连接的栅极、与起始信号的输入端子连接的源极和与所述Q1节点连接的漏极;以及第二晶体管,该第二晶体管包括与所述Q1节点连接的栅极、与所述第一时钟信号的输入端子连接的源极和与所述Q2节点连接的漏极。

[0022] 应理解的是,前面的一般性描述和以下的详细描述都是示例性和说明性的,并且旨在提供对要求保护的发明构思的进一步说明。

附图说明

[0023] 附图被包括进来以提供对本公开的进一步理解,并入并构成本说明书的一部分,附图例示了本公开的实施方式并且与说明书一起用来说明本公开的原理。在附图中:

[0024] 图1是例示了根据本说明书的电致发光显示器的配置的示意图;

[0025] 图2是例示了图1中示出的像素的框图;

[0026] 图3是例示了图1中示出的选通驱动电路的示例性布置的示意图;

[0027] 图4是例示了根据本说明书的实施方式的设置在显示面板的一侧的选通驱动电路的框图;

[0028] 图5是例示了图4中示出的发射驱动器的框图;

[0029] 图6是例示了选通驱动电路中的第n发射驱动器的配置的示意图;

[0030] 图7是例示了根据本说明书的第一实施方式的第n发射驱动器的详细配置的示意图;

[0031] 图8是例示了施加到图7中示出的发射驱动器的控制信号的定时的示意图;

[0032] 图9是例示了根据本说明书的第二实施方式的发射驱动器的示意图;

[0033] 图10是示出了用于驱动图9中示出的发射驱动器的控制信号的定时的示意图;

[0034] 图11是例示了根据比较例的发射驱动器的配置的框图;

[0035] 图12是例示了图11中示出的发射驱动器的电路配置的示意图;

[0036] 图13和图14是示出了用于说明与图12中示出的反相器相关的操作特性的电路配置和驱动波形的示意图;

[0037] 图15是例示了根据本说明书的第三实施方式的第n发射驱动器的配置的框图;

[0038] 图16是例示了图15中示出的输出缓冲器的电路配置的示意图;

[0039] 图17是例示了根据本说明书的第三实施方式的第n发射驱动器的详细电路配置的示意图;

- [0040] 图18是例示了图17中示出的第n发射驱动器的波形图；
- [0041] 图19和图20是例示了用于说明与图17中示出的QB2节点控制器相关的操作特性的电路配置和驱动波形的示意图；
- [0042] 图21是根据本说明书的第三实施方式的第n发射驱动器的QB1节点和QB2节点所测得的电压波形的示意图；
- [0043] 图22是例示了根据本说明书的第四实施方式的第n发射驱动器的框图；
- [0044] 图23是例示了根据本说明书的第五实施方式的第n发射驱动器的框图；
- [0045] 图24是示出了图22和图23中示出的发射驱动器的输出波形的曲线图；
- [0046] 图25是根据本说明书的第一实施方式的QB节点调节器的电路图；
- [0047] 图26是根据本说明书的第二实施方式的QB节点调节器的电路图；
- [0048] 图27是根据本说明书的第三实施方式的QB节点调节器的电路图；
- [0049] 图28是根据本说明书的第四实施方式的QB节点调节器的电路图；以及
- [0050] 图29是根据本说明书的实施方式的QB节点调节器的驱动波形的示意图。

具体实施方式

[0051] 根据下文中将结合附图描述的实施方式，本公开的优点和特征以及实现这些优点和特征的方法会变得清楚。然而，本公开不限于这些实施方式，而是可以按各种修改形式来实施。提供这些实施方式仅仅是为了完全公开本公开，并且为本公开所属领域的技术人员提出建议。本公开只由所附的权利要求来限定。在整篇说明书中，相同的参考标号表示相同的元件。

[0052] 附图中公开的形状、尺寸、比率、角度、数目等是示例性的，并且实施方式不限于此。在整篇说明书中，相似的参考标号是指相似的元件。在下面对实施方式的描述中，当确定实施方式的主旨会被不必要混淆时，将省略对已知相关技术的详细描述。在本说明书中使用术语“包括”、“具有”、“完成”等的情况下，除非使用“仅”，否则可以添加其它部件。如本文中使用的，单数形式“一”、“一个”和“该”也旨在包括复数形式，除非上下文另外清楚指示。

[0053] 在解释构成要素时，即使不进行单独的描述，也可以将其解释为包括误差范围。

[0054] 在描述位置关系的情况下，例如，如果两个部件之间的位置关系被描述为“在…上”、“在…上方”、“在…下方”或“在…旁边”时，一个或更多个其它部件可以位于这两个部件之间，除非使用了“正好”或“恰好”。

[0055] 在描述时间关系的情况下，例如，如果通过“在…之后”、“随后”、“接下来的”、“在…之前”等来描述时间先后关系，则还包括不连续的情况，除非使用了“正好”或“恰好”。

[0056] 虽然使用“第一”、“第二”等来描述各种组件，但是这些组件不受这些术语的限制。这些术语只是用来将一个组件与另一个组件区分开。因此，在实施方式的技术精神内，下面提到的第一组件可以是第二组件。

[0057] 要理解的是，各种实施方式的特征可以部分地或全部地彼此联接或组合，并且在技术上进行各种互锁和驱动是可能的，并且实施方式可以彼此独立地实践。

[0058] 本说明书的选通驱动电路中的开关元件可以被实现为金属氧化物半导体场效应晶体管(MOSFET)结构中的n型或p型晶体管。在下面的实施方式中，以p型晶体管来举例说明

开关元件,但是本公开的方面不限于此。晶体管是包括栅极、源极和漏极的三电极元件。源极是用于向晶体管供应载流子的电极。载流子从晶体管的源极流出。漏极是载流子通过其流出晶体管的电极。也就是说,MOSFET中的载流子从源极流向漏极。在n型MOSFET(NMOS)的情况下,由于载流子是电子,因此源极电压低于漏极电压,使得载流子从源极流向漏极。在n型MOSFET的情况下,由于电子从源极流向漏极,因此电流的流动方向从漏极朝向源极。在p型MOSFET(PMOS)的情况下,由于载流子是空穴,因此源极电压高于漏极电压,使得空穴从源极流向漏极。由于在p型MOSFET中空穴从源极流向漏极,因此电流从源极流向漏极。MOSFET的源极和漏极不是固定的。例如,MOSFET的源极和漏极可以根据所施加电压而改变。在下面的实施方式中,本公开不受晶体管的源极和漏极限制。

[0059] 图1是例示了根据本说明书的显示器的配置的示图。图2是例示了图1中示出的像素的框图。图3是例示了图1中示出的选通驱动电路的示例性布置的示图。

[0060] 参照图1,根据本公开的电致发光显示器包括其中像素P按矩阵方式布置的显示面板10、数据驱动器120、选通驱动电路130和140、图像处理单元110和定时控制器111。在这种情况下,像素P的布置方式不限于矩阵方式,而是可以是诸如条纹方式和菱形方式这样的各种形式中的任一种。

[0061] 显示面板包括其中布置有像素P并且显示图像的显示区10A和其中布置有选通驱动电路130和140并且不显示图像的非显示区10B。

[0062] 显示区10A包括多个像素P,并且基于相应像素P的灰度级来显示图像。像素P沿着第一像素行HL1至第n像素行HLn来布置。每个像素P与沿着列线对准的数据线DL和沿着像素行HL对准的选通线GL连接。在同一像素行上对准的像素共享同一选通线GL,因此它们被同时驱动。当在第一像素行HL1上对准的像素被限定为第一像素P1并且在第n像素行HLn上对准的像素被限定为第n像素Pn时,按从第一像素P1至第n像素Pn的顺序驱动像素。另外,用于将数据写入一条选通线的采样周期可以被限定为一个水平时间1H。

[0063] 除了从外部供应的图像数据之外,图像处理单元110还输出用于驱动各种器件的驱动信号。从图像处理单元110输出的驱动信号可以包括数据使能信号、垂直同步信号、水平同步信号和点时钟信号。

[0064] 定时控制器111用于控制数据驱动器120和选通驱动电路的驱动定时。为此目的,定时控制器111可以重新排列从外部输入的数字视频数据RGB,以适合显示面板10的分辨率,并且将重新排列后的数字视频数据RGB供应到数据驱动器120。另外,定时控制器111基于诸如垂直同步信号、水平同步信号、点时钟信号和数据使能信号这样的定时信号来生成用于控制数据驱动器120的操作定时的数据控制信号DDC和用于控制选通驱动电路的操作定时的选通控制信号GDC。

[0065] 数据驱动器120用于驱动数据线DL。为此目的,数据驱动器120基于数据控制信号DDC将从定时控制器111输入的数字视频数据RGB转换成模拟数据电压,并且将该模拟数据电压供应到数据线DL。数据驱动器120可以被形成为集成电路(IC)。

[0066] 选通驱动电路可以包括电平移位器130和选通驱动电路140。电平移位器130可以被形成为与显示面板10连接的印刷电路板(PCB)中的IC,并且选通驱动电路140可以被形成为非显示区10B中的GIP电路。在这种情况下,实现电平移位器130和选通驱动电路140的方法不限于此。

[0067] 在定时控制器111的控制下,电平移位器130将时钟信号和起始信号VST的电压电平移位,然后将时钟信号和起始信号VST供应到选通驱动电路140。选通驱动电路140按GIP方法在显示面板10的非显示区10B中形成为多个薄膜晶体管(TFT)(下文中被称为晶体管)的组合。

[0068] 选通驱动电路140可以包括用于输出扫描信号的扫描驱动器和用于输出发射信号的发射驱动器。在这种情况下,发射信号可以被称为发射控制信号,扫描信号和发射信号可以被称为选通信号,并且用于输出选通信号的组件可以被称为选通驱动电路。扫描驱动器和发射驱动器可以包括以级联方式彼此连接的多个级。如图1中所示,选通驱动电路140可以设置在显示面板的一侧。另外,参照图3,选通驱动电路140可以在显示面板10的非显示区10B中形成为GIP电路,并且可以设置在显示面板的左侧和右侧。

[0069] 参照图2,像素P连接至选通线GL、数据线DL、高电位电压VEH和低电位电压VEL。可以根据像素电路的配置来确定晶体管和电容器的数目以及像素的驱动方法。

[0070] 像素可以包括有机发光二极管、开关晶体管、驱动晶体管、发射控制晶体管、电容器等。然而,像素不限于此。响应于扫描信号,开关晶体管将数据电压传送到电容器。电容器将数据电压传送到驱动晶体管的栅极。响应于从电容器传送的数据电压,驱动晶体管产生驱动发光器件的驱动电流。发射控制晶体管响应于发射信号而控制发光器件的发光时间。

[0071] 另外,根据附加地用于补偿晶体管劣化的晶体管和电容器的数目以及补偿方法,可以按诸如3T1C、3T2C、4T1C、4T2C、5T1C、5T2C、6T1C、6T2C、7T1C、7T2C、8T1C和8T2C这样的各种结构中的任一种来实现像素P。为了便于说明,在图2中只示出了一条选通线GL,并且可以根据像素中包括的晶体管的数目和补偿方法来提供I(I是等于或大于2的整数)条选通线。图4是例示了根据本说明书的实施方式的设置在显示面板的一侧的选通驱动电路的框图,图5是例示了图4中示出的发射驱动器的框图。

[0072] 如图4中例示的,选通驱动电路140包括输出扫描信号SCAN1至SCAN[n]的扫描驱动器SRD1至SRD[n]和输出发射信号EM1至EM[n]的发射驱动器EMD1至EMD[n]。扫描驱动器SRD1至SRD[n]与第一扫描线至第n扫描线连接。发射驱动器EMD1至EMD[n]与第一发射线至第n发射线连接。

[0073] 扫描驱动器SRD1至SRD[n]和发射驱动器EMD1至EMD[n]被配置为用于响应于显示面板的扫描线而输出信号的多个级。第一扫描驱动器SRD1和第一发射驱动器EMD1可以被限定为第一级。第一级SRD1和EMD1输出用于驱动显示面板10的第一像素行HL1的第一扫描信号SCAN1和第一发射信号EM1。第二扫描驱动器SRD2和第二发射驱动器EMD2可以被限定为第二级。第二级SRD2和EMD2输出用于驱动显示面板10的第二像素行HL2的第二扫描信号SCAN2和第二发射信号EM2。

[0074] 如图5中例示的,第一发射驱动器EMD1至第n发射驱动器EMD[n]分别基于第一时钟信号ECLK1、第二时钟信号ECLK2、起始信号EVST等来生成第一发射信号EM1至第n发射信号EM[n]。

[0075] 第一时钟信号ECLK1和第二时钟信号ECLK2可以在发射高电压和发射低电压之间摆动,并且可以是反相的。换句话讲,第一发射时钟信号ECLK1和第二发射时钟信号ECLK2可以是反相的并且可以具有不同的发射时钟周期。

[0076] 作为发射低电压的低电位电压VEL可以介于-8V和-7V之间,作为发射高电压的高

电位电压VEH可以介于7V和8V之间。

[0077] 第一发射驱动器EMD1至第n发射驱动器EMD[n]采用了其中各级彼此连接以使得前一级信号用于下一级的结构。第一发射驱动器EMD1通过起始信号端子VP接收起始信号EVST。然后,第二发射驱动器EMD2至第n发射驱动器EMD[n]分别接收从其相应的前一级的发射驱动器生成的第一进位信号CRY1至第n-1进位信号CRY[n-1]。

[0078] 因此,虽然第一发射驱动器EMD1基于通过起始信号端子VP接收到的起始信号EVST来启动操作,但是第二发射驱动器EMD2基于从第一发射驱动器EMD1输出的第一进位信号CRY1来启动操作。考虑到进位信号的输入/输出定时,可以使用前一级或再前一级的发射驱动器所生成的信号作为进位信号,因此,进位信号可以被限定为第k(k是等于或大于1的整数)级的发射驱动器所生成的信号。

[0079] 图6是例示了选通驱动电路中的第n发射驱动器的配置的示意图。

[0080] 参照图6,第n发射驱动器EMD[n]包括Q1节点充电单元100和200、节点控制器300、上拉单元400和下拉单元500。

[0081] Q1节点充电单元100和200可以使用交替施加的第一时钟信号ECLK1和第二时钟信号ECLK2向Q1节点Q1施加导通电压。Q1节点充电单元100和200可以包括第一充电单元100和第二充电单元200,第一充电单元100使用第二时钟信号ECLK向Q1节点Q1充入导通电压,第二充电单元200使用第一时钟信号ECLK1向Q1节点Q1施加导通电压。

[0082] 节点控制器300控制Q1节点Q1、QB1节点QB1和QB2节点QB2的电压。

[0083] 上拉单元400响应于Q1节点Q1的电压而输出发射信号。

[0084] 下拉单元500响应于QB1节点(QB1)的电压或QB2节点(QB2)的电压中的至少一个而控制输出端子Nout输出截止电压。

[0085] 下文中,将描述图6中示出的发射驱动器的详细实施方式。

[0086] 图7是例示了根据本说明书的第一实施方式的第n发射驱动器的示意图。

[0087] 参照图7,第n发射驱动器EMD[n]包括Q1节点充电单元100和200、节点控制器300、上拉单元400和下拉单元500。

[0088] Q1节点充电单元100和200包括第一充电器100和第二充电器200。第一充电器100(下文中,被称为第一晶体管T1)包括与第二时钟信号输入端子连接的栅极、与提供起始信号EVST的起始信号输入端子VP连接的源极和与Q1节点Q1连接的漏极。第二时钟信号输入端子CP2接收第二时钟信号ECLK2,并且起始信号输入端子VP接收起始信号EVST或进位信号。进位信号可以是来自第n-1发射驱动器EMD[n-1]的输出信号。在起始信号EVST和第二时钟信号ECLK2二者都处于导通电压的区间中,第一晶体管T1将Q1节点Q1充电至作为导通电压的低电位电压VEL。

[0089] 第二充电单元200包括第二晶体管T2和第一电容器C1。第二晶体管T2包括与Q1节点Q1连接的栅极、与第一时钟信号输入端子CP1连接的源极和与Q2节点Q2连接的漏极。在Q1节点Q1和第一时钟信号ECLK1二者都处于导通电压的区间中,第二晶体管T2将Q2节点Q2充电至作为导通电压的低电位电压VEL。

[0090] 第一电容器C1连接在Q1节点Q1和Q2节点Q2之间。响应于Q1节点Q1的电压,第一电容器C1使Q2节点Q2的电压自举。另选地,响应于Q2节点Q2的电压,第一电容器C1将Q1节点Q1的电压自举。

[0091] 节点控制器300包括Q1保持单元(下文中,被称为第三晶体管)T3、QP节点控制器(下文中,被称为第四晶体管)T4、QB2节点控制器(下文中,被称为第八晶体管)T8、QB1节点控制器(下文中,被称为第九晶体管)T9、QB1保持单元(下文中,被称为第五晶体管)T5、QB2保持单元(下文中,被称为第十晶体管)T10以及第二电容器C2和第三电容器C3。节点控制器300可以被称为Q1节点控制器。

[0092] 第三晶体管T3包括与QB节点(QB2)连接的栅极、与Q1节点Q1连接的源极和与高电位电压VEH的输入端子连接的漏极。当QB2节点QB2具有导通电压时,Q1节点控制器300将Q1节点Q1充电至作为截止电压的高电位电压VEH。

[0093] QB节点充电单元T4、T8和T9包括第四晶体管T4、第八晶体管T8和第九晶体管T9。

[0094] 第四晶体管T4包括与第二时钟信号输入端子CP2连接的栅极、与第n-1QB2节点QB2(n-1)连接的源极以及与QP节点QP连接的漏极。在第n-1QB2节点QB2(n-1)和第二时钟信号ECLK2二者都具有导通电压的区间中,第四晶体管T4将QP节点QP充电至作为导通电压的低电位电压VEL。第n-1QB2节点QB2(n-1)指示第n-1发射驱动器EMD[n-1]的QB2节点QB2。

[0095] 第八晶体管T8包括与QP节点QP连接的栅极、与第一时钟信号输入端子CP1连接的源极和与QB2节点QB2连接的漏极。当QP节点QP的电压是导通电压时,第八晶体管T8将第一时钟信号ECLK1的电压施加到QB2节点QB2。

[0096] 第二电容器C2的两个电极分别与QP节点QP和QB2节点QB2连接。结果,QP节点QP根据QB2节点QB2的电压变化而自举。

[0097] 第九晶体管T9包括与第一时钟信号输入端子CP1连接的栅极、与QB2节点QB2连接的源极和与QB1节点QB1连接的漏极。第九晶体管T9根据第一时钟信号ECLK1的电压电平来切换QB2节点QB2和QB1节点QB1之间的电流路径。

[0098] QB节点控制器T5和T10包括第五晶体管T5和第十晶体管T10。

[0099] 第五晶体管T5包括与Q1节点Q1连接的栅极、与QB1节点QB1连接的源极和与高电位电压VEH输入端子连接的漏极。当Q1节点的电压是导通电压时,第五晶体管T5将QB1节点QB1的电压充电至作为截止电压的高电位电压VEH。

[0100] 第十晶体管T10包括与Q1节点Q1连接的栅极、与QB2节点QB2连接的源极和与高电位电压VEH输入端子连接的漏极。当Q1节点Q1的电压是导通电压时,第十晶体管T10将QB2节点QB2的电压充电至作为截止电压的高电位电压VEH。

[0101] 第三电容器C3的两端分别与QB1节点QB1和高电位电压VEH的输入端子连接。第三电容器C3可以将QB1节点QB1的电压维持在稳定的电平处,由此增强下拉晶体管T7的操作可靠性。

[0102] 响应于Q1节点Q1的电压,上拉单元400将作为导通电压的低电位电压VEL施加到输出端子Nout。上拉单元400可以被实现为连接在低电位电压VEL输入端子和输出端Nout之间并且具有与Q1节点Q1连接的栅极的上拉晶体管T6。

[0103] 下拉单元500包括下拉晶体管T7,下拉晶体管T7响应于QB1节点QB1的电压而将作为截止电压的高电位电压VEH施加到输出端子Nout。

[0104] 图8是例示了施加到图7中示出的第n发射驱动器的时钟信号的定时和主要节点的电压变化的示意图。

[0105] 参照图7和图8,当Q1节点Q1的电压是等于或低于低电位电压VEL的导通电压时,上

拉晶体管T6将输出端子Nout充电至低电位电压VEL。导通电压下的发射信号EM(n)被施加到与输出端子Nout连接的第n像素行(HLn)的发射线。由于交替地保持导通电压的第一时钟信号ECLK1和第二时钟信号ECLK2,导致Q1节点Q1节点保持在低电位电压VEL。第一时钟信号ECLK1和第二时钟信号ECLK2是反相的,并且其周期是两个水平时间段(2H)。然而,第一时钟信号ECLK1和第二时钟信号ECLK2可以具有被设计成在为了操作余量而将电压电平反转的区间中略微彼此交叠的脉冲宽度。

[0106] 在第二时钟信号ECLK2和起始信号EVST同步的区间中,第一晶体管T1导通,以将Q1节点Q1充电至低电位电压VEL。

[0107] 在第一时钟信号ECLK1处于低电位电压的区间中,第二晶体管T2将Q2节点Q2充电至低电位电压VEL。响应于由于第一时钟信号ECLK1而导致的Q2节点Q2的电压的变化,Q1节点Q1被自举为自举电压(Vboot)。结果,上拉晶体管T6以作为导通电压的低电位电压VEL对输出端子Nout进行充电,并且输出端子Nout输出作为导通电压电平的发射信号EM(n)。

[0108] 在Q1节点Q1处于导通电压电平的区间中,第五晶体管T5将QB1节点QB1充电至作为截止电压的高电位电压VEH,并且第十晶体管T10将QB2节点QB2充电至作为截止电压的高电位电压VEH。结果,在Q1节点Q1处于导通电压电平的区间中,下拉晶体管T7稳定地保持在截止状态。

[0109] 在第一时刻t1,第四晶体管T4将从第n-1QB节点(QB2(n-1))施加的低电位电压VEL施加到QP节点QP。在第一时刻t1,第二时钟信号ECLK2被反转成导通电压,因此,第一晶体管T1导通并且起始信号EVST被反转成高电位电压VEH。在第一时刻t1,Q1节点Q1增大至截止电压,因此,第二晶体管T2保持截止状态,直到起始信号EVST和第二时钟信号ECLK2同步的第四时刻t4为止。当第二晶体管T2处于截止状态时,Q2节点Q2能够将电压保持在恒定电平,而不受第一时钟信号ECLK1的电压变化的影响。因此,通过第一电容器C1与A2节点(A2)联接的Q1节点Q1的电压能够被稳定地保持为截止电压。

[0110] 在第二时刻t2,第八晶体管T8将第一时钟信号ECLK1的低电位电压施加到QB2节点QB2。在这种情况下,响应于QB2节点QB2的电压变化,QP节点QP被自举成较低的电压电平。响应于低电位电压VEL的第一时钟信号ECLK1,第九晶体管T9将QB2节点QB2的电压施加到QB1节点QB1。

[0111] 响应于QB1节点QB1的电压,下拉晶体管T7将输出端子Nout充电至截止电压。

[0112] 在第二时刻t2,第三晶体管T3响应于QB2节点QB2的电压而将高电位电压VEH施加到Q1节点Q1,由此帮助Q1节点Q1保持截止电压。

[0113] 在第三时刻t3,第一时钟信号ECLK1被反转成高电位电压VEH。由于经由第八晶体管T8施加的第一时钟信号ECLK1的高电位电压VEH,QB节点(QB2)的电压变成高电位电压VEH。在第四时刻t4,起始信号EVST和第二时钟信号ECLK2被再次同步成导通电压,结果,低电位电压VEL被施加到Q1节点Q1。

[0114] 如上所述,根据本说明书的发射驱动器使用第一时钟信号和第二时钟信号(ECLK1,ECLK2)来控制作为上拉晶体管的栅极的Q1节点Q1。第二晶体管T2不是通过直接向Q1节点Q1施加导通电压而是通过向与Q1节点Q1联接的Q2节点Q2施加导通电压来控制Q1节点Q1。另外,第二晶体管T2的栅极与Q1节点Q1连接。因此,在上拉晶体管截止的区间中,第二晶体管T2截止,因此,由于第一时钟信号ECLK1,导致在上拉晶体管的选通电压下没有出现

直接耦合。

[0115] 当用交替施加的第一信号和第二信号对Q节点进行充电时,一般的选通驱动电路将时钟信号直接施加到Q节点。因此,上拉晶体管处于截止状态,因此,即使当没有向Q节点施加导通电压时,Q节点也根据时钟信号的电压变化而自举,因此会输出不期望的选通信号。

[0116] 相反地,根据本说明书的选通驱动电路没有直接向作为上拉晶体管的栅极的Q1节点Q1施加导通电压,而是替代地将导通电压经由Q2节点Q2向Q1节点Q1施加导通电压,由此使连接Q2节点Q2和Q1节点Q1的第二晶体管T2在上拉晶体管处于截止状态时截止。因此,当上拉晶体管处于截止状态时,Q2节点Q2的电压稳定地保持为截止电压,使得防止上拉晶体管发生故障。

[0117] 图9是例示了根据本说明书的第二实施方式的第n发射驱动器的示图。用相似的参考标号来指示与上述实施方式中描述的相似的组件,并且将省略对其的详细描述或者将提供对其的简要描述。

[0118] 参照图9,第n发射驱动器EMD[n]包括Q1节点充电单元100、200和210、节点控制器300、上拉单元400和下拉单元500。

[0119] Q1节点充电单元100、200和210包括第一充电单元100和第二充电单元200以及Q2节点控制器210。

[0120] 第一充电单元100(下文中,被称为第一晶体管)包括接收第二时钟信号ECLK2的栅极、与提供起始信号EVST的起始信号输入端子VP连接的源极和与Q1节点Q1连接的漏极。

[0121] 第二充电单元200包括第二晶体管T2和第一电容器C1。第二晶体管T2包括与Q1节点Q1连接的栅极、与第一时钟信号输入端子CP1连接的源极和与Q2节点Q2连接的漏极。第一电容器C1连接在Q1节点Q1和Q2节点Q2之间。

[0122] 响应于Q1节点Q1的电压,第一电容器C1使Q2节点Q2的电压自举。另选地,响应于Q2节点Q2的电压,第一电容器C1将Q1节点Q1的电压自举。

[0123] 在Q1节点Q1具有截止电压的区间中,Q2节点Q2控制器210向Q2节点Q2施加电位电压。可以采用高电位电压VEH作为电位电压。Q2节点控制器210可以是包括与第二时钟信号输入端子CP2连接的栅极、与Q2节点Q2连接的漏极和与高电位电压VEH的输入端子连接的源极的晶体管。在这种情况下,Q2节点控制器210可以是2a晶体管T2a。

[0124] 图10是示出了用于驱动图9中示出的发射驱动器的时钟信号的定时和主要节点的电压变化的示图。图10中示出的第一时钟信号和第二时钟信号的定时与图8中示出的第一时钟信号和第二时钟信号的定时相同,因此,根据第二实施方式的发射驱动器的驱动定时与第一实施方式的驱动定时相同。

[0125] 参照图9和图10,使用Q2节点控制器210,根据第二实施方式的发射驱动器可以在Q1节点Q1保持高电位电压VEH的区间中将Q2节点Q2的电压保持为高电位电压VEH。

[0126] 第二实施方式的Q2节点控制器210与第一实施方式的Q2节点控制器210的不同之处在于以下特征。

[0127] 在图7中示出的第一实施方式中,Q2节点Q2经由第一电容器C1与Q1节点Q1联接。因此,如图8中所示,在Q1节点Q1的电压增加的区间中,由于耦合现象,导致Q2节点Q2的电压可以增大至比高电位电压VEH高的电压电平。第二晶体管T2中的漏极电压和源极电压之差Vds

对应于Q2节点Q2的电压和第一时钟信号ECLK1的电压之差。如果Q2节点Q2的电压增大至比高电位电压VEH高,则在第一时钟信号ECLK1是低电位电压VEL的区间中,第二晶体管T2的Vds增大。这会造成第二晶体管T2更快地劣化。

[0128] 另外,在Q1节点Q1的电压增大的区间中,第二实施方式的Q2节点控制器210将电位电压(例如,高电位电压VEH)施加到Q2节点Q2。因此,即使Q1节点Q1的电压增大,在Q2节点Q2中也不会发生耦合现象,并且Q2节点Q2可以保持在高电位电压VEH。对于该特征,第二实施方式能够防止第二晶体管T2快速劣化。

[0129] 图11是例示了根据比较例的第n发射驱动器的配置的框图,图12是例示了图11中示出的第n发射驱动器的电路配置的示图,图13和图14是示出了用于说明与图12中示出的反相器相关的操作特性的电路配置和驱动波形的示图。

[0130] 如图11中所示,根据比较例的第n发射驱动器可以包括Q1节点控制器133、自举反相器135、QB1节点控制器137、第一输出缓冲器T6、第二输出缓冲器T7等。下面将简要描述根据比较例的第n发射驱动器的主要组件。

[0131] Q节点控制器133基于经由起始信号输入端子传送的起始信号EVST来控制Q节点Q。自举反相器135基于Q节点Q的电位来控制QB2节点QB2。QB1节点控制器137基于QB2节点QB2的电位来控制QB1节点QB1。第一输出缓冲器T6基于Q节点Q的电位而导通,并且通过发射驱动器的输出端子Nout输出逻辑低发射信号。第二输出缓冲器T7基于QB1节点QB1的电位而导通,并且通过发射驱动器的输出端子Nout输出逻辑高发射信号。

[0132] 如图11和图12中例示的,根据比较例的第n发射驱动器包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第一电容器CQ、第二电容器CQP和第三电容器CQB。

[0133] 自举反相器135包括第四晶体管T4、第八晶体管T8、第十晶体管T10和第二电容器CQP。自举反相器135将基于第四晶体管T4、第八晶体管T8、第十晶体管T10和第二电容器CQP输入的信号或电位反转,并且输出反转后的信号或电位。除了自举反相器135中包括的器件之外的其它器件对应于与Q节点控制器133、QB1节点控制器137、第一输出缓冲器T6和第二输出缓冲器T7相关的器件。

[0134] 下文中,参照图13和图14,将进一步描述图12中示出的自举反相器135中包括的第四晶体管T4、第八晶体管T8、第十晶体管T10和第二电容器CQP。

[0135] 第四晶体管T4包括与第二时钟信号输入端子连接的栅极、与低电位电压输入端子连接的第一电极和与QP节点QP连接的第二电极。第四晶体管T4响应于经由第二时钟信号输入端子传送的第二时钟信号ECLK2而导通。当第四晶体管T4导通时,通过低电位电压输入端子传送的低电位电压VEL被施加到QP节点QP。

[0136] 第十晶体管T10包括与Q节点Q连接的栅极、与第二时钟信号输入端子连接的第一电极和与QP节点QP连接的第二电极。第十晶体管T10响应于Q节点Q的逻辑低的电位q而导通。当第十晶体管T10导通时,通过第二时钟信号输入端子传送的第二时钟信号ECLK2被施加到QP节点QP。

[0137] 第八晶体管T8包括与QP节点QP连接的栅极、与第一时钟信号输入端子连接的第一电极和与QB2节点QB2连接的第二电极。第八晶体管T8响应于QP节点QP的电位Qp而导通。当

第八晶体管T8导通时,通过第一时钟信号输入端子传送的第一时钟信号ECLK1被施加到QB2节点QB2。

[0138] 第二电容器CQP包括与QP节点QP连接的一端和与QB2节点QB2连接的另一端。第二电容器CQP用作自举电容器,其使两个侧端子中的一个具有不同的电位。

[0139] 比较例的自举反相器接收Q节点Q的电位 q 。为此原因,当Q节点Q的电位 q 为逻辑低和逻辑高时,自举反相器表现出如下不同的操作和输出特性。

[0140] 在Q节点Q中形成逻辑低电位的区间中,第十晶体管T10保持在导通状态。在该区间中,第四晶体管T4因在逻辑低和逻辑高之间变化的第二时钟信号ECLK2反复地导通和截止。

[0141] 因为第四晶体管T4在第十晶体管T10导通时反复地导通和截止,所以与第二时钟信号ECLK2相同,QP节点QP的电位在逻辑高和逻辑低之间变化。另一方面,由于第八晶体管T8的导通/截止,因此QB2节点QB2中始终保持逻辑高电位。

[0142] 在Q节点Q中形成逻辑高电位的区间中,第十晶体管T10保持截止。在该区间中,第四晶体管T4因在逻辑高和逻辑低之间变化的第二时钟信号ECLK2反复地导通和截止。

[0143] 因为第四晶体管T4在第十晶体管T10截止时反复地导通和截止,所以QP节点QP保持在低电位电压VEL,但是由于第二电容器CQP的自举效应,电压会变成比低电位电压低。当第八晶体管T8保持导通时,QB2节点QB2的电位变成与第一时钟信号ECLK1相同的逻辑高电平或逻辑低电平。在这种情况下,QB2节点QB2的电压不被第二电容器CQP自举为低电位电压,因此,QP节点QP的电压会变得更低。因此,第一时钟信号ECLK1可以经由第八晶体管T8传送到QB2节点QB2。

[0144] 如此,如同反相器电路,比较例将Q节点Q的电位 q 反转,从而形成将施加到QB2节点QB2的电位。另外,QB2节点QB2的电位 q_{b2} 经由导通的第九晶体管T9被传送到QB1节点QB1。另外,实现使得基于QB1节点QB1中形成的电位实现第二输出缓冲器T7的逻辑高输出的电路。

[0145] 图15是例示了根据第三实施方式的第 n 发射驱动器的配置的框图。图16是例示了图15中示出的输出缓冲器的电路配置的示图。图17是例示了根据第三实施方式的第 n 发射驱动器的详细电路配置的示图。图18是例示了图17中示出的第 n 发射驱动器的波形图。图19和图20是例示了用于说明与图17中示出的QB2节点控制器相关的操作特性的电路配置和驱动波形的示图。图21是例示了根据第三实施方式的QB1节点和QB2节点所测得的电压波形的示图。

[0146] 如图15中例示的,根据本说明书的第三实施方式的第 n 发射驱动器包括Q节点控制器133、QB2节点控制器134、QB1节点控制器137、第一输出缓冲器T6以及第二输出缓冲器T7a和T7b。将简要描述根据本说明书的第三实施方式的第 n 发射驱动器的主要组件。

[0147] Q节点控制器133基于通过起始信号输入端子传送的起始信号EVST来控制Q节点Q。QB2节点控制器134基于第 $n-1$ QB2节点(QB $[n-1]$)的电位来控制QB2节点QB2。QB1节点控制器137基于QB2节点QB2的电位来控制QB1节点QB1。第 $n-1$ QB2节点QB2 $[n-1]$ 是处于第 n 发射驱动器的前一级中的第 $n-1$ 发射驱动器的QB2节点。

[0148] 第一输出缓冲器T6基于Q节点Q的电位而导通,并且通过第 n 发射驱动器的输出端子Nout输出逻辑低发射信号(第一发射信号)。第二输出缓冲器T7a和T7b基于不同节点的电位而导通,并且通过第 n 发射驱动器的输出端子Nout输出逻辑高发射信号(第二发射信号)。

[0149] 第二输出缓冲器T7a和T7b包括成对的两个晶体管T7a和T7b。该成对的两个晶体管

T7a和T7b具有并联连接的结构,在该结构中,这两个晶体管的栅极连接至不同的节点,而这两个晶体管的第一电极只彼此连接并且其第二电极只彼此连接。该成对的两个晶体管T7a和T7b响应于不同节点的电位而导通,但是输出相同的信号,因此,该成对的两个晶体管T7a和T7b可以被限定为双缓冲器。

[0150] 如图16中例示的,第二输出缓冲器T7a和T7b包括与不同节点连接的成对的2-a输出缓冲器T7a和2-2输出缓冲器T7b。2-1输出缓冲器T7a响应于QB1节点QB1的电位而操作。2-2输出缓冲器T7b响应于QB2节点QB2的电位而操作。随后,将描述将成对的2-1输出缓冲器T7a和2-2输出缓冲器T7b与不同的节点连接的效果。

[0151] 如图17和图18中例示的,根据第三实施方式的第n发射驱动器包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、7-1晶体管T7a、7-2晶体管T7b、第八晶体管T8、第九晶体管T9、第十晶体管T10、第一电容器CQ、第二电容器CQP和第三电容器CQB。

[0152] 第一晶体管T1包括与第二时钟信号输入端子连接的栅极、与起始信号输入端子连接的第一电极和与Q节点Q连接的第二电极。第一晶体管T1基于通过第二时钟信号输入端子传送的第二时钟信号ECLK2而导通。当第一晶体管T1导通时,起始信号EVST被施加到Q节点Q。在这种情况下,通过起始信号EVST对Q节点Q进行充电。

[0153] 第二晶体管T2包括与Q节点Q连接的栅极、与第一时钟信号输入端子连接的第一电极和与第一电容器CQ的一端连接的第二电极。第二晶体管T2基于Q节点Q的电位q而导通。当第二晶体管T2导通时,向第一电容器CQ的一端施加第一时钟信号ECLK1。在这种情况下,第一电容器CQ被充入用于将Q节点Q保持在特定状态的电压。

[0154] 第三晶体管T3包括与QB2节点QB2连接的栅极、与Q节点Q连接的第一电极和与高电位电压输入端子连接的第二电极。第三晶体管T3响应于QB2节点QB2的电位Qb2而导通。当第三晶体管T3导通时,高电位电压VEH被施加到Q节点Q。在这种情况下,通过高电位电压VEH对Q节点Q进行放电。

[0155] 第四晶体管T4包括与第二时钟信号输入端子连接的栅极、与第n-1QB2节点QB2[n-1]连接的第一电极和与QP节点QP连接的第二电极。第四晶体管T4基于通过第二时钟信号输入端子传送的第二时钟信号ECLK2而导通。当第四晶体管T4导通时,第n-1QB2节点QB2[n-1]的电位Qb2[n-1]被施加到QP节点QP。第n-1QB2节点QB2[n-1]是处于第n发射驱动器的前一级中的第n-1发射驱动器的QB2节点。

[0156] 第五晶体管T5包括与Q节点Q连接的栅极、与QB2节点QB2连接的第一电极和与高电位电压VEH输入端子连接的第二电极。第五晶体管T5基于Q节点Q的电位q而导通。当第五晶体管T5导通时,向QB2节点QB2施加高电位电压。在这种情况下,通过高电位电压对QB2节点QB2进行放电。

[0157] 第六晶体管T6包括与Q节点Q连接的栅极、与低电位电压输入端子连接的第一电极和与第n发射驱动器的输出端子Nout连接的第二电极。第六晶体管T6基于Q节点Q的电位q而导通。当第六晶体管T6导通时,向第n发射驱动器的输出端子Nout施加低电位电压VEL。在这种情况下,第n发射驱动器通过其自身的输出端子Nout输出逻辑低发射信号。

[0158] 7-1晶体管T7a包括与QB1节点QB1连接的栅极、与第n发射驱动器的输出端子Nout连接的第一电极和与高电位电压输入端子连接的第二电极。7-1晶体管T7a基于QB1节点QB1

的电位而导通。当7-1晶体管T7a导通时,高电位电压被施加到第n发射驱动器的输出端子Nout。在这种情况下,第n发射驱动器通过输出端子Nout输出逻辑高发射信号。

[0159] 7-2晶体管T7b包括与QB2节点QB2连接的栅极、与第n发射驱动器的输出端子Nout连接的第一电极和与高电位电压输入端子连接的第二电极。7-2晶体管T7b基于第n发射驱动器的电位而导通。当7-2晶体管T7b导通时,高电位电压被施加到第n发射驱动器的输出端子Nout。在这种情况下,第n发射驱动器通过其自身的输出端子Nout输出逻辑高发射信号。

[0160] 第八晶体管T8包括与QP节点QP连接的栅极、与第一时钟信号输入端子连接的第一电极和与QB2节点QB2连接的第二电极。第八晶体管T8基于通过第四晶体管T4传送的第n-1QB2节点QB2[n-1]的电位 $Q_{b2}[n-1]$ 而导通。当第八晶体管T8导通时,第一时钟信号ECLK1被施加到QB2节点QB2。

[0161] 第九晶体管T9包括与第一时钟信号输入端子连接的栅极、与QB2节点QB2连接的第一电极和与QB1节点QB1连接的第二电极。第九晶体管T9基于通过第一时钟信号输入端子传送的第一时钟信号ECLK1而导通。当第九晶体管T9导通时,QB2节点QB2和QB1节点QB1变成能够有电流流动的状态。在这种情况下,QB1节点QB1受到QB2节点QB2中形成的电位 Q_{b2} 的影响。

[0162] 第十晶体管T10包括与Q节点Q连接的栅极、与QB1节点QB1连接的第一电极和与高电位电压VEH输入端子连接的第二电极。第十晶体管T10基于Q节点Q的电位而导通。当第十晶体管T10导通时,向QB1节点QB1施加高电位电压。在这种情况下,通过高电位电压VEH使QB1节点QB1放电。

[0163] 第一电容器CQ包括与第二晶体管T2的第二电极连接的一端和与Q节点Q和第三晶体管T3的第一电极连接的另一端。在输出逻辑低发射信号之后,第一电容器CQ将Q节点Q的电位保持在逻辑高电平。

[0164] 第二电容器CQP包括与QP节点QP连接的一端和与QB2节点QB2连接的另一端。第二电容器CQP基于第n-1QB2节点(QB[n-1])的电位 $Q_{b2}[n-1]$ 将第一时钟信号ECLK1的逻辑低电位保持在低电平。

[0165] 第三电容器CQB包括与QB1节点QB1连接的一端和与高电位电压输入端子连接的另一端。在输出逻辑高发射信号之后,第三电容器CQB将QB1节点QB1的电位保持在逻辑高电平。

[0166] Q节点控制器(Q Control)包括第一晶体管T1、第二晶体管T2、第三晶体管T3和第一电容器CQ。QB1节点控制器QB1Control包括第五晶体管T5、第十晶体管T10和第三电容器CQB。QB2节点控制器QB2Control包括第四晶体管T4、第八晶体管T8和第二电容器CQP。第一输出缓冲器T6包括第六晶体管T6。第二输出缓冲器T7a和T7b包括7-1晶体管T7a和7-2晶体管T7b。

[0167] 下文中,参照图19至图21,将进一步描述图17中的QB2节点控制器134中包括的第四晶体管T4、第八晶体管T8和第二电容器CQP。

[0168] 在第三实施方式中,QB2节点控制器134接收第n-1QB2节点QB2[n-1]的电位 $Q_{b2}[n-1]$ 的输入。为此原因,当第n-1QB2节点QB2[n-1]的电位 $Q_{b2}[n-1]$ 处于逻辑高电平和逻辑低电平时,QB2节点控制器134表现出不同的操作和输出特性,并且下面将对这些进行描述。

[0169] 在第n-1QB2节点QB2[n-1]中形成逻辑高电位 $Q_{b2}[n-1]$ 的区间中,通过在逻辑高和

逻辑低之间改变的第二时钟信号ECLK2,第四晶体管T4反复地导通和截止。

[0170] 当第四晶体管T4导通时,第n-1QB2节点QB2[n-1]的逻辑高电位Qb2[n-1]被施加到QP节点QP。在该区间中,第八晶体管T8因第n-1QB2节点QB2[n-1]的逻辑高电位Qb2[n-1]而截止。在这种情况下,与第八晶体管T8一起接入QB2节点QB2的第五晶体管T5因Q节点Q的逻辑低电位q而导通,因此,第五晶体管T5保持在逻辑高电平。

[0171] 在第n-1QB2节点QB2[n-1]中形成逻辑低电位Qb2[n-1]的区间中,第八晶体管T8因第n-1QB2节点QB2[n-1]的逻辑低电位Qb2[n-1]而导通。随着第八晶体管T8导通,第一时钟信号ECLK1被施加到QB2节点QB2,并且与第一时钟信号ECLK1同步的QB2节点QB2将QB节点QB的电位变成比先前形成的逻辑低电平低。在这种情况下,与第八晶体管T8一起接入QB2节点QB2的第五晶体管T5因Q节点Q的逻辑高电位q而截止,因此,第五晶体管T5保持在逻辑低电平。当执行这些操作时,QB2节点QB2经历第二电容器CQP的低电位电压自举效应,因此,第二时钟信号ECLK2的逻辑低电位被更加稳定地保持。

[0172] 如此,以上实施方式包括如同移位寄存器一样移动第n-1QB2节点QB2[n-1]的电位Qb2[n-1]并且向QB2节点QB2施加电位Qb2[n-1]的QB2节点控制器134。另外,以上实施方式使得能够基于QB1节点QB1的电位Qb1通过2-1输出缓冲器T7a输出逻辑高输出,并且使得能够基于QB2节点QB2的电位Qb2通过2-2输出缓冲器T7a输出逻辑高输出。

[0173] 如图21中所示,QB1节点QB1的电位Qb1通过导通的第九晶体管T9从QB2节点QB2传送,因此,第九晶体管T9的电位下降。然而,因为QB2节点QB2的电位Qb2存在于QB2节点QB2中,而不穿过导通的第九晶体管T9,所以不存在与QB1节点QB1的电位Qb1一样大的电位下降。因此,2-2输出缓冲器T7b基于与2-1输出缓冲器T7a相比未下降的电位进行操作。因此,在以上实施方式中,即使2-1输出缓冲器T7a的输出特性劣化,也可以通过2-2输出缓冲器T7b的输出来补偿劣化。

[0174] 第三实施方式包括基于至少两个7-1晶体管T7a和7-2晶体管T7b的第二输出缓冲器T7a和T7b。根据比较例的第二输出缓冲器T7可以包括用于稳定地输出并保持逻辑高信号的尺寸(宽度和长度或WL值)稍大的第二输出缓冲器T7。然而,根据第三实施方式的第二输出缓冲器T7a和T7b包括并联连接的两个晶体管,并且其尺寸(宽度和长度或WL值)可以比第二输出缓冲器T7小。

[0175] 与比较例相比,第三实施方式能够减小7-1晶体管T7a和7-2晶体管T7b的尺寸(宽度和长度或WL值)。在这种情况下,第二输出缓冲器T7a和T7b的尺寸减小可以有利于实现显示面板的窄边框。另外,能够排除由于第二输出缓冲器T7a和T7b的阈值电压的移位而引起的驱动余量减小的可能性,因此,即使在第二输出缓冲器T7a和T7b中的任一个晶体管中出现阈值电压移位V_{th} Shift,也能够抵消和补偿其它晶体管的阈值电压移位。

[0176] 此外,在如比较例中一样地基于反相器电路的发射驱动器中,第四晶体管T4响应于第二时钟信号而反复地导通和截止,从而由于恒定的电压移位,导致在受第四晶体管T4影响的第二电容器CQP中发生充电和放电。然而,在如本公开的实施方式一样地在基于移位寄存器的发射驱动器中,第二电容器CQP被设置成不受第二时钟信号的影响,因此几乎没有由于电压移位而出现充电和放电。因此,由于本实施方式的第二电容器CQP的充电和放电受时钟信号输入端子的负载的影响不大,因此能够解决时钟信号输入端子的负载所引起的信号延迟。

[0177] 因此,本说明书能够提高晶体管的驱动能力并且保持晶体管的输出特性,并且能够提供有利于实现窄边框的内置选通驱动电路。另外,即使用作输出缓冲器的晶体管的阈值电压移位,本说明书也能够补偿阈值电压并因此保持适当的输出,由此提高驱动可靠性。

[0178] 图22是例示了根据本说明书的第四实施方式的第n发射驱动器的框图。将通过以第n发射驱动器EMD[n]为例来描述图22。

[0179] 参照图22,第n发射驱动器EMD[n]包括上拉单元400、下拉单元500、Q节点控制器133、Q节点稳定器144、QB节点稳定器155和反相器135。其中,可以省略Q节点稳定器144和QB节点稳定器155。

[0180] 上拉单元400响应于Q节点Q的电压而输出第n发射信号EM(n),并且下拉单元500响应于Q节点Q或QB节点QB中的至少一个的电压而控制第n发射信号EM(n)成为截止电压。

[0181] Q节点控制器133是用于使Q节点Q充电或放电的组件,并且Q节点控制器133通过使用第n-1发射信号EM(n-1)作为起始信号将导通电压施加到Q节点Q,第n-1发射信号EM(n-1)是第n-1发射驱动器EMD[n-1]的输出信号。

[0182] 反相器135接收来自Q节点控制器133的信号,例如,施加到Q节点Q的信号,将接收到的信号反相并且将反相后的信号输出到QB节点QB。当Q节点控制器133向Q节点Q输出导通电压时,反相器135向QB节点QB输出截止电压。另外,当Q节点控制器133向Q节点Q输出截止电压时,反相器135向QB节点QB输出导通电压。反相器135包括:QB'节点,该QB'节点由Q节点Q的电压控制;以及QB'节点,该QB'节点由Q节点Q的电压控制,以向QB节点QB输出电压。反相器135包括:晶体管,该晶体管具有与Q'节点连接的栅极、与QB'节点连接的漏极和被施加发射信号的源极;以及电容器,该电容器具有与晶体管的栅极和漏极连接的一个电极。当Q'节点具有导通电压时,通过晶体管将发射时钟信号的发射低电压施加到QB'节点。施加到Q'节点的电压由Q节点控制,以在逻辑高电压和逻辑低电压之间不断摆动,而施加到QB'节点的电压保持为逻辑高电压。因此,与发射驱动器的逆变器中包括的Q'节点和QB'节点连接的电容器可以恒定地执行充电和放电。因此,在发射驱动器需要稳定输出选通高电压的区间中,电压发生抖动。另外,由于显示面板10的分辨率增加,发射时钟信号的负载会增加,并且由于电容器的恒定充电和放电,导致发射时钟信号会失真。另外,当发射时钟信号线形成在显示面板中时,如果显示面板具有高分辨率,则发射时钟信号的负载会大大改变。下面,将描述用于解决该问题的本说明书的另一个实施方式。

[0183] 当第n发射信号EM(n)输出截止电压时,Q节点稳定器144将高电位电压VEH施加到Q节点Q,由此稳定地保持截止电压。

[0184] 当第n发射信号EM(n)输出导通电压时,QB节点稳定器155将高电位电压VEH施加到QB节点QB,由此稳定地保持截止电压。在这种情况下,高电位电压VEH可以是逻辑高电压VH。

[0185] 图23是例示了根据本说明书的第五实施方式的第n发射驱动器的框图。将通过以构成第n发射驱动器的第n发射驱动器EMD[n]为例来描述图23。

[0186] 参照图23,第n发射驱动器EMD[n]包括上拉单元400、下拉单元500、Q节点控制器133、Q节点稳定器144、QB节点稳定器155和QB节点调节器17。其中,可以省略Q节点稳定器144和QB节点稳定器155。

[0187] 上拉单元400响应于Q节点Q的电压而输出第n发射信号EM(n),并且下拉单元500响应于Q节点Q或QB节点QB中的至少一个的电压而控制第n发射信号EM(n)成为截止电压。例

如,上拉单元400可以包括单个晶体管或者可以包括晶体管和电容器。下拉单元500可以包括单个晶体管,可以包括晶体管和电容器,或者可以包括多个晶体管和电容器。在这种情况下,包括在上拉单元400中的晶体管的栅极与Q节点Q连接,并且包括在下拉单元500中的晶体管的栅极与QB节点QB连接。

[0188] Q节点控制器133是用于使Q节点Q充电或放电的组件。Q节点控制器133使用作为第n-1发射驱动器EMD[n-1]的输出信号的第n-1发射信号EM(n-1)将导通电压施加到Q节点Q。

[0189] QB节点调节器17接收施加到第n-1发射驱动器EMD[n-1]的QB'节点QB'(n-1)的信号,将该信号移位达与发射时钟信号的周期一样多的时间,并且将该信号输出到QB'节点。QB节点调节器17可以包括移位寄存器。当第n-1发射驱动器的QB'节点QB'(n-1)保持截止电压时,QB节点调节器17将QB'节点和QB节点(QB)放电至截止电压。当第n-1发射驱动器的QB'节点QB'(n-1)在截止电压与导通电压之间周期性地改变时,QB节点调节器17将第n-1发射驱动器EMD[n-1]的QB'节点QB'(n-1)的电压施加到QB'节点。在这种情况下,QB'节点是包括在QB节点调节器17中的节点,并且QB'节点和QB节点QB经由晶体管彼此连接。类似地,第n-1发射驱动器EMD[n-1]的QB'节点QB'(n-1)是包括在构成前一级的QB节点调节器17中的节点。因为配置了QB节点调节器17,所以能够解决因发射时钟信号的负载增大而触发的问题,并且能够减少因电容器的恒定充电和放电而引起的发射时钟信号失真的发生。

[0190] 当第n发射信号EM(n)输出截止电压时,Q节点稳定器144将高电位电压VEH施加到Q节点,由此稳定地保持截止电压。

[0191] 当第n发射信号EM(n)输出导通电压时,QB节点稳定器155将高电位电压VEH施加到QB节点QB,由此稳定地保持截止电压。在这种情况下,高电位电压VEH可以是逻辑高电压VH。

[0192] 根据本说明书的第五实施方式,QB节点没有被反相成用于控制包括在发射驱动器中的QB节点的结构。替代地,QB节点调节器被另外设置成控制QB节点,并且向QB节点施加电压。因此,能够减小发射时钟信号负载增加的影响。另外,因为没有配置反相器,所以能够解决电压在发射驱动器需要稳定地输出选通高电压的区间中抖动的问题。

[0193] 图24是示出了图22和图23中示出的发射驱动器的输出波形的曲线图。

[0194] 参照图24,从图22的发射驱动器输出的发射信号不仅在发射信号从逻辑低电压转变成逻辑高电压的瞬态区间中极大地失真,而且在发射信号保持为逻辑高电压的正常区间中极大地失真。然而,与从图22的发射驱动器输出的发射信号相比,从根据本说明书的另一个实施方式的图23的发射驱动器输出的发射信号的失真较小。例如,从图22和图23的发射驱动器输出的发射信号EM是-9V的导通电压和+7.5V的截止电压,但是从图22的发射驱动器输出的发射信号在瞬态区间中增加至-10V的导通电压并且下降至+5V的截止电压。因此,发现图23的发射驱动器在输出恒定截止电压方面是有效的。

[0195] 图25是根据本说明书的第一实施方式的QB节点调节器的电路图。将通过以包括在第n发射驱动器EMD[n]中的QB节点调节器为例来描述图25。

[0196] QB节点调节器17-1包括Q'(n)节点控制器、QB'(n)节点控制器、QB(n)节点控制器、QB(n)保持器、QB'(n)保持器和电容器CQ。在它们当中,Q'(n)节点控制器、QB'(n)节点控制器和QB(n)节点控制器可以被组合称为QB(n)节点充电单元。

[0197] Q'(n)节点控制器17-1被配置为第一晶体管T1。第一晶体管T1包括与输入了第二时钟信号ECLK2的第二时钟信号线连接的栅极、与第n-1QB'节点QB'(n-1)连接的源极以及

与第n Q' 节点Q' (n)连接的漏极。在第二时钟信号ECLK2和第n-1QB' 节点QB' (n-1)具有导通电压的区间中,第一晶体管T1将第n Q' 节点Q' (n)充电至作为导通电压的低电位电压VEL。

[0198] QB' (n) 节点控制器被配置为第二晶体管T2。第二晶体管T2包括与第n Q' 节点Q' (n)连接的栅极、与输入了第一时钟信号ECLK1的第一时钟信号线连接的源极和与第nQB' 节点QB' (n)连接的漏极。当第n Q' 节点Q' (n)具有导通电压时,第二晶体管T2将第一时钟信号ECLK1施加到第n QB' 节点QB' (n)。

[0199] 电容器CQ' 的两个电极分别与第n Q' 节点Q' (n)和第n QB' 节点QB' (n)连接。电容器CQ' 根据第n QB' 节点QB' (n)的电压变化来使第n Q' 节点Q' (n)自举。

[0200] QB(n) 节点控制器被配置为第三晶体管T3。第三晶体管T3包括与输入了第一时钟信号ECLK1的第一时钟信号线连接的栅极、与第n QB' 节点QB' (n)连接的源极以及与第n QB 节点QB(n)连接的漏极。第三晶体管T3根据第一时钟信号ECLK1来控制第nQB' 节点QB' (n)和第n QB节点QB(n)的短路。

[0201] QB(n) 节点保持单元被配置为第五晶体管T5。第五晶体管T5包括与第n Q节点Q(n)连接的栅极、与第n QB节点QB(n)连接的源极以及与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n)具有导通电压时,第五晶体管T5将第n QB节点QB(n)放电至高电位电压VEH。

[0202] QB' (n) 节点保持单元被配置为第四晶体管T4。第四晶体管包括与第n Q节点Q(n)连接的栅极、与第n QB节点QB' (n)连接的源极以及与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n)具有导通电压时,第四晶体管T4将第n QB节点QB' (n)放电至高电位电压VEH。

[0203] 因为根据本说明书的第一实施方式的QB节点调节器17-1以自举方式实现输入了前一级QB' 节点的信号的移位电路,所以能够减小发射时钟信号的负载增加的影响并且稳定地执行QB节点的输出。随后,将描述根据本说明书的第一实施方式的QB节点调节器17-1的驱动方法。

[0204] 图29是根据本说明书的第一实施方式的QB节点调节器的驱动波形图。另外,图29是图25的驱动波形图。

[0205] 参照图25和图29,在其中作为前一级EMD[n-1]中的QB' 节点的第n-1QB' 节点QB' (n-1)的信号保持在逻辑高电压VH的第一时间段P1中,第一晶体管T1因第二时钟信号ECLK2而周期性地导通并且将逻辑高电压VH施加到第n Q' 节点Q' (n)。因此,在第一时间段P1期间,第一晶体管T1使第二晶体管T2截止。另外,在第一时间段P1中,Q节点控制器133根据第二时钟信号ECLK2和第一时钟信号ECLK1所交替地施加的导通电压将导通电压施加到第n Q节点Q(n),因此,上拉单元400导通。由于在第一时间段P1中下拉单元500截止,因此第n QB节点QB(n)保持逻辑高电压VH。由于在第一时间段P1中将逻辑低电压VL施加到第n Q节点Q(n),所以第四晶体管T4和第五晶体管T5导通,并且通过高电位电压VEH使第n QB' 节点QB' (n)和第n QB节点QB(n)放电。第二晶体管T2在第一时间段P1的大部分时间内保持截止,因此,通过将高电位电压VEH经由导通的第四晶体管T4和第五晶体管T5施加到第n QB' 节点QB' (n)和第n QB节点QB(n),能够防止第n QB' 节点QB' (n)和第n QB节点QB(n)长时间浮置,由此使发射驱动器稳定。

[0206] 在其中作为前一级EMD[n-1]中的QB' 节点的第n-1QB' 节点QB' (n-1)的信号周期性

地改变的第二时间段P2期间的2-1时间段P2-1中,第一晶体管T1因与第 $n-1$ QB'节点QB'(n-1)同步的第二时钟信号ECLK2而导通并且将第 n Q'节点Q'(n)预充电。

[0207] 在2-2时间段P2-2中,如果第二晶体管T2因预充入逻辑低电压VL的第 n Q'节点Q'(n)导通,则第一时钟信号ECLK1被传送到第 n QB'节点QB'(n)。在这种情况下,由于第一时钟信号ECLK1是逻辑低电压VL并且第二时钟信号ECLK2是逻辑高电压VH,因此第一晶体管T1截止。由于电容器CQ'的自举效应,第 n QB'节点QB'(n)的电压变化使第 n Q'节点Q'(n)的电压降低至比逻辑低电压VL低的电压。另外,由于第三晶体管T3因作为逻辑低电压VL的第一时钟信号ECLK而导通,因此第 n QB节点QB(n)具有逻辑低电压VL。在这种情况下,由于自举效应,比逻辑低电压VL低的电压被施加到第二晶体管T2的栅极,因此,第二晶体管T2能够稳定地将第一时钟信号ECLK1施加到第 n QB'节点QB'(n)。

[0208] 在2-3时间段P2-3中,第二时钟信号ECLK2再次变成逻辑低电压VL,并且第 $n-1$ QB'节点QB'(n-1)的逻辑低电压VL经由因第二时钟信号ECLK2而导通的第一晶体管T1被施加到第 n Q'节点Q'(n)。第一时钟信号ECLK1的逻辑高电压VH经由通过第 n Q'节点Q'(n)导通的第二晶体管T2被施加到第 n QB'节点QB'(n)。在这种情况下,第三晶体管T3因第一时钟信号ECLK1而截止,因此,第 n QB节点QB(n)保持在2-2时间段P2-2中施加的电压。在2-3时间段P2-3中,第 n QB节点QB(n)的电压是逻辑低电压VL。

[0209] 在2-4时间段P2-4中,第二时钟信号ECLK2具有逻辑高电压VH并且第一时钟信号ECLK1具有逻辑低电压VL,因此,第一晶体管T1截止并且第 n Q'节点Q'(n)保持逻辑低电压VL并且第二晶体管T2导通。因为第一时钟信号ECLK1经由导通的第二晶体管T2被施加到第 n QB'节点QB'(n),所以由于电容器CQ'的自举效应,导致第 n Q'节点Q'(n)具有比逻辑低电压VL低的电压。因此,第二晶体管T2能够稳定地导通并将完整的逻辑低电压施加到第 n QB'节点QB'(n)。

[0210] 由于在第二时间段P2中第 n Q节点Q(n)保持逻辑高电压VH,因此第四晶体管T4和第五晶体管T5保持截止。

[0211] 因此,根据本说明书的第一实施方式的QB节点调节器17-1接收来自第 $n-1$ QB'节点QB'(n-1)的信号,将该信号移位达发射控制信号的周期一样多,并且将该信号输出到第 n QB'节点QB'(n)。另外,因为通过连接在第 n QB'节点QB'(n)和第 n QB节点QB(n)之间的第三晶体管T3将逻辑低电压VL施加到第 n QB节点QB(n),所以下拉单元500可以导通并且可以输出栅极截止电压的第 n 发射信号EM(n)。因此,根据本说明书的第一实施方式,能够提高包括QB节点调节器的发射驱动器的驱动可靠性。

[0212] 图26是根据本说明书的第二实施方式的QB节点调节器的电路图。图26是根据本说明书的第一实施方式的在QB节点调节器17-1中添加第六晶体管T6的电路图,因此,在图26中,相同的组件具有相同的效果并且冗余描述将被省略或简要提供。

[0213] QB节点调节器17-2包括Q'(n)节点控制器、QB'(n)节点控制器、QB(n)节点控制器、QB(n)保持器、QB'(n)保持器、Q'(n)保持器和电容器CQ'。在它们当中,Q'(n)节点控制器、QB'(n)节点控制器和QB(n)节点控制器可以被组合称为QB(n)节点充电单元。

[0214] Q'(n)节点控制器被配置为第一晶体管T1。第一晶体管T1包括与第 $n-1$ QB'节点QB'(n-1)连接的栅极、与输入了低电位电压VEL的发射低电压线连接的源极和与第 n Q'节点Q'(n)连接的漏极。在第 $n-1$ QB'节点QB'(n-1)的电压和低电位电压VEL是导通电压的区间中,

第一晶体管T1将第n Q' 节点Q' (n) 充电至低电位电压VEL。

[0215] QB' (n) 节点控制器被配置为第二晶体管T2。第二晶体管T2包括与第n Q' 节点Q' (n) 连接的栅极、与输入了第一时钟信号ECLK1的第一时钟信号线连接的源极和与第nQB' 节点QB' (n) 连接的漏极。当第n Q' 节点Q' (n) 的电压是导通电压时,第二晶体管T2将第一时钟信号ECLK1施加到第n QB' 节点QB' (n)。

[0216] 电容器CQ' 的两个电极分别与第n Q' 节点Q' (n) 和第n QB' 节点QB' (n) 连接。电容器CQ' 根据第n QB' 节点QB' (n) 的电压变化来使第n Q' 节点Q' (n) 自举。

[0217] QB(n) 节点控制器被配置为第三晶体管T3。第三晶体管T3包括与输入了第一时钟信号ECLK1的第一时钟信号线连接的栅极、与第n QB' 节点QB' (n) 连接的源极以及与第n QB 节点QB(n) 连接的漏极。

[0218] QB(n) 节点保持单元被配置为第五晶体管T5。第五晶体管T5包括与第n Q节点Q(n) 连接的栅极、与第n QB节点QB(n) 连接的源极和与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n) 的电压是导通电压时,第五晶体管T5将第n QB节点QB(n) 放电至高电位电压VEH。

[0219] QB' (n) 节点保持单元被配置为第四晶体管T4。第四晶体管T4包括与第n Q节点Q(n) 连接的栅极、与第n QB' 节点QB' (n) 连接的源极和与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n) 的电压是导通电压时,第四晶体管T4将第nQB' 节点QB' (n) 放电至高电位电压VEH。

[0220] Q' (n) 节点保持单元被配置为第六晶体管T6。第六晶体管T6包括与第n Q节点Q(n) 连接的栅极、与第n Q' 节点Q' (n) 连接的源极和与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n) 的电压是导通电压时,第六晶体管T6连同第四晶体管T4和第五晶体管T5一起将第n Q' 节点Q' (n) 放电至高电位电压VEH。

[0221] 通过将高电位电压VEH通过第六晶体管T6施加到第n Q' 节点Q' (n),根据本说明书的第二实施方式的QB节点调节器17-2能够防止第二晶体管出于第n Q' 节点Q' (n) 由于第一晶体管T1长时间保持截止而降至逻辑低电压的原因截止。

[0222] 作为根据本说明书的第二实施方式的QB节点调节器17-2的驱动波形图,可以应用根据本说明书的实施方式的QB节点调节器的如图29中一样的驱动波形图。

[0223] 图27是根据本说明书的第三实施方式的QB节点调节器的电路图。图27是根据本说明书的第一实施方式的QB节点调节器17-1中的第三晶体管T3的连接结构改变的电路图。因此,在图27中,相同的组件具有相同的效果,并且冗余描述将被省略或简要提供。

[0224] QB节点调节器17-3包括Q' (n) 节点控制器、QB' (n) 节点控制器、QB(n) 节点控制器、QB(n) 保持器、QB' (n) 保持器和电容器CQ'。在它们当中,Q' (n) 节点控制器、QB' (n) 节点控制器和QB(n) 节点控制器可以被组合称为QB(n) 节点充电单元。

[0225] Q' (n) 节点控制器被配置为第一晶体管T1。第一晶体管T1包括与输入了第二时钟信号ECLK2的第二时钟信号线连接的栅极、与第n-1QB' 节点QB' (n-1) 连接的源极以及与第n Q' 节点Q' (n) 连接的漏极。在第二时钟信号ECLK2和第n-1QB' 节点QB' (n-1) 具有导通电压的区间中,第一晶体管T1将第n Q' 节点Q' (n) 充电至低电位电压VEL。

[0226] QB' (n) 节点控制器被配置为第二晶体管T2。第二晶体管T2包括与第n Q' 节点Q' (n) 连接的栅极、与输入了第一时钟信号ECLK1的第一时钟信号线连接的源极和与第nQB' 节

点QB' (n)连接的漏极。当第n Q' 节点Q' (n)的电压是导通电压时,第二晶体管T2将第一时钟信号ECLK1施加到第n QB' 节点QB' (n)。

[0227] 电容器CQ' 的两个电极分别与第n Q' 节点Q' (n)和第n QB' 节点QB' (n)连接。电容器CQ' 根据第n QB' 节点QB' (n)的电压变化来使第n Q' 节点Q' (n)自举。

[0228] QB(n)节点控制器被配置为第三晶体管T3。第三晶体管T3包括与第n QB' 节点QB' (n)连接的栅极、与输入了低电位电压VEL的发射低电压线连接的源极和与第n QB节点QB(n)连接的漏极。当第n QB' 节点QB' (n)的电压是逻辑低电压VL时,第三晶体管T3导通并且将低电位电压VEL施加到第n QB节点QB(n)。另外,当第n QB' 节点QB' (n)具有逻辑高电压VH时,第三晶体管T3截止,使得第n QB节点QB(n)能够保持先前施加的电压。

[0229] QB(n)节点保持单元被配置为第五晶体管T5。第五晶体管T5包括与第n Q节点Q(n)连接的栅极、与第n QB节点QB(n)连接的源极和与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n)的电压是导通电压时,第五晶体管T5将第n QB节点QB(n)放电至高电位电压VEH。

[0230] QB' (n)节点保持单元被配置为第四晶体管T4。第四晶体管T4包括与第n Q节点Q(n)连接的栅极、与第n QB' 节点QB' (n)连接的源极和与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n)的电压是导通电压时,第四晶体管T4将第nQB' 节点QB' (n)放电至高电位电压VEH。

[0231] 根据本说明书的第三实施方式的QB节点调节器17-3以自举方式实现了接收来自前一级QB' 节点的信号的输入的移位电路,由此能够减小发射时钟信号的负载增加的影响并且稳定地执行QB节点的输出。

[0232] 作为根据本说明书的第三实施方式的QB节点调节器17-3的驱动波形图,可以应用根据实施方式的QB节点调节器的如图29中示出的驱动波形图。

[0233] 图28是根据本说明书的第四实施方式的QB节点调节器的电路图。图28是根据本说明书的第一实施方式的QB节点调节器17-1中的第三晶体管T3的连接结构改变并且添加了第六晶体管T6的电路图。因此,在图27中,相同的组件具有相同的效果,并且冗余描述将被省略或简要提供。

[0234] QB节点调节器17-4包括Q' (n)节点控制器、QB' (n)节点控制器、QB(n)节点控制器、QB(n)保持器、QB' (n)保持器、Q' (n)保持器和电容器CQ'。在它们当中,Q' (n)节点控制器、QB' (n)节点控制器和QB(n)节点控制器可以被组合称为QB(n)节点充电单元。

[0235] Q' (n)节点控制器被配置为第一晶体管T1。第一晶体管T1包括与输入了第二时钟信号ECLK2的第二时钟信号线连接的栅极、与第n-1QB' 节点QB' (n-1)连接的源极以及与第n Q' 节点Q' (n)连接的漏极。在第二时钟信号ECLK2和第n-1QB' 节点QB' (n-1)具有导通电压的区间中,第一晶体管T1将第n Q' 节点Q' (n)充电至低电位电压VEL。

[0236] QB' (n)节点控制器被配置为第二晶体管T2。第二晶体管T2包括与第n Q' 节点Q' (n)连接的栅极、与输入了第一时钟信号ECLK1的第一时钟信号线连接的源极和与第nQB' 节点QB' (n)连接的漏极。当第n Q' 节点Q' (n)的电压是导通电压时,第二晶体管T2将第一时钟信号ECLK1施加到第n QB' 节点QB' (n)。

[0237] 电容器CQ' 的两个电极分别与第n Q' 节点Q' (n)和第n QB' 节点QB' (n)连接。电容器CQ' 根据第n QB' 节点QB' (n)的电压变化来使第n Q' 节点Q' (n)自举。

[0238] QB(n)节点控制器被配置为第三晶体管T3。第三晶体管T3包括与第n QB'节点QB'(n)连接的栅极、与输入了低电位电压VEL的发射低电压线连接的源极和与第nQB'节点QB'(n)连接的漏极。当QB'节点QB'(n)的电压是逻辑低电压时,第三晶体管T3导通并且将低电位电压VEL施加到第n QB节点QB(n)。另外,当第n QB'节点QB'(n)的电压是逻辑高电压VH时,第三晶体管T3截止,使得第n QB节点QB(n)能够保持先前施加的电压。

[0239] QB(n)节点保持单元被配置为第五晶体管T5。第五晶体管T5包括与第n Q节点Q(n)连接的栅极、与第n QB节点QB(n)连接的源极和与输入了高电位电压的发射高电压线连接的漏极。当第n Q节点Q(n)的电压是导通电压时,第五晶体管T5将第n QB节点QB(n)放电至高电位电压VEH。

[0240] QB'(n)节点保持单元被配置为第四晶体管T4。第四晶体管T4包括与第n Q节点Q(n)连接的栅极、与第n QB节点QB'(n)连接的源极和与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n)的电压是导通电压时,第四晶体管T4将第nQB'节点QB'(n)放电至高电位电压。

[0241] Q'(n)节点保持单元被配置为第六晶体管T6。第六晶体管包括与第n Q节点Q(n)连接的栅极、与第n Q'节点Q'(n)连接的源极和与输入了高电位电压VEH的发射高电压线连接的漏极。当第n Q节点Q(n)的电压是导通电压时,第六晶体管T6连同第四晶体管T4和第五晶体管T5一起将第n Q'节点Q'(n)放电至高电位电压。因此,通过将高电位电压VEH通过第六晶体管T6施加到第n Q'节点Q'(n),能够防止第二晶体管因为第n Q'节点Q'(n)由于第一晶体管T1长时间保持截止而降至逻辑低电压而截止。

[0242] 根据本说明书的第四实施方式的QB节点调节器17-4以自举方式实现了接收来自前一级QB'节点的信号的输入的移位电路,由此能够减小发射时钟信号的负载增加的影响并且稳定地执行QB节点的输出。

[0243] 作为根据本说明书的第四实施方式的QB节点调节器17-4的驱动波形图,可以应用根据实施方式的QB节点调节器的如图29中一样的驱动波形图。

[0244] 可以如下地描述本说明书的实施方式。

[0245] 根据本说明书的一种电致发光显示器包括:像素,该像素与选通线连接;以及选通驱动电路,该选通驱动电路向所述选通线中的至少一条供应选通信号,并且包括以级联方式彼此连接的多个级。所述选通驱动电路的第n(n是正整数)级包括:Q1节点充电单元,该Q1节点充电单元使用反相的第一时钟信号和第二时钟信号,将Q1节点充电至导通电压;以及上拉晶体管,该上拉晶体管响应于Q1节点电压而向输出端子施加导通电压。所述Q1节点充电单元包括:第一充电单元,该第一充电单元将所述Q1节点电压充电至导通电压;以及第二充电单元,该第二充电单元在所述Q1节点具有导通电压的区间中使用所述第一时钟信号对与Q1节点联接的Q2节点进行充电。

[0246] 所述第一充电单元可以连接在起始信号输入端子和Q1节点之间。所述第一充电单元可以包括具有与第二时钟信号输入端子连接的栅极的第一晶体管。

[0247] 所述第二充电单元可以连接在第一时钟信号输入端子和Q2节点之间。所述第二充电单元可以包括具有与Q1节点连接的栅极的第二晶体管和连接在所述Q1节点和所述Q2节点之间的第一电容器。

[0248] 所述Q1节点充电单元还可以包括Q2节点控制器,所述Q2节点控制器在所述Q1节点

具有截止电压的区间中向所述Q2节点施加电位电压。

[0249] 所述Q2节点控制器可以包括与第二时钟信号输入端子连接的栅极、与Q2节点连接的漏极和与高电位电压输入端子连接的源极。

[0250] 所述选通驱动电路还可以包括：下拉单元，该下拉单元响应于QB1节点的电压而控制所述输出端子输出截止电压；以及节点控制器，该节点控制器将所述QB1节点的电压控制成与Q1节点的电压电平相反的电平。

[0251] 所述节点控制器还可以包括：第二电容器，该第二电容器连接在所述QP节点和所述QB1节点之间；以及QP节点控制器，该QP节点控制器与第n-1级的QB2节点和QP节点连接。

[0252] 所述节点控制器还可以包括QB2节点控制器，所述QB2节点控制器响应于所述QP节点的电压而向所述QB2节点施加所述第一时钟信号的导通电压。

[0253] 所述节点控制器还可以包括QB1节点控制器，所述QB1节点控制器具有与被施加所述第一时钟信号的第一时钟信号输入端子连接的栅极，所述QB1节点控制器将所述QB2节点的电压施加到所述QB1节点。

[0254] 根据本说明书的选通驱动电路包括以级联方式彼此连接的多个级，并且输出选通信号。所述多个级中的每一个使用第一时钟信号和第二时钟信号输出选通信号。在所述多个级当中，第n(n是自然数)级包括：上拉晶体管，该上拉晶体管响应于Q1节点的电压而向输出端子施加导通电压；第一电容器，该第一电容器连接在Q1节点和Q2节点之间；第一晶体管，该第一晶体管包括与第二时钟信号输入端子连接的栅极、与起始信号输入端子连接的源极和与Q1节点连接的漏极；以及第二晶体管，该第二晶体管包括与Q1节点连接的栅极、与第一时钟信号输入端子连接的源极和与Q2节点连接的漏极。

[0255] 第一时钟信号和第二时钟信号可以是反相的。

[0256] 所述第一时钟信号和所述第二时钟信号中的每一个的一个周期可以是两个水平时间段。

[0257] 所述起始信号可以是第n-1级输出的选通信号。

[0258] 所述第n级还可以包括晶体管，所述晶体管包括与Q2节点连接的漏极、与高电位电压输入端子连接的源极以及与第二时钟信号输入端子连接的栅极。

[0259] 根据本公开的实施方式的选通驱动电路包括：第一输出缓冲器，该第一输出缓冲器基于Q节点的电位而导通，由此输出第一发射信号；以及第二输出缓冲器，该第二输出缓冲器被配置为双缓冲器。所述双缓冲器包括两个晶体管，并且所述两个晶体管包括与不同的节点连接的栅极并且输出相同的第二发射信号。

[0260] 根据本公开的另一个特征，第n级还可以包括：QB2节点控制器，该QB2节点控制器基于所述Q节点的电位来控制QB2节点；以及QB1节点控制器，该QB1节点控制器基于所述QB2节点的电位来控制QB1节点。所述QB1节点和所述QB2节点可以具有不同的电位。

[0261] 根据本公开的另一个特征，所述第二输出缓冲器可以包括：2-1输出缓冲器，该2-1输出缓冲器包括响应于所述QB1节点的电位而操作的晶体管；以及2-2输出缓冲器，该2-2输出缓冲器包括响应于所述QB2节点的电位而操作的晶体管。

[0262] 根据本公开的实施方式的选通驱动电路可以包括：Q节点控制器，该Q节点控制器基于通过起始信号线传送的起始信号来控制Q节点；QB2节点控制器，该QB2节点控制器基于所述Q节点的电位来控制QB2节点；QB1节点控制器，该QB1节点控制器基于所述QB2节点的电

位来控制QB1节点；第一输出缓冲器，该第一输出缓冲器基于Q节点的电位而导通，由此输出第一发射信号；以及第二输出缓冲器，该第二输出缓冲器具有至少两个晶体管，所述至少两个晶体管基于不同的节点的电位而导通，由此输出第二发射信号。

[0263] 根据本公开的另一个特征，所述第一输出缓冲器可以输出逻辑低发射信号，并且所述第二输出缓冲器可以输出电压比所述逻辑低发射信号的电压高的逻辑高发射信号。

[0264] 根据本公开的另一个特征，所述第二输出缓冲器可以具有并联连接结构，在所述并联连接结构中，所述至少两个晶体管的第一电极只彼此连接，所述至少两个晶体管的第二电极只彼此连接，并且所述至少两个晶体管的栅极连接至不同的节点。

[0265] 根据本公开的另一个特征，所述第二输出缓冲器可以包括：2-1输出缓冲器，该2-1输出缓冲器包括响应于第一电位而操作的晶体管；以及2-2输出缓冲器，该2-2输出缓冲器包括响应于与所述第一电位不同的第二电位而操作的晶体管。

[0266] 根据本公开的另一个特征，所述第一电位可以是所述QB1节点的电位，并且所述第二电位可以是所述QB2节点的电位。

[0267] 根据本公开的实施方式的一种电致发光显示器包括：显示面板，该显示面板显示图像；以及选通驱动电路，该选通驱动电路包括用于向所述显示面板输出扫描信号的扫描驱动器和用于向所述显示面板输出发射信号的发射驱动器。在所述发射驱动器当中，第n(n是正数)发射驱动器包括：第一输出缓冲器，该第一输出缓冲器基于Q节点的电位导通，由此输出第一发射信号；以及第二输出缓冲器，该第二输出缓冲器包括双缓冲器。所述双缓冲器包括两个晶体管，并且所述两个晶体管包括与不同节点连接的栅极并且输出相同的第二发射信号。

[0268] 根据本公开的另一个特征，所述第二输出缓冲器可以具有并联连接结构，在所述并联连接结构中，所述至少两个晶体管的第一电极只彼此连接，其第二电极只彼此连接，并且其栅极连接至不同的节点。

[0269] 根据本公开的另一个特征，所述第二输出缓冲器可以包括：2-1输出缓冲器，该2-1输出缓冲器包括响应于第一电位而操作的晶体管；以及2-2输出缓冲器，该2-2输出缓冲器包括基于与所述第一电位不同的第二电位而操作的晶体管。

[0270] 根据本公开的另一个特征，第n发射驱动器还可以包括：QB2节点控制器，该QB2节点控制器基于Q节点的电位来控制QB2节点；以及QB1节点控制器，该QB1节点控制器基于QB2节点的电位来控制QB1节点。所述QB1节点和所述QB2节点可以具有不同的电位。

[0271] 根据本公开的另一个特征，所述第二输出缓冲器可以包括：2-1输出缓冲器，该2-1输出缓冲器包括基于所述QB1节点的电位而操作的晶体管；以及2-2输出缓冲器，该2-2输出缓冲器包括基于所述QB2节点的电位而操作的晶体管。

[0272] 根据本公开的另一个特征，所述第n发射驱动器可以包括：第一晶体管，该第一晶体管包括与第二时钟信号线连接的栅极、与起始信号线连接的第一电极和与所述Q节点连接的第二电极；第二晶体管，该第二晶体管包括与所述Q节点连接的栅极和与第一时钟信号线连接的第一电极；第三晶体管，该第三晶体管包括与QB2节点连接的栅极、与所述Q节点连接的第一电极和与高电位电压输入端子连接的第二电极；第四晶体管，该第四晶体管包括与所述第二时钟信号线连接的栅极、与第n-1发射驱动器的第n-1QB2节点连接的第一电极和与QP节点连接的第二电极；第五晶体管，该第五晶体管包括与所述Q节点连接的栅极、与

所述QB2节点连接的第一电极和与高电位电压输入端子连接的第二电极;第六晶体管,该第六晶体管包括与所述Q节点连接的栅极、与低电位电压输入端子连接的第一电极和与所述第n发射驱动器的输出端子连接的第二电极;7-1晶体管,该7-1晶体管包括与所述QB1节点连接的栅极、与所述n-1发射驱动器的输出端子连接的第一电极和与所述高电位电压输入端子连接的第二电极;7-2晶体管,该7-2晶体管包括与所述QB2节点连接的栅极、与所述n发射驱动器的输出端子连接的第一电极和与所述高电位电压输入端子连接的第二电极;第八晶体管,该第八晶体管包括与所述QP节点连接的栅极、与第一时钟信号线连接的第一电极和与所述QB2节点连接的第二电极;第九晶体管,该第九晶体管包括与所述第一时钟信号线连接的栅极、与所述QB2节点连接的第一电极和与所述QB1节点连接的第二电极;以及第十晶体管,该第十晶体管包括与所述Q节点连接的栅极、与所述QB1节点连接的第一电极和与所述高电位电压输入端子连接的第二电极。

[0273] 根据本公开的另一个特征,第n发射驱动器还可以包括:第一电容器,该第一电容器包括与所述第二晶体管的第二电极连接的一端和与所述Q节点和第三晶体管的第一电极连接的另一端;第二电容器,该第二电容器包括与所述QP节点连接的一端和与所述QB2节点连接的另一端;以及第三电容器,该第三电容器包括与所述QB1节点连接的一端和与所述高电位电压输入端子连接的另一端。

[0274] 根据本公开的另一个特征,所述第一晶体管、所述第二晶体管、所述第三晶体管和所述第一电容器可以被包括在用于控制所述Q节点的Q节点控制器中;所述第五晶体管、所述第十晶体管和所述第三晶体管可以被包括在用于控制所述QB1节点的QB1节点控制器中;所述第四晶体管、所述第八晶体管和所述第二电容器可以被包括在用于控制所述QB2节点的QB2节点控制器中;所述第六电容器可以被包括在用于输出第一发射信号的第一输出缓冲器中;并且所述7-1晶体管和所述7-2晶体管可以被包括在用于输出第二发射信号的第二输出缓冲器中。

[0275] 根据本公开的实施方式的一种电致发光显示器可以包括:显示面板;以及选通驱动电路,该选通驱动电路包括用于向所述显示面板输出扫描信号的扫描驱动器和用于向所述显示面板输出发射信号的发射驱动器。在所述发射驱动器当中,一种第n(n是正整数)发射驱动器包括:Q节点控制器,该Q节点控制器基于通过起始信号线传送的起始信号来控制Q节点;QB2节点控制器,该QB2节点控制器基于所述Q节点的电位来控制QB2节点;QB1节点控制器,该QB1节点控制器基于所述QB2节点的电位来控制QB1节点;第一输出缓冲器,该第一输出缓冲器基于Q节点的电位而导通,由此输出第一发射信号;以及第二输出缓冲器,该第二输出缓冲器具有至少两个晶体管,所述至少两个晶体管基于不同节点的电位而导通,由此输出第二发射信号。

[0276] 根据本公开的另一个特征,本公开的所述第二输出缓冲器的至少两个晶体管可以具有并联连接结构,在所述并联连接结构中,所述至少两个晶体管的第一电极只彼此连接,所述至少两个晶体管的第二电极只彼此连接,并且所述至少两个晶体管的栅极连接至不同的节点。

[0277] 根据本公开的另一个特征,所述第二输出缓冲器可以包括:2-1输出缓冲器,该2-1输出缓冲器包括响应于所述QB1节点的电位而操作的晶体管;以及2-2输出缓冲器,该2-2输出缓冲器包括基于所述QB2节点的电位而操作的晶体管。

[0278] 根据本公开的另一个特征,所述第n发射驱动器可以包括:第一晶体管,该第一晶体管包括与第二时钟信号线连接的栅极、与起始信号线连接的第一电极和与所述Q节点连接的第二电极;第二晶体管,该第二晶体管包括与所述Q节点连接的栅极和与第一时钟信号线连接的第一电极;第三晶体管,该第三晶体管包括与QB2节点连接的栅极、与所述Q节点连接的第一电极和与高电位电压输入端子连接的第二电极;第四晶体管,该第四晶体管包括与所述第二时钟信号线连接的栅极、与第n-1发射驱动器的第n-1QB2节点连接的第一电极和与QP节点连接的第二电极;第五晶体管,该第五晶体管包括与所述Q节点连接的栅极、与所述QB2节点连接的第一电极和与所述高电位电压输入端子连接的第二电极;第六晶体管,该第六晶体管包括与所述Q节点连接的栅极、与低电位电压输入端子连接的第一电极和与所述第n发射驱动器的输出端子连接的第二电极;7-1晶体管,该7-1晶体管包括与所述QB1节点连接的栅极、与所述n发射驱动器的输出端子连接的第一电极和与所述高电位电压输入端子连接的第二电极;7-2晶体管,该7-2晶体管包括与所述QB2节点连接的栅极、与所述n发射驱动器的输出端子连接的第一电极和与所述高电位电压输入端子连接的第二电极;第八晶体管,该第八晶体管包括与所述QP节点连接的栅极、与第一时钟信号线连接的第一电极和与所述QB2节点连接的第二电极;第九晶体管,该第九晶体管包括与所述第一时钟信号线连接的栅极、与所述QB2节点连接的第一电极和与所述QB1节点连接的第二电极;以及第十晶体管,该第十晶体管包括与所述Q节点连接的栅极、与所述QB1节点连接的第一电极和与所述高电位电压输入端子连接的第二电极。

[0279] 根据本公开的实施方案的电致发光显示器包括:像素,所述像素与发射线连接;以及发射驱动器,该发射驱动器向发射线供应发射信号并且包括多个级。在所述多个级当中,第n(n是等于或大于2的正整数)级包括:上拉单元,该上拉单元由Q节点控制,以输出具有导通电压的发射信号;下拉单元,该下拉单元由所述Q节点或QB节点控制,以输出截止电压;QB节点控制器,该QB节点控制器插置在所述QB节点和QB'节点之间;以及QB节点调节器,该QB节点调节器将第n-1级的QB'节点的电压移位,并且将移位后的电压施加到所述QB'节点。因此,能够减小发射时钟信号的负载增加的影响并且稳定地执行QB节点的输出,由此提高发射驱动器的可靠性。

[0280] 所述电致发光显示器的所述第n级还可以包括Q节点控制器,所述Q节点控制器使用来自第n-1级的发射信号来控制所述Q节点的电压。

[0281] 所述像素中的每一个可以包括发光器件和像素驱动电路,并且所述发射线中的每一条可以与包括在像素驱动电路中的发射晶体管连接。

[0282] 所述QB节点调节器可以包括Q'节点控制器、QB'节点控制器、QB节点保持单元、QB'节点保持单元和电容器。

[0283] 所述Q'节点控制器可以由第一发射时钟信号控制,以将第n-1级的QB'节点的电压施加到Q'节点。所述QB'节点控制器可以由所述Q'节点控制,以将第二发射时钟信号施加到所述QB'节点。所述QB'节点保持单元可以由所述Q节点控制,以将所述QB节点放电至发射高电压。所述QB'节点保持单元可以由所述Q节点控制,以将所述QB'节点放电至发射高电压。电容器可以连接在Q'节点和QB'节点之间。所述QB节点控制器可以根据第二发射时钟信号来控制所述QB'节点和所述QB节点之间的短路,或者可以由所述QB'节点控制,以向所述QB节点施加发射低电压。

[0284] 所述第一发射时钟信号和所述第二发射时钟信号可以是反相的。

[0285] 所述QB节点调节器还可以包括Q'节点保持单元。

[0286] 所述Q'节点控制器可以由第一发射时钟信号控制,以将第n-1级的QB'节点的电压施加到Q'节点。所述QB'节点控制器可以由所述Q'节点控制,以将第二发射时钟信号施加到所述QB'节点。所述QB节点保持单元可以由所述Q节点控制,以将所述QB节点放电至发射高电压。所述QB'节点保持单元可以由所述Q节点控制,以将所述QB'节点放电至发射高电压。所述QB'节点保持单元可以由所述Q节点控制,以将所述Q'节点放电至发射高电压。电容器可以连接在Q'节点和QB'节点之间。所述QB节点控制器可以基于第二发射时钟信号来控制所述QB'节点和所述QB节点的短路,或者可以由所述QB'节点控制,以向所述QB节点施加发射低电压。

[0287] 根据本说明书的实施方式,当涉及包括n(n是等于或大于2的正整数)个级的选通驱动电路时,第k($1 \leq k \leq n$)级包括上拉单元、下拉单元、控制与所述上拉单元连接的Q节点的Q节点控制器以及控制与所述下拉单元连接的QB节点的QB节点调节器。所述QB节点调节器包括Q'节点控制器、QB'节点控制器、QB节点控制器、QB'节点保持单元和QB节点保持单元。所述QB节点调节器将第k-1级的QB'节点的电压的电平移位,并且向所述QB'节点施加电平移位后的电压。因此,能够减小发射时钟信号的负载增加的影响并且使得QB节点能够稳定地执行输出,由此提高发射驱动器的可靠性。

[0288] 可以向所述QB节点调节器施加发射低电压、发射高电压、第一发射时钟信号和第二发射时钟信号。发射低电压是比发射高电压低的电压。所述第一发射时钟信号和所述第二发射时钟信号可以在发射低电压和发射高电压之间摆动。

[0289] 所述QB节点调节器还可以包括电容器。所述Q'节点控制器可以包括第一晶体管。所述QB'节点控制器可以包括第二晶体管。所述QB节点控制器可以包括第三晶体管。所述QB'节点保持单元可以包括第四晶体管。所述QB节点保持单元可以包括第五晶体管。电容器可以与Q'节点和QB'节点连接。

[0290] 所述第一晶体管可以包括与第二时钟信号线连接的栅极、与第k-1级的QB'节点连接的第一电极和与所述Q'节点连接的第二电极。第二晶体管可以包括与Q'节点连接的栅极、与第一时钟信号线连接的第一电极和与QB'节点连接的第二电极。所述第三晶体管可以包括与所述第一时钟信号线连接的栅极、与所述QB'节点连接的第一电极和与所述QB节点连接的第二电极。所述第四晶体管可以包括与所述Q节点连接的栅极、与所述QB'节点连接的第一电极和与所述发射高电压线连接的第二电极。所述第五晶体管可以包括与所述Q节点连接的栅极、与所述QB节点连接的第一电极和与所述发射高电压线连接的第二电极。

[0291] 所述QB节点调节器还可以包括Q'节点保持单元,并且Q'节点保持单元可以被配置为第六晶体管。所述第六晶体管可以包括与所述Q节点连接的栅极、与所述Q'节点连接的第一电极和与所述发射高电压线连接的第二电极。

[0292] 所述第一晶体管可以包括与第二时钟信号线连接的栅极、与第k-1级的QB'节点连接的第一电极和与所述Q'节点连接的第二电极。第二晶体管可以包括与Q'节点连接的栅极、与第一时钟信号线连接的第一电极和与QB'节点连接的第二电极。第三晶体管可以包括与QB'节点连接的栅极、与发射低电压线连接的第一电极和与QB节点连接的第二电极。所述第四晶体管可以包括与所述Q节点连接的栅极、与所述QB'节点连接的第一电极和与发射高

电压线连接的第二电极。所述第五晶体管可以包括与所述Q节点连接的栅极、与所述QB节点连接的第一电极和与所述发射高电压线连接的第二电极。

[0293] 所述QB节点调节器还可以包括Q'节点保持单元,并且Q'节点保持单元可以被配置为第六晶体管。所述第六晶体管可以包括与所述Q节点连接的栅极、与所述Q'节点连接的第一电极和与所述发射高电压线连接的第二电极。

[0294] 本说明书的实施方式稳定地保持了控制选通驱动电路的上拉晶体管的节点的电压,由此提高了选通驱动电路的驱动能力和可靠性并且使得电致发光显示器能够正确地显示图像。

[0295] 另外,本说明书的实施方式提供了一种选通驱动电路,该选通驱动电路能够改进晶体管的驱动能力并且保持稳定的输出特性,因此,能够实现包括选通驱动电路的电致发光显示器的窄边框。

[0296] 另外,本说明书的实施方式实现了包括被实现为双缓冲器的输出缓冲器的选通驱动电路,因此,即使当作为输出缓冲器操作的晶体管的阈值电压移位时,移位也能得以补偿,从而可实现稳定的输出特性,由此提高选通驱动电路的驱动可靠性。

[0297] 另外,本说明书的实施方式包括基于移位寄存器的发射驱动器,由此解决因时钟信号线中的负载引起的信号延迟。

[0298] 另外,本说明书的实施方式不将Q节点反转成用于控制发射驱动器中包括的QB节点的结构,然后向QB节点施加电压:替代地,另外设置QB节点调节器来控制QB节点,由此减小发射时钟信号的负载增加的影响。

[0299] 另外,根据本说明书的实施方式,QB节点调节器17-4以自举方式实现了接收来自前一级的QB'节点的信号的输入的移位电路,由此能够减小发射时钟信号的负载增加的影响并且稳定地执行QB节点的输出。

[0300] 另外,根据本说明书的实施方式,QB节点调节器可以包括QB'节点和与QB节点连接的晶体管,并且向QB'节点和QB节点施加发射高电压,以防止QB'节点和QB节点长时间浮置,由此使发射驱动器稳定。

[0301] 另外,根据本说明书的实施方式,QB节点调节器可以包括向Q'节点施加发射高电压的晶体管,使得防止具有与Q'节点连接的栅极的晶体管出于Q'节点由于晶体管长时间保持截止而下降至逻辑低电压的原因而导通。

[0302] 对于本领域技术人员显而易见的是,可以在不脱离本公开的技术构思或范围的情况下对本公开的选通驱动电路和使用该选通驱动电路的电致发光显示器进行各种修改和变化。因此,本公开旨在覆盖本公开的落入所附的权利要求及其等同物的范围内的修改和变化。

[0303] 本申请要求于2017年8月31日提交的韩国专利申请No.10-2017-0111475、于2017年11月20日提交的韩国专利申请No.10-2017-0155014以及于2017年9月18日提交的韩国专利申请No.10-2017-0119848的权益,这些韩国专利申请的全部内容出于所有目的通过引用并入本文中,如同在本文中完全阐述一样。

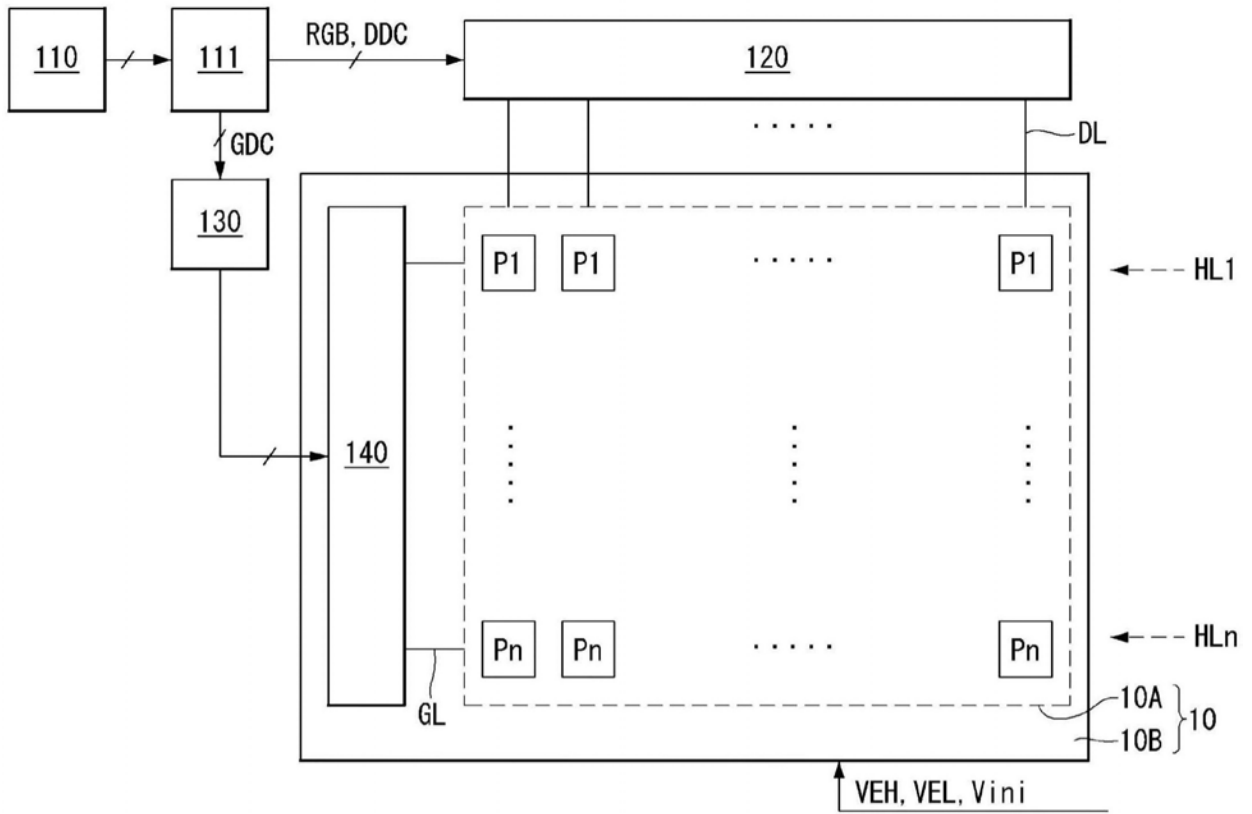


图1

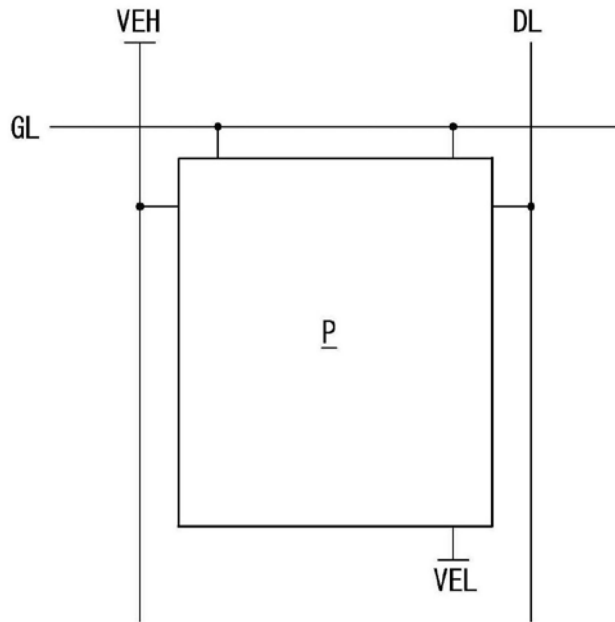


图2

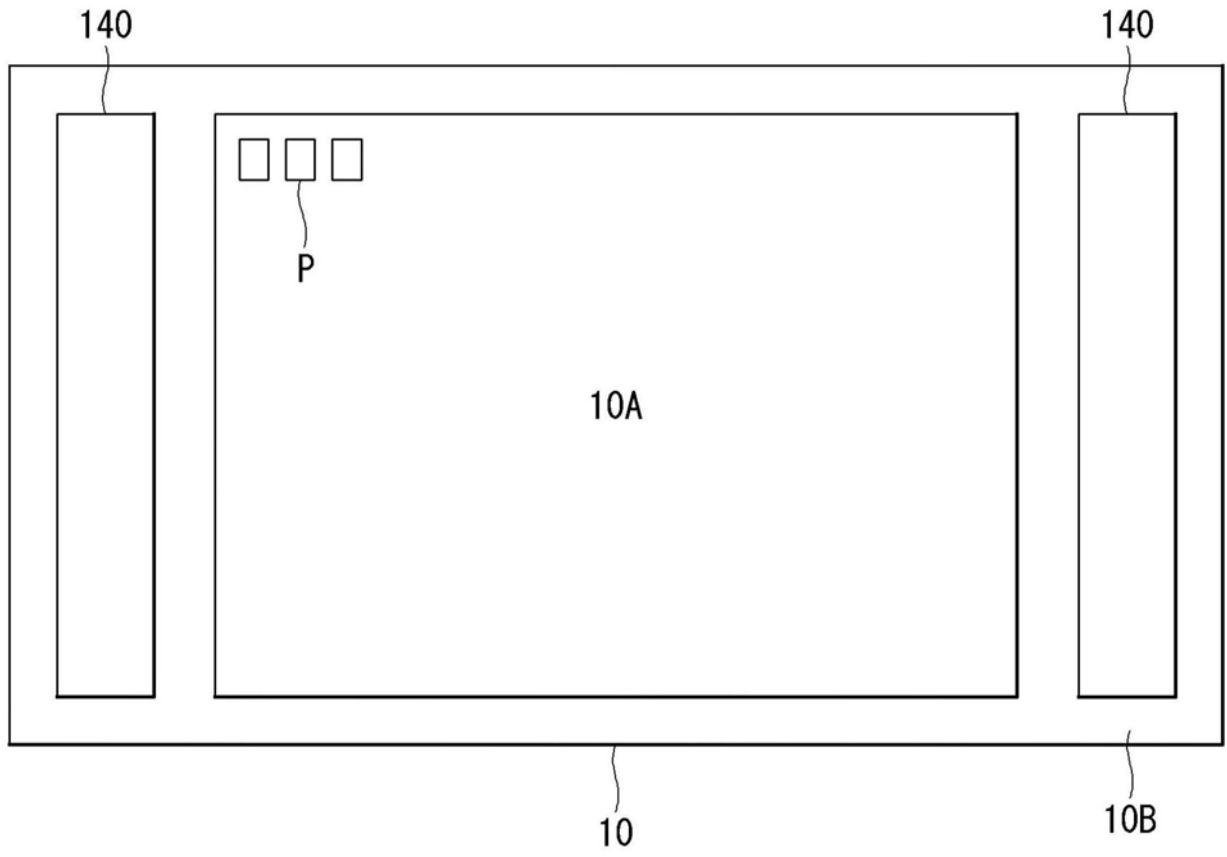


图3

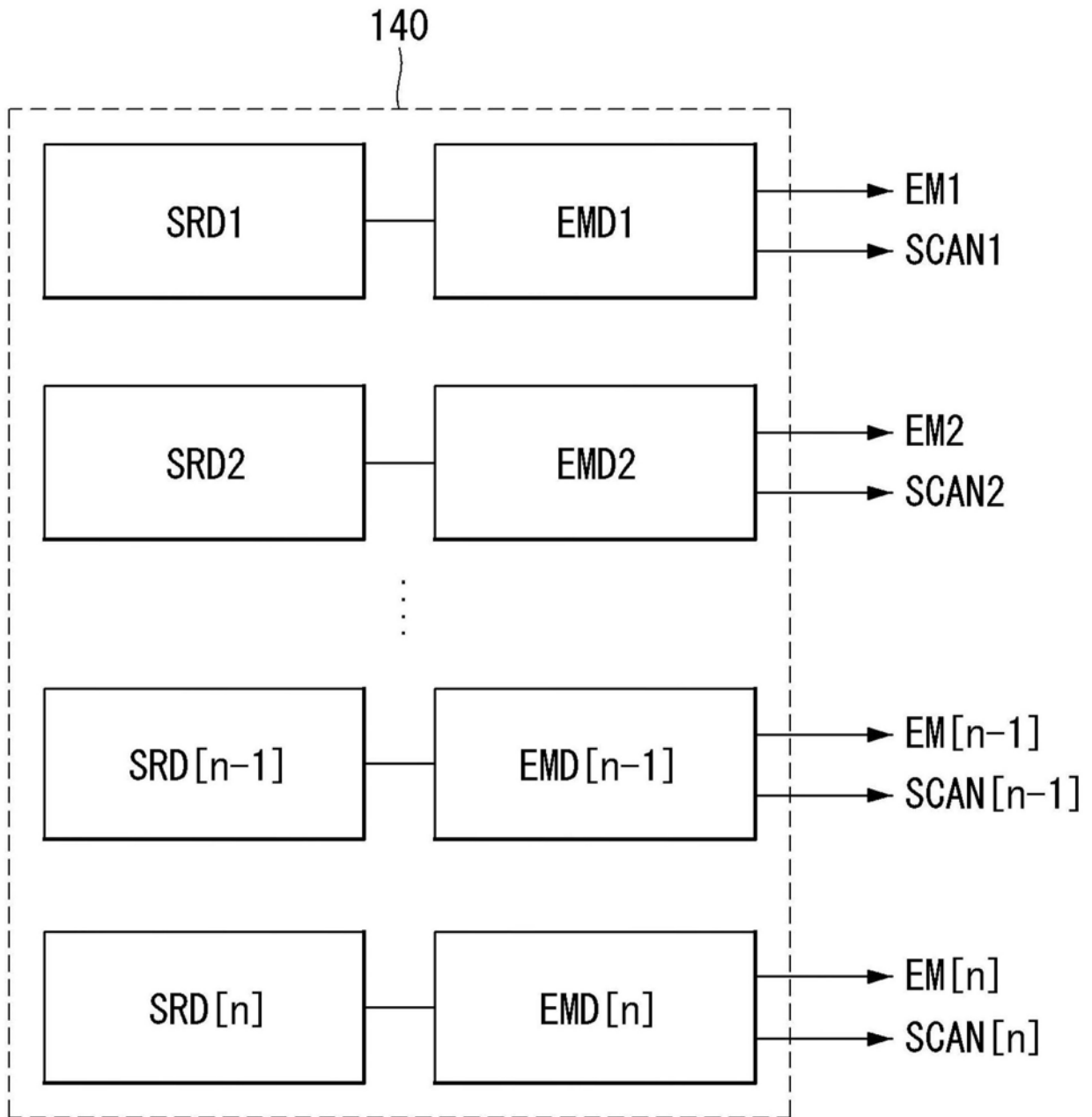


图4

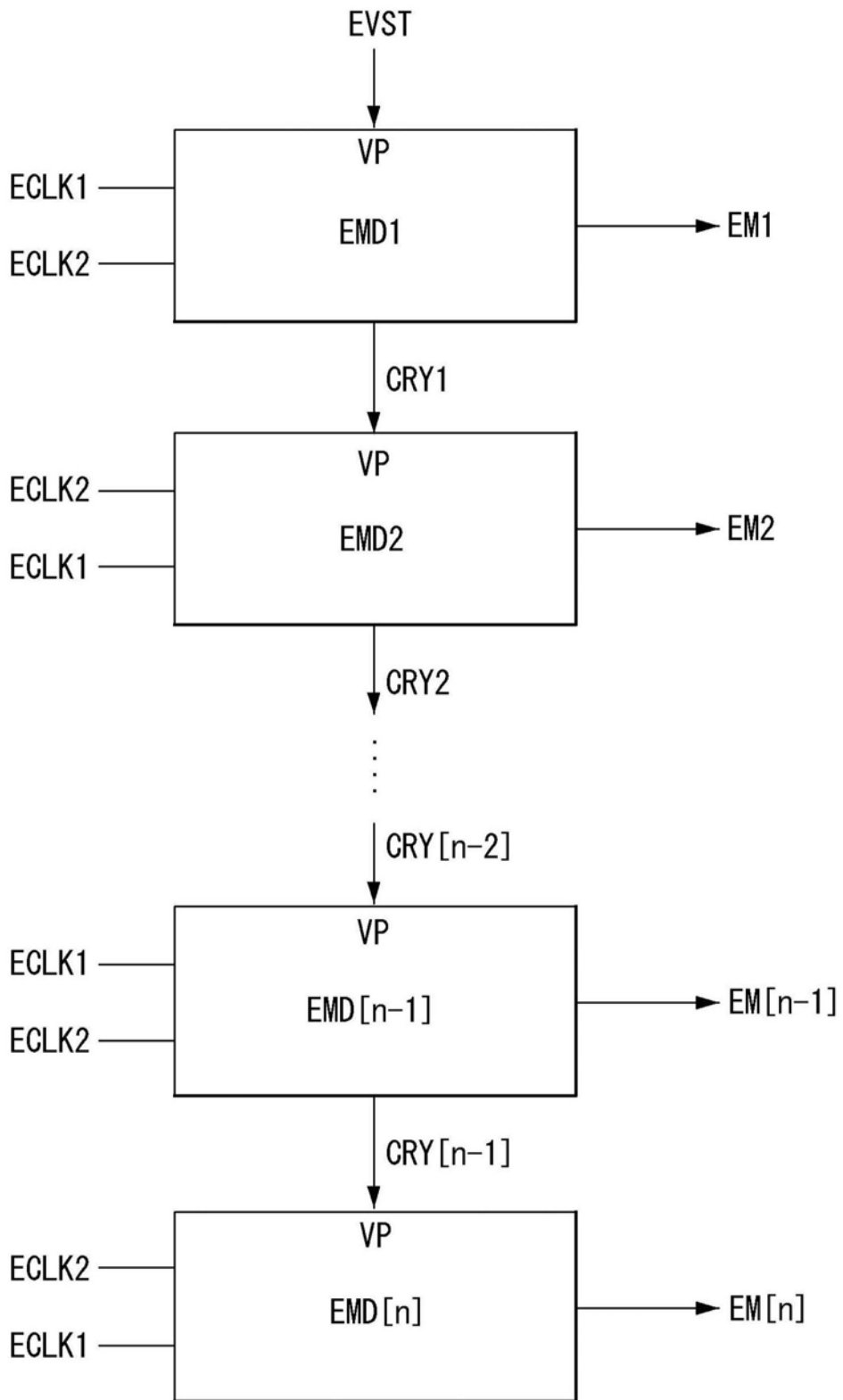


图5

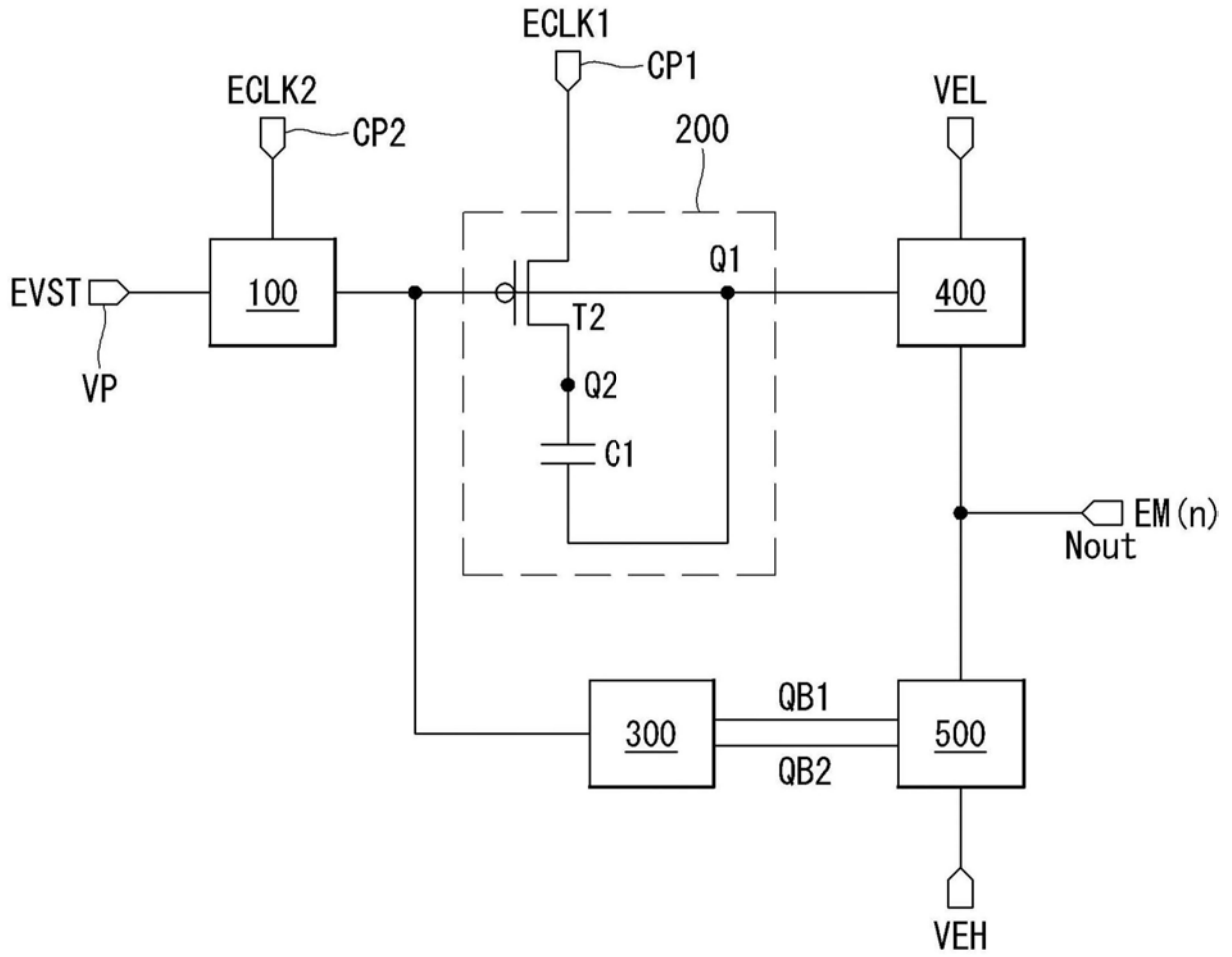


图6

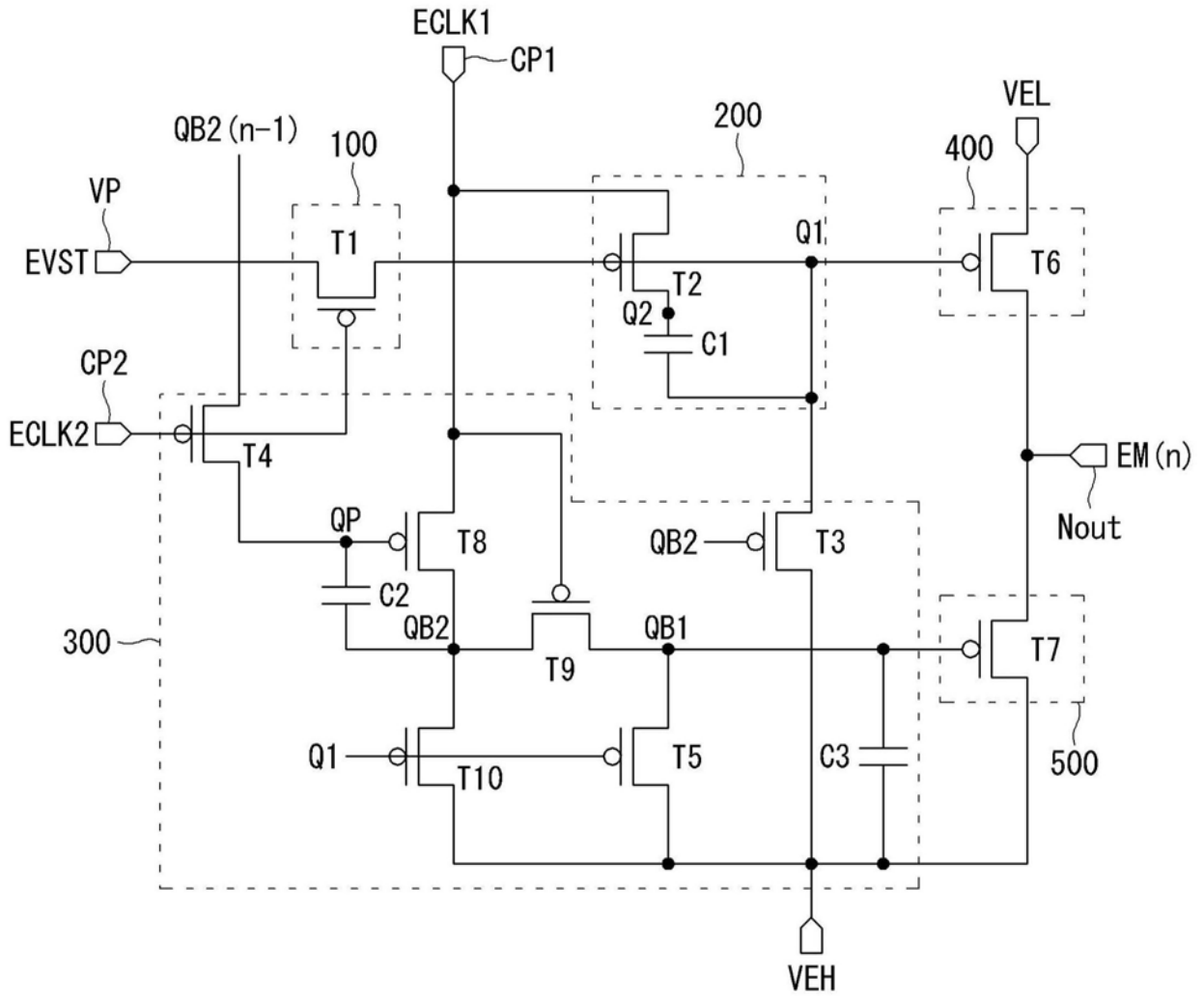


图7

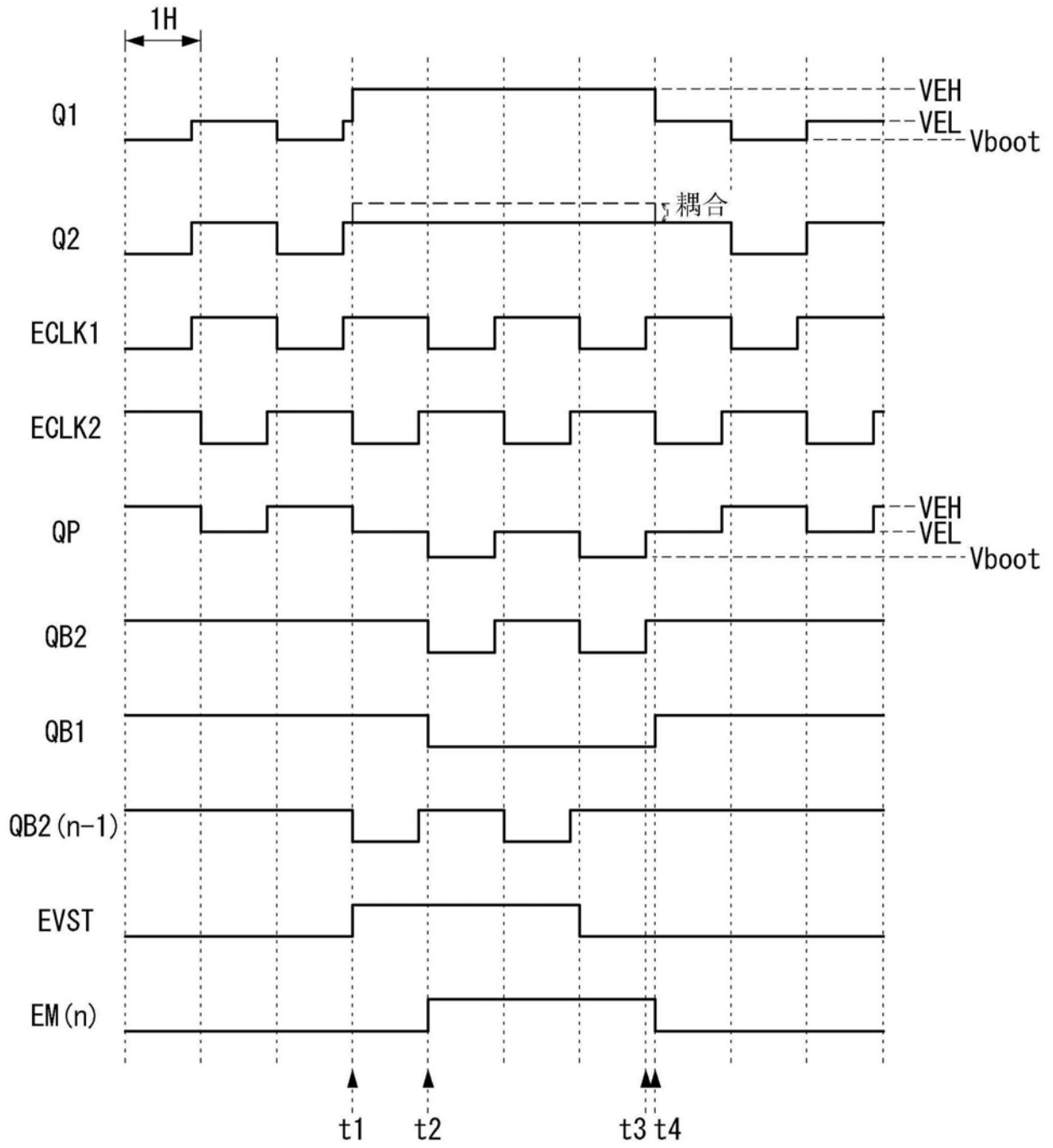


图8

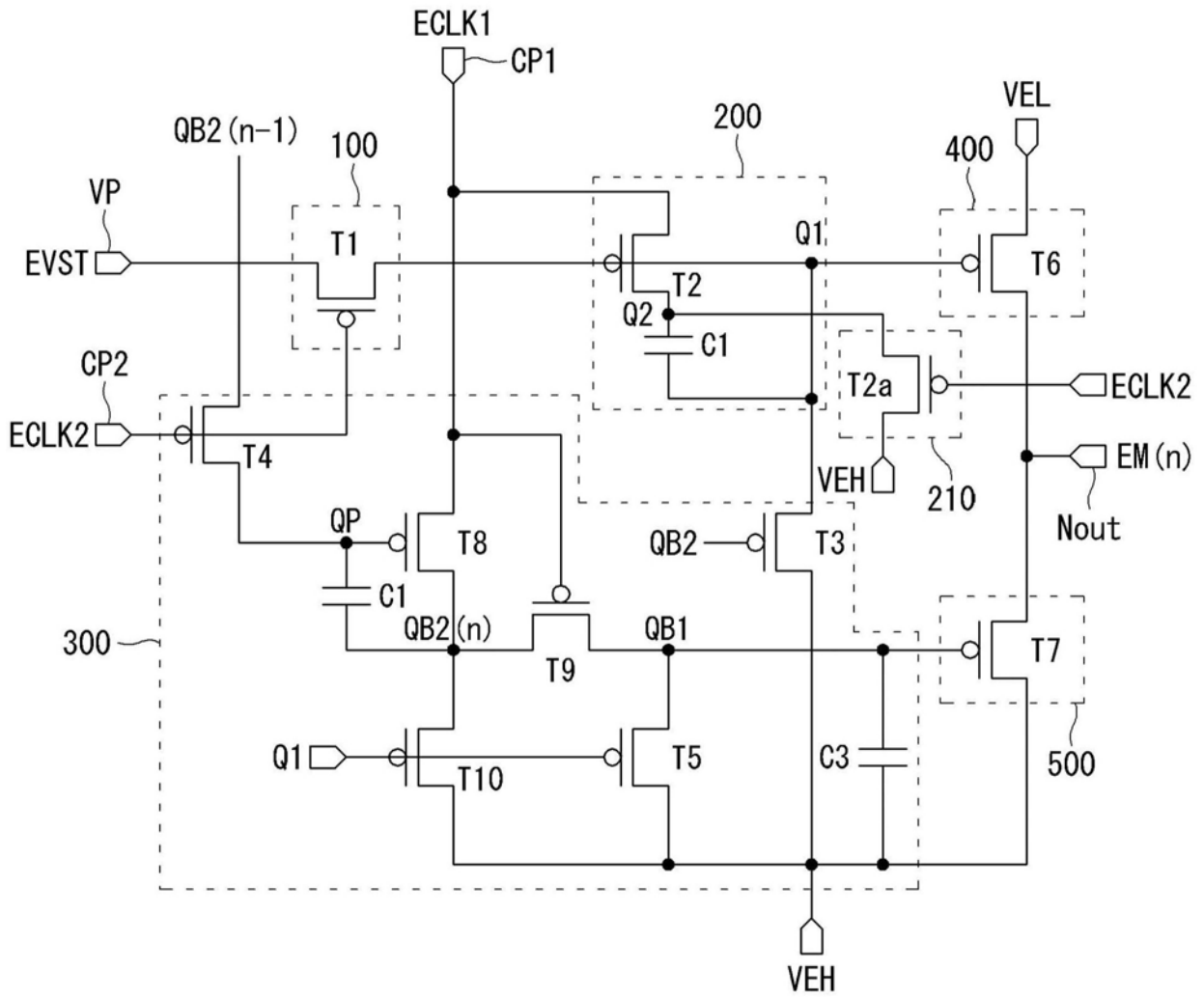


图9

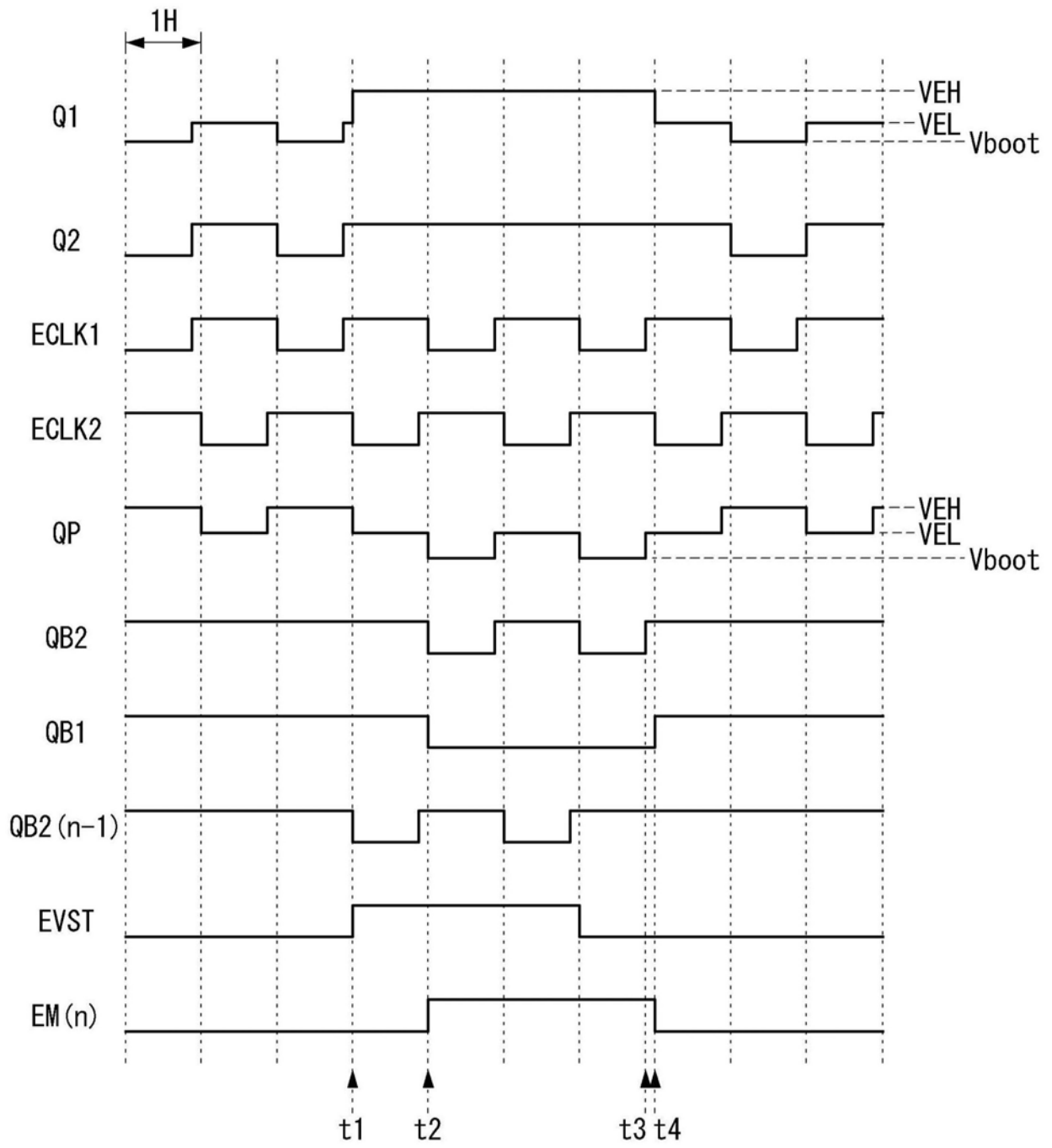


图10

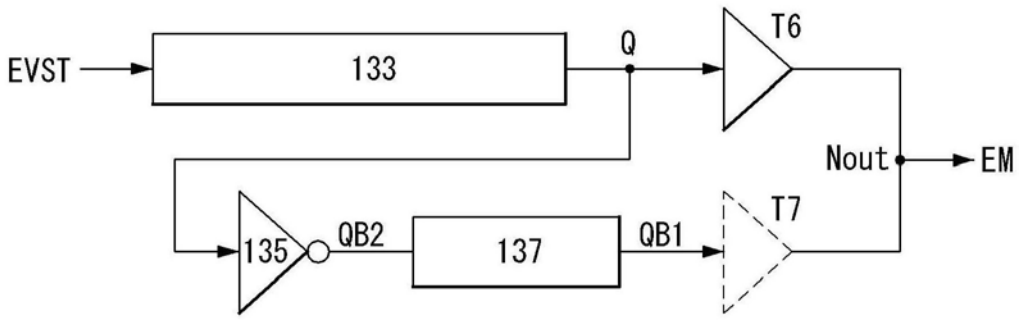


图11

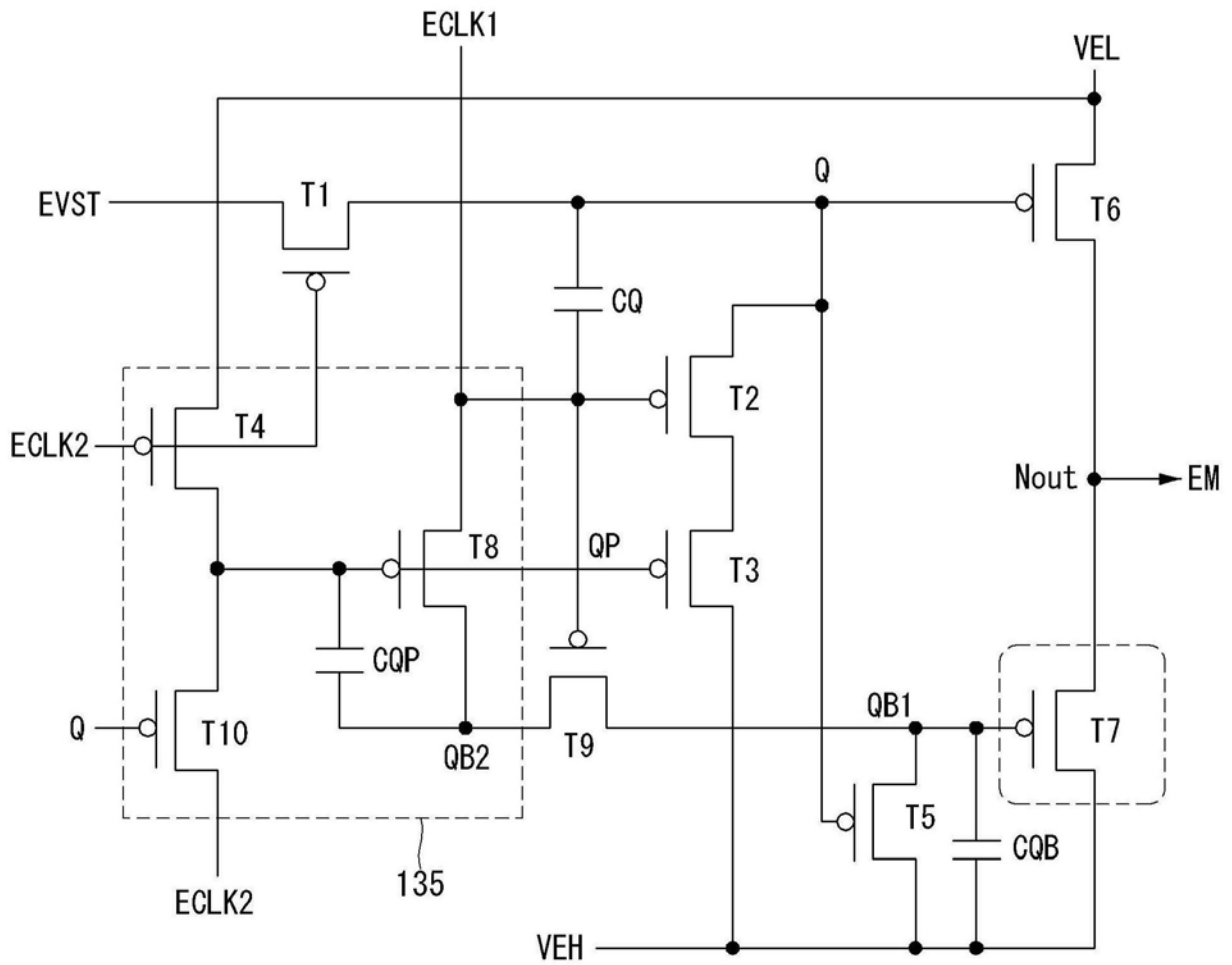


图12

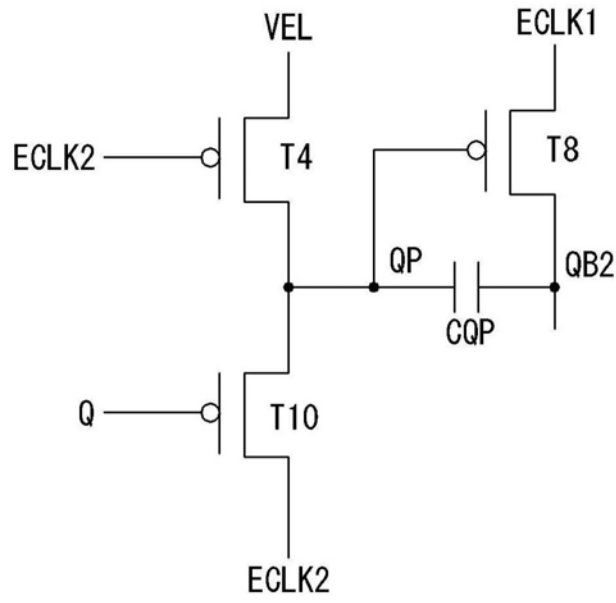


图13

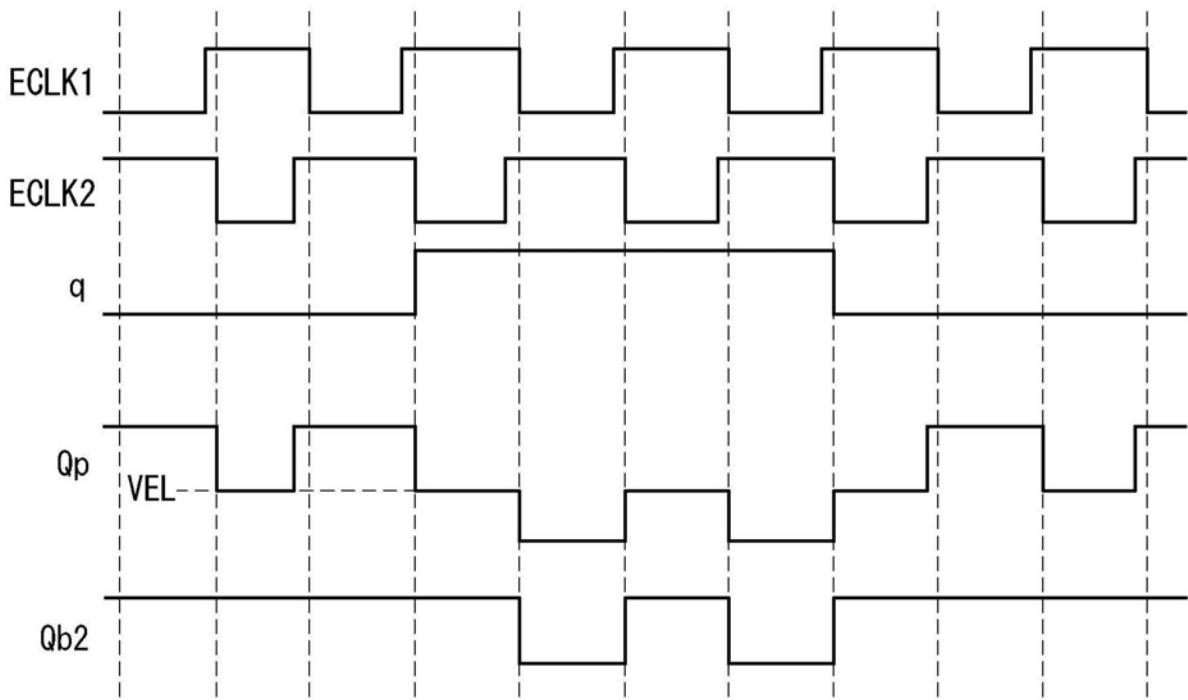


图14

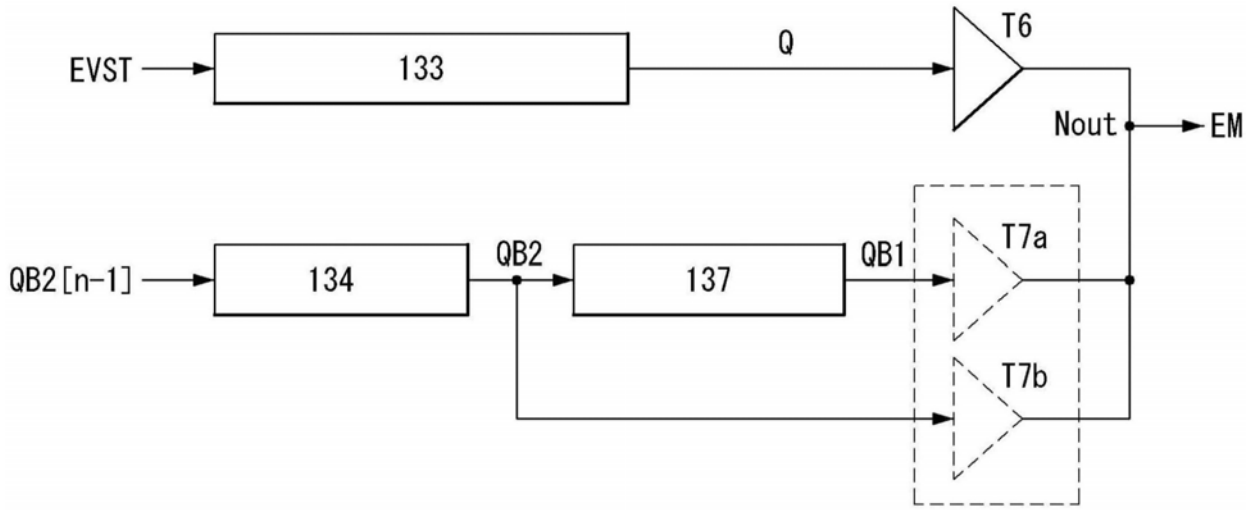


图15

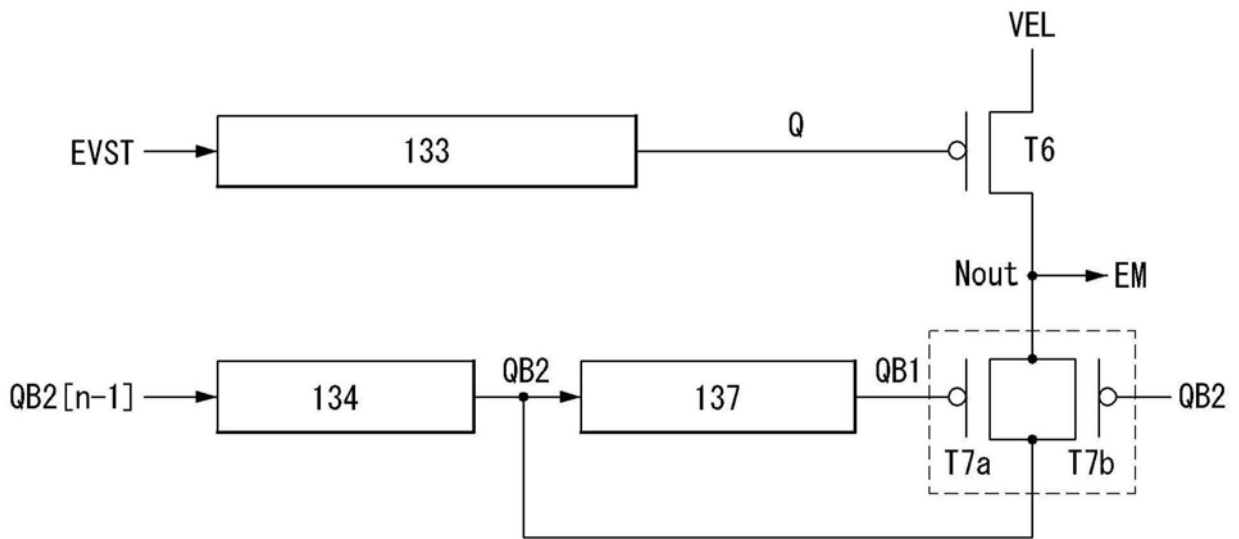


图16

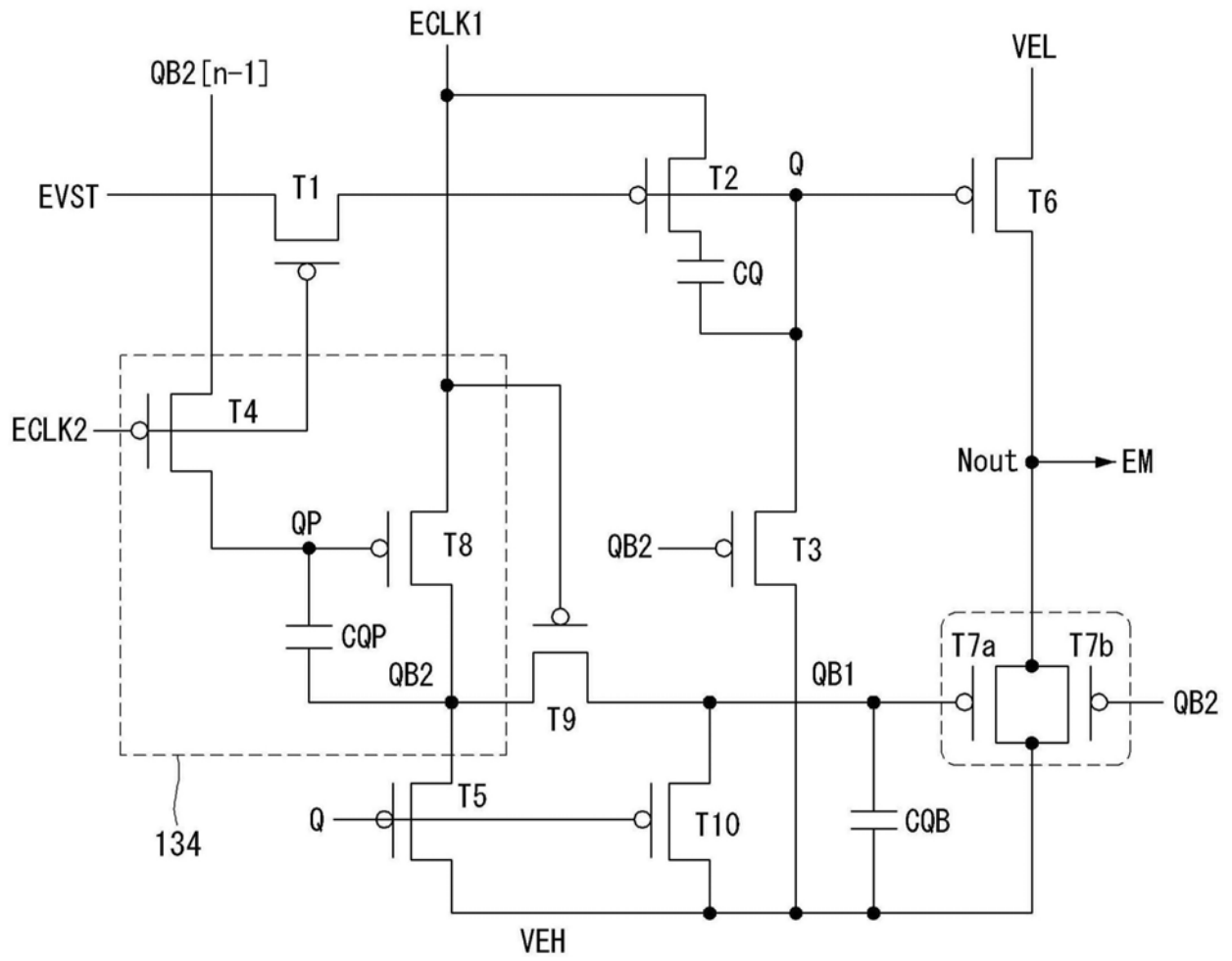


图17

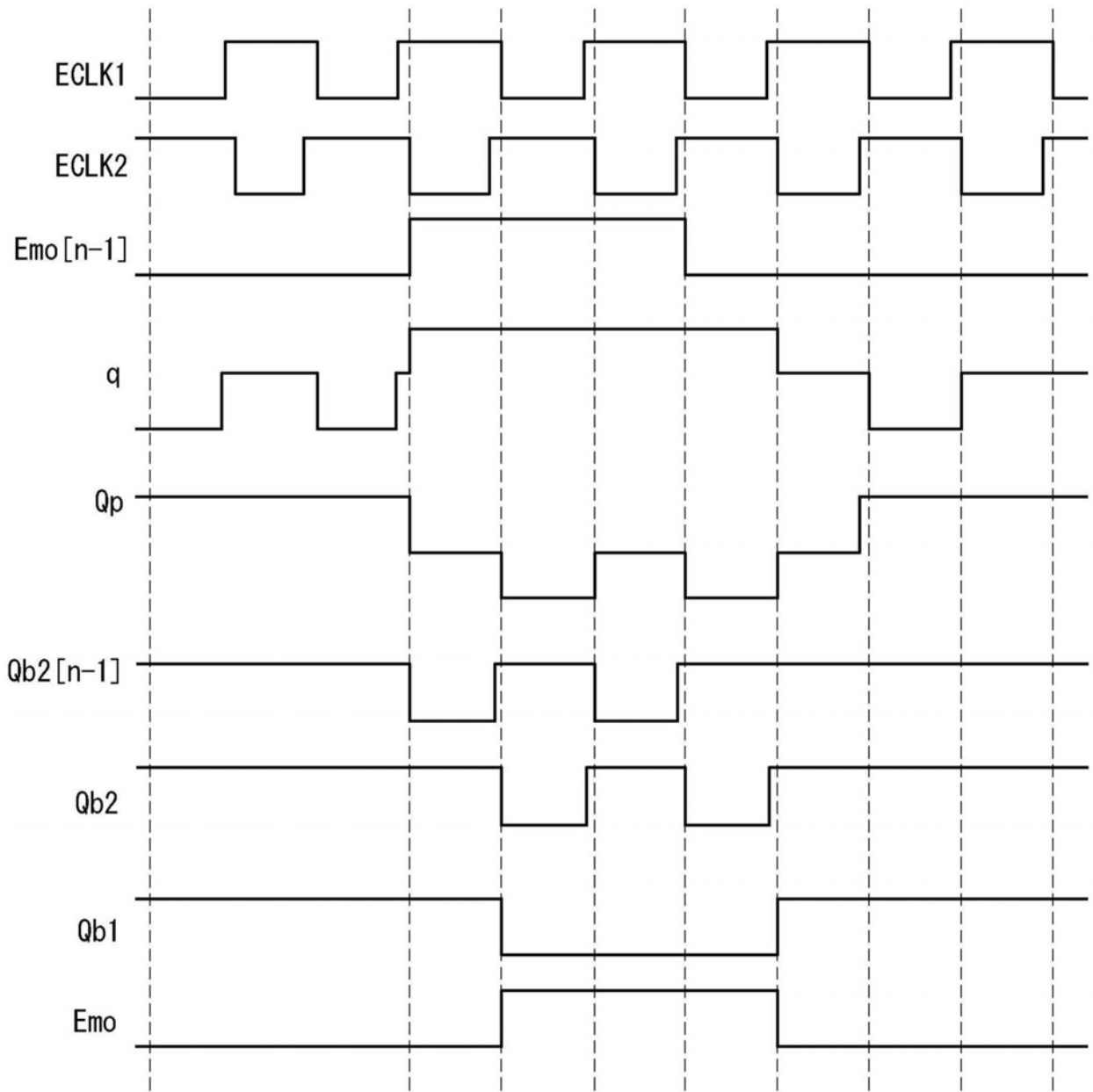


图18

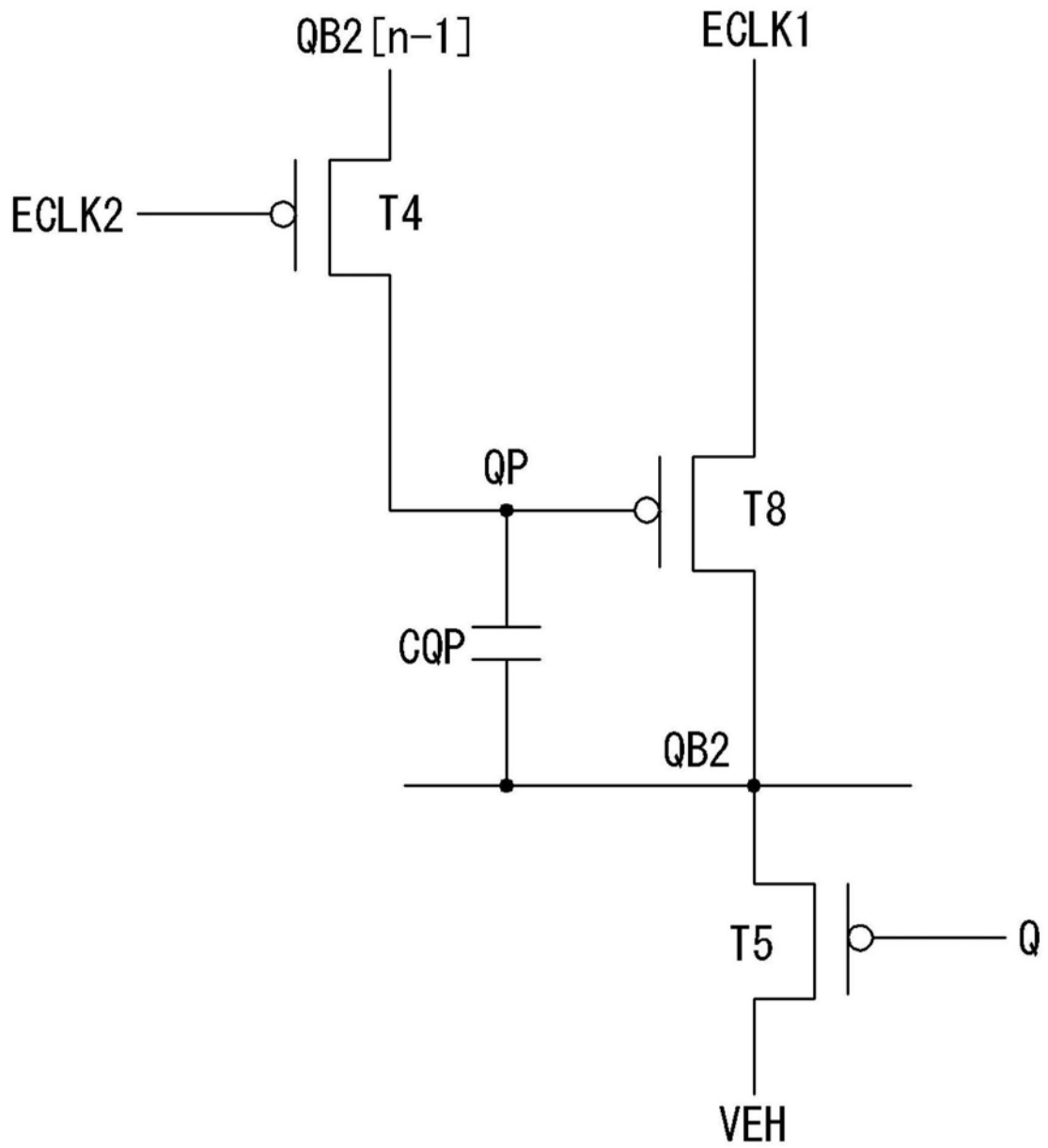


图19

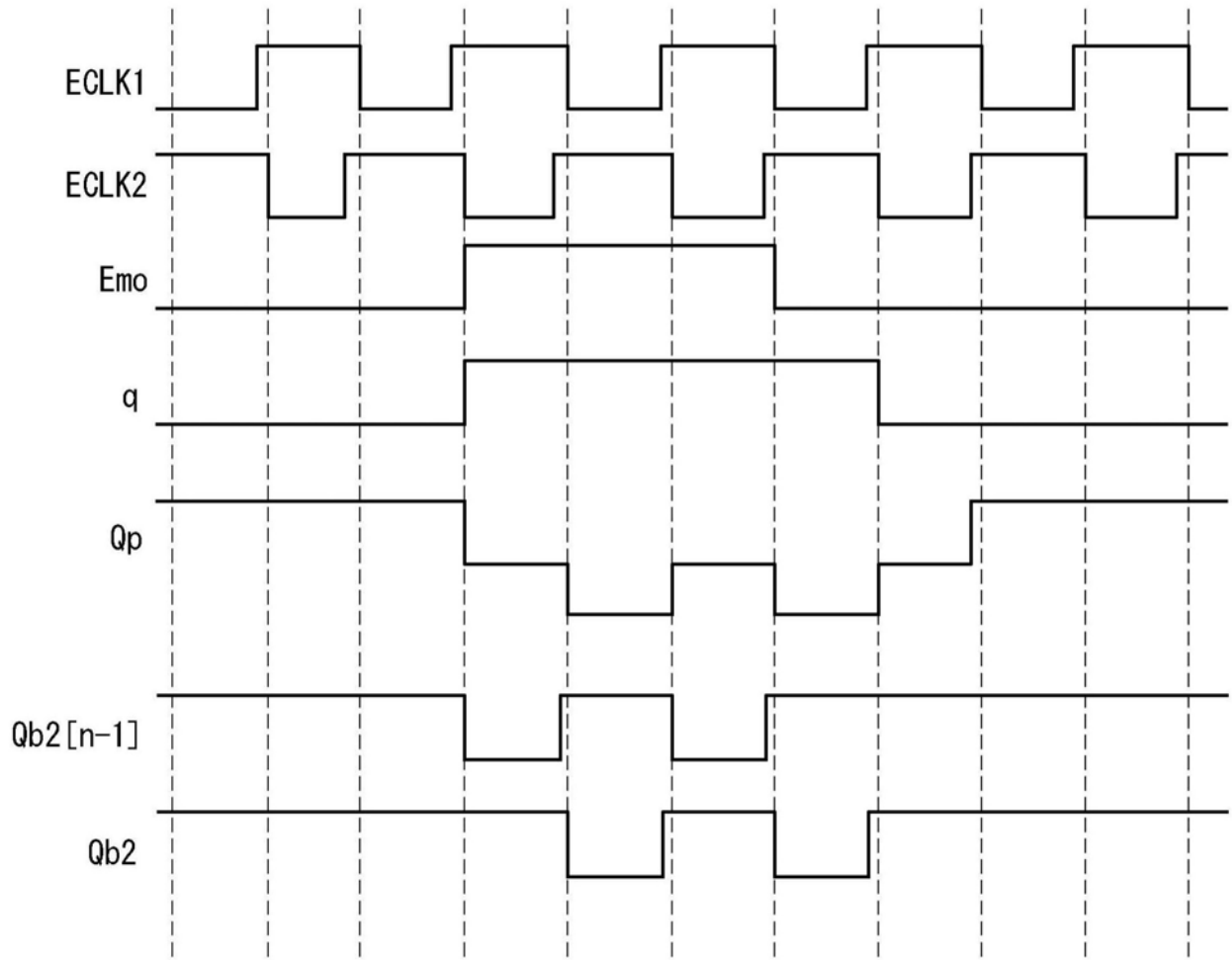


图20

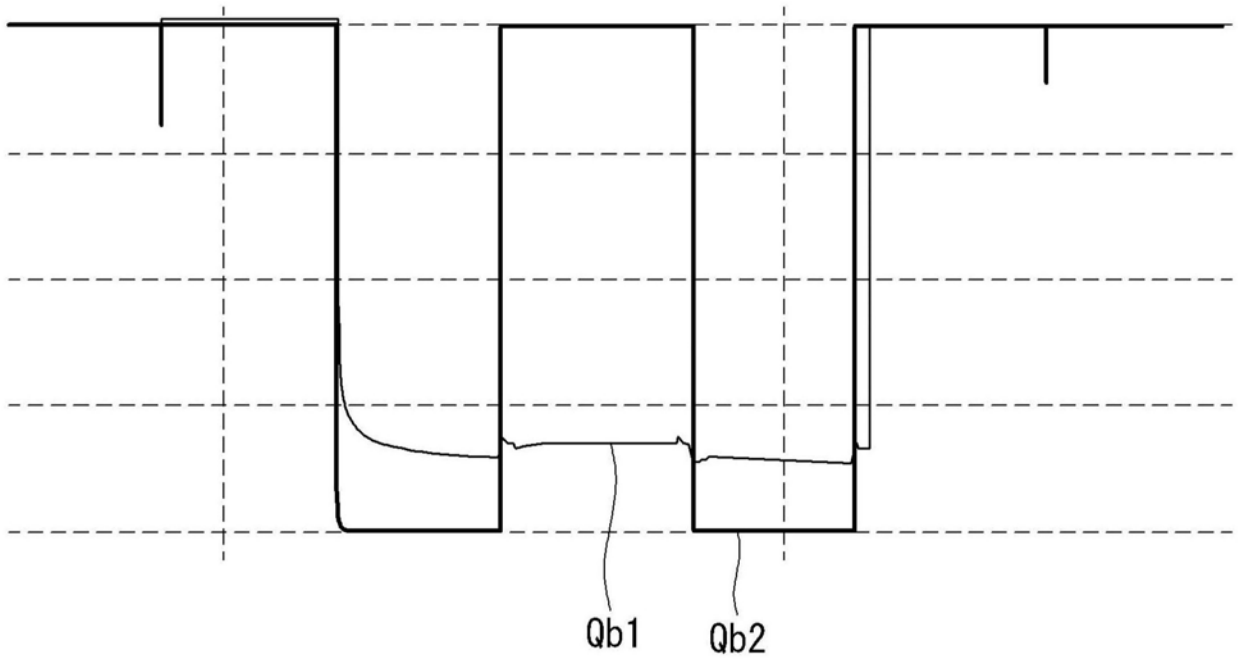


图21

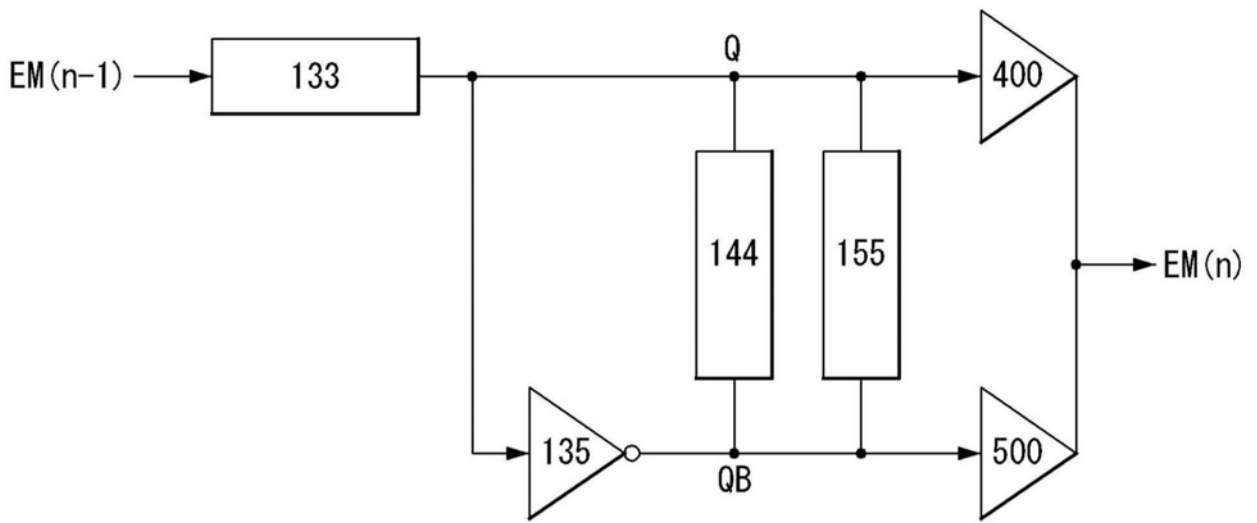


图22

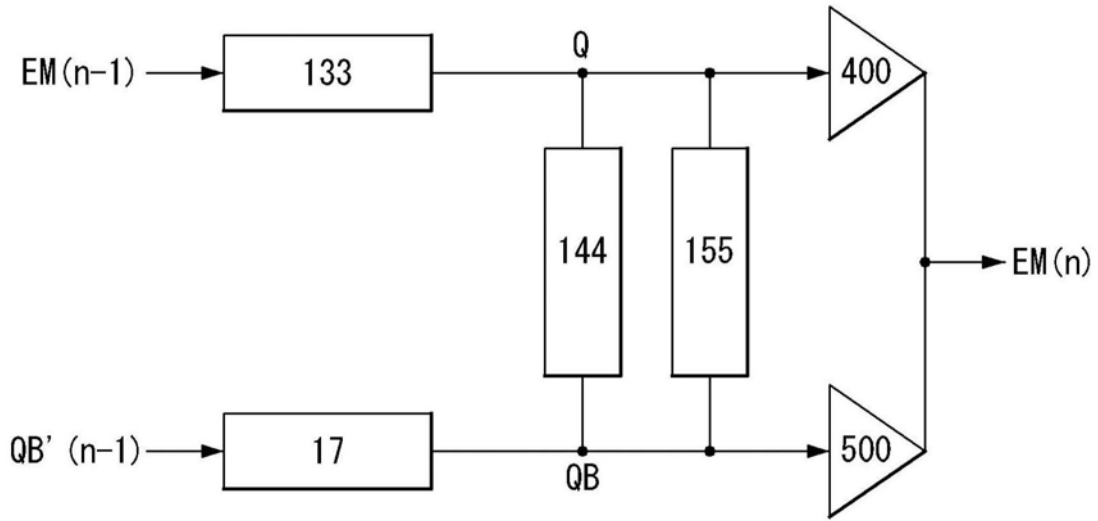


图23

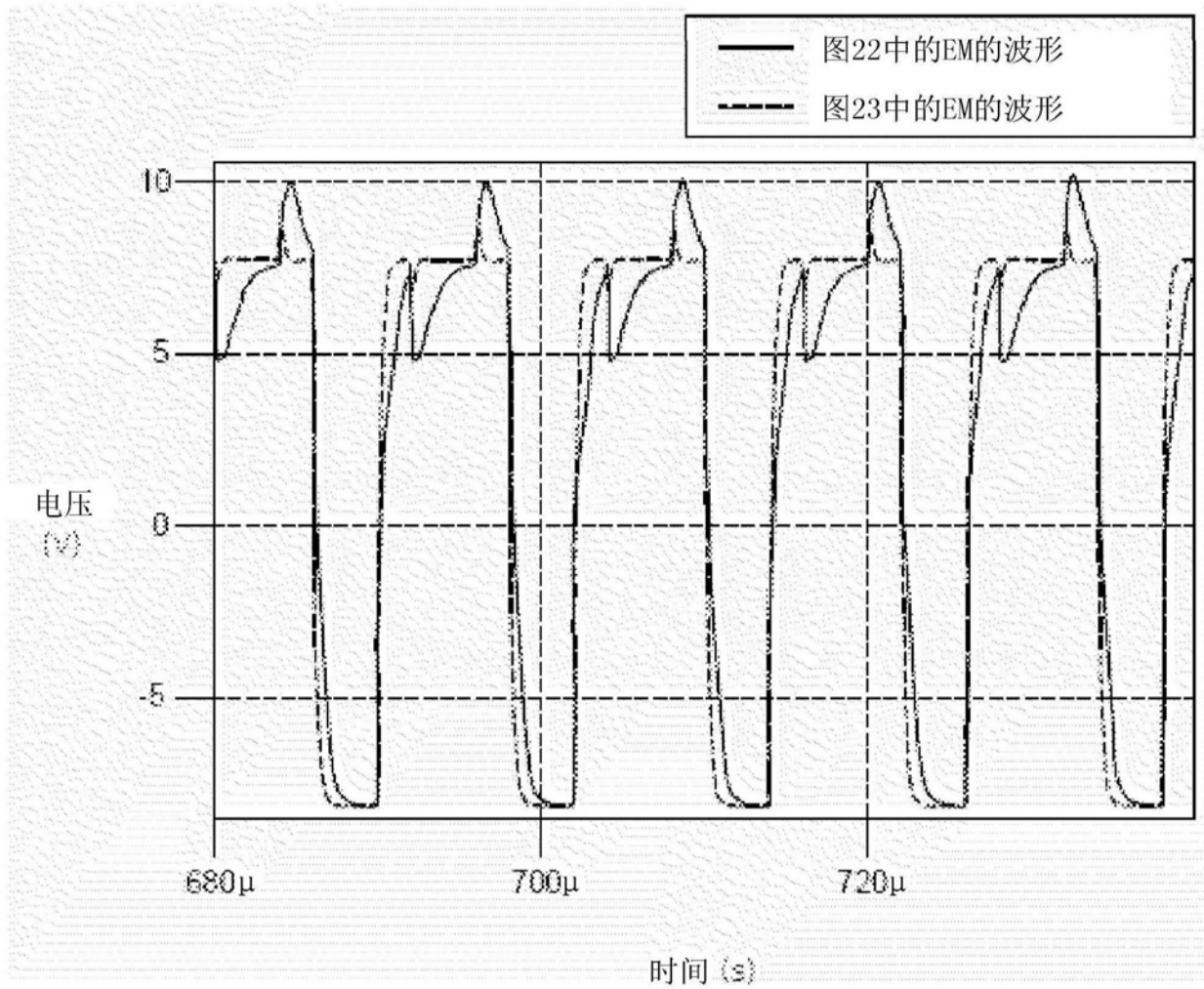


图24

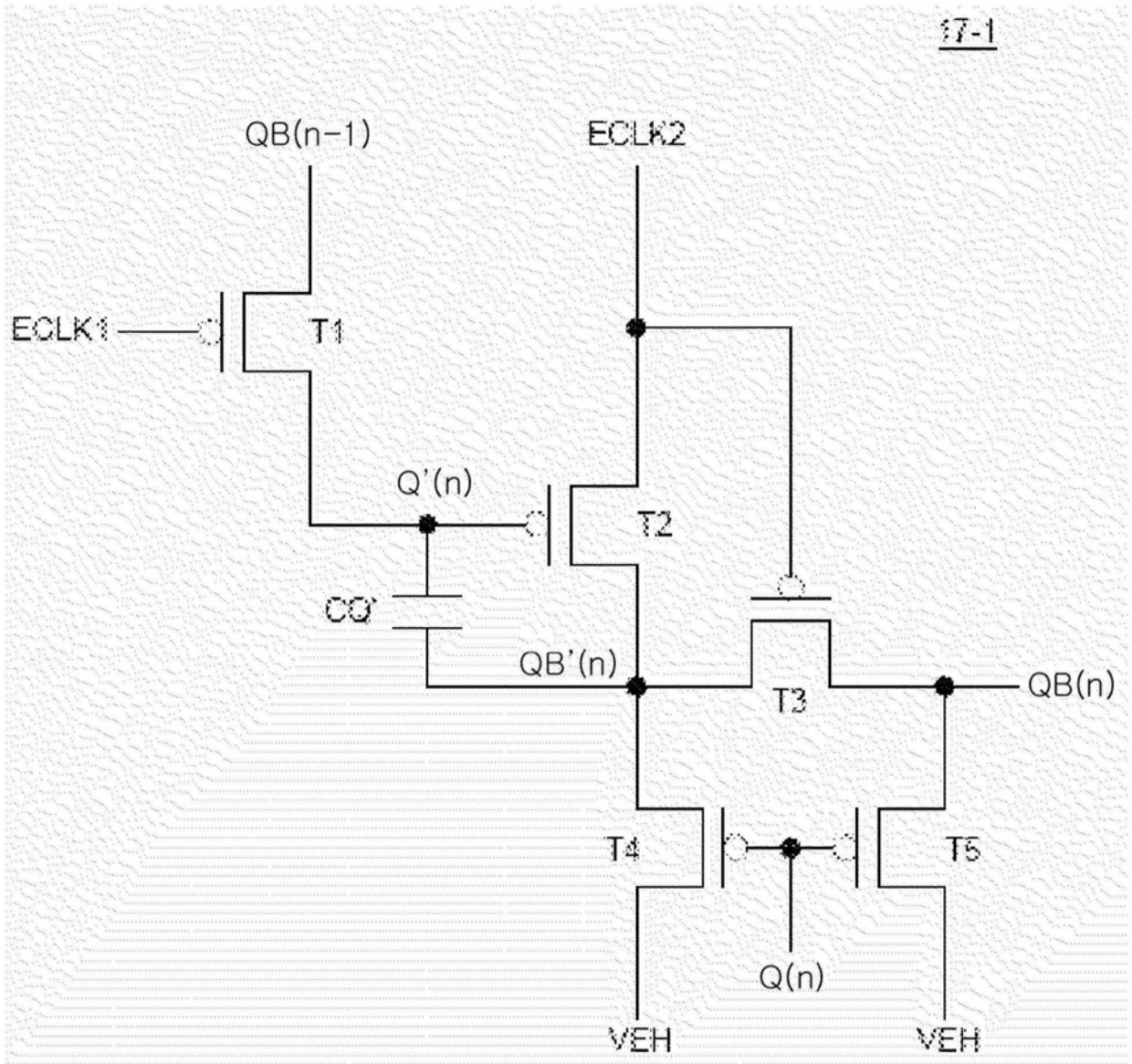


图25

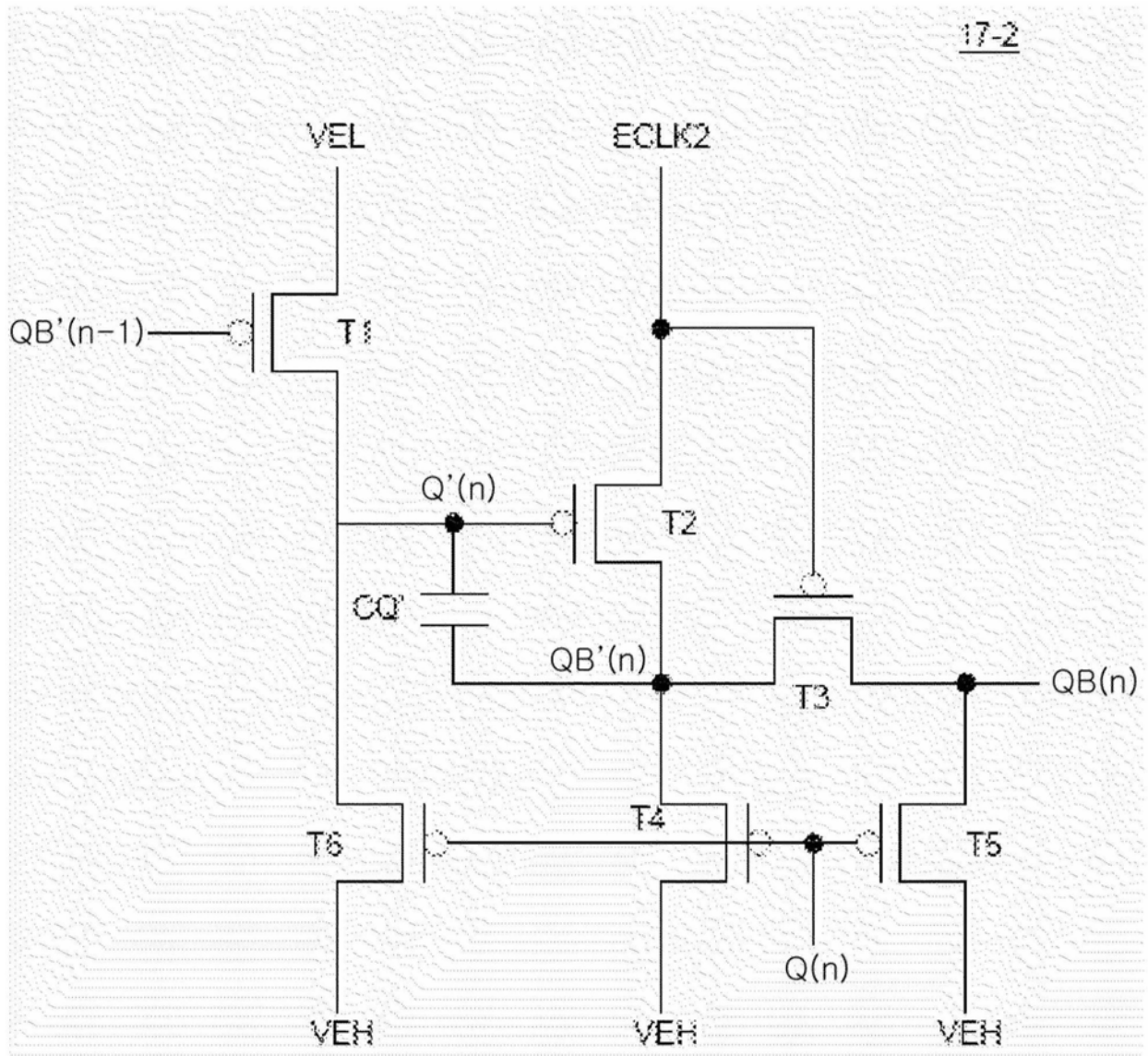


图26

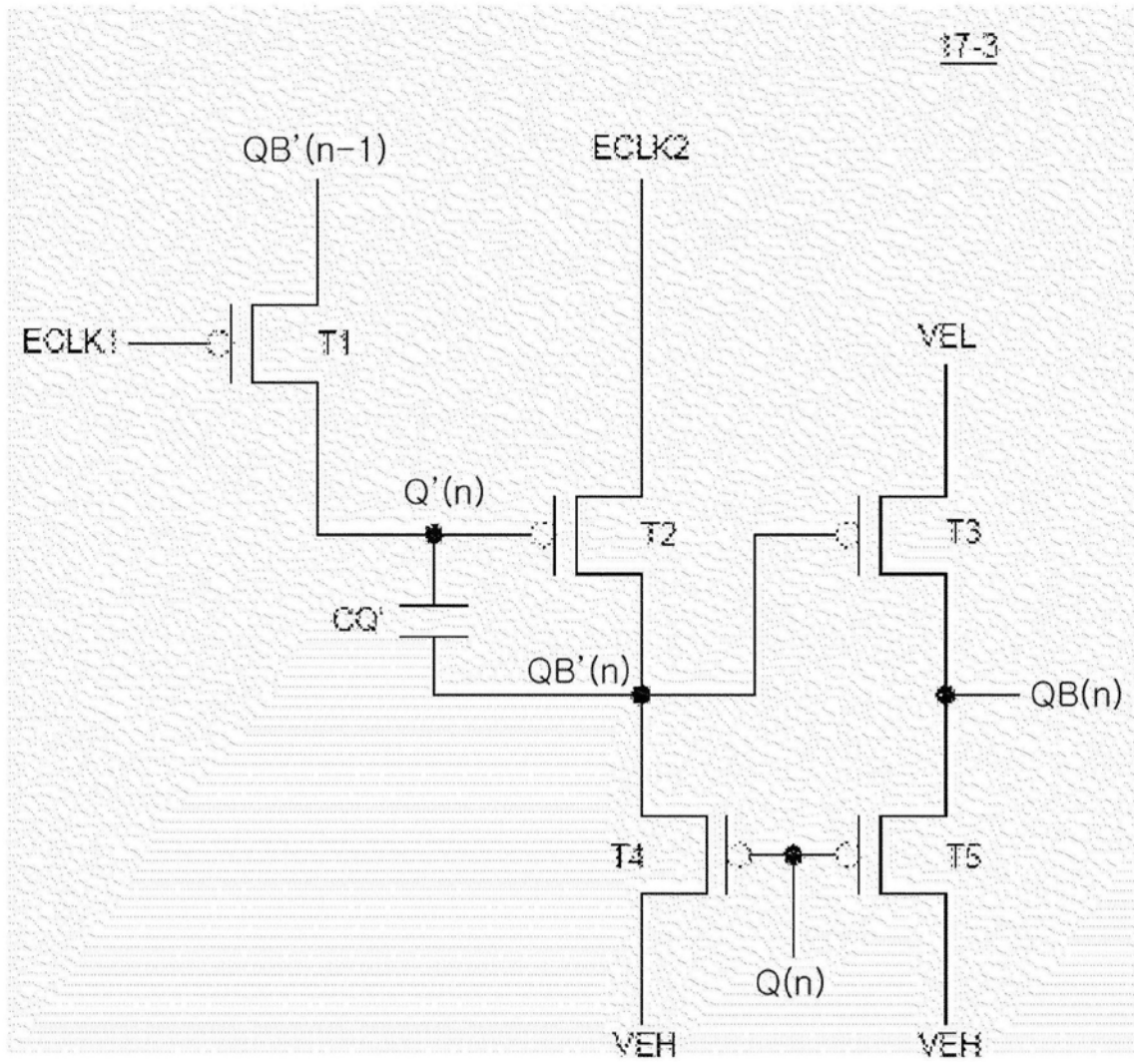


图27

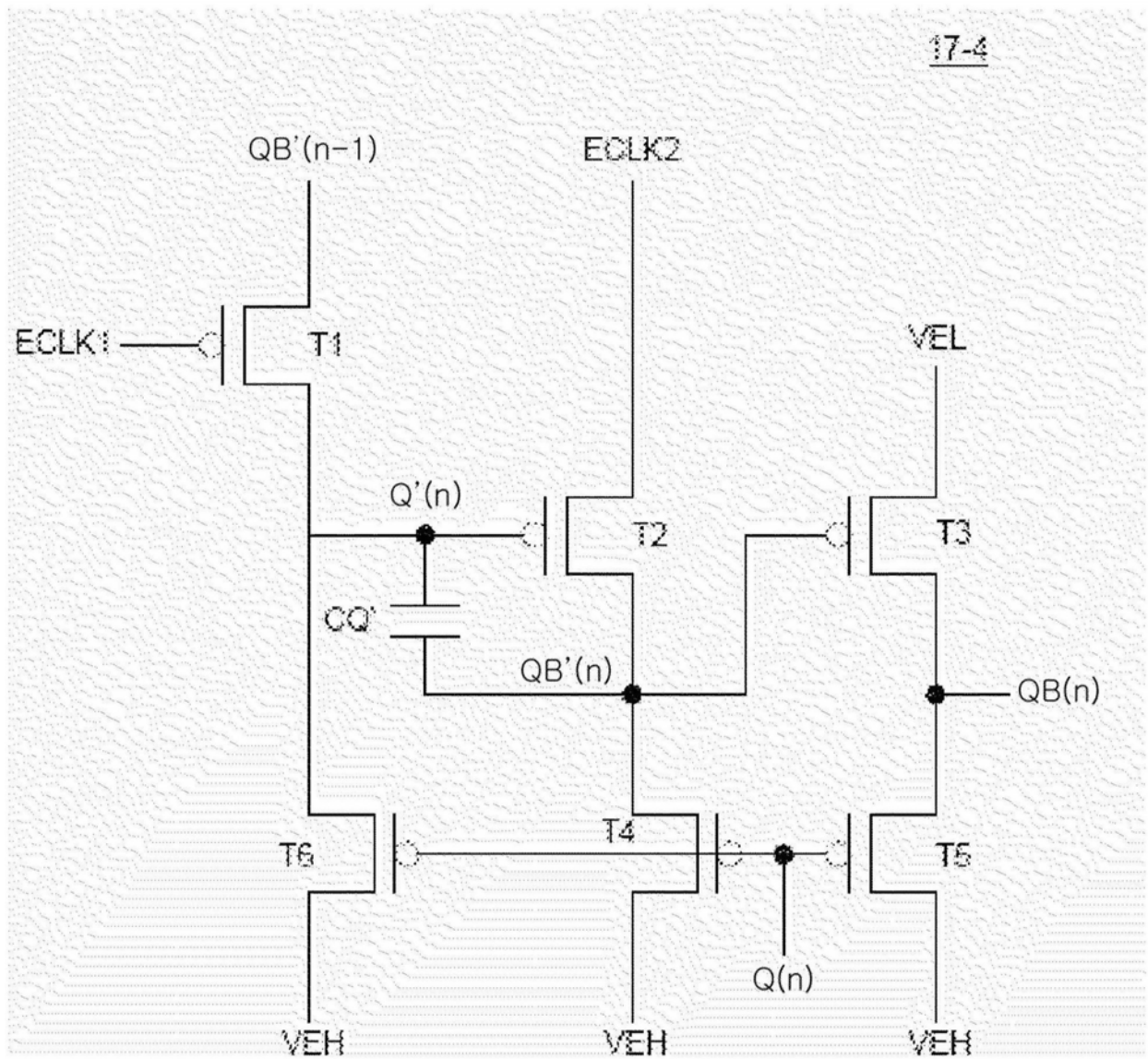


图28

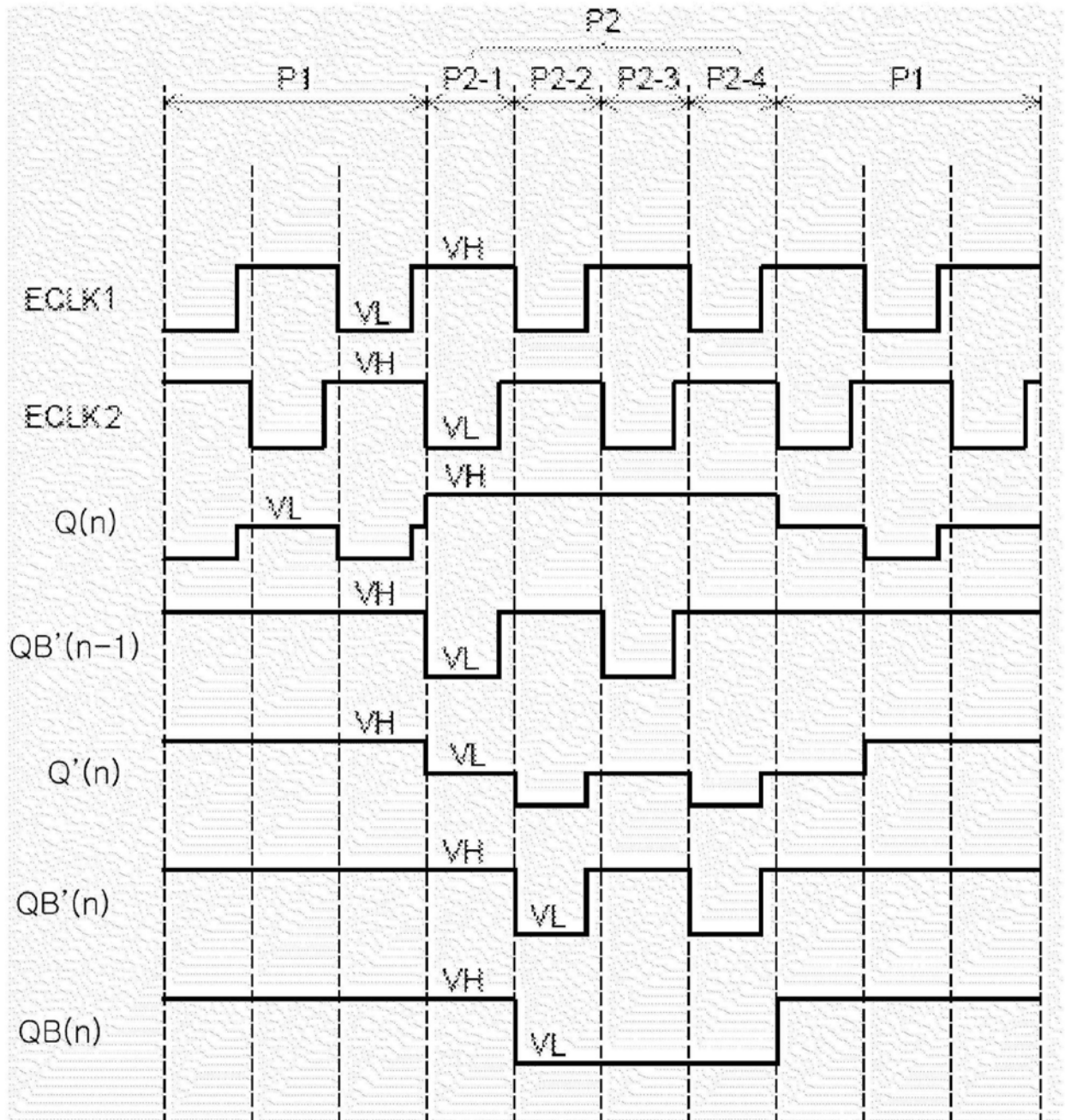


图29

专利名称(译)	选通驱动电路和使用该选通驱动电路的电致发光显示器		
公开(公告)号	CN109427285A	公开(公告)日	2019-03-05
申请号	CN201810811537.4	申请日	2018-07-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	孔忠植 韩弘奎 申美姬 李世浣		
发明人	孔忠植 韩弘奎 申美姬 李世浣		
IPC分类号	G09G3/30		
CPC分类号	G09G3/30 G09G3/3266 G09G2300/0408 G09G2310/0286 G11C19/28 G09G3/3291 G09G3/3677 G09G2300/0426 G09G2310/08 G11C19/287		
代理人(译)	刘久亮		
优先权	1020170111475 2017-08-31 KR 1020170119848 2017-09-18 KR 1020170155014 2017-11-20 KR		
外部链接	Espacenet SIPO		

摘要(译)

选通驱动电路和使用该选通驱动电路的电致发光显示器。一种有机发光显示器包括：像素，其与选通线连接；以及选通驱动电路，其向至少一条选通线供应选通信号，并且包括以级联方式彼此连接的多个级。所述选通驱动电路的第n级包括：Q1节点充电单元，其使用反相的第一时钟信号和第二时钟信号，将Q1节点充电至导通电压；以及上拉晶体管，其响应于Q1节点电压而向输出端子施加导通电压。所述Q1节点充电单元包括：第一充电单元，其使用所述第二时钟信号将所述Q1节点电压充电至导通电压；以及第二充电单元，其在所述Q1节点具有导通电压的区间中使用所述第一时钟信号对与Q1节点联接的Q2节点进行充电，其中n是正整数。

