



(12)发明专利申请

(10)申请公布号 CN 108470538 A

(43)申请公布日 2018.08.31

(21)申请号 201810547999.X

(22)申请日 2018.05.31

(71)申请人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72)发明人 胡思明 黄秀颀 韩珍珍 沈志华
吴剑龙 张露

(74)专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 唐清凯

(51)Int.Cl.

G09G 3/3208(2016.01)

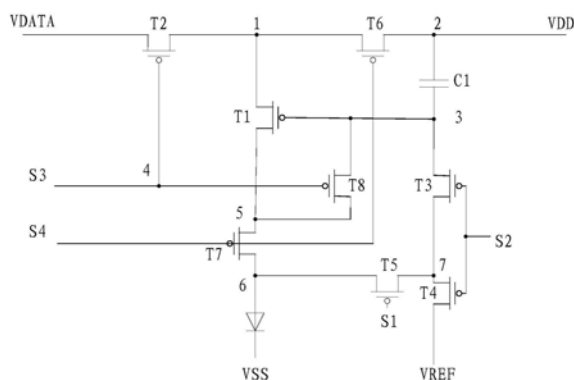
权利要求书2页 说明书7页 附图3页

(54)发明名称

像素电路及其驱动方法

(57)摘要

本发明涉及一种像素电路,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第一电容和有机发光二极管。该像素电路,通过控制第五晶体管与有机发光二极管之间形成连接,可以初始化有机发光二极管的阳极电压,降低阳极和空穴传输层之间的势垒,改善器件性能。



1. 一种像素电路,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第一电容和有机发光二极管;

所述第一晶体管的栅极连接第三节点,所述第一晶体管的第一极连接第一节点,所述第一晶体管的第二极连接第五节点;

所述第二晶体管的栅极连接第四节点,所述第二晶体管的第一极连接数据信号端,所述第一晶体管的第二极连接所述第一节点;

所述第三晶体管的栅极连接所述第四晶体管的栅极,所述第三晶体管的第一极连接所述第三节点,所述第三晶体管的第二极连接第七节点;

所述第四晶体管的栅极连接所述第三晶体管的栅极,所述第四晶体管的第一极连接所述第七节点,所述第四晶体管的第二极连接基准电压;

所述第五晶体管的第一极连接所述第七节点,所述第五晶体管的第二极连接第六节点;

所述第六晶体管的栅极连接所述第七晶体管的栅极,所述第六晶体管的第一极连接第二节点,所述第六晶体管的第二极连接所述第一节点;

所述第七晶体管的栅极连接所述第六晶体管的栅极,所述第七晶体管的第一极连接所述第五节点,所述第七晶体管的第二极连接所述第六节点;

所述第八晶体管的栅极连接所述第四节点,所述第八晶体管的第一极连接所述第五节点,所述第八晶体管的第二极连接所述第三节点;

所述第一电容的第一端连接所述第二节点,所述第一电容的第二端连接所述第三节点;

所述有机发光二极管的输入端连接所述第六节点,所述有机发光二极管的输出端连接地信号。

2. 根据权利要求1所述的像素电路,其特征在于,还包括:

第二电容;所述第二电容的第一端连接所述第四节点,所述第二电容的第二端连接所述第三节点。

3. 根据权利要求1所述的像素电路,其特征在于,还包括:

第一扫描端,连接于所述第五晶体管的栅极;

第二扫描端,连接于所述第三晶体管的栅极和所述第四晶体管的栅极;

第三扫描端,连接于所述第四节点和所述第八晶体管的栅极;

第四扫描端,连接于所述第六晶体管的栅极和所述第七晶体管的栅极。

4. 根据权利要求1所述的像素电路,其特征在于,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管和所述第八晶体管为多晶硅薄膜晶体管、氧化物半导体薄膜晶体管和硅薄膜晶体管中的一种或多种。

5. 根据权利要求2所述的像素电路,其特征在于,所述第一电容为储能电容,所述第二电容为耦合电容。

6. 一种像素电路驱动方法,基于权利要求3至5任意一项所述的像素电路,其特征在于,包括如下步骤:

第一初始化阶段,所述第一扫描端和所述第二扫描端输入低电平信号,所述第三扫描

端、所述第四扫描端和所述数据信号端输入高电平信号；

第二初始化阶段，所述第二扫描端输入低电平信号，所述第一扫描端、所述第三扫描端、所述第四扫描端和所述数据信号端输入高电平信号；

驱动阶段，所述第三扫描端和所述数据信号端输入低电平信号，所述第一扫描端、所述第二扫描端和所述第四扫描端输入高电平信号；

发光显示阶段，所述第四扫描端输入低电平信号，所述第一扫描端、所述第二扫描端、所述第三扫描端和所述数据信号端输入高电平信号。

7. 根据权利要求6所述的像素电路驱动方法，其特征在于，所述第一初始化阶段步骤，所述第一扫描端和所述第二扫描端输入低电平信号，以使所述第五晶体管、所述第三晶体管和所述第四晶体管导通。

8. 根据权利要求6所述的像素电路驱动方法，其特征在于，所述第二初始化阶段步骤，所述第一扫描端输入高电平信号，所述第五晶体管截止，以使电流从所述第三晶体管和所述第四晶体管流入基准电压。

9. 根据权利要求6所述的像素电路驱动方法，其特征在于，所述驱动阶段步骤，所述第三扫描端和所述数据信号端输入低电平信号，以使所述第二晶体管、所述第一晶体管和所述第八晶体管导通。

10. 根据权利要求6所述的像素电路驱动方法，其特征在于，所述发光显示阶段，所述第四扫描端输入低电平信号，以使所述第六晶体管和所述第七晶体管导通。

像素电路及其驱动方法

技术领域

[0001] 本发明涉及OLED像素驱动领域,特别是涉及像素电路及其驱动方法。

背景技术

[0002] 有机发光显示器是一种应用有机发光二极管(Organic Light-Emitting Diode, OLED)作为发光器件的显示器,相比薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display, TFT-LCD),其具有高对比度、广视角、低功耗、体积薄等优点。

[0003] OLED的亮度是由驱动薄膜晶体管(Thin Film Transistor, TFT)电路产生的电流大小决定。

[0004] 申请人在实现现有技术的过程中发现:现有的像素驱动电路,驱动电路中晶体管的阈值电压差较大,在驱动像素电路时,可能导致各像素之间的亮度不一致。

发明内容

[0005] 基于此,有必要针对现有技术中存在的OLED初始化漏电流及驱动TFT漏电流较高的问题,提供一种新的像素电路及其驱动方法。

[0006] 一种像素电路,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第一电容和有机发光二极管;所述第一晶体管的栅极连接第三节点,所述第一晶体管的第一极连接第一节点,所述第一晶体管的第二极连接第五节点;所述第二晶体管的栅极连接第四节点,所述第二晶体管的第一极连接数据信号端,所述第一晶体管的第二极连接所述第一节点;所述第三晶体管的栅极连接所述第四晶体管的栅极,所述第三晶体管的第一极连接所述第三节点,所述第三晶体管的第二极连接第七节点;所述第四晶体管的栅极连接所述第三晶体管的栅极,所述第四晶体管的第一极连接所述第七节点,所述第四晶体管的第二极连接基准电压;所述第五晶体管的第一极连接所述第七节点,所述第五晶体管的第二极连接第六节点;所述第六晶体管的栅极连接所述第七晶体管的栅极,所述第六晶体管的第一极连接第二节点,所述第六晶体管的第二极连接所述第一节点;所述第七晶体管的栅极连接所述第六晶体管的栅极,所述第七晶体管的第一极连接所述第五节点,所述第七晶体管的第二极连接所述第六节点;所述第八晶体管的栅极连接所述第四节点,所述第八晶体管的第一极连接所述第五节点,所述第八晶体管的第二极连接所述第三节点;所述第一电容的第一端连接所述第二节点,所述第一电容的第二端连接所述第三节点;所述有机发光二极管的输入端连接所述第六节点,所述有机发光二极管的输出端连接地信号。

[0007] 上述像素电路,通过控制第一晶体管和第八晶体管之间形成连接,可以将第一晶体管的阈值电压差异抵消,从而使得不同像素电路中第一晶体管的驱动电流一致,达到各像素亮度一致的目的。同时,该像素电路,通过控制第五晶体管与有机发光二极管之间形成连接,可以初始化有机发光二极管的阳极电压,降低阳极和空穴传输层之间的势垒,改善器件性能。

[0008] 在一个实施例中,所述像素电路,还包括:第二电容;所述第二电容的第一端连接所述第四节点,所述第二电容的第二端连接所述第三节点。

[0009] 在一个实施例中,所述像素电路,还包括:第一扫描端,连接于所述第五晶体管的栅极;第二扫描端,连接于所述第三晶体管的栅极和所述第四晶体管的栅极;第三扫描端,连接于所述第四节点和所述第八晶体管的栅极;第四扫描端,连接于所述第六晶体管的栅极和所述第七晶体管的栅极。

[0010] 在一个实施例中,所述像素电路,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管和所述第八晶体管为多晶硅薄膜晶体管、氧化物半导体薄膜晶体管和硅薄膜晶体管中的一种或多种。

[0011] 在一个实施例中,所述像素电路中,所述第一电容为储能电容,所述第二电容为耦合电容。

[0012] 一种像素电路驱动方法,包括如下步骤:第一初始化阶段,所述第一扫描端和所述第二扫描端输入低电平信号,所述第三扫描端、所述第四扫描端和所述数据信号端输入高电平信号;第二初始化阶段,所述第二扫描端输入低电平信号,所述第一扫描端、所述第三扫描端、所述第四扫描端和所述数据信号端输入高电平信号;驱动阶段,所述第三扫描端和所述数据信号端输入低电平信号,所述第一扫描端、所述第二扫描端和所述第四扫描端输入高电平信号;发光显示阶段,所述第四扫描端输入低电平信号,所述第一扫描端、所述第二扫描端、所述第三扫描端和所述数据信号端输入高电平信号。

[0013] 上述像素电路驱动方法,在驱动阶段,通过控制扫描信号使第二晶体管、第一晶体管、第八晶体管导通,从而使第一晶体管和第八晶体管之间形成连接,抵消第一晶体管内的阈值差异,从而使得不同像素电路中第一晶体管的驱动电流一致,达到各像素亮度一致的目的。

[0014] 在一个实施例中,所述的像素电路驱动方法,所述第一初始化阶段步骤,所述第一扫描端和所述第二扫描端输入低电平信号,以使所述第五晶体管、所述第三晶体管和所述第四晶体管导通。

[0015] 在一个实施例中,所述的像素电路驱动方法,所述第二初始化阶段步骤,所述第一扫描端输入高电平信号,所述第五晶体管截止,以使电流从所述第三晶体管和所述第四晶体管流入基准电压。

[0016] 在一个实施例中,所述的像素电路驱动方法,所述驱动阶段步骤,所述第三扫描端和所述数据信号端输入低电平信号,以使所述第二晶体管、所述第一晶体管和所述第八晶体管导通。

[0017] 在一个实施例中,所述的像素电路驱动方法,所述发光显示阶段,所述第四扫描端输入低电平信号,以使所述第六晶体管和所述第七晶体管导通。

附图说明

[0018] 图1为本申请一个实施例中的像素电路图。

[0019] 图2为本申请另一个实施例中的像素电路图。

[0020] 图3为本申请一个实施例中采用P型薄膜晶体管的像素电路图。

[0021] 图4为本申请一个实施例中像素电路驱动方法的时序图。

[0022] 图5为本申请一个实施例中驱动电流的检测结果显示图。

具体实施方式

[0023] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似改进,因此本发明不受下面公开的具体实施例的限制。

[0024] 一种像素电路,如图1所示,包括:第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第一电容C1和有机发光二极管OLED。

[0025] 所述第一晶体管T1的栅极连接第三节点3,第一极连接第一节点1,第二极连接第五节点5。所述第二晶体管T2的栅极连接第四节点4,第一极连接数据信号端,第二极连接所述第一节点1。所述第三晶体管T3的栅极连接所述第四晶体管T4的栅极,所述第三晶体管的第一极连接所述第三节点3,第二极连接第七节点7。所述第四晶体管T4的第一极连接所述第七节点7,第二极连接所述基准电压VREF。所述第五晶体管T5的第一极连接所述第七节点7,第二极连接第六节点6。所述第六晶体管T6的栅极连接与所述第七晶体管T7的栅极连接,所述第六晶体管T6的第一极连接第二节点2,第二极连接所述第一节点1。所述第七晶体管T7的第一极连接所述第五节点5,第二极连接所述第六节点6。所述第八晶体管的栅极连接所述第四节点4,第一极连接所述第五节点5,第二极连接所述第三节点3。所述第一电容C1的第一端连接所述第二节点2,第二端连接所述第三节点3。有机发光二极管的输入端连接所述第六节点6,输出端连接地信号VSS。有机发光二极管的输入端即为阳极,输出端即为阴极。

[0026] 在本实施例中,所有连接均指电连接,以使两个相连的电子元件中可以有电流通过。

[0027] 在本实施例中,所述数据信号端设于所述第二晶体管T2的第一极,数据信号VDATA从数据信号端输入。电源信号VDD从所述第二节点2输入,基准信号从所述第四晶体管T4的第二极输入。有机发光二极管OLED的输出端接所述地信号VSS。

[0028] 在本实施例中,所述第一晶体管T1是像素电路中的驱动晶体管。所述第一电容C1作为储能电容,连接于所述第二节点2和所述第三节点3之间。所述第一电容C1在稳定所述第一晶体管T1的栅极电压、提高显示质量的同时,可以减少所述第三晶体管T3和所述第四晶体管T4漏电,从而在一帧时间内提升电压的稳定,减少有机发光二极管OLED发光的不稳定程度。所述第三晶体管T3和所述第四晶体管T4依次连接于所述第三节点3和所述基准信号VREF之间,可以减小漏电。所述第五晶体管连接于所述第七节点7和所述第六节点6之间,可以通过控制其开关进而控制是否有电流从所述第五晶体管T5流入有机发光二极管OLED,从而有效防止有机发光二极管OLED的阳极漏电。

[0029] 该像素电路,通过控制所述第一晶体管T1和所述第八晶体管T8之间形成连接,可以将所述第一晶体管T1的阈值电压差异抵消,从而使得不同像素电路中所述第一晶体管T1的驱动电流一致,达到各像素亮度一致的目的。同时,该像素电路,通过控制所述第五晶体

管T5与有机发光二极管OLED之间形成连接,可以初始化有机发光二极管OLED的阳极电压,降低阳极和空穴传输层之间的势垒,改善器件性能。

[0030] 在一个实施例中,上述第三晶体管T3、第四晶体管T4、第五晶体管T5可以采用单栅极薄膜晶体管,也可以采用双栅极薄膜晶体管。采用双栅极薄膜晶体管可以减少薄膜晶体管漏电,提高像素电路的漏电能力,从而在一帧时间内提升电压的稳定,减少有机发光二极管OLED发光的不稳定程度。在如图1所示的实施例中,本申请的像素电路,为减小像素电路的版图面积,第三晶体管T3、第四晶体管T4、第五晶体管T5采用单栅极薄膜晶体管。同时,在采用了单栅极薄膜晶体管之后,采用了第三晶体管T3和第五晶体管T5共享第四晶体管T4的方案。因此,第三晶体管T3与第四晶体管T4组成双栅结构,第五晶体管T5与第四晶体管T4也组成双栅结构,从而提高像素电路的漏电能力。

[0031] 上述像素电路,第三晶体管T3和第五晶体管T5共享第四晶体管T4。由于第三晶体管T3、第四晶体管T4、第五晶体管T5均为单栅极薄膜晶体管,可以减小像素电路的版图面积。同时,第三晶体管T3与第四晶体管T4组成双栅结构,第五晶体管T5与第四晶体管T4也组成双栅结构,提高了像素电路的漏电能力,减少了实际需要的薄膜晶体的数量,更适用于高分辨率的屏体结构。

[0032] 在一个实施例中,如图2所示,本申请的像素电路,还包括:第二电容C2。所述第二电容C2的第一端连接所述第四节点4,第二端连接所述第三节点3。所述第二电容C2为耦合电容。

[0033] 在一个实施例中,本申请的像素电路,还包括:第一扫描端S1、第二扫描端S2、第三扫描端S3、第四扫描端S4。

[0034] 所述第一扫描端S1连接于所述第五晶体管T5的栅极,用于控制所述第五晶体管T5的开关。所述第二扫描端S2连接于所述第三晶体管T3的栅极和所述第四晶体管T4的栅极,用于控制所述第三晶体管T3和所述第四晶体管T4的开关。所述第三扫描端S3连接于所述第四节点4和所述第八晶体管T8的栅极,用于控制所述第二晶体管T2和所述第八晶体管T8的开关。所述第四扫描端连接于所述第六晶体管T6和所述第七晶体管T7的栅极,用于控制所述第六晶体管T6和所述第七晶体管T7的开关。

[0035] 在一个实施例中,所述第一晶体管T1、所述第二晶体管T2、所述第三晶体管T3、所述第四晶体管T4、所述第五晶体管T5、所述第六晶体管T6、所述第七晶体管T7和所述第八晶体管T8可以采用多晶硅薄膜晶体管、氧化物半导体薄膜晶体管、非晶硅薄膜晶体管中的一种或多种。需要理解的是,各晶体管的选用并不局限于某一种薄膜晶体管,其可以达到本申请的有益效果即应当理解为在本实施例的保护范围之内。同样的,所述第一晶体管T1、所述第二晶体管T2、所述第三晶体管T3、所述第四晶体管T4、所述第五晶体管T5、所述第六晶体管T6、所述第七晶体管T7和所述第八晶体管T8可以采用P型薄膜晶体管,也可以采用N型薄膜晶体管。在采用P型薄膜晶体管作为像素电路中的晶体管类型时,对需要导通的晶体管的栅极输入低电平信号;在采用N型薄膜晶体管作为像素电路中的晶体管类型时,对需要导通的晶体管的栅极输入高电平信号。因此,本申请的像素电路可以采用任意一种类型的薄膜晶体管,薄膜晶体的类型也并不应该对本申请的保护范围作出限定。

[0036] 在一个实施例中,当本申请的像素电路中各晶体管采用P型薄膜晶体管时,各薄膜晶体管的第一极对应P型薄膜晶体管的源极,各薄膜晶体的第二极对应P型薄膜晶体管的

漏极。即所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管的第一极和第二级分别对应所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管的源极和漏极。

[0037] 具体的,如图2所示,当本申请的像素电路中各晶体管为P型薄膜晶体管,则:所述第一晶体管T1的第一极为源极,第二级为漏极。所述第二晶体管T2的第一极为源极,第二级为漏极。所述第三晶体管T3的第一极为源极,第二级为漏极。所述第四晶体管T4的第一极为源极,第二级为漏极。所述第五晶体管T5的第一极为源极,第二级为漏极。所述第六晶体管T6的第一极为源极,第二级为漏极。所述第七晶体管T7的第一极为源极,第二级为漏极。所述第八晶体管T8的第一极为源极,第二级为漏极。

[0038] 本申请还提供一种像素电路驱动方法,如图3所示,包括如下步骤:第一初始化阶段t1,所述第一扫描端S1、所述第二扫描端S2输入低电平信号;所述第三扫描端S3、所述第四扫描端S4、所述数据信号端输入高电平信号。第二初始化阶段t2,所述第二扫描端S2输入低电平信号,所述第一扫描端S1、所述第三扫描端S3、所述第四扫描端S4、所述数据信号端输入高电平信号。驱动阶段t3,所述第三扫描端S3、所述数据信号端输入低电平信号,所述第一扫描端S1、所述第二扫描端S2、所述第四扫描端S4输入高电平信号。发光显示阶段t4,所述第四扫描端4输入低电平信号,所述第一扫描端S1、所述第二扫描端S2、所述第三扫描端S3、所述数据信号端输入高电平信号。

[0039] 上述像素电路驱动方法,在驱动阶段t3,通过控制扫描信号使所述第二晶体管T2、所述第一晶体管T1、所述第八晶体管T8导通,从而使所述第一晶体管T1和所述第八晶体管T8之间形成连接,抵消所述第一晶体管T1内的阈值差异,从而使得不同像素电路中所述第一晶体管T1的驱动电流一致,达到各像素亮度一致的目的。

[0040] 在一个实施例中,上述像素电路驱动方法,为使信号传输更加精确,还包括过渡阶段t5,在过渡阶段t5内,所述第二扫描端S2输入低电平信号,所述第一扫描端S1、所述第三扫描端、所述第四扫描端、所述数据信号端输入高电平信号。

[0041] 下面结合电路及时序图分析本电路的驱动方法和工作过程。

[0042] 第一初始化阶段t1,所述第三扫描端S3、所述第四扫描端S4、所述数据信号端输入高电平信号,从而使所述第二晶体管T2、所述第八晶体管T8、所述第六晶体管T6、所述第七晶体管关断T7。所述第一扫描端S1、所述第二扫描端S2输入低电平信号,从而使所述第五晶体管T5、所述第三晶体管T3、所述第四晶体管T4导通。此时,有机发光二极管OLED没有驱动电流从而没有发光。所述基准电压VERF通过所述第四晶体管T4、所述第三晶体管T3传至所述第一晶体管T1的栅极,使上一帧像素时间存储在所述第一电容C1里的剩余电能放电消除,避免对当前帧像素时间内对阈值电压采样造成差异从而导致最后的驱动电流不同。同时,所述基准电压VREF通过所述第五晶体管T5传至有机发光二极管OLED的阳极,从而初始化有机发光二极管OLED的阳极电压,降低阳极和空穴传输层之间的势垒。

[0043] 过度阶段t5,所述第二扫描端S2输入低电平信号,所述第一扫描端S1、所述第三扫描端、所述第四扫描端、所述数据信号端输入高电平信号,为第一初始化阶段t1的延续阶段,以保证所述第一电容C1内的剩余电能放电消除尽。

[0044] 第二初始化阶段t2,所述第二扫描端S2输入低电平信号,从而使所述第三晶体管

T3和所述第四晶体管T4导通。所述第一扫描端S1、所述第三扫描端S3、所述第四扫描端S4、所述数据信号端输入高电平信号,从而使所述第五晶体管T5、所述第二晶体管T2、所述第八晶体管T8、所述第六晶体管T6、所述第七晶体管T7关断。此时,所述基准电压仅通过所述第四晶体管T4、所述第三晶体管T3传至所述第一晶体管T1的栅极,从而使所述第一晶体管T1的栅极电压初始化,恢复所述第一晶体管T1的开关功能。

[0045] 驱动阶段t3,所述第一扫描端S1、所述第二扫描端S2、所述第四扫描端S4输入高电平信号,以使所述第五晶体管T5、所述第三晶体管T3、所述第四晶体管T4、所述第七晶体管T7、所述第六晶体管T6关断。所述第三扫描端S3、所述数据信号端输入低电平信号,以使所述第二晶体管T2、所述第八晶体管T8导通。此时,所述数据信号端经所述第二晶体管T2、所述第一晶体管T1、所述第八晶体管T8达到所述第一晶体管T1的栅极,并对连接在所述第一晶体管T1栅极的所述第一电容C1进行储能。所述第一电容C1经过储能后,所述第一晶体管T1的栅极电压成为V_{DATA}+V_{th},其中,V_{th}为所述第一晶体管T1的阈值电压,且该阈值电压的值为负值。

[0046] 发光显示阶段t4,所述第四扫描端4输入低电平信号,以使所述第六晶体管T6、所述第七晶体管T7导通。所述第一扫描端S1、所述第二扫描端S2、所述第三扫描端S3、所述数据信号端输入高电平信号,以使所述第五晶体管T5、所述第三晶体管T3、所述第四晶体管T4、所述第二晶体管T2、所述第八晶体管T8关断。所述第一电容C1的电压栅极电压V_{DATA}+V_{th}激发所述第一晶体管T1导通。此时,所述电源信号VDD从所述第六晶体管T6的源极输入,经所述第六晶体管T6传至所述第一晶体管T1的源极,即所述第一晶体管T1的源极电压为:

[0047] $V_s = VDD$

[0048] 由于所述第一晶体管T1的栅极电压为V_{DATA}+V_{th},因此,所述第一晶体管T1的源极栅极压降为:

[0049] $V_{sg} = V_s - V_g = VDD - (V_{DATA} + V_{th})$

[0050] 进而可以得到所述第一晶体管T1中的驱动电流大小为:

[0051] $I = K * (V_{sg} + V_{th})^2 = K * (VDD - V_{DATA})^2$,其中,K是一个关于电子迁移率、栅极介质厚度及薄膜晶体管尺寸的常量。具体的,有:

[0052] $K = 1/2 * \mu * C_{ox} * W/L$

[0053] 其中, μ 是薄膜晶体管的电子迁移率, C_{ox} 是薄膜晶体管单位面积的栅氧化层电容,W是薄膜晶体管的沟道宽度,L是薄膜晶体管的沟道长度。

[0054] 因此,可以得到所述第一晶体管T1中的驱动电流大小为:

[0055] $I = 1/2 * \mu * C_{ox} * W/L * (VDD - V_{DATA})^2$

[0056] 从该公式中可以得到,第一薄膜晶体管T1中的驱动电流大小与所述第一晶体管T1的阈值电压V_{th}大小无关,从而实现阈值电压补偿,使驱动电流成为一个常量,以使有机发光二极管OLED的亮度稳定。

[0057] 在一个实施例中,按上述像素电路连接薄膜晶体管,并按上述像素电路驱动方法驱动该像素电路,所得到的驱动电流的检测结果示意图如图4所示。在本实施例中,所述第一晶体管T1的阈值电压大小为V_{th}=-1.5V±0.3V,可以得到像素电路中,电流的变化率大小为:

[0058] $22.7nA/850.96nA = 2.67\%$

[0059] 上述像素电路驱动方法,通过控制扫描信号时所述第二晶体管T2、所述第一晶体管T1、所述第八晶体管T8导通,从而使所述第八晶体管T8和所述第一晶体管T1之间形成连接,对所述第一晶体管T1进行阈值电压补偿,抵消所述第一晶体管T1内的阈值差异,从而使不同像素电路中所述第一晶体管T1的驱动电流一致稳定,以使像素亮度一致。在该像素电路驱动方法中,所述第三晶体管T3及所述第四晶体管T4串联,可以更好的提高像素电路的漏电能力,从而在一帧时间内提升电压的稳定,减少有机发光二极管OLED发光的不稳定程度。所述第五晶体管T5设于有机发光二极管OLED的输入端及所述第四晶体管T4的栅极之间,可以通过控制所述第五晶体管T5的通断初始化OLED的阳极电压,从而降低阳极和空穴传输层之间的势垒,改善器件性能,并防止OLED漏电。

[0060] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0061] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

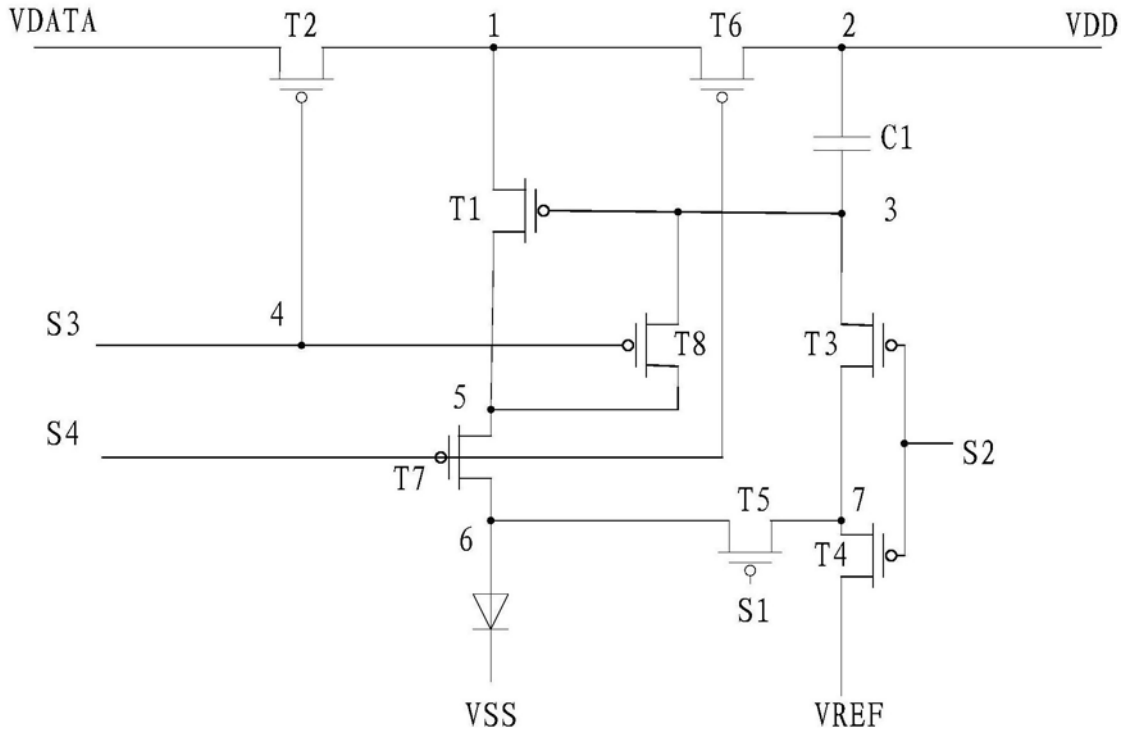


图1

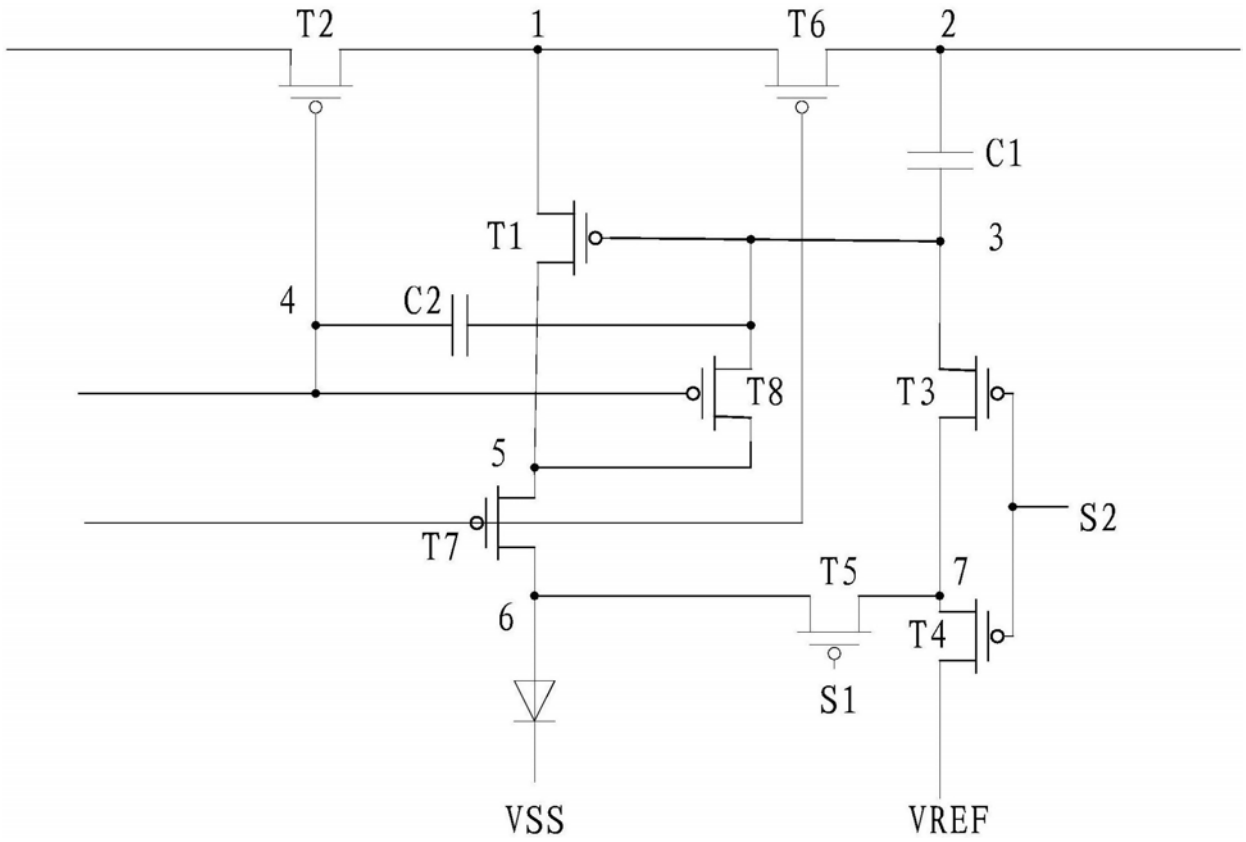


图2

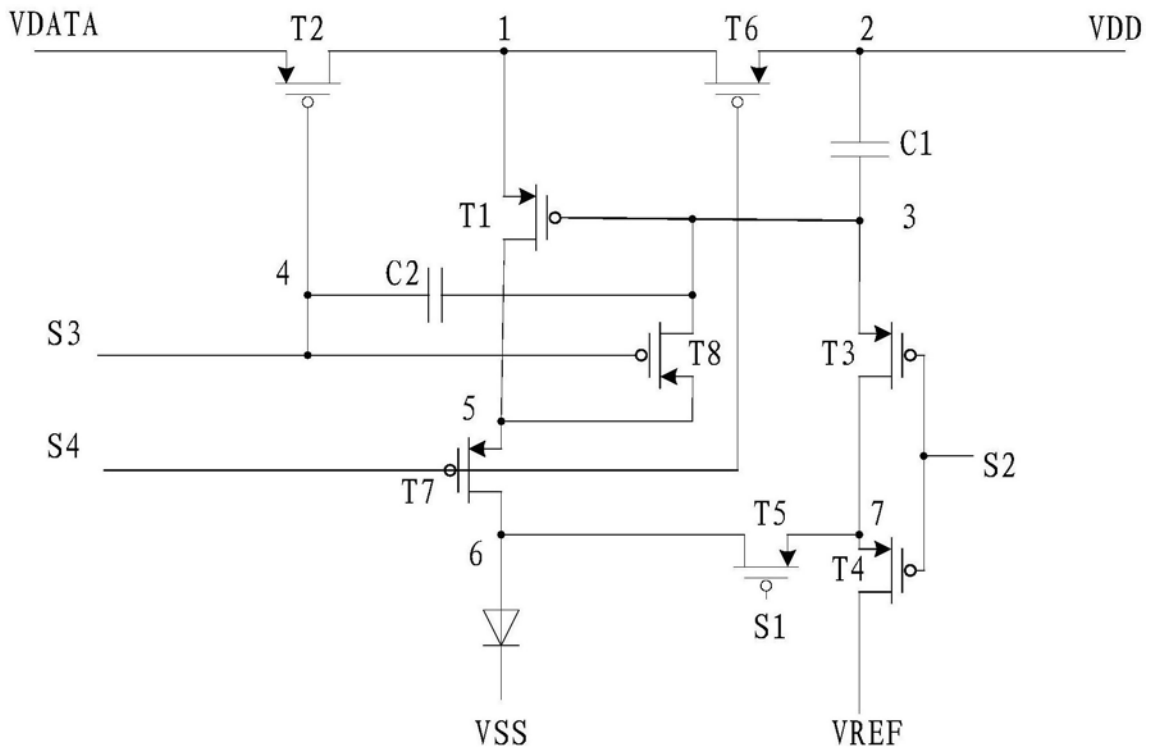


图3

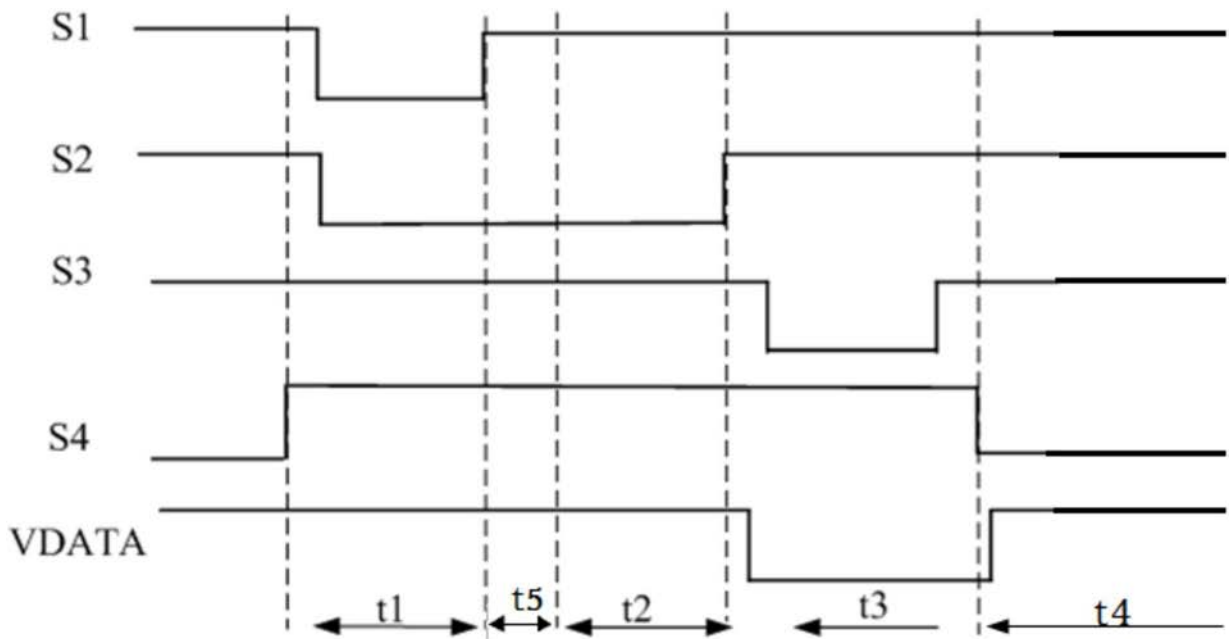


图4

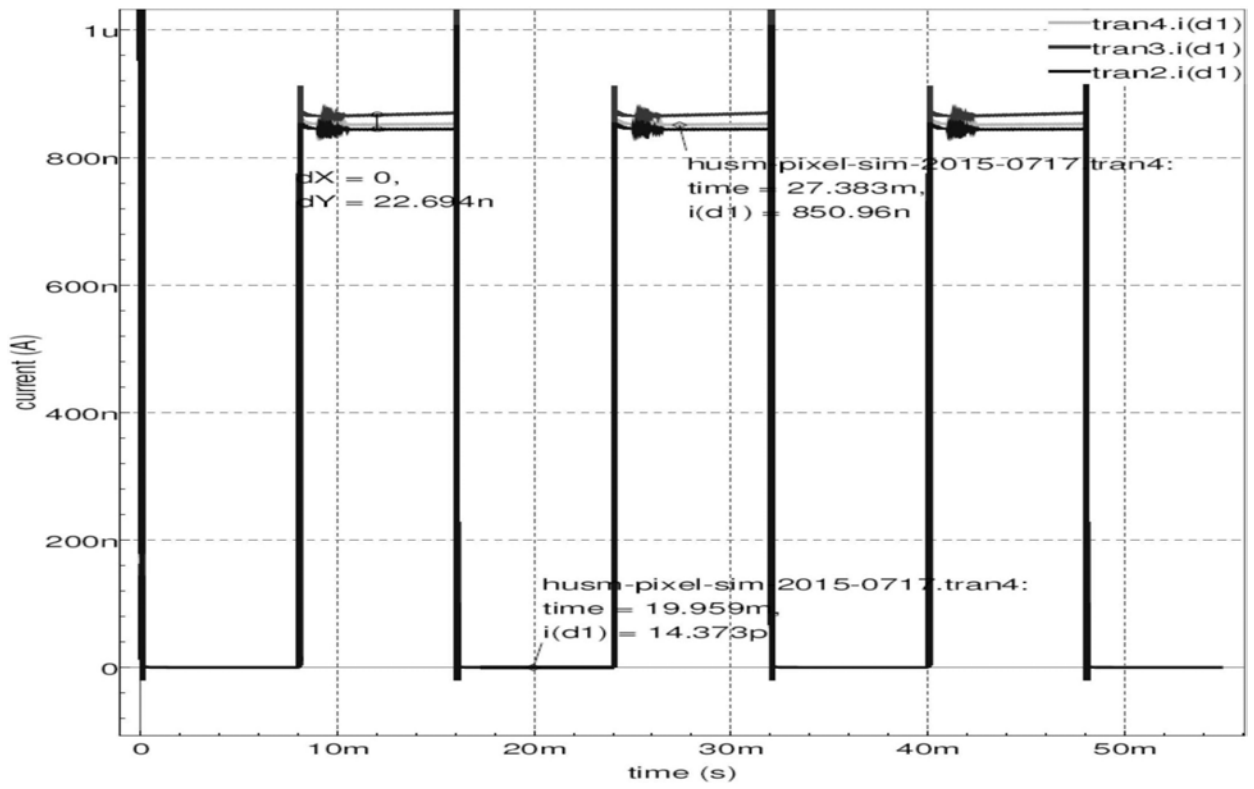


图5

专利名称(译)	像素电路及其驱动方法		
公开(公告)号	CN108470538A	公开(公告)日	2018-08-31
申请号	CN201810547999.X	申请日	2018-05-31
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	胡思明 黄秀颀 韩珍珍 沈志华 吴剑龙 张露		
发明人	胡思明 黄秀颀 韩珍珍 沈志华 吴剑龙 张露		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种像素电路，其特征在于，包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第一电容和有机发光二极管。该像素电路，通过控制第五晶体管与有机发光二极管之间形成连接，可以初始化有机发光二极管的阳极电压，降低阳极和空穴传输层之间的势垒，改善器件性能。

