



(12)发明专利申请

(10)申请公布号 CN 110782838 A

(43)申请公布日 2020.02.11

(21)申请号 201911107822.9

(22)申请日 2019.11.13

(71)申请人 京东方科技股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 北京京东方显示技术有限公司

(72)发明人 唐硕 贺能 程金辉

(74)专利代理机构 北京志霖恒远知识产权代理
事务所(普通合伙) 11435

代理人 周颖颖

(51)Int.Cl.

G09G 3/3225(2016.01)

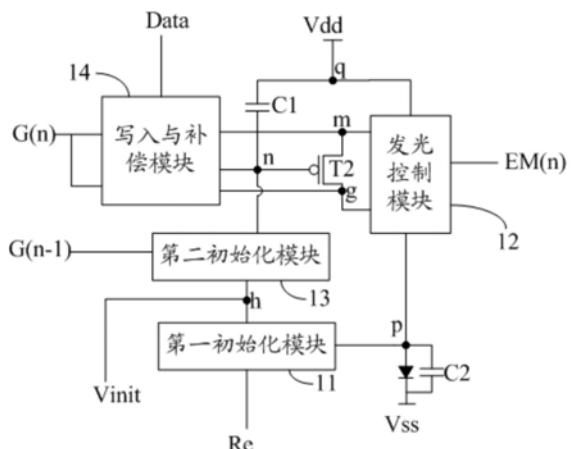
权利要求书2页 说明书7页 附图3页

(54)发明名称

像素驱动电路、驱动方法、显示面板及显示
装置

(57)摘要

本申请公开一种像素驱动电路、驱动方法、显示面板及显示装置。像素驱动电路包括：驱动晶体管，栅极与第一存储电容的第一极电连接，第一极与第二极分别与发光控制模块电连接；发光控制模块，接入发光控制信号和第一电源电压，在发光控制信号的控制下，电致发光器件的阳极接入第一电源电压，并使得驱动晶体管处于饱和状态；第二存储电容的第一极与电致发光器件的阳极电连接，第二存储电容的第二极与电致发光器件的负极电连接，电致发光器件的负极与第二电源电压电连接；第一初始化模块，接入初始化信号和初始化电压，在初始化信号的控制下，初始化电致发光器件的阳极电位，初始化信号的有效时长大于第二存储电容的放电时长。



1. 一种像素驱动电路,其特征在于,包括:驱动晶体管、第一存储电容、第二存储电容、第一初始化模块、发光控制模块,其中,

所述驱动晶体管,栅极与所述第一存储电容的第一极电连接,第一极与第二极分别与所述发光控制模块电连接;

所述发光控制模块,接入发光控制信号和第一电源电压,在所述发光控制信号的控制下,所述电致发光器件的阳极接入所述第一电源电压,并使得所述驱动晶体管处于饱和状态;

所述第二存储电容的第一极与电致发光器件的阳极电连接,所述第二存储电容的第二极与所述电致发光器件的负极电连接,所述电致发光器件的负极与第二电源电压电连接;

所述第一初始化模块,接入初始化信号和初始化电压,在所述初始化信号的控制下,初始化所述电致发光器件的阳极电位,所述初始化信号的有效时长大于所述第二存储电容的放电时长。

2. 根据权利要求1所述的像素驱动电路,其特征在于,还包括第二初始化模块,所述第二初始化模块接入前一级GOA单元的栅极控制信号和所述初始化电压,在所述前一级GOA单元的栅极控制信号的控制下,初始化所述第一存储电容。

3. 根据权利要求2所述的像素驱动电路,其特征在于,

所述第一初始化模块包括第一初始化晶体管,第一初始化晶体管栅极接入初始化信号,所述第一初始化晶体管的第一极与所述初始化电压电连接,所述第一初始化晶体管的第二极与所述电致发光器件的阳极电连接;

所述第二初始化模块包括第二初始化晶体管,所述第二初始化晶体管的栅极接入前一级GOA单元的栅极控制信号,所述第二初始化晶体管的第一极与所述初始化电压电连接,所述第二初始化晶体管的第二极与所述第一存储电容的第一极电连接。

4. 根据权利要求2所述的像素驱动电路,其特征在于,还包括:写入与补偿模块;

所述第一存储电容的第一极与所述驱动晶体管的栅极、所述写入与补偿模块以及所述第二初始化模块电连接,所述第一存储电容的第二极与所述第一电源电压电连接;

所述写入与补偿模块,接入本级GOA单元的栅极控制信号和数据信号,在所述本级GOA单元的栅极控制信号的控制下,将所述数据信号写入至所述驱动晶体管的第一极,并控制所述驱动晶体管的第二极与所述驱动晶体管的栅极连接,使得所述驱动晶体管的栅极的电位设置为补偿电压值。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述写入与补偿模块包括写入晶体管和补偿晶体管;

所述写入晶体管的栅极接入本级GOA单元的栅极控制信号,所述写入晶体管的第一极与数据线电连接,所述写入晶体管的第二极与所述驱动晶体管的第一极电连接;

所述补偿晶体管的栅极接入所述本级GOA单元的栅极控制信号,所述补偿晶体管的第一极与所述驱动晶体管的栅极电连接,所述补偿晶体管的第二极与所述驱动晶体管的第二极电连接。

6. 根据权利要求4所述的像素驱动电路,其特征在于,所述发光控制模块包括第一发光控制晶体管和第二发光控制晶体管;

所述第一发光控制晶体管的栅极接入所述发光控制信号,所述第一发光控制晶体管的

第一极与所述第一电源电压电连接,所述第一发光控制晶体管的第二极与所述驱动晶体管的第一极电连接;

所述第二发光控制晶体管的栅极接入所述发光控制信号,所述第二发光控制晶体管的第一极与所述驱动晶体管的第二极电连接,所述第二发光控制晶体管的第二极与所述电致发光器件的阳极电连接。

7.根据权利要求1-6任一项所述的像素驱动电路,其特征在于,

所述初始化信号为所述发光控制信号的反相信号;或者,

所述初始化信号为前一级GOA单元的发光控制信号的反相信号。

8.一种像素驱动电路的驱动方法,用于驱动如权利要求1-7任一权利要求所述的像素驱动电路,其特征在于,所述驱动方法包括:

初始化步骤:初始化信号有效,使第一初始化晶体管导通,初始化发光器件的阳极电位,所述初始化信号的有效时长大于所述第二存储电容的放电时长。

9.根据权利要求8所述的像素驱动电路的驱动方法,其特征在于,

所述初始化步骤还包括:前一级GOA单元的栅极控制信号有效,使第二初始化晶体管导通,初始化驱动晶体管的栅极电位;

在所述初始化步骤之后,所述驱动方法还包括:

写入与补偿步骤:本级GOA单元的栅极控制信号有效,写入晶体管和补偿晶体管导通,将数据信号写入至所述驱动晶体管的第一极,并使所述驱动晶体管的栅极电压为补偿电压值;

发光步骤:发光控制信号有效,第一发光控制晶体管和第二发光控制晶体管导通,所述驱动晶体管导通,所述发光器件的阳极接入所述第二电源信号,以驱动电致发光器件发光。

10.一种显示面板,其特征在于,包括如权利要求1-7任一权利要求所述的像素驱动电路。

11.一种显示装置,其特征在于,包括权利要求10所述的显示面板。

像素驱动电路、驱动方法、显示面板及显示装置

技术领域

[0001] 本申请一般涉及显示技术领域,尤其涉及一种像素驱动电路、驱动方法、显示面板及显示装置。

背景技术

[0002] 现在游戏手机逐渐成为年轻人一项重要的娱乐休闲方式,而游戏手机需要其显示面板具有较高的刷新频率。随着刷新频率的提高,显示面板的充电时间和复位时间会减少。

[0003] OLED (Organic Light-Emitting Diode, 有机发光二极管) 显示面板具有色域广、对比度高、节能、可折叠性等优点,广泛应用于手机屏幕。而阵列基板栅极驱动 (Gate Driver On Array, 简称GOA) 电路的工作状态对显示面板的显示质量有非常重要的影响。

[0004] GOA驱动电路是利用显示装置的阵列基板制程将行 (Gate) 扫描驱动信号电路制作在阵列基板上来实现对像素单元的逐行驱动扫描。GOA电路由多个GOA单元级联而成,每个GOA单元驱动阵列基板上的至少一行像素。通常GOA单元包括两个相互独立的电路部分,即扫描部分和发光部分,扫描部分提供扫描信号,用于复位&写入扫描信号;发光部分提供发光信号,用于开启/关闭电致发光器件OLED发光。

[0005] 目前,手机内部装载过多过大,在较高的刷新频率下显示面板的复位时间不足,会有电荷残留在电致发光器件OLED的阳极,造成低灰阶下子像素会偷亮,从而导致显示面板在暗态的工作阶段不够暗,影响显示效果。

发明内容

[0006] 鉴于现有技术中的上述缺陷或不足,期望提供一种像素驱动电路、驱动方法、显示面板及显示装置。

[0007] 第一方面,本发明提供一种像素驱动电路,包括:驱动晶体管、第一存储电容、第二存储电容、第一初始化模块、发光控制模块,其中,

[0008] 所述驱动晶体管,栅极与所述第一存储电容的第一极电连接,第一极与第二极分别与所述发光控制模块电连接;

[0009] 所述发光控制模块,接入发光控制信号和第一电源电压,在所述发光控制信号的控制下,所述电致发光器件的阳极接入所述第一电源电压,并使得所述驱动晶体管处于饱和状态;

[0010] 所述第二存储电容的第一极与电致发光器件的阳极电连接,所述第二存储电容的第二极与所述电致发光器件的负极电连接,所述电致发光器件的负极与第二电源电压电连接;

[0011] 所述第一初始化模块,接入初始化信号和初始化电压,在所述初始化信号的控制下,初始化所述电致发光器件的阳极电位,所述初始化信号的有效时长大于所述第二存储电容的放电时长。

[0012] 可选地像素驱动电路还包括第二初始化模块,所述第二初始化模块接入前一级

GOA单元的栅极控制信号和所述初始化电压,在所述前一级GOA单元的栅极控制信号的控制下,初始化所述第一存储电容。

[0013] 可选地所述第一初始化模块包括第一初始化晶体管,第一初始化晶体管栅极接入初始化信号,所述第一初始化晶体管的第一极与所述初始化电压电连接,所述第一初始化晶体管的第二极与所述电致发光器件的阳极电连接;

[0014] 所述第二初始化模块包括第二初始化晶体管,所述第二初始化晶体管的栅极接入前一级GOA单元的栅极控制信号,所述第二初始化晶体管的第一极与所述初始化电压电连接,所述第二初始化晶体管的第二极与所述第一存储电容的第一极电连接。

[0015] 可选地像素驱动电路还包括写入与补偿模块;

[0016] 所述第一存储电容的第一极与所述驱动晶体管的栅极、所述写入与补偿模块以及所述第二初始化模块电连接,所述第一存储电容的第二极与所述第一电源电压电连接;

[0017] 所述写入与补偿模块,接入本级GOA单元的栅极控制信号和数据信号,在所述本级GOA单元的栅极控制信号的控制下,将所述数据信号写入至所述驱动晶体管的第一极,并控制所述驱动晶体管的第二极与所述驱动晶体管的栅极连接,使得所述驱动晶体管的栅极的电位设置为补偿电压值。

[0018] 可选地所述写入与补偿模块包括写入晶体管和补偿晶体管;

[0019] 所述写入晶体管的栅极接入本级GOA单元的栅极控制信号,所述写入晶体管的第一极与数据线电连接,所述写入晶体管的第二极与所述驱动晶体管的第一极电连接;

[0020] 所述补偿晶体管的栅极接入所述本级GOA单元的栅极控制信号,所述补偿晶体管的第一极与所述驱动晶体管的栅极电连接,所述补偿晶体管的第二极与所述驱动晶体管的第二极电连接。

[0021] 可选地所述发光控制模块包括第一发光控制晶体管和第二发光控制晶体管;

[0022] 所述第一发光控制晶体管的栅极接入所述发光控制信号,所述第一发光控制晶体管的第一极与所述第一电源电压电连接,所述第一发光控制晶体管的第二极与所述驱动晶体管的第一极电连接;

[0023] 所述第二发光控制晶体管的栅极接入所述发光控制信号,所述第二发光控制晶体管的第一极与所述驱动晶体管的第二极电连接,所述第二发光控制晶体管的第二极与所述电致发光器件的阳极电连接。

[0024] 可选地所述初始化信号为所述发光控制信号的反相信号;或者,

[0025] 所述初始化信号为前一级GOA单元的发光控制信号的反相信号。

[0026] 第二方面,本发明提供一种像素驱动电路的驱动方法,用于驱动上述像素驱动电路,所述驱动方法包括:

[0027] 初始化步骤:初始化信号有效,使第一初始化晶体管导通,初始化发光器件的阳极电位,所述初始化信号的有效时长大于所述第二存储电容的放电时长。

[0028] 可选地所述初始化步骤还包括:前一级GOA单元的栅极控制信号有效,使第二初始化晶体管导通,初始化驱动晶体管的栅极电位;

[0029] 在所述初始化步骤之后,所述驱动方法还包括:

[0030] 写入与补偿步骤:本级GOA单元的栅极控制信号有效,写入晶体管和补偿晶体管导通,将数据信号写入至所述驱动晶体管的第一极,并使所述驱动晶体管的栅极电压为补偿

电压值；

[0031] 发光步骤：发光控制信号有效，第一发光控制晶体管和第二发光控制晶体管导通，所述驱动晶体管导通，所述发光器件的阳极接入所述第二电源信号，以驱动电致发光器件发光。

[0032] 第三方面，本发明提供一种显示面板，包括上述像素驱动电路。

[0033] 第四方面，本发明提供一种显示装置，包括上述显示面板。

[0034] 根据本申请的实施例提供的技术方案，通过第一初始化模块对电致发光器件的阳极电位初始化，第二存储电容与电致发光器件并联，初始化信号的有效时长大于第二存储电容的放电时长，使电致发光器件在进入发光控制阶段之前其阳极完全复位，电致发光器件在发光控制阶段前一直保持截止状态，不会偷亮发光，确保暗态下子像素不会偷亮，有效提升显示面板的显示效果。另外，根据本申请的某些实施例，充分利用了GOA单元的前后级与本级的栅极控制信号、前后级与本级的发光控制信号实现像素驱动电路的初始化、写入与补偿等过程，获得资源有效利用的效果。

附图说明

[0035] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本申请的其它特征、目的和优点将会变得更明显：

[0036] 图1为本发明实施例提供的像素驱动电路的示例性结构框图；

[0037] 图2为本发明另一实施例提供的像素驱动电路的示例性结构图；

[0038] 图3为输出图2所示的初始化信号EM(n)_N的示例性逻辑电路图；

[0039] 图4为图2所示像素驱动电路的示例性工作时序图；

[0040] 图5为本发明又一实施例提供的像素驱动电路的示例性结构图；

[0041] 图6为输出图5所示的初始化信号EM(n)_N的示例性逻辑电路图；

[0042] 图7为图5所示像素驱动电路的示例性工作时序图。

具体实施方式

[0043] 下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释相关发明，而非对该发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与发明相关的部分。

[0044] 需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0045] 如图1所示，本发明实施例提供的一种像素驱动电路包括：驱动晶体管T2、第一存储电容C1、第二存储电容C2、第一初始化模块11、发光控制模块12，其中，

[0046] 驱动晶体管T2，栅极与第一存储电容C1的第一极电连接，第一极与第二极分别与发光控制模块12电连接；

[0047] 发光控制模块12，接入发光控制信号EM和第一电源电压Vdd，在发光控制信号EM(n)的控制下，电致发光器件OLED的阳极接入第一电源电压Vdd，并使得驱动晶体管T2处于饱和状态；

[0048] 第二存储电容C2的第一极与电致发光器件OLED的阳极电连接，第二存储电容C2的

第二极与电致发光器件OLED的负极电连接,电致发光器件OLED的负极与第二电源电压电连接;

[0049] 第一初始化模块11,接入初始化信号Re和初始化电压Vinit,在初始化信号Re的控制下,初始化电致发光器件OLED的阳极电位,初始化信号Re的有效时长大于第二存储电容C2的放电时长。

[0050] 本实施例中,初始化电致发光器件OLED的阳极电位,是指将p点的电压拉至初始化电压Vinit。第二存储电容C2与电致发光器件OLED并联,设定初始化信号Re的有效时长大于第二存储电容C2的放电时长,使电致发光器件OLED在进入发光控制阶段之前一直保持截止状态,不会偷亮发光,确保暗态下子像素不会偷亮,有效提升显示面板的显示效果。

[0051] 进一步地,像素驱动电路还包括第二初始化模块13,第二初始化模块13接入前一级GOA单元的栅极控制信号G(n-1)和初始化电压Vinit,在前一级GOA单元的栅极控制信号G(n-1)的控制下,初始化第一存储电容C1。

[0052] 本实施例中,初始化第一存储电容C1是指将存储电容C1的第一极即n点的电压拉至初始化电压Vinit。

[0053] 本发明实施例所述的像素驱动电路通过第一初始化模块在初始化阶段对电致发光器件OLED的阳极电位进行初始化,通过第二初始化模块13在初始化阶段对第一存储电容C1的第一极进行初始化。

[0054] 进一步地,像素驱动电路还包括写入与补偿模块14;

[0055] 第一存储电容C1的第一极与驱动晶体管T2的栅极、写入与补偿模块14以及第二初始化模块13电连接,第一存储电容C1的第二极与第一电源电压Vdd电连接;

[0056] 写入与补偿模块14,接入本级GOA单元的栅极控制信号G(n)和数据信号Data,在本级GOA单元的栅极控制信号G(n)的控制下,将数据信号Data写入至驱动晶体管T2的第一极,并控制驱动晶体管T2的第二极与驱动晶体管T2的栅极连接,使得驱动晶体管T2的栅极的电位设置为补偿电压值。

[0057] 在补偿阶段,写入与补偿模块14控制数据信号Data写入驱动晶体管T2的第一极,并控制驱动晶体管T2的第二极与驱动晶体管T2的栅极连接,以控制驱动晶体管T2导通并控制驱动晶体管T2的导通电流由驱动晶体管T2的第一极流向驱动晶体管T2的第二极,直至驱动晶体管T2的栅极的电位为Data+Vth;Vth为驱动晶体管T2的阈值电压。

[0058] 如图2所示,图1中所示的初始化信号Re在图2所示实施例提供的像素驱动电路中表示为初始化信号EM(n)_N。

[0059] 第一初始化模块11包括第一初始化晶体管T1,第一初始化晶体管T1栅极接入初始化信号EM(n)_N,第一初始化晶体管T1的第一极与初始化电压Vinit电连接,第一初始化晶体管T1的第二极与电致发光器件的阳极电连接;

[0060] 第二初始化模块13包括第二初始化晶体管T3,第二初始化晶体管T3的栅极接入前一级GOA单元的栅极控制信号G(n-1),第二初始化晶体管T3的第一极与初始化电压Vinit电连接,第二初始化晶体管T3的第二极与第一存储电容C1的第一极电连接。

[0061] 在初始化阶段,当初始化信号EM(n)_N有效时,第一初始化晶体管T1导通,初始化电压Vinit接入至P点,达到初始化电致发光器件OLED阳极电位的目的;当前一级GOA单元的栅极控制信号G(n-1)有效时,第二初始化晶体管T3导通,初始化电压Vinit接入n点,即初始

化第一存储电容C1的第一极。

[0062] 进一步地,写入与补偿模块14包括写入晶体管T4和补偿晶体管T5;

[0063] 写入晶体管T4的栅极接入本级GOA单元的栅极控制信号G (n),写入晶体管T4的第一极与数据线电连接,写入晶体管T4的第二极与驱动晶体管T2的第一极电连接;

[0064] 补偿晶体管T5的栅极接入本级GOA单元的栅极控制信号G (n),补偿晶体管T5的第一极与驱动晶体管T2的栅极电连接,补偿晶体管T5的第二极与驱动晶体管T2的第二极电连接。

[0065] 在补偿阶段,当本级GOA单元的栅极控制信号G (n)有效时,写入晶体管T4导通,将数据线上的数据信号Data写入至m点;同时补偿晶体管T5导通,向n点充电,直至n点的电位为Data+Vth,此时驱动晶体管T2的栅源电源Vgs为Vth。

[0066] 进一步地,发光控制模块12包括第一发光控制晶体管T6和第二发光控制晶体管T7;

[0067] 第一发光控制晶体管T6的栅极接入发光控制信号EM (n),第一发光控制晶体管T6的第一极与第一电源电压Vdd电连接,第一发光控制晶体管T6的第二极与驱动晶体管T2的第一极电连接;

[0068] 第二发光控制晶体管T7的栅极接入发光控制信号EM,第二发光控制晶体管T7的第一极与驱动晶体管T2的第二极电连接,第二发光控制晶体管T7的第二极与电致发光器件OLED的阳极电连接。

[0069] 当发光控制信号EM (n)有效时,第一发光控制晶体管T6和第二发光控制晶体管T7导通,驱动晶体管T2工作在饱和状态,此时驱动晶体管的源极与栅极之间的电压差Vsg为:
 $V_{sg} = V_m - V_n = V_{dd} - (Data + V_{th}) = V_{dd} - Data - V_{th}$,驱动电流 $I_{OLED} = K(V_{gs} - V_{th})^2 = K(V_{dd} - Data)^2$ 。可见,Vth被补偿掉了,驱动电流 I_{OLED} 与驱动晶体管T2的阈值电压Vth无关,仅与数据信号Data相关,Vdd通常取规定值。因此,电致发光器件显示稳定,有效避免由阈值电压不均一引起的显示亮度不均一和不稳定的问题。

[0070] 由于发光控制信号EM (n)在发光控制阶段内才有效,该实施例以发光控制信号EM (n)的反相信号EM (n) _N作为初始化信号,初始化信号EM (n) _N在初始化阶段以及扫描阶段有效,在较高的刷新频率(对应于较短的刷新周期)下电致发光器件能够完全复位,确保电致发光器件在发光控制阶段前一直处于截止状态,从而确保OLED显示面板在暗态的工作阶段不偷亮,改善显示面板的显示质量。

[0071] 在如图2所示的像素驱动电路的实施例中,采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一极称为第一极,另一极称为第二极,该申请中晶体管的第一极为源极,则晶体管的第二极相应为漏极。

[0072] 此外,按照晶体管的特性区分可以将晶体管分为n型晶体管或p型晶体管。在本发明各个实施例提供的像素驱动电路中,所有晶体管均是以p型MOS管为例进行的说明,通过Vdd输出高电平,Vss输出低电平。可以想到,在采用n型晶体管,并合理设置驱动电路中的电源电压实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的,因此也是在本发明的实施例保护范围内的,在此不再赘述。

[0073] 参照图3,采用p型晶体管T8、p型晶体管T9,利用与非门逻辑电路,晶体管T8的栅极

接入本级GOA单元的发光控制信号、晶体管T8第一极接入高电平信号VGH,晶体管T9栅极和晶体管T9的第一极均接入高电平信号VGH,例如以第一电源电压Vdd作为高电平信号VGH,晶体管T8的第二极与晶体管T9的第二极相连,输出信号EM(n)_N作为本级GOA单元的初始化信号,使电致发光器件的复位时间足够长,避免电致发光器件不能完全复位的现象。

[0074] 图5所示的实施例提供又一种像素驱动电路,相比于图2所示的像素驱动电路,区别在于初始化信号。该实施例中初始化信号Re为前一级GOA单元的发光控制信号EM(n-1)的反相信号。利用上一级GOA单元的初始化、补偿的时间来给本级GOA单元的像素复位,能够极大的增加复位时间。

[0075] 如图6所示,采用p型晶体管T10、p型晶体管T11,利用与非门逻辑电路,晶体管T10的栅极接入上一级GOA单元的发光控制信号EM(n-1)、晶体管T10第一极接入高电平信号VGH,晶体管T11栅极和晶体管T11的第一极均接入高电平信号VGH,例如以第一电源电压Vdd作为高电平信号VGH,晶体管T10的第二极与晶体管T11的第二极相连,输出信号EM(n-1)_N作为本级GOA单元的初始化信号,使电致发光器件的复位时间足够长,避免电致发光器件不能完全复位的现象。

[0076] 本发明的实施例还提供一种像素驱动电路的驱动方法,用于驱动本身各实施例所提供的像素驱动电路,该驱动方法包括:

[0077] 初始化步骤:初始化信号有效,使第一初始化晶体管导通,初始化发光器件的阳极电位,初始化信号的有效时长大于第二存储电容的放电时长。

[0078] 初始化步骤还包括:前一级GOA单元的栅极控制信号有效,使第二初始化晶体管导通,初始化驱动晶体管的栅极电位;

[0079] 在初始化步骤之后,驱动方法还包括:

[0080] 写入与补偿步骤:本级GOA单元的栅极控制信号有效,写入晶体管和补偿晶体管导通,将数据信号Data写入至驱动晶体管的第一极,并使驱动晶体管的栅极电压为补偿电压值;

[0081] 发光步骤:发光控制信号有效,第一发光控制晶体管和第二发光控制晶体管导通,驱动晶体管导通,电致发光器件的阳极接入第二电源信号,以驱动电致发光器件发光。

[0082] 结合图4,进一步说明图2所示的像素驱动电路的驱动方法。

[0083] 如图4所示,初始化步骤、写入与补偿步骤、发光步骤分别对应初始化阶段、写入与补偿阶段t2和发光控制阶段t3;而初始化信号EM(n)_N有效对应的时间段为(t11+t12),在进入发光控制阶段之前第一初始化晶体管T1一直导通,电致发光器件OLED阳极的电位拉至初始化电压Vinit。第二存储电容C2并联电致发光器件,初始化信号的有效时长大于第二存储电容C2的放电时长,在初始化信号有效的时长内,电致发光器件OLED的阳极完全复位,不会有残留的电荷,在进入发光控制阶段前电致发光器件OLED一直截止,低灰阶时子像素不会偷亮。

[0084] 在时间段t11内,前一级GOA单元的栅极控制信号G(n-1)有效时,第二初始化晶体管T3导通,n点电压被拉至Vinit。

[0085] 在写入与补偿阶段t12,本级GOA单元的栅极控制信号G(n)有效时,写入晶体管T4导通,此时数据信号Data写入至m点,同时补偿晶体管T3导通,此时通过补偿晶体管T2向n点充电,直至n点电压为Data+Vth。在该阶段,第一初始化晶体管T1导通,由于发光控制信号EM

(n) 无效,第二发光控制晶体管T7关断,故电流不会经第二发光控制晶体管T7流向电致发光器件OLED的阳极,电致发光器件OLED的阳极的电位拉至初始化电压Vinit。

[0086] 在发光控制信号EM(n)有效的发光控制阶段t13,第一发光控制晶体管T6、第二发光控制晶体管T7导通,晶体管T2工作在饱和区,此时驱动电流为 $I_{OLED}=K(Vdd-Data)^2$,驱动电流 I_{OLED} 与阈值电压Vth无关。

[0087] 图2示例的像素驱动电路利用写入与补偿阶段的时间,一直对OLED进行复位,确保较高刷新频率下有OLED足够的复位时间。

[0088] 结合图5,进一步说明图4所示的像素驱动电路的驱动方法。

[0089] 如图4所示,初始化步骤、写入与补偿步骤、发光步骤分别对应初始化阶段t21、写入与补偿阶段t22和发光控制阶段t23。

[0090] 在初始化阶段t21,初始化信号EM(n-1)_N有效时,此时p点的电压被拉至Vinit;前一级GOA单元的栅极控制信号G(n-1)有效时,第二初始化晶体管T3导通,n点电压被拉至Vinit。利用上一级GOA单元的发光控制信号EM(n-1)的反相信号作为本级GOA单元的初始化信号,利用上一级GOA单元的像素复位、补偿的时间给本级GOA单元的像素复位,本级GOA单元的复位时长可参考初始化信号EM(n-1)_N的有效时长。前一级GOA单元的栅极控制信号G(n-1)有效时,第二初始化晶体管T3导通,n点电压被拉至Vinit。

[0091] 在写入与补偿阶段t22,本级GOA单元的栅极控制信号G(n)有效时,写入晶体管T4导通,此时数据信号Data写入至m点,同时补偿晶体管T3导通,此时通过补偿晶体管T2向n点充电,直至n点电压为Data+Vth。该阶段驱动晶体管T2导通,写入晶体管T4和补偿晶体管T3先导通后关断。

[0092] 在发光控制信号EM(n)有效的在发光控制阶段t23,第一发光控制晶体管T6、第二发光控制晶体管T7导通,晶体管T2工作在饱和区,此时驱动电流为 $I_{OLED}=K(Vdd-Data)^2$,驱动电流 I_{OLED} 与阈值电压Vth无关。

[0093] 本发明还提供一种显示面板,包括本申请各实施例所提供的像素驱动电路。

[0094] 本发明还提供一种显示装置,包括上述显示面板。

[0095] 以上描述仅为本申请的较佳实施例以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的发明范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离发明构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

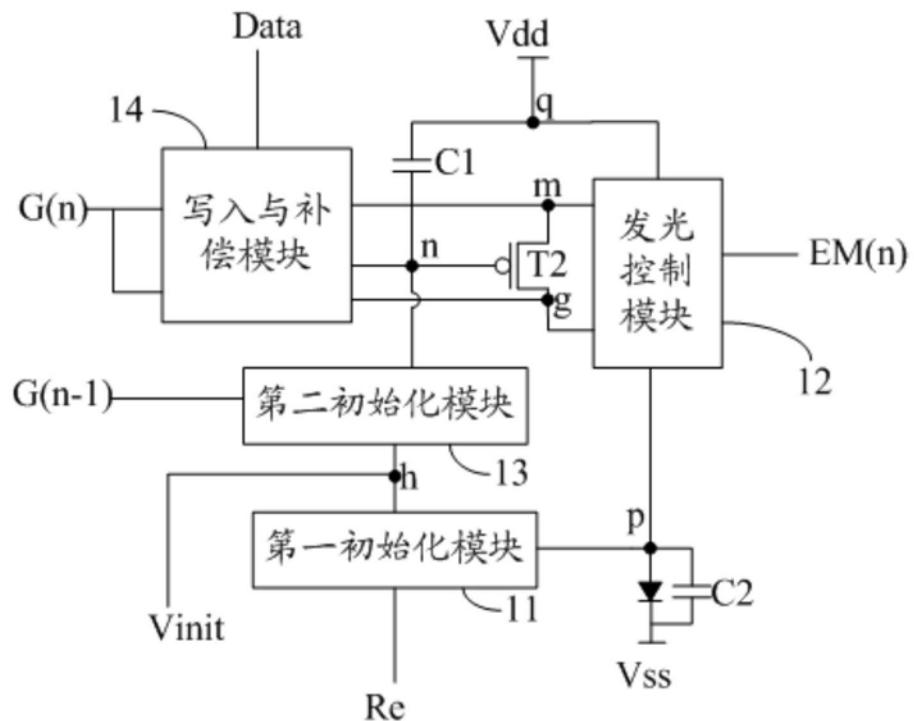
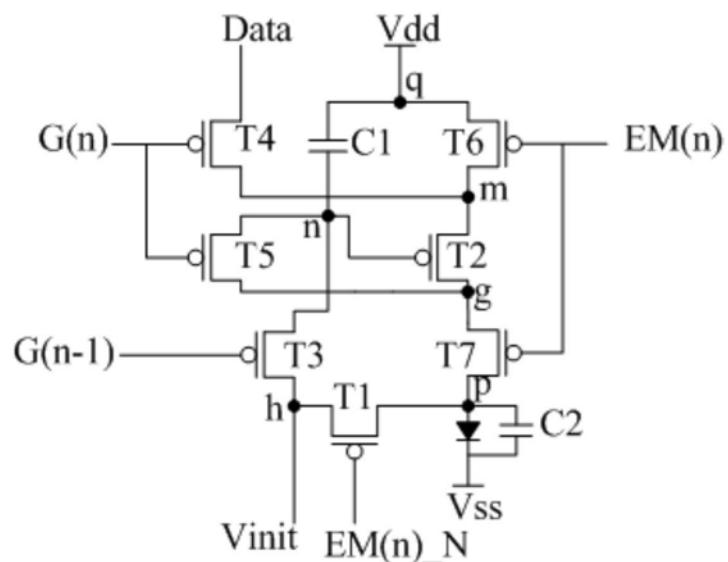


图1



冬 2

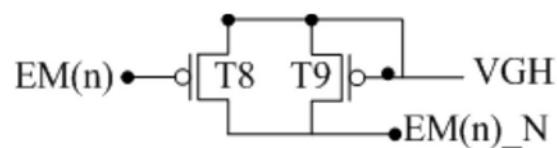


图3

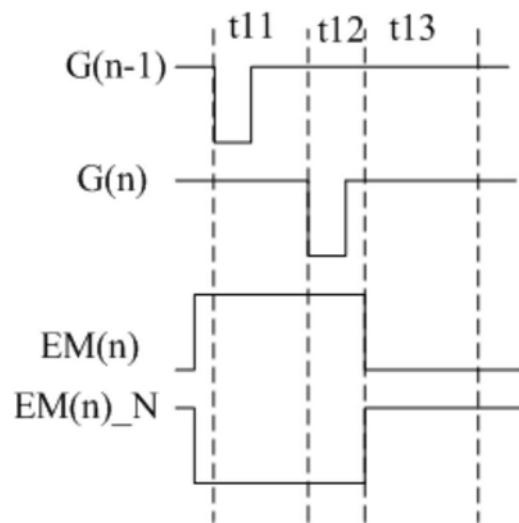


图4

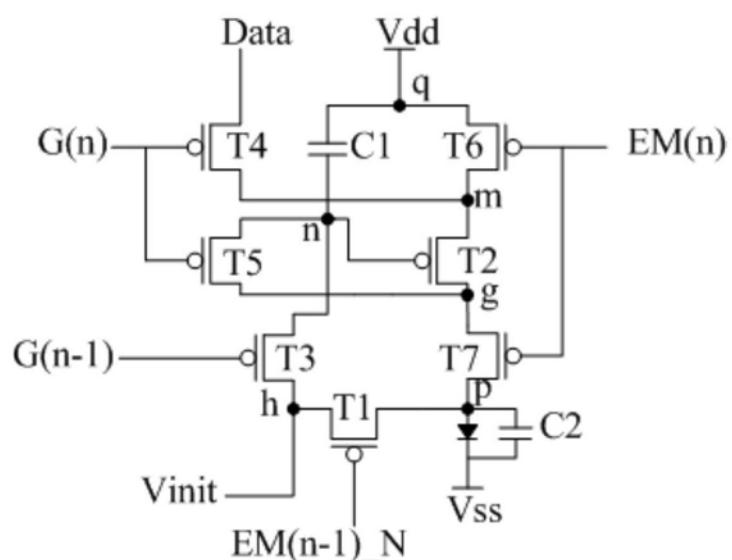


图5

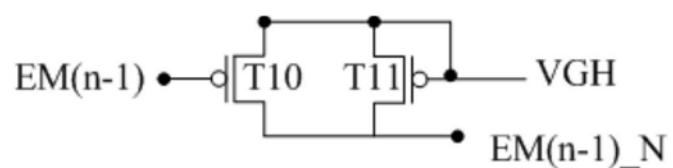


图6

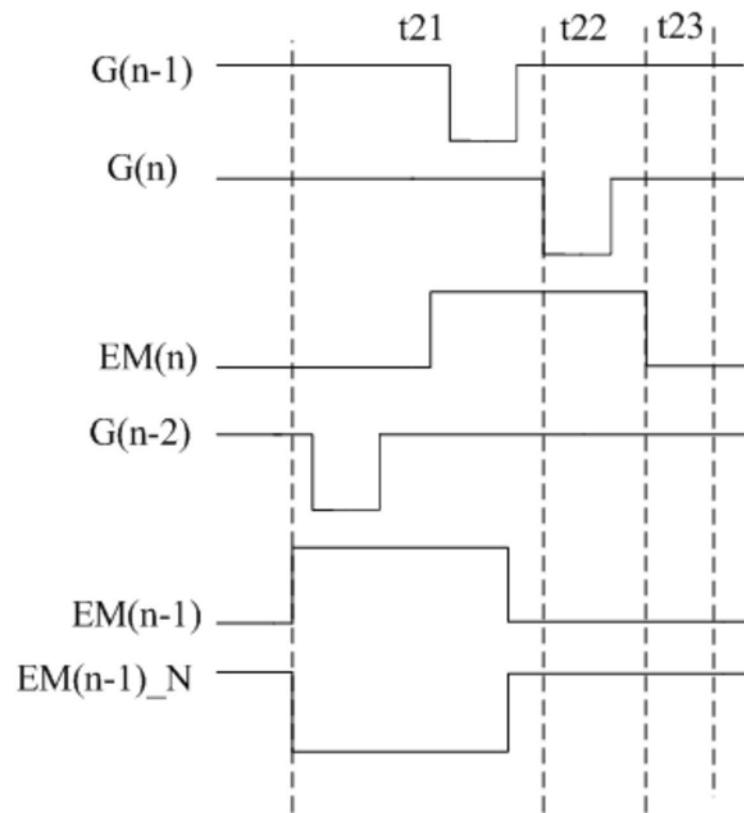


图7

专利名称(译)	像素驱动电路、驱动方法、显示面板及显示装置		
公开(公告)号	CN110782838A	公开(公告)日	2020-02-11
申请号	CN201911107822.9	申请日	2019-11-13
[标]申请(专利权)人(译)	京东方科技股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技股份有限公司 北京京东方显示技术有限公司		
[标]发明人	唐硕 贺能 程金辉		
发明人	唐硕 贺能 程金辉		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225		
代理人(译)	周颖颖		
外部链接	Espacenet	SIPO	

摘要(译)

本申请公开一种像素驱动电路、驱动方法、显示面板及显示装置。像素驱动电路包括：驱动晶体管，栅极与第一存储电容的第一极电连接，第一极与第二极分别与发光控制模块电连接；发光控制模块，接入发光控制信号和第一电源电压，在发光控制信号的控制下，电致发光器件的阳极接入第一电源电压，并使得驱动晶体管处于饱和状态；第二存储电容的第一极与电致发光器件的阳极电连接，第二存储电容的第二极与电致发光器件的负极电连接，电致发光器件的负极与第二电源电压电连接；第一初始化模块，接入初始化信号和初始化电压，在初始化信号的控制下，初始化电致发光器件的阳极电位，初始化信号的有效时长大于第二存储电容的放电时长。

