



(12) 发明专利申请

(10) 申请公布号 CN 104282261 A

(43) 申请公布日 2015. 01. 14

(21) 申请号 201410313210. 6

(22) 申请日 2014. 07. 02

(30) 优先权数据

2013-138659 2013. 07. 02 JP

(71) 申请人 精工爱普生株式会社

地址 日本东京

(72) 发明人 野村猛

(74) 专利代理机构 北京金信知识产权代理有限公司

11225

代理人 黄威 苏萌萌

(51) Int. Cl.

G09G 3/32 (2006. 01)

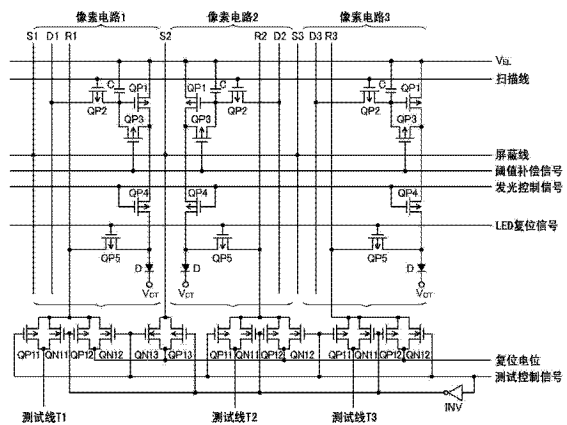
权利要求书2页 说明书8页 附图6页

(54) 发明名称

显示装置以及电子设备

(57) 摘要

本发明涉及一种显示装置以及电子设备, 该显示装置为使用了有机 EL 面板的有源矩阵型的显示装置, 所述显示装置具备: 多个像素电路, 所述多个像素电路分别包括被配置在有机 EL 面板的像素区域内的有机发光二极管、以及对有机发光二极管进行驱动的多个晶体管; 多个扫描线, 其在有机 EL 面板中沿着第一方向而被配置; 多个数据线, 其沿着与第一方向正交的第二方向而被配置, 在第一方向上邻接的至少一组像素电路中, 多个晶体管的栅电极及杂质扩散区域以线对称的方式被布局, 在至少一组像素电路中被对称配置的至少一组晶体管的栅电极被一体构成。



1. 一种显示装置,其为使用了有机电致发光面板的有源矩阵型的显示装置,所述显示装置具备:

多个像素电路,所述多个像素电路分别包括:被配置在所述有机电致发光面板的像素区域内的有机发光二极管,以及对所述有机发光二极管进行驱动的多个晶体管;

多个扫描线,其在所述有机电致发光面板中沿着第一方向而被配置;

多个数据线,其在所述有机电致发光面板中沿着与所述第一方向正交的第二方向而被配置,

在所述第一方向上邻接的至少一组像素电路中,所述多个晶体管的栅电极及杂质扩散区域以线对称的方式被布局,在所述至少一组像素电路中被对称配置的至少一组晶体管的栅电极被一体构成。

2. 如权利要求 1 所述的显示装置,其中,

还具备如下的屏蔽线,该屏蔽线被配置于分别与在所述第一方向上邻接的一组像素电路相连接的两个数据线之间。

3. 如权利要求 1 或 2 所述的显示装置,其中,

所述多个像素电路中的每个像素电路包括:

第一晶体管,其根据与栅极相连接的电容器的电位,而向所述有机发光二极管供给电流;

第二晶体管,其根据与栅极相连接的扫描线的电位,而将所述第一晶体管的栅极连接于一个数据线。

4. 如权利要求 3 所述的显示装置,其中,

在所述第一方向上邻接的一组像素电路的第二晶体管的栅电极被一体构成。

5. 如权利要求 3 或 4 所述的显示装置,其中,

所述多个像素电路中的每个像素电路还包括:

第三晶体管,其根据被供给至栅极的信号,而对所述第一晶体管的栅极和漏极之间的连接进行开闭;

第四晶体管,其根据被供给至栅极的信号,而对所述第一晶体管的漏极和所述有机发光二极管的阳极之间的连接进行开闭;

第五晶体管,其根据被供给至栅极的信号,而对所述有机发光二极管的阳极和复位电位线之间的连接进行开闭。

6. 如权利要求 5 所述的显示装置,其中,

在所述第一方向上邻接的第一像素电路至第三像素电路中,

所述第二像素电路及所述第三像素电路的第二晶体管的栅电极被一体构成,

所述第二像素电路及所述第三像素电路的第三晶体管的栅电极被一体构成,

所述第一像素电路及所述第二像素电路的第四晶体管的栅电极被一体构成,

所述第二像素电路及所述第三像素电路的第五晶体管的栅电极被一体构成。

7. 如权利要求 3 至 6 中任一项所述的显示装置,其中,

还具备如下的屏蔽线,该屏蔽线被配置在分别与在所述第一方向上邻接的一组像素电路的第一晶体管的栅电极相连接的两个配线之间。

8. 如权利要求 1 至 7 中任一项所述的显示装置,其中,

在所述第一方向上邻接的所述至少一组像素电路中被对称配置的所述至少一组的晶体管的被一体构成的栅电极,在一个连接点处与一个配线相连接。

9. 一种电子设备,其具备权利要求 1 至 8 中任一项所述的显示装置。

显示装置以及电子设备

技术领域

[0001] 本发明涉及一种使用了有机 EL (Electro-Luminescence : 电致发光) 面板的有源矩阵型显示装置。而且, 本发明还涉及使用了这种显示装置的电子设备。

背景技术

[0002] 有机 EL 面板以发光层由有机化合物形成的有机发光二极管 (Organic Light-Emitting Diode: OLED) 被配置为多个像素的方式而被构成。有机发光二极管, 在通过被注入至发光层中的电子与空穴的结合所产生的能量而被激发的有机化合物的分子从激发状态返回至基底状态时发光。在有机 EL 面板中, 通过使电流在发光二极管的阳极 (anode) 和阴极 (cathode) 之间流通, 从而以与该电流值相对应的亮度来实施脉冲型点亮。

[0003] 作为有机 EL 面板的驱动方式, 存在无源矩阵型和有源矩阵型。根据无源矩阵型, 在阳极驱动器的多条配线与阴极驱动器的多条配线之间, 连接有各自的像素的有机发光二极管。这样, 虽然构造简单, 但因针对每条线均发光所以需要使发光亮度增大, 从而在装置的寿命缩短的同时, 存在因色度亮度干扰所导致的画质降低的问题。

[0004] 另一方面, 根据有源矩阵型, 多个晶体管针对于各个像素而被配置, 通过在预定的时间内使电流流经有机发光二极管从而实现较高的发光效率以及高画质。但是, 若作为像素电路的晶体管而使用非晶硅的 TFT (薄膜晶体管), 则老化会变严重, 若使用低温多晶硅的 TFT, 则每个像素的阈值电压的偏差会变大。无论哪种情况, 为了对这些情况进行补偿而均会使像素电路的构造变得复杂。

[0005] 在现有的有源矩阵型的显示装置中, 为了使晶体管和配线的配置对画质造成的影响平均化, 将像素电路的布局设为同一图案的反复, 或者, 为了实现像素电路的小型化, 从而将像素电路的布局设为左右以及 / 或上下对称的镜像配置。

[0006] 作为相关的技术, 在专利文献 1 中公开了一种在显示区域内能够有效地配置像素电路的图像显示装置。此图像显示装置为, 使在将显示区域以网格状进行分割而形成的多个像素区域中的每个像素区域中被配置的发光元件进行发光从而显示图像的显示装置, 该图像显示装置的特征在于, 用于对多个像素区域中的每个像素区域中被配置的发光元件的发光进行控制的像素电路被形成在如下的区域中, 所述区域为具有 : 从该图像区域朝向邻接的其他像素区域而突出的部分、和从邻接的其他像素电路向该像素区域内突出的部分。

[0007] 此外, 在专利文献 2 中公开了改善了开口率的有机电场发光元件。该有机电场发光元件包括 : 基板 ; 基板上部的多条栅极配线 ; 与多条栅极配线互相交叉的基板上部的多条数据配线 ; 被形成在基板上部且相互连结的多个开关元件和驱动元件 ; 被形成在基板上部且与多条数据配线平行并至少被电联结于 2 个驱动元件的电源配线。通过这样的构成, 由于能够将电源配线的条数减少为 1/2, 从而与现有的装置相比开口率得到改善, 并且由于即使不提高电流电平也可以, 因而可延长元件的寿命。

[0008] 在专利文献 1 中, 虽然将像素电路的布局设为左右及上下对称的镜像配置, 但像素电路的端部处所形成的数据信号线 (DAT、参照图 1 及图 3C) 将会邻接于相邻的像素电路

的数据信号线。在专利文献 2 中,虽然将像素电路的布局设为左右对称的镜像配置,但像素电路的端部处所形成的数据配线(111,参照图 5)将会邻接于相邻的像素电路的数据配线。

[0009] 在使用了有机 EL 面板的有源矩阵型的显示装置中,根据经由数据线而被写入像素电路的电容的像素信号(电荷),来实施用于使电流流通于有机发光二极管的晶体管的电容驱动。此刻,当两条数据线相邻接时,暂时被写入像素电路的电容中的像素信号,在向相邻的像素回路的电容中写入像素信号时,将因邻接的 2 条数据线之间的寄生电容而发生变化,从而可能对灰度造成影响。

[0010] 专利文献 1:日本特开 2010-210905 号公报(段落 0007-0009)

[0011] 专利文献 2:日本特开 2004-6341 号公报(段落 0039-0041)

发明内容

[0012] 如上所述,在使用了有机 EL 面板的有源矩阵型的显示装置中,由于在各个像素电路上配置有多个晶体管,因此难以实现像素电路的小型化,在为了显示高精度的图像而缩小像素间距时,会受到制造上的限制。此外,当将像素电路的布局设为左右对称的镜像配置的情况下,邻接的两条数据线间的寄生电容所导致的色度亮度干扰也会成为问题。因此,本发明的第一目的在于,提供一种可容易地实现像素电路的小型化的显示装置。此外,本发明的第二目的在于,减小因在邻接的两个像素电路中的数据配线间的寄生电容而导致的色度亮度干扰。

[0013] 为了解决以上课题,本发明的一个观点所涉及的显示装置为,使用了有机电致发光面板的有源矩阵型的显示装置,所述显示装具备:多个像素电路,所述多个像素电路分别包括被配置在所述有机电致发光面板的像素区域内的有机发光二极管、以及对有机发光二极管进行驱动的多个晶体管;多个扫描线,其在所述有机电致发光面板中沿着第一方向而被配置;多个数据线,其在有机电致发光面板中沿着与第一方向正交的第二方向而被配置,在第一方向上邻接的至少一组像素电路中,多个晶体管的栅电极及杂质扩散区域以线对称的方式被布局,在至少一组像素电路中被对称配置的至少一组晶体管的栅电极被一体构成。

[0014] 根据本发明的一个观点,通过在第一方向上邻接的至少一组像素电路中,将多个晶体管的栅电极及杂质扩散区域以线对称的方式进行布局,从而能够在配线层上有效地对配线进行配置。此外,通过将第一方向上邻接的至少一组像素电路中被对称配置的至少一组晶体管的栅电极共用化而一体构成,从而与将这些晶体管的栅电极独立构成的情况相比,能够将晶体管的间距缩小与栅电极间的空间对应的量,从而减小像素间距。

[0015] 该显示装置还具备如下的屏蔽线,该屏蔽线被配置于分别与在所述第一方向上邻接的一组像素电路相连接的两个数据线之间。由此,即使对在所述第一方向上邻接的一组像素电路进行镜像配置,也可防止两条数据线邻接,从而能够降低因数据线之间的寄生电容而导致的色度亮度干扰。

[0016] 此外,还可以采用如下的方式,即,多个像素电路中的每个像素电路包括:第一晶体管,其根据与栅极相连接的电容器的电位,而向有机发光二极管供给电流;第二晶体管,其根据与栅极相连接的扫描线的电位,而将第一晶体管的栅极连接于一个数据线。如此,即使在像素电路中只包括 2 个晶体管的情况下,也能够有机电致发光面板上显示图像。

[0017] 在此,也可以采用如下的方式,即,在第一方向上邻接的一组像素电路的第二晶体管的栅电极被一体构成。由此,可缩小一组像素回路的第二晶体管的间隔。

[0018] 此外,也可以采用如下的方式,即,多个像素电路中的每个像素电路还包括:第三晶体管,其根据被供给至栅极的信号,而对第一晶体管的栅极和漏极之间的连接进行开闭;第四晶体管,其根据被供给至栅极的信号,而对第一晶体管的漏极和有机发光二极管的阳极之间的连接进行开闭;第五晶体管,其根据被供给至栅极的信号,而对有机发光二极管的阳极和复位电位线之间的连接进行开闭。由此,能够进一步改善画质和功能。

[0019] 在此情况下,也可以采用如下的方式,即,在第一方向上邻接的第一像素电路至第三像素电路中,第二像素电路及第三像素电路的第二晶体管的栅电极被一体构成,第二像素电路及第三像素电路的第三晶体管的栅电极被一体构成,第一像素电路及第二像素电路的第四晶体管的栅电极被一体构成,第二像素电路及第三像素电路的第五晶体管的栅电极被一体构成。由此,能够缩小一组第二晶体管的间隔、一组第三晶体管的间隔、一组第四晶体管的间隔、以及一组第五晶体管的间隔。

[0020] 此外,也可以采用如下的方式,即,该显示装置还具备如下的屏蔽线,该屏蔽线被配置在分别与在第一方向上邻接的一组像素电路的第一晶体管的栅电极相连接的两个配线之间。由于通过此布局图案来配置屏蔽线从而增加了屏蔽效果,因此能够减小色度亮度干扰在邻接的像素间对显示造成的影响。

[0021] 如上文所述,也可以采用如下的方式,即,在第一方向上邻接的所述至少一组像素电路中被对称配置的至少一组的晶体管的被一体构成的栅电极,在一个连接点处与一个配线相连接。由此,能够使通孔或接点的数目减少,从而可使像素电路小型化。

[0022] 本发明的一个观点所涉及的电子设备具备本发明的任一观点所涉及的显示装置。由此,能够提供一种为了显示高精度的图像而缩小像素间隔的电子寻像器或头戴式显示器等电子设备。

附图说明

[0023] 图 1 为表示使用了本发明的一个实施方式所涉及的显示装置的电子设备的框图。

[0024] 图 2 为表示本发明的一个实施方式所涉及的显示装置的一个示例的立体图。

[0025] 图 3 为表示如图 1 所示的像素部的电路结构的一个示例的电路图。

[0026] 图 4 为表示像素电路中的栅电极及杂质扩散区域的布局的平面图。

[0027] 图 5 为表示像素电路的第一配线层的布局的平面图。

[0028] 图 6 为表示像素电路的第二配线层的布局的平面图。

具体实施方式

[0029] 以下,参照附图,对于本发明的实施方式进行详细说明。另外,对于同一构成要素标记同一参照符号,并省略其重复说明。

[0030] 图 1 表示应用了本发明的一个实施方式所涉及的显示装置的电子设备的结构的框图。此电子设备为电子寻像器或头戴式显示器等电子设备,在图 1 中,只图示了与图像显示相关的部分。

[0031] 如图 1 所示,此电子设备包含:图像数据处理电路 10;显示时刻生成电路 20;扫描

线驱动器 30 ;数据线驱动器 40 ;像素部 50。此处,至少扫描线驱动器 30、数据线驱动器 40、像素部 50 构成使用了有机 EL 面板的有源矩阵型显示装置。

[0032] 像素部 50 包括分别在有机 EL 面板的多个像素区域内形成的多个像素电路。在有机 EL 面板中,也可以通过在透明基板上以非晶硅或低温多晶硅的方式形成 TFT,从而形成像素电路。或者,也可以将形成有像素电路的硅 (Si) 的半导体基板作为底板而使用,并在其上使用形成有有机发光二极管 (OLED) 的有机 EL 面板。这种有机 EL 面板被称为“SiOLED”。

[0033] 在 SiOLED 的情况下,即使增加构成各个像素电路的晶体管的数目,也能够使这些晶体管容易地形成在半导体基板上。此外,在半导体基板之上不仅形成扫描线驱动器 30、数据线驱动器 40、像素部 50,也可以形成图像数据处理电路 10 及显示时刻生成电路 20 的至少一部分。

[0034] 在图像数据处理电路 10 中,输入有图像数据及时钟信号、并对图像数据施以各种图像处理。例如,图像数据处理电路 10 也可以针对图像数据实施灰度系数补正处理或者残留图像补正处理。图像数据处理电路 10 将实施了图像处理的图像数据供给至数据线驱动器 40。

[0035] 显示时刻生成电路 20,以与从外部供给的垂直同步信号、水平同步信号、及点时钟信号同步的方式,生成用于控制显示装置的各种时刻信号。例如,显示时刻生成电路 20 生成起始信号及线路时钟信号并将其供给至扫描线驱动器 30。起始信号包含规定垂直扫描的开始时刻的起始脉冲,从而成为用于使像素部 50 的扫描开始的触发器。

[0036] 扫描线驱动器 30 被构成为包括移位寄存器及输出缓冲器,当被施以起始脉冲时,便与线路时钟信号同步而依次选择多个扫描线 G1, G2, …… ,并将扫描信号供给至所选择的扫描线。由此,将起始脉冲作为触发器而使全部扫描线被依次选择,从而实施可 1 次垂直扫描驱动。此外,扫描线驱动器 30 也可以将用于控制像素部 50 的动作的各种控制信号供给至像素部 50。

[0037] 数据线驱动器 40 被构成为包括多个 D/A 转换器,并生成与通过由图像数据处理电路 10 所供给的图像数据而被表现出的灰度对应的多个像素信号。数据线驱动器 40,在与扫描信号同步的时刻处,将这些像素信号供给至多条数据线 D1、D2、……。

[0038] 在像素部 50 中,在有机 EL 面板中沿着第一方向(图中的 X 轴方向)而配置有多条扫描线 G1, G2, …… ,在有机 EL 面板中沿着与第一方向正交的第二方向而配置有多条数据线 D1, D2……。此外,在这些扫描线和数据线交叉的位置处,设置有多个像素电路。

[0039] 根据由扫描线驱动器 30 所供给的扫描信号,而多行的像素电路被依次选择。从数据线驱动器 40 经由多条数据线 D1, D2, ……而使各自的像素信号被写入到所选择的 1 行像素电路中。各个像素电路具备有机发光二极管,有机发光二极管以对应于所写入的像素信号的强度而发光,针对每个像素而进行灰度显示。

[0040] 图 2 为表示本发明的一个实施方式所涉及的显示装置的一个示例的立体图。此处,对应用了 SiOLED 的显示装置进行说明。如图 2 所示,显示装置 60 包括有机 EL 面板 70 及柔性基板 80。有机 EL 面板 70 为包括如下部件的顶部发射型的显示面板,即,包含:硅制半导体基板 71;蒸镀于半导体基板 71 上的由有机化合物所形成的发光层 (OLED 层) 72;被设置在 OLED 层 72 上的防护玻璃罩 73。在半导体基板 71 上形成有多个像素电路,从 OLED

层 72 所发出的显示光线,从玻璃防护罩 73 侧出射。

[0041] 有机 EL 面板 70 具备显示区域 70a, 该显示区域 70a 具有被配置为矩阵状的多个像素。如图 2 中的右上方放大所示,在显示区域 70a 上,红色 (R)、绿色 (G)、蓝色 (B) 的发光元件以周期性地被配置,通过这些发光元件所出射的光线,能够显示出全色的图像。

[0042] 在有机 EL 面板 70 的显示区域 70a 的周边部(框部)上,形成有扫描线驱动器 30 以及数据线驱动器 40(参照图 1)。构成这些电路的电路元件,与像素电路同样地,形成于半导体基板 71 上。此外,在半导体基板 71 从玻璃防护罩 73 突出的区域上连接有柔性基板 80。

[0043] 在柔性基板 80 的端部,形成有用于与外部设备或者专用的控制器相连接的多个端子。有机 EL 面板 70 通过经由柔性基板 80 而从外部设备或控制器中接收图像数据或电力或控制信号的供给,从而在显示区域 70a 上显示图像或文字等。

[0044] 图 3 为表示图 1 所示的像素部的电路构成的一个示例的电路图。在图 3 中,图示了在第一方向上(图 1 所示的 X 轴方向)邻接的 3 个像素电路 1~3、及测试控制用的电路。例如,像素电路 1~3 例如分别被设置于形成有 RGB 发光元件的 3 个像素区域中。电源电位 VEL(例如,8V)及电源电位 VCT(例如,0V)被供给至像素电路 1~3 中。

[0045] 像素电路 1 包含:有机发光二极管 D,其被配置于有机 EL 面板的像素区域中;多个晶体管,其对有机发光二极管 D 进行驱动;电容器 C,其保持像素信号。例如,像素电路包括 P 沟道 MOS 晶体管 QP1 及 QP2,而且,作为备选,也可以包括 P 沟道 MOS 晶体管 QP3~QP5。

[0046] 晶体管 QP1 的源极被连接于电源电位 VEL,晶体管 QP1 的漏极被连接于晶体管 QP4 的源极。在不设置晶体管 QP4 的情况下,晶体管 QP1 的漏极被连接于有机发光二极管 D 的阳极。有机发光二极管 D 的阴极被连接于电源电位 VCT。此外,电容器 C 的第一电极被连接于电源电位 VEL,电容器 C 的第二电极被连接于晶体管 QP1 的栅极。

[0047] 晶体管 QP2 的源极被连接于数据线 D1,晶体管 QP2 的漏极被连接于电容器 C 的第二电极及晶体管 QP1 的栅极。此外,晶体管 QP2 的栅极被连接于一条扫描线,晶体管 QP2 根据连接于栅极的扫描线的电位,而将晶体管 QP1 的栅极连接于数据线 D1。

[0048] 即,当将扫描线的电位激活为低电平时,晶体管 QP2 导通,从而将数据线 D1 的电位供给至晶体管 QP1 的栅极。晶体管 QP1 根据与栅极连接的电容器 C 的第二电极上所保持的电位,而向有机发光二极管 D 供给电流。有机发光二极管 D 以对应于所供给的电流值的亮度而进行发光。

[0049] 另一方面,虽然当将扫描线的电位去激活为高电平时,晶体管 QP2 断开,从而晶体管 QP1 的栅极从数据线 D1 上被切断,但即便在此状态下,晶体管 QP1 也能够根据与栅极连接的电容器 C 的第二电极中所保持的电位,而向有机发光二极管 D 供给电流。

[0050] 如此,虽然即使在像素电路 1 中只包含晶体管 QP1 及 QP2 这 2 个晶体管的情况下,也能够有机 EL 面板上显示图像,在以下,为了进一步改善画质和功能,像素电路 1 还包含 P 沟道晶体管 QP3~QP5 的情况进行说明。

[0051] 晶体管 QP3 的源极被连接于晶体管 QP1 的栅极,晶体管 QP3 的漏极被连接于晶体管 QP1 的漏极。此外,对晶体管 QP3 的栅极供给阈值补偿信号,进而晶体管 QP3 根据阈值补偿信号,而对晶体管 QP1 的栅极和漏极之间的连接进行开闭。

[0052] 即,由于当将阈值补偿信号激活为低电平时,晶体管 QP3 导通,晶体管 QP1 的栅极

和漏极被连接,因此晶体管 QP1 等效于二极管。此时,在将数据线 D1 的电位固定于预定的电位(例如,0V)的同时,使晶体管 QP2 导通时,等效二极管的两端产生正向电压,该电压被保持在电容器 C 中。

[0053] 由此,尽管在多个像素电路中于晶体管 QP1 的阈值电压中产生偏差的情况下,但由于相当于阈值电压的电压被保持在电容器 C 中,因此也能够对由晶体管 QP1 的阈值电压的偏差所导致的漏极电流的偏差进行补偿。然后,在将阈值补偿信号去激活为高电平而使晶体管 QP3 断开的状态下,通过对数据线 D1 供给图像信号,从而图像信号的电位被叠加于在电容器 C 的第二电极中所保持的电位。

[0054] 晶体管 QP4 的源极被连接于晶体管 QP1 的漏极,晶体管 QP4 的漏极被连接于有机发光二极管 D 的阳极。发光控制信号被供给至晶体管 QP4 的栅极,从而晶体管 QP4 根据发光控制信号,而对晶体管 QP1 的漏极和有机发光二极管 D 的阳极之间的连接进行开闭。

[0055] 即,当发光控制信号被激活为低电平时,晶体管 QP4 导通,从而晶体管 QP1 的漏极电流被供给于有机发光二极管 D。另一方面,当发光控制信号被去激活为高电平时,晶体管 QP4 断开,从而晶体管 QP1 的漏极电流不会被供给至有机发光二极管 D。这样,根据发光控制信号被激活的期限,而能够控制有机发光二极管 D 的发光期限。

[0056] 晶体管 QP5 的源极被连接于复位电位线 R1,晶体管 QP5 的漏极被连接于有机发光二极管 D 的阳极。LED 复位信号被供给至晶体管 QP5 的栅极,从而晶体管 QP5 根据 LED 复位信号,而对有机发光二极管 D 的阳极和复位电位线 R1 之间的连接进行开闭。

[0057] 即,当 LED 复位信号被激活为低电平时,晶体管 QP5 导通,而在有机发光二极管 D 的阳极上施加预定的复位电位(例如,0V)。由此,能够使有机发光二极管 D 的发光完全停止。另一方面,当 LED 复位信号被去激活为高电平时,晶体管 QP5 断开,从而能够进行有机发光二极管 D 的发光。

[0058] 复位电位线 R1 在测试模式下,能够使用于对晶体管 QP1 的漏极电流进行测定。因此,由 P 沟道 MOS 晶体管 QP11 和 N 沟道 MOS 晶体管 QN11 构成的第一传输门被连接于复位电位线 R1 与测试线 T1 之间。此外,通过 P 沟道 MOS 晶体管 QP12 和 N 沟道 MOS 晶体管 QN12 所构成的第二传输门被连接于复位电位线 R1 与复位电位之间。

[0059] 在测试模式下,测试控制信号被激活为低电平,逆变器 INV 的输出信号成为高电平。因此,第一传输门的晶体管 QP11 和 QN11 导通,第二传输门的晶体管 QP12 及 QN12 断开,复位电位线 R1 被连接于测试线 T1。由此,晶体管 QP5 为导通时,可经由测试线 T1 而对晶体管 QP11 的漏极电流进行测定。

[0060] 另一方面,在通常动作模式下,测试控制信号被去激活为高电平,逆变器 INV 的输出信号成为低电平。因此,第一传输门的晶体管 QP11 及 QN11 成为断开,第二传输门的晶体管 QP12 及 QN12 成为导通,从而复位电位线 R1 被连接于复位电位。

[0061] 以上,虽然对像素电路 1 的构成进行了说明,但像素电路 2 及 3 的构成也与像素电路 1 同样。此处,在像素电路 1 的图中左侧设置有屏蔽线 S1,在像素电路 1 与像素电路 2 之间配置有屏蔽线 S2,在像素电路 2 和像素电路 3 之间配置有屏蔽线 S3。此外,由 P 沟道 MOS 晶体管 QP13 和 N 沟道 MOS 晶体管 QN13 所构成的传输门被连接于屏蔽线 S1 ~ S3 与复位电位之间。

[0062] 在测试模式下,传输门的晶体管 QP13 及 QN13 成为断开,屏蔽线 S1 ~ S3 从复位电

位被切断。另一方面,在通常动作模式下,传输门的晶体管 QP13 及 QN13 成为导通,屏蔽线 S1 ~ S3 被连接于复位电位。

[0063] 接下来,对图 3 所示的像素电路的布局进行说明。在 SiOLED 的情况下,在硅制半导体基板的一部分区域上经由栅极绝缘膜而形成栅电极,在其两侧的半导体基板内形成成为源极及漏极的杂质扩散区域,从而形成晶体管。

[0064] 在形成有晶体管的半导体基板上,经由第一层间绝缘膜而形成第一配线层,并在其上经由第二层间绝缘膜而形成第二配线层,如此,形成所需数目的配线层。例如,层间绝缘膜由二氧化硅而形成,配线层由铝而形成。

[0065] 图 4 为表示图 3 所示的像素电路中的栅电极及杂质扩散区域的布局的平面图。图 5 为表示图 3 所示的像素电路中的第一配线层的布局的平面图。图 6 为图 3 所示的像素电路中的第二配线层的布局的平面图。在图 5 及图 6 中,在栅电极及杂质扩散区域的布局上,各个配线层的布局以灰色来表示。此外,× 记号表示为了将各个配线层的配线连接于下层而在层间绝缘膜上所形成的通孔。

[0066] 虽然在图 4 ~ 图 6 中,图示了在第一方向(图 1 所示的 X 轴方向)上邻接的 3 个像素电路 1 ~ 3,但其他像素电路的布局,也针对在第一方向上邻接的一组(2 个)像素电路成为镜像配置。对于在第二方向(图 1 所示的 Y 轴方向)上邻接的一组像素回路,也可以设为同一个模式的重复,也可以设为镜像配置。另外,像素电路的布局的第一方向以及第二方向,并不限定于图 1 所示的 X 轴方向和 Y 轴方向。

[0067] 如图 4 所示,在第一方向上的邻接的像素电路 1 和 2 中,晶体管 QP1 ~ QP5 的栅电极(G)、源极(S)、以及漏极(D)以关于像素电路的分界线而线对称的方式被布局。并且,被对称配置的一组晶体管 QP4 的栅电极被一体地构成。

[0068] 此外,在第一方向上邻接的像素电路 2 和 3 中,晶体管 QP1 ~ QP5 的栅电极(G)、源极(S)、及漏极(D)以关于像素电路的分界线而线对称的方式被布局。并且,被对称配置的一组的晶体管 QP2 的栅电极被一体地构成,为对称配置的一组的晶体管 QP3 的栅电极被构成为一体,被对称配置的一组的晶体管 QP5 的栅电极被一体地构成。

[0069] 如此,通过在第一方向上邻接的至少一组像素电路中,以线对称的方式布局多个晶体管的栅电极及杂质扩散区域,从而能够在配线层上高效地配置配线。此外,通过对在第一方向上邻接的至少一组像素电路中被对称配置的至少一组晶体管的栅电极进行共用化而一体构成,从而与独立构成这些晶体管的栅电极的情况相比,从而使晶体管的间隔缩小与栅电极间的空间对应的量,从而能够减小像素间距。

[0070] 如图 5 所示,在第一配线层上,沿第一方向而形成有扫描线、屏蔽线、阈值补偿信号的配线、发光控制信号的配线、及 LED 复位信号的配线。在像素电路 1 及 2 中,一组晶体管 QP4 的被一体地构成的栅电极在一个连接点处被连接于发光控制信号的配线。此外,在像素电路 2 及像素电路 3 中,一组晶体管 QP2 的被一体地构成的栅电极,在一个连接点处被连接于 1 条扫描线,一组晶体管 QP3 的被一体构成的栅电极,在一个连接点处被连接于阈值补偿信号的配线,一组晶体管 QP5 的被一体构成的栅电极,在一个连接点处被连接于 LED 复位信号的配线。

[0071] 这样,通过将在第一方向上邻接的一组像素电路中被对称配置的一组晶体管的被一体构成的栅电极,在一个连接点处连接于一条配线,进而能够减少通孔和接点,从而使像

素电路小型化。

[0072] 此外,屏蔽线不仅配置于扫描线和阈值补偿信号的配线之间,在像素电路1~3的各自电路中,也被配置在连接于晶体管QP1的栅电极的配线和扫描线之间。而且,屏蔽线还配置于,分别在邻接的一组像素电路中被对称配置的一组晶体管QP1相连接的两条配线之间。通过以这样的布局模式对屏蔽线进行配置进而增加屏蔽效果,因此能够减小在邻接的像素之间色度亮度干扰对显示造成的影响。

[0073] 如图6所示,在第二配线层上,沿第二方向而形成有屏蔽线S1~S3、数据线D1~D3、复位电位线R1~R3。此处,屏蔽线S3被配置在,分别与于第一方向上邻接的像素电路2及3相连接的两个数据线D2和D3之间。由此,即使将在第一方向上邻接的一组像素电路的布局设为镜像配置,也可防止2条数据线相互邻接,从而可减小数据线之间的寄生电容所导致的色度亮度干扰。

[0074] 此外,如图4~图6所示,在第一方向上邻接的一组像素电路中,即使对于与上层接触的部分,也将其布局设为镜像配置,从而在这些像素电路中配线之间的电容耦合等也不会出现不同。并且,在第三配线层上,配置有用于供给电源电位VEL的配线,此配线经由第二配线层和第一配线层,从而被电连接于晶体管QP1的源极。如此,通过另行设置用于供给电源电位VEL的第三配线层,从而能够减小从第一和第二配线层中产生的噪声对晶体管QP1的源极电位造成的影响。

[0075] 例如,图3所示的电容器C,例如通过用金属夹持了绝缘层的MIM(metal-insulator-metal;金属-绝缘体-金属)构造而被形成。在此种情况下,也可以在第三配线层上形成电容器C的第一电极、在第四配线层上形成电容器C的第二电极、在第五配线层上形成电容器C的第一电极的方式,将电容器C设为层叠结构。在第三及第五配线层上所形成的电容器C的第一电极上供给电源电位VEL。

[0076] 如此,通过将电容器C的第一电极的电位设为与晶体管QP1的源极电位及背栅电位相同,从而能够将供给至电容器C的第一电极的电源电位VEL,也以低阻抗稳定地供给至晶体管QP1的源极等。

[0077] 虽然在以上的实施方式中,对于在像素电路中使用P沟道MOS晶体管的情况进行了说明,但本发明也能够适用于在像素电路中使用N沟道MOS晶体管的情况。

[0078] 如此,本发明并不限于以上所说明的实施方式,对于在该技术领域中具有通常的知识的人员而言,在本发明的技术思想范围内能够进行多种变形。

[0079] 符号说明

[0080] 1~3:像素电路;10:图像数据处理电路;20:显示时刻生成电路;30:扫描线驱动器;40:数据线驱动器;50:像素部;60:显示装置;70:有机EL面板;70a:显示区域;71:半导体基板;72:OLED层;73:玻璃防护罩;80:柔性面板;G1、G2……:扫描线;D1、D2……:数据线;S1~S3:屏蔽线;R1~R3:复位电位线;T1~T3:测试线;D:有机发光二极管;QP1~QP3:P沟道MOS晶体管;QN11~QN13:N沟道MOS晶体管;C:电容器。

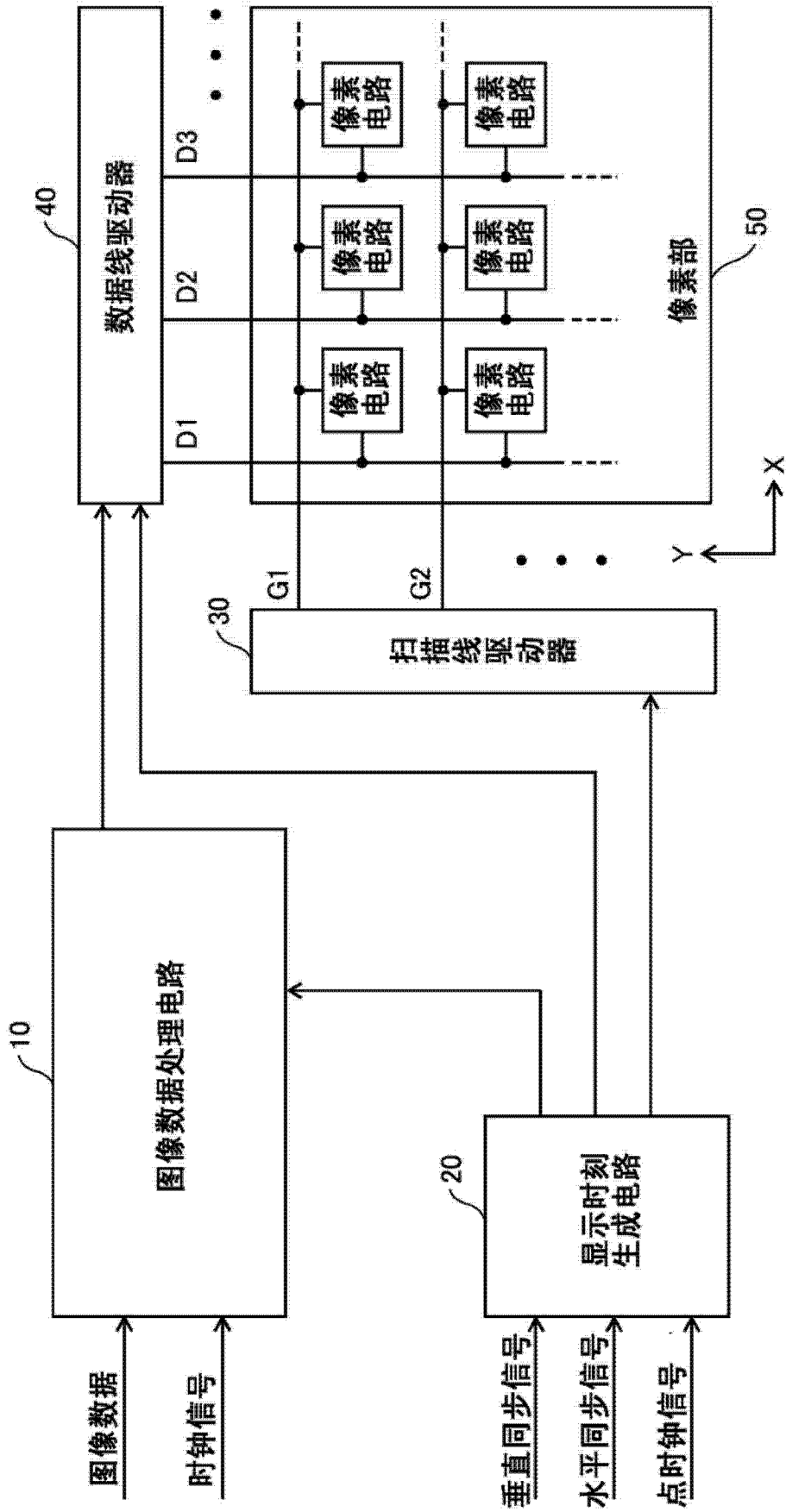


图 1

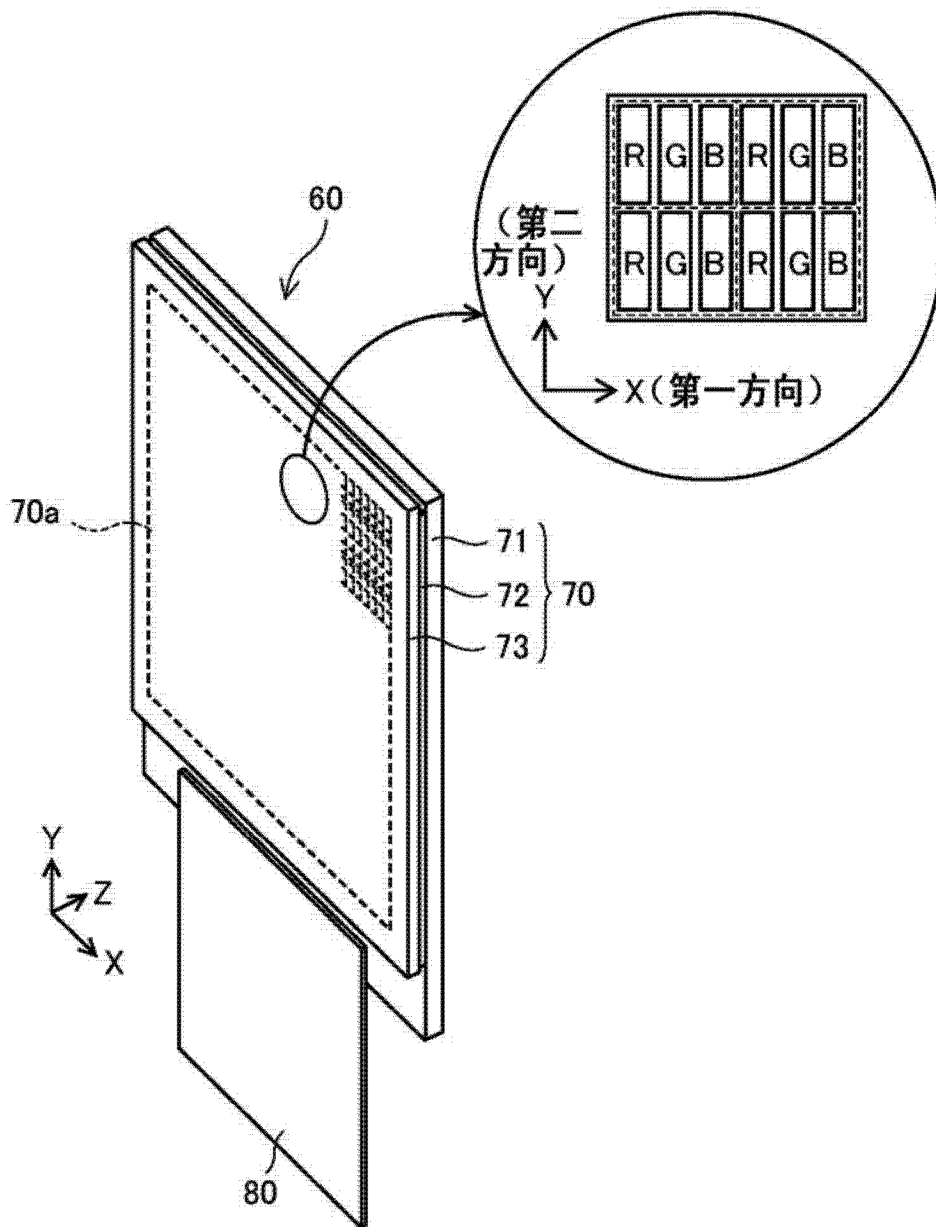


图 2

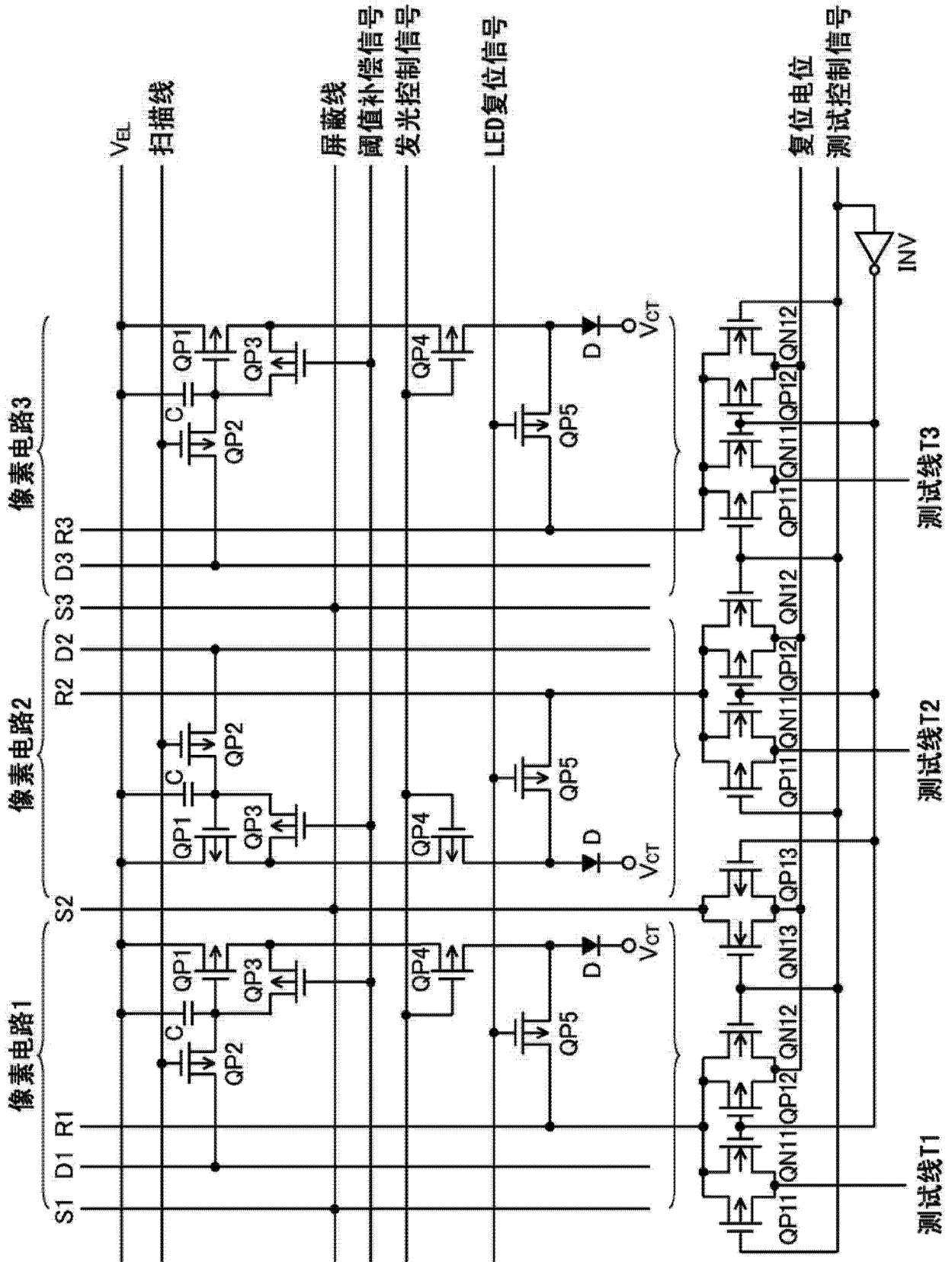


图 3

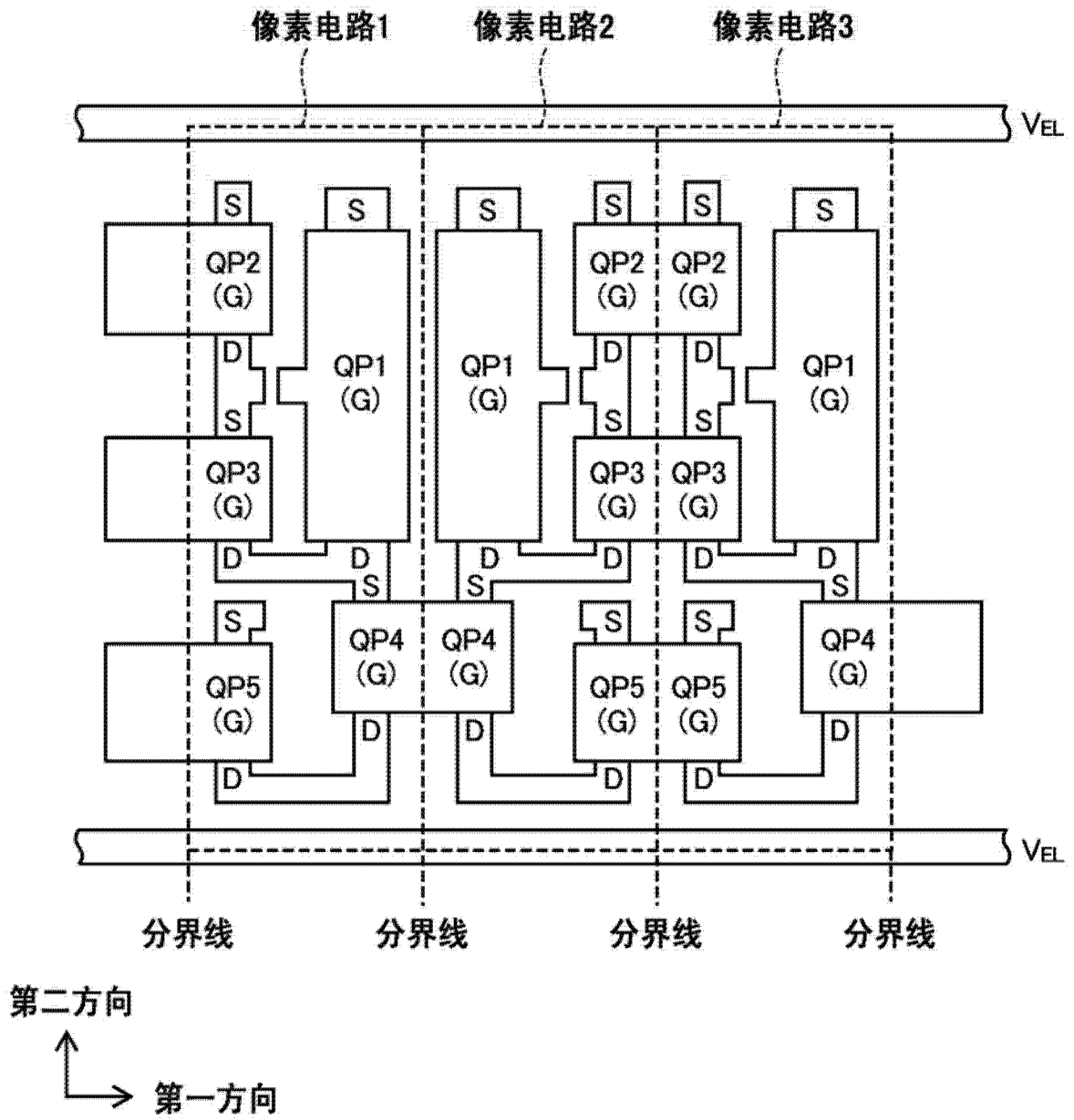


图 4

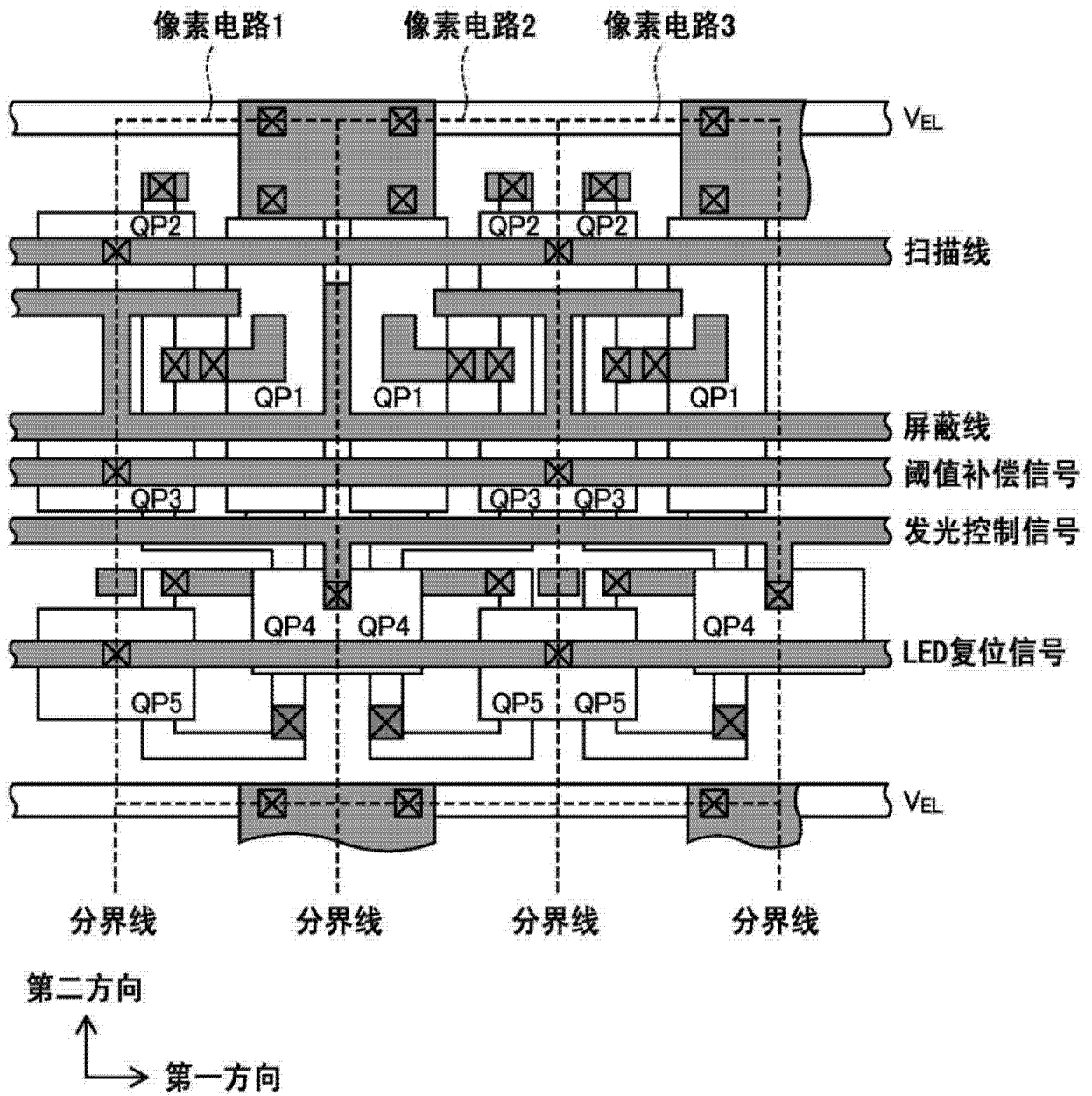


图 5

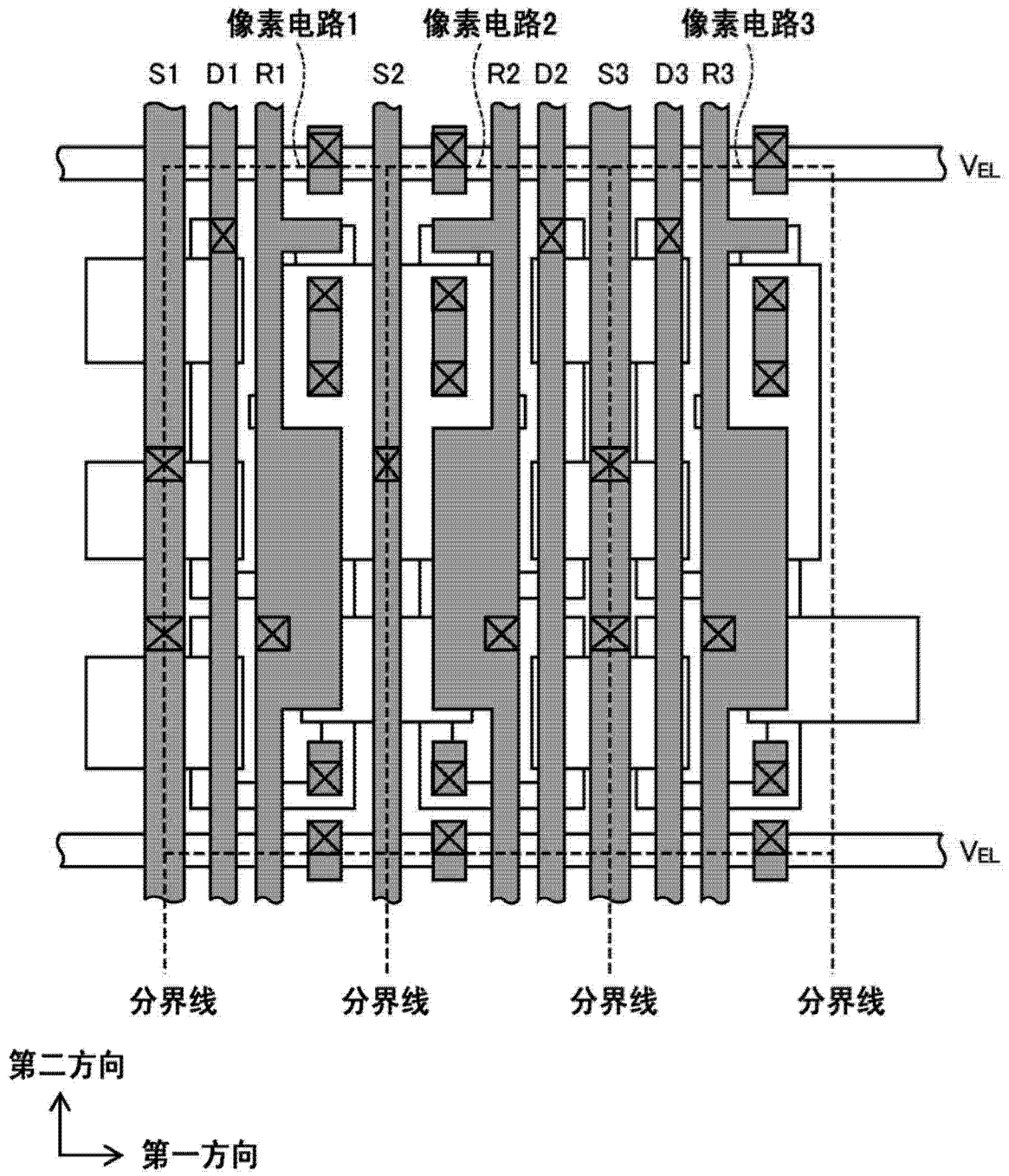


图 6

