



(12) 发明专利

(10) 授权公告号 CN 102820006 B

(45) 授权公告日 2015. 10. 14

(21) 申请号 201210274259. 6

(22) 申请日 2012. 08. 02

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 马占洁

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51) Int. Cl.

G09G 3/32(2006. 01)

(56) 对比文件

CN 102290027 A, 2011. 12. 21, 参见说明书 52-98 段、附图 2-5.

CN 102290027 A, 2011. 12. 21, 参见说明书 52-98 段、附图 2-5.

CN 102402940 A, 2012. 04. 04, 说明书 59-82

段、附图 3, 附图 4.

CN 202120574 U, 2012. 01. 18, 参见说明书 31-49 段、附图 2-6.

TW 200643877 A, 2006. 12. 16, 全文.

US 2009121982 A1, 2009. 05. 14, 全文.

KR 20080076545 A, 2008. 08. 20, 全文.

审查员 贺轶

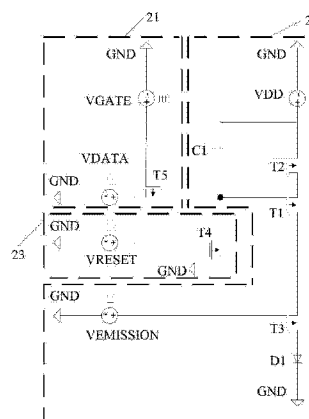
权利要求书2页 说明书6页 附图5页

(54) 发明名称

一种补偿阈值电压漂移的像素电路和薄膜晶体管背板

(57) 摘要

本发明实施例提供了一种补偿阈值电压漂移的像素电路和薄膜晶体管背板,用以解决现有技术中阈值电压漂移造成的图像显示不均匀的问题。它包括驱动模块和信号加载模块,驱动模块包括 VDD 信号源、驱动晶体管 T1、存储电容 C1 和 OLED D1,驱动晶体管 T1 的栅极连接信号加载模块的输出端,驱动 OLED D1 发光;存储电容 C1 一端与 VDD 信号源输出端连接,另一端与驱动晶体管 T1 的栅极相连;驱动模块还包括 p 型衰减晶体管 T2,其栅极和源极相连且与 VDD 信号源输出端相连,漏极与驱动晶体管 T1 的源极连接;或者,驱动模块还包括 n 型衰减晶体管 T2,其栅极和漏极相连且与 VDD 信号源输出端相连,源极与驱动晶体管 T1 的源极连接。



1. 一种补偿阈值电压漂移的像素电路, 包括 : 驱动模块和用于输出当前帧数据信号的信号加载模块, 所述驱动模块包括 VDD 信号源、驱动晶体管 T1、存储电容 C1 和有机发光二极管 OLED D1 ; 所述驱动晶体管 T1 的栅极连接所述信号加载模块的输出端, 用于在所述当前帧数据信号的作用下, 驱动所述 OLED D1 发光 ; 其特征在于, 所述存储电容 C1 一端与所述 VDD 信号源输出端连接, 另一端与所述驱动晶体管 T1 的栅极和所述信号加载模块的输出端的连接点相连 ;

所述驱动模块, 还包括 : 与所述驱动晶体管 T1 连接的 p 型衰减晶体管 T2, 所述 p 型衰减晶体管 T2 的栅极和源极相连且与 VDD 信号源输出端相连, 所述 p 型衰减晶体管 T2 的漏极与所述驱动晶体管 T1 的源极连接。

2. 如权利要求 1 所述的电路, 其特征在于, 所述驱动模块还包括 : 发射信号源和开关晶体管 T3 ;

所述开关晶体管 T3 的源极连接驱动晶体管 T1 的漏极, 所述开关晶体管 T3 的漏极连接所述 OLED D1, 所述开关晶体管 T3 的栅极连接所述发射信号源的输出端 ; 所述开关晶体管 T3 用于在所述发射信号源输出开启信号时开启, 以及在所述发射信号源输出关闭信号时关断 ;

所述存储电容 C1 用于在所述开关晶体管 T3 关断时, 存储所述信号加载模块输出的当前帧数据信号, 并在所述开关晶体管 T3 开启时, 释放所述当前帧数据信号以驱动所述 OLED D1 发光。

3. 如权利要求 1 所述的电路, 其特征在于, 还包括复位模块, 所述复位模块包括复位晶体管 T4 和复位信号源 ;

所述复位晶体管 T4 的栅极连接所述复位信号源的输出端, 所述复位晶体管 T4 的源极连接所述连接点, 所述复位晶体管 T4 的漏极接地 ;

所述复位信号源, 用于在信号加载模块加载当前帧数据信号之前, 输出开启信号以开启所述复位晶体管 T4 ; 以及在所述连接点的信号复位完成后, 输出关闭信号以关断所述复位晶体管 T4 ;

所述复位晶体管 T4, 用于在接收到复位信号源输出的复位信号后, 将所述连接点的上一帧数据信号复位为 GND 信号 ; 并在接收到复位信号源输出的关闭信号后关断。

4. 如权利要求 2 所述的电路, 其特征在于, 还包括复位模块, 所述复位模块包括复位晶体管 T4 和复位信号源 ;

所述复位晶体管 T4 的栅极连接所述复位信号源的输出端, 所述复位晶体管 T4 的源极连接所述连接点, 所述复位晶体管 T4 的漏极接地 ;

所述复位信号源, 用于在信号加载模块加载当前帧数据信号之前, 输出开启信号以开启所述复位晶体管 T4 ; 以及在所述连接点的信号复位完成后, 输出关闭信号以关断所述复位晶体管 T4 ;

所述复位晶体管 T4, 用于在接收到复位信号源输出的复位信号后, 将所述连接点的上一帧数据信号复位为 GND 信号 ; 并在接收到复位信号源输出的关闭信号后关断 ;

所述发射信号源, 进一步用于在所述复位信号源输出开启信号时, 输出关闭信号以关断所述开关晶体管 T3。

5. 如权利要求 4 所述的电路, 其特征在于, 所述信号加载模块, 具体包括 : 图像帧数据

信号源、开关晶体管 T5 以及门信号源；

所述开关晶体管 T5 的漏极连接所述图像帧数据信号源的输出端；所述开关晶体管 T5 的栅极连接所述门信号源的输出端，所述开关晶体管 T5 的源极为所述信号加载模块的输出端并连接所述驱动晶体管 T1 的栅极；

所述图像帧数据信号源，用于在所述复位晶体管 T4 由开启状态变为关断状态时，由输出上一帧数据信号改为输出所述当前帧数据信号；

所述门信号源，用于在图像帧数据信号源输出所述当前帧数据信号时，输出开启信号以控制所述开关晶体管 T5 开启使所述当前帧数据信号传输到所述连接点；以及在当前帧数据信号传输到所述连接点并存储在存储电容 C1 之后，输出关闭信号关断所述开关晶体管 T5；

所述发射信号源，还用于在所述门信号源关断所述开关晶体管 T5 时，输出开启信号以开启所述开关晶体管 T3。

6. 如权利要求 5 所述的电路，其特征在于，所述开启信号和所述关闭信号通过发射信号源、门信号源和复位信号源输出电压高低不同的信号来区分。

7. 如权利要求 1-6 任一项所述电路，其特征在于，所述驱动晶体管 T1、所述 p 型衰减晶体管 T2 或 n 型衰减晶体管 T2 为多晶硅晶体管。

8. 如权利要求 1-6 任一项所述电路，其特征在于，所述驱动晶体管 T1、所述 p 型衰减晶体管 T2 或 n 型衰减晶体管 T2 为非晶硅晶体管。

9. 如权利要求 1-6 任一项所述电路，其特征在于，所述驱动晶体管 T1、所述 p 型衰减晶体管 T2 或 n 型衰减晶体管 T2 为氧化物晶体管。

10. 一种薄膜晶体管 TFT 背板，其特征在于，包括权利要求 1-9 任一项所述的补偿阈值电压漂移的像素电路。

一种补偿阈值电压漂移的像素电路和薄膜晶体管背板

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种补偿阈值电压漂移的像素电路以及薄膜晶体管背板。

背景技术

[0002] 有源矩阵有机发光二极管 (Active Matrix Organic Light Emitting Diode, AMOLED) 显示器因具有视角广、色彩对比效果好、响应速度快以及成本低等优点,因此获得了广泛应用。但是由于薄膜晶体管 (Thin Film Transistor, TFT) 背板在工艺过程中的不均匀性以及稳定性的问题,会导致阈值电压漂移。

[0003] 传统的 2T1C 像素电路如图 1 所示,包括:门信号源 VGATE、图像帧数据信号源 VDATA, VDD 信号源、开关晶体管 T1、驱动晶体管 T2、存储电容 C1 和有机发光二极管 (Organic Light Emitting Diode, OLED) D1 等,其中开关晶体管 T1 的栅极连接门信号源 VGATE 的输出端,开关晶体管 T1 的漏极连接图像帧数据信号源 VDATA 的输出端,开关晶体管 T1 的源极连接存储电容 C1 的一端,存储电容 C1 的另一端接地,驱动晶体管 T2 的源极连接 VDD 信号源的输出端,驱动晶体管 T2 的栅极连接开关晶体管 T1 的源极,驱动晶体管 T2 的漏极连接 OLED D1 的一端, OLED D1 的另一端接地。当开关晶体管 T1 的栅极接收到门信号源 VGATE 输出的开启信号时,开关晶体管 T1 导通,其漏极接收到的当前帧数据信号传送到开关晶体管 T1 的源极并存储在存储电容 C1 中,当前帧数据信号与 VDD 信号源的输出信号控制驱动晶体管 T2 工作,从而利用驱动晶体管 T2 的漏极电流来点亮 OLED D1。在这种 2T1C 像素电路中,由于点亮 OLED D1 的漏极电流与驱动 TFT T2 的阈值电压有关,当驱动晶体管 T2 的阈值电压漂移时,不同的 OLED 在接收到相同的图像帧数据信号时,驱动其发光的电流也是不同的,从而导致整个图像显示的不均匀。

发明内容

[0004] 本发明实施例提供了一种补偿阈值电压漂移的像素电路以及薄膜晶体管背板,用以解决现有背板薄膜晶体管的阈值电压漂移导致在接收到相同的图像帧数据信号时流经不同 OLED 的电流不均匀而造成整个图像显示不均匀的问题。

[0005] 基于上述问题,本发明实施例提供的一种补偿阈值电压漂移的像素电路,包括:

[0006] 驱动模块和用于输出当前帧数据信号的信号加载模块,所述驱动模块包括 VDD 信号源、驱动晶体管 T1、存储电容 C1 和有机发光二极管 OLED D1,所述驱动晶体管 T1 的栅极连接所述信号加载模块的输出端,用于在所述当前帧数据信号的作用下,驱动所述 OLED D1 发光;所述存储电容 C1 一端与所述 VDD 信号源输出端连接,另一端与所述驱动晶体管 T1 的栅极和所述信号加载模块的输出端的连接点相连;

[0007] 所述驱动模块,还包括:与所述驱动晶体管 T1 连接的 p 型衰减晶体管 T2,所述 p 型衰减晶体管 T2 的栅极和源极相连且与 VDD 信号源输出端相连,所述衰减晶体管 T2 的源极与所述驱动晶体管 T1 的源极连接。

[0008] 进一步地,本发明实施例还提供了一种包括本发明实施例提供的上述补偿阈值电压漂移的像素电路的薄膜晶体管背板。

[0009] 本发明实施例的有益效果包括:

[0010] 本发明实施例提供了一种补偿阈值电压漂移的像素电路以及包含该像素电路的薄膜晶体管背板。在该像素电路中,由于 p 型衰减晶体管 T2 的栅极和源极相连,因此 p 型衰减晶体管 T2 相当于一个二极管,使得经该 p 型衰减晶体管 T2 的栅极和源极输入的 VDD 信号电压 V_{DD} 衰减一个阈值电压 V_{th2} , V_{th2} 为衰减晶体管 T2 的阈值电压,因此衰减晶体管 T2 的漏极以及驱动晶体管 T1 的源极的电压为 $V_{DD}-V_{th2}$;

[0011] 或者,在该像素电路中,由于 n 型衰减晶体管 T2 的栅极和漏极相连,因此 n 型衰减晶体管 T2 相当于一个二极管,使得经该 n 型衰减晶体管 T2 的栅极和漏极输入的 VDD 信号电压 V_{DD} 衰减一个阈值电压 V_{th2} , V_{th2} 为衰减晶体管 T2 的阈值电压,因此衰减晶体管 T2 的源极以及驱动晶体管 T1 的源极的电压为 $V_{DD}-V_{th2}$ 。

[0012] 当前帧数据信号到达驱动晶体管 T1 的栅极时,驱动晶体管 T1 工作在饱和区,此时根据晶体管工作在饱和区时的电流特性,以及驱动晶体管 T1 和衰减晶体管 T2 的阈值电压相近的特点可知,驱动晶体管 T1 阈值电压对于驱动晶体管 T1 的漏极电流的影响会因为衰减晶体管 T2 的存在而几乎被抵消,这减小了在接收到相同的图像帧数据信号时流经不同 OLED 的电流差异,降低了整个图像显示的不均匀性。

附图说明

[0013] 图 1 为现有技术中的 2T1C 像素电路的电路图;

[0014] 图 2a 为本发明实施例提供的补偿阈值电压漂移的像素电路的电路图之一;

[0015] 图 2b 为本发明实施例提供的补偿阈值电压漂移的像素电路的电路图之二;

[0016] 图 3 为本发明实施例提供的补偿阈值电压漂移的像素电路的电路图之三;

[0017] 图 4 为本发明实施例提供的补偿阈值电压漂移的像素电路的电路图之四;

[0018] 图 5 为本发明实施例提供的补偿阈值电压漂移的像素电路的电路图之五;

[0019] 图 6 为本发明实施例提供的补偿阈值电压漂移的像素电路工作的时序图;

[0020] 图 7 为本发明实施例提供的补偿阈值电压漂移的像素电路与传统 2T1C 像素电路中 OLED 电流变化率的对比图。

具体实施方式

[0021] 下面结合说明书附图,对本发明实施例提供的一种补偿阈值电压漂移的像素电路和薄膜晶体管背板的具体实施方式进行说明。

[0022] 本发明实施例提供的一种补偿阈值电压漂移的像素电路,有两种实现方式,第一种如图 2a 所示,该像素电路的结构具体包括:

[0023] 信号加载模块 21 和驱动模块 22,其中信号加载模块 21 用于输出当前帧数据信号,驱动模块 22 包括 VDD 信号源、驱动晶体管 T1、存储电容 C1、p 型衰减晶体管 T2 和 OLED D1,其中, p 型衰减晶体管 T2 的漏极与驱动晶体管 T1 的源极连接, p 型衰减晶体管 T2 的栅极和源极相连并与 VDD 信号源输出端相连,驱动晶体管 T1 的栅极连接信号加载模块 21 的输出端,用于在信号加载模块 21 输出的当前帧数据信号 DATA 的电压 V_{DATA} 的作用下驱动 OLED

D1 发光；存储电容 C1 一端与 VDD 信号源输出端连接，另一端与驱动晶体管 T1 的栅极和信号加载模块 21 的输出端的连接点相连。

[0024] 在第一种实现方式的像素电路中，p 型衰减晶体管 T2 的源极和栅极连接在一起，这种连接方式下的衰减晶体管 T2 相当于一个二极管，该衰减晶体管 T2 可以将经其源极和栅极输入的 VDD 信号的电压 V_{DD} 衰减一个阈值电压 V_{th2} ，该阈值电压 V_{th2} 为 p 型衰减晶体管 T2 的阈值电压，因此衰减晶体管 T2 的漏极以及驱动晶体管 T1 的源极的电压为 $V_{DD}-V_{th2}$ 。

[0025] 第二种实现方式如图 2b 所示，该像素电路的结构具体包括：

[0026] 信号加载模块 21 和驱动模块 22，其中信号加载模块 21 用于输出当前帧数据信号，驱动模块 22 包括 VDD 信号源、驱动晶体管 T1、存储电容 C1、n 型衰减晶体管 T2 和 OLED D1，其中，n 型衰减晶体管 T2 的源极与驱动晶体管 T1 的源极连接，n 型衰减晶体管 T2 的栅极和漏极相连并与 VDD 信号源输出端相连，驱动晶体管 T1 的栅极连接信号加载模块 21 的输出端，用于在信号加载模块 21 输出的当前帧数据信号 DATA 的电压 V_{DATA} 的作用下驱动 OLED D1 发光；存储电容 C1 一端与 VDD 信号源输出端连接，另一端与驱动晶体管 T1 的栅极和信号加载模块 21 的输出端的连接点相连。

[0027] 在第二种实现方式的像素电路中，n 型衰减晶体管 T2 的漏极和栅极连接在一起，这种连接方式下的衰减晶体管 T2 相当于一个二极管，该 n 型衰减晶体管 T2 可以将经其漏极和栅极输入的 VDD 信号的电压 V_{DD} 衰减一个阈值电压 V_{th2} ，该阈值电压 V_{th2} 为衰减晶体管 T2 的阈值电压，因此衰减晶体管 T2 的源极以及驱动晶体管 T1 的源极的电压为 $V_{DD}-V_{th2}$ 。

[0028] 在上述两种实现方式中，除了第一种实现方式中的 p 型衰减晶体管 T2 和第二种实现方式中的 n 型衰减晶体管 T2 的连接方式不同以外，信号加载模块 21、VDD 信号源、驱动晶体管 T1、存储电容 C1 以及 OLED D1 之间的连接方式完全相同。

[0029] 下面说明 VDD 信号经过 p 型衰减晶体管 T2 或者 n 型衰减晶体管 T2 之后到达驱动晶体管 T1 的源极时，此时驱动晶体管 T1 的源极的电压为 $V_{DD}-V_{th2}$ ，驱动晶体管 T1 的工作情况。

[0030] 当信号加载模块 21 将当前帧数据信号 DATA 存储到存储电容 C1 上时，驱动晶体管 T1 的栅极电压为 V_{DATA} ，驱动晶体管 T1 会工作在饱和区，此时，工作在饱和区的驱动晶体管 T1 的栅极与源极的电压差 $V_{GS} = V_{DATA}-V_{DD}+V_{th2}$ ，驱动晶体管 T1 的阈值电压为 V_{th1} ，则按照下

述现有技术中晶体管工作在饱和区的电流特性的公式 $i_D = \frac{K}{2}(V_{GS}-V_{th})^2$ 可计算得到

计算出驱动晶体管 T1 的漏极电流： $i_D = \frac{K}{2}(V_{DATA}-V_{DD}+V_{th2}-V_{th1})^2$ 。

[0031] 上式中 K 为结构参数，相同结构中此数值相对稳定；

[0032] i_D 为晶体管的漏极电流；

[0033] V_{GS} 为晶体管的栅极与源极的电压差；

[0034] V_{th} 为晶体管的阈值电压。

[0035] 由于采用上述两种连接方式时驱动晶体管 T1 和 p 型或 n 型衰减晶体管 T2 的阈值电压相近，因此驱动晶体管 T1 的漏极电流 i_D 大小几乎不受其阈值电压的影响，这减小了在接收到相同的图像帧数据信号时流经不同 OLED 的电流的差异，从而降低了整个图像显示

的不均匀性和不稳定性。

[0036] 下面,以第一种实现方式为例,进一步说明本发明实施例提供的补偿阈值电压漂移的像素电路的其他较佳的实施方式。

[0037] 进一步地,如图 3 所示,本发明实施例提供的补偿阈值电压漂移的像素电路还可以包括:复位模块 23,该复位模块 23 具体包括:复位晶体管 T4 和复位信号源 VRESET;其中:

[0038] 复位晶体管 T4 的栅极连接复位信号源 VRESET 的输出端,复位晶体管 T4 的源极连接所述连接点,复位晶体管 T4 的漏极接地;

[0039] 复位信号源 VRESET,用于在信号加载模块 21 加载当前帧数据信号之前,输出开启信号以开启复位晶体管 T4;以及在所述连接点的信号复位完成后,输出关闭信号以关断复位晶体管 T4;

[0040] 复位晶体管 T4,用于在接收到复位信号源 VRESET 输出的复位信号后,将所述连接点的上一帧数据信号,即存储电容 C1 上存储的上一帧数据信号,复位为 GND 信号以保证当前帧数据信号不受上一帧数据信号的影响;并在接收到复位信号源 VRESET 输出的关闭信号后关断。

[0041] 进一步地,如图 4 所示,本发明实施例提供的补偿阈值电压漂移的像素电路的驱动模块 22,还可以包括:发射信号源 VEMISSION 和开关晶体管 T3;其中:

[0042] 开关晶体管 T3 的源极连接驱动晶体管 T1 的漏极,开关晶体管 T3 的漏极连接 OLED D1,开关晶体管 T3 的栅极连接发射信号源 VEMISSION 的输出端,开关晶体管 T3 用于在发射信号源 VEMISSION 输出开启信号时开启,以及在发射信号源 VEMISSION 输出关闭信号时关断;

[0043] 存储电容 C1 用于在开关晶体管 T3 关断时,存储信号加载模块 21 输出到所述连接点的当前帧数据信号,并在开关晶体管 T3 开启时,释放当前帧数据信号以驱动 OLED D1 发光。

[0044] 较佳地,如图 5 所示,本发明实施例提供的补偿阈值电压漂移的像素电路还可以包括:复位模块 23,该复位模块 23 具体包括:复位晶体管 T4 和复位信号源 VRESET;其中:

[0045] 复位晶体管 T4 的栅极连接复位信号源 VRESET 的输出端,复位晶体管 T4 的源极连接所述连接点,复位晶体管 T4 的漏极接地;

[0046] 复位信号源 VRESET,用于在信号加载模块 21 加载当前帧数据信号之前,输出开启信号以开启复位晶体管 T4;以及在所述连接点的信号复位完成后,输出关闭信号以关断复位晶体管 T4;

[0047] 复位晶体管 T4,用于在接收到复位信号源 VRESET 输出的复位信号后,将所述连接点的上一帧数据信号,即存储电容 C1 上存储的上一帧数据信号,复位为 GND 信号以保证当前帧数据信号不受上一帧数据信号的影响;并在接收到复位信号源 VRESET 输出的关闭信号后关断;

[0048] 进一步地,发射信号源 VEMISSION 还用于在复位信号源 VRESET 输出开启信号时,输出关闭信号以关断开关晶体管 T3,从而避免驱动晶体管 T1 的栅极电压变化对 OLED D1 的影响,延长 OLED D1 的使用寿命。

[0049] 进一步地,如图 5 所示,本发明实施例提供的补偿阈值电压漂移的像素电路的信

号加载模块 21,具体包括:图像帧数据信号源 VDATA、开关晶体管 T5 以及门信号源 VGATE;

[0050] 开关晶体管 T5 的漏极连接图像帧数据信号源 VDATA 的输出端;开关晶体管 T5 的栅极连接门信号源 VGATE 的输出端,开关晶体管 T5 的源极为信号加载模块 21 的输出端并连接驱动晶体管 T1 的栅极;

[0051] 图像帧数据信号源 VDATA,用于在复位晶体管 T4 由开启状态变为关断状态时,由输出上一帧数据信号改为输出当前帧数据信号;

[0052] 门信号源 VGATE,用于在图像帧数据信号源 VDATA 输出当前帧数据信号时,输出开启信号以控制开关晶体管 T5 开启使当前帧数据信号传输到所述连接点;以及在当前帧数据信号传输到所述连接点并存储在存储电容 C1 之后,输出关闭信号关断开关晶体管 T5;

[0053] 发射信号源 VEMISSION,还用于在门信号源 VGATE 关断开关晶体管 T5 时,输出开启信号以开启开关晶体管 T3。

[0054] 进一步地,发射信号源 VEMISSION 还用于在复位信号源 VRESET 输出开启信号时,输出关闭信号以关断开关晶体管 T3。

[0055] 进一步地,上述驱动晶体管 T1 以及 p 型衰减晶体管 T2(或者 n 型衰减晶体管 T2)可以均为非晶硅晶体管或氧化物晶体管。

[0056] 较佳地,上述驱动晶体管 T1 以及 p 型衰减晶体管 T2(或者 n 型衰减晶体管 T2)可以均为多晶硅晶体管;由于多晶硅具有短程有序的特点,因此可近似认为 p 型衰减晶体管 T2(或者 n 型衰减晶体管 T2)和驱动晶体管 T1 的阈值电压相等;根据前述驱动晶体管 T1 的漏极电流的计算公式可知,此时,用于驱动 OLED D1 发光的驱动晶体管 T1 的漏极电流 i_D 与驱动晶体管 T1 的阈值电压无关,这可以更好地克服由于阈值电压漂移所引起的整个图像显示的不均匀的问题。

[0057] 上述驱动晶体管 T1、开关晶体管 T3、开关晶体管 T5、复位晶体管 T4 既可以为 p 型晶体管,也可以为 n 型晶体管,为 p 型晶体管时的它们之间连接方式与为 n 性晶体管时的它们之间连接方式完全相同。

[0058] 上述的开启信号和关闭信号通过发射信号源 VEMISSION、门信号源 VGATE 和复位信号源 VRESET 输出电压高低不同的信号来区分。在具体实施时,例如可以按照下述方式来区分:

[0059] 当开关晶体管 T3、开关晶体管 T5 和复位晶体管 T4 为 p 型晶体管时,开启信号为低电压信号,关闭信号为高电压信号;

[0060] 反之,当开关晶体管 T3、开关晶体管 T5 和复位晶体管 T4 为 n 型晶体管时,开启信号为高电压信号,关闭信号为低电压信号。

[0061] 为了进一步说明本发明实施例提供的补偿阈值电压漂移的像素电路,下面以开关晶体管 T3、开关晶体管 T5、复位晶体管 T4 为 p 型晶体管为例,结合图 6 所示的时序图说明其工作原理。

[0062] 如图 6 所示,该电路的工作过程包括:复位阶段 1、信号加载阶段 2 和发光阶段 3。

[0063] 复位阶段 1,发射信号源 VEMISSION 发出的 EMISSION 信号由低压开启信号变为高压关闭信号,控制开关晶体管 T3 从开启状态变为关断状态时,复位信号源 VRESET 输出的 RESET 信号由高压关闭信号变为低压开启信号控制复位晶体管 T4 从关断状态变为开启状态以便将所述连接点的信号复位至 GND 信号以保证当前帧数据信号不受上一帧数据信号

的影响。

[0064] 信号加载阶段 2, RESET 信号由低压开启信号变为高压关闭信号控制复位晶体管 T4 由开启状态变为关断状态时, 门信号源 VGATE 输出的 GATE 信号由高压关闭信号变为低压开启信号控制开关晶体管 T5 从关断状态变为开启状态以便图像帧数据信号源 VDATA 输出的当前帧数据信号 DATA 能够传输到所述连接点; 在当前帧数据存储到存储电容 C1 后, GATE 信号由低压开启信号变为高压关闭信号控制开关晶体管 T5 从开启状态变为关断状态。

[0065] 发光阶段 3, 当开关晶体管 T5 从开启状态变为关断状态时, 发射信号源 VEMISSION 输出的 EMISSION 信号从高压关闭信号变为低压开启信号控制开关晶体管 T3 打开, 从而使驱动晶体管 T1 能够在 VDD 信号和所述 DATA 信号的控制下驱动 OLED D1 发光。

[0066] 图 7 为本发明实施例提供的补偿阈值电压漂移的像素电路在采用多晶硅晶体管时, 它与传统 2T1C 像素电路中 OLED 电流变化率的对比图, 从图 7 中可以看出, 本发明实施例提供的像素电路中 OLED 的电流变化率 (虚线表示) 几乎维持 0% 不变, 即流经不同 OLED 的电流不随驱动晶体管的阈值电压的变化而变化, 这可以较好地克服现有技术中由于驱动 OLED 的晶体管阈值电压漂移引起的在接收到相同的图像帧数据信号时流经不同 OLED 电流不同的问题。

[0067] 本发明实施例还提供了一种 TFT 背板, 该 TFT 背板包括上述补偿阈值电压漂移的像素电路。

[0068] 显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

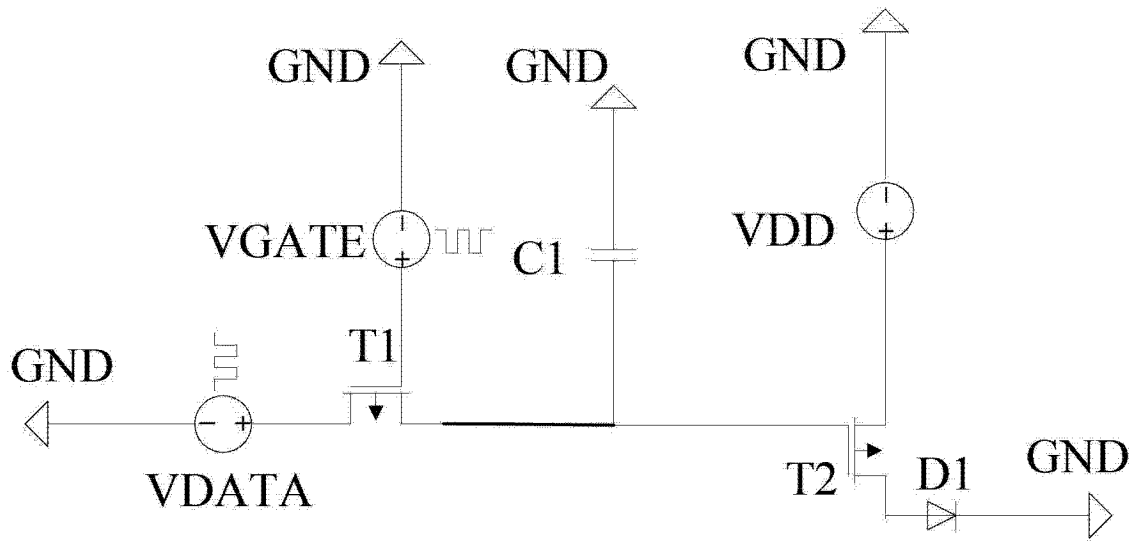


图 1

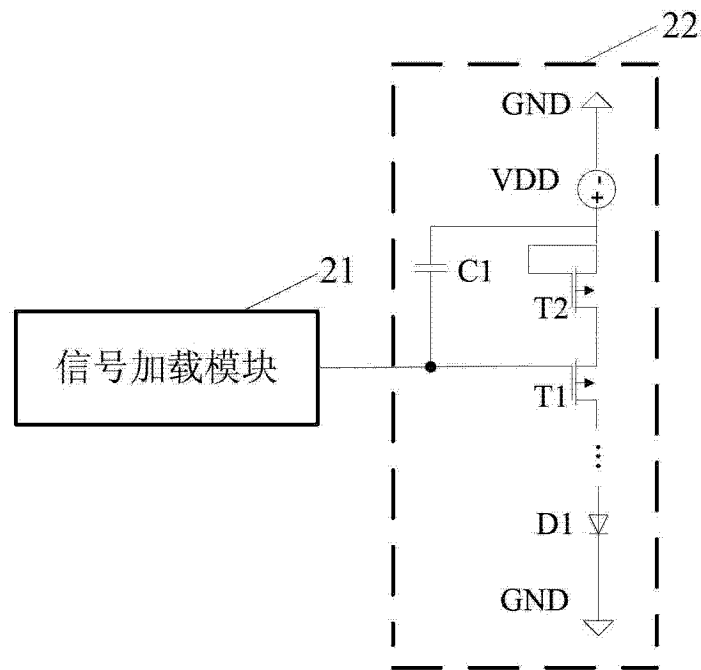


图 2a

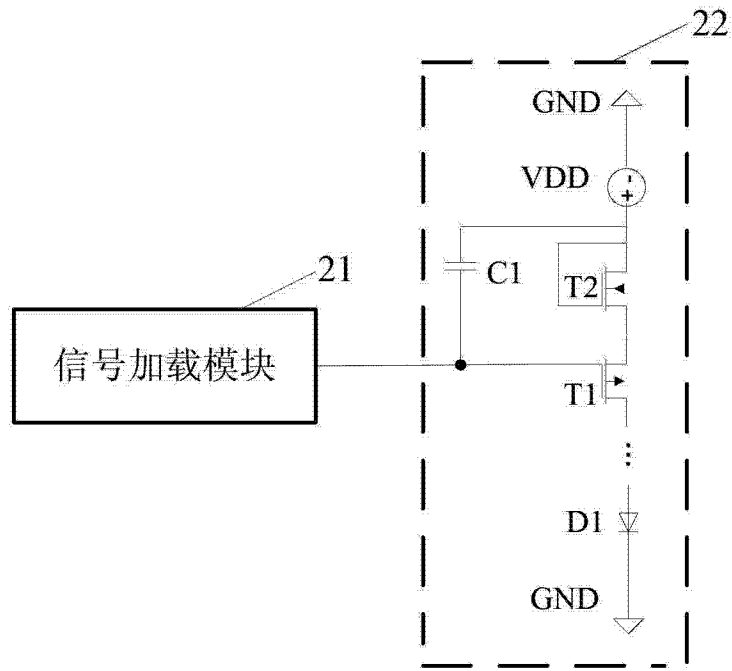


图 2b

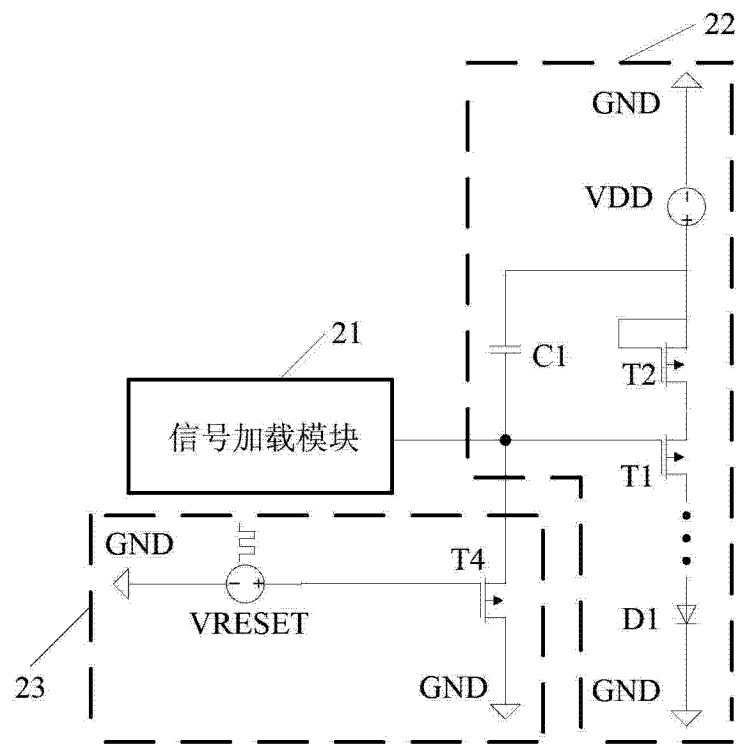


图 3

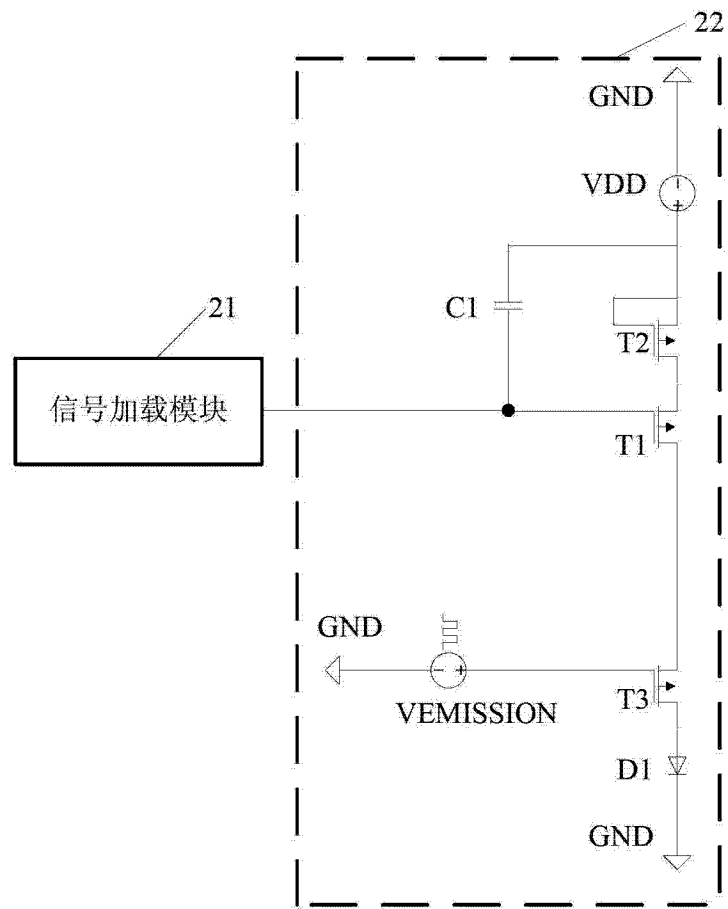


图 4

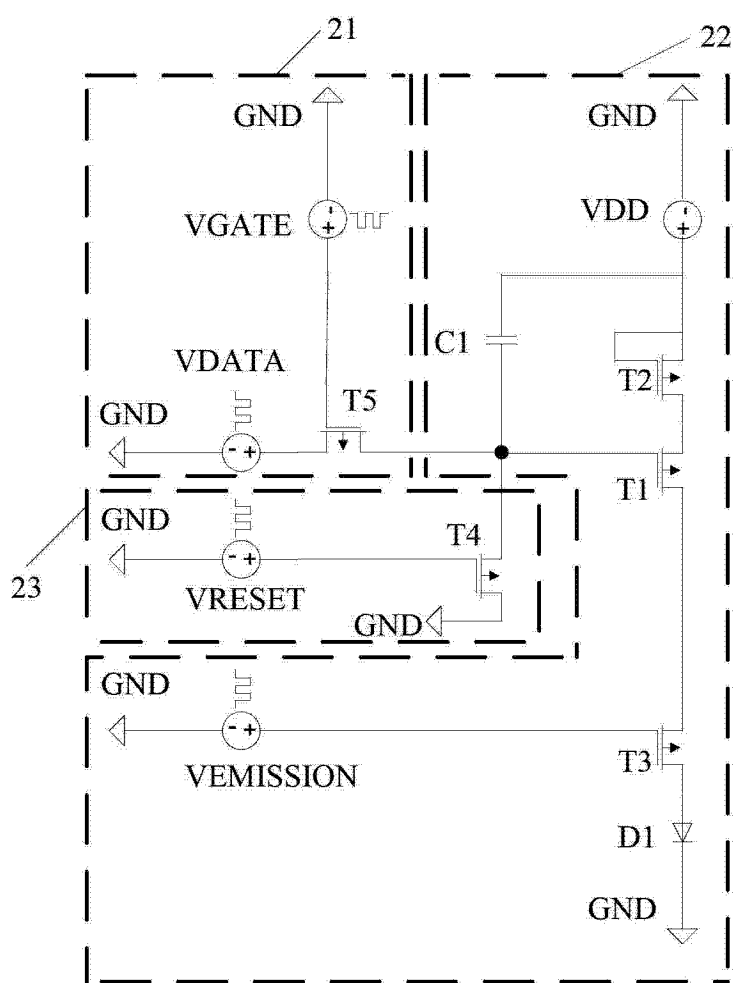


图 5

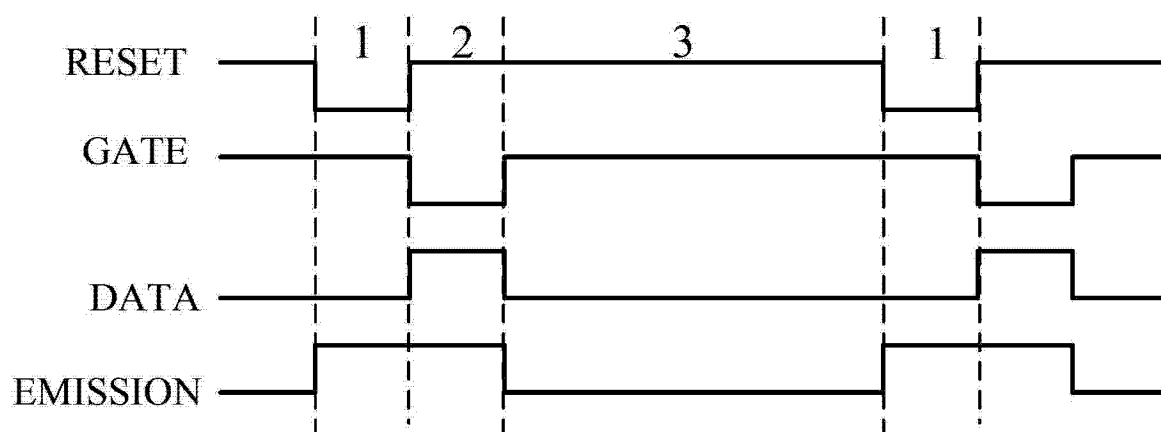


图 6

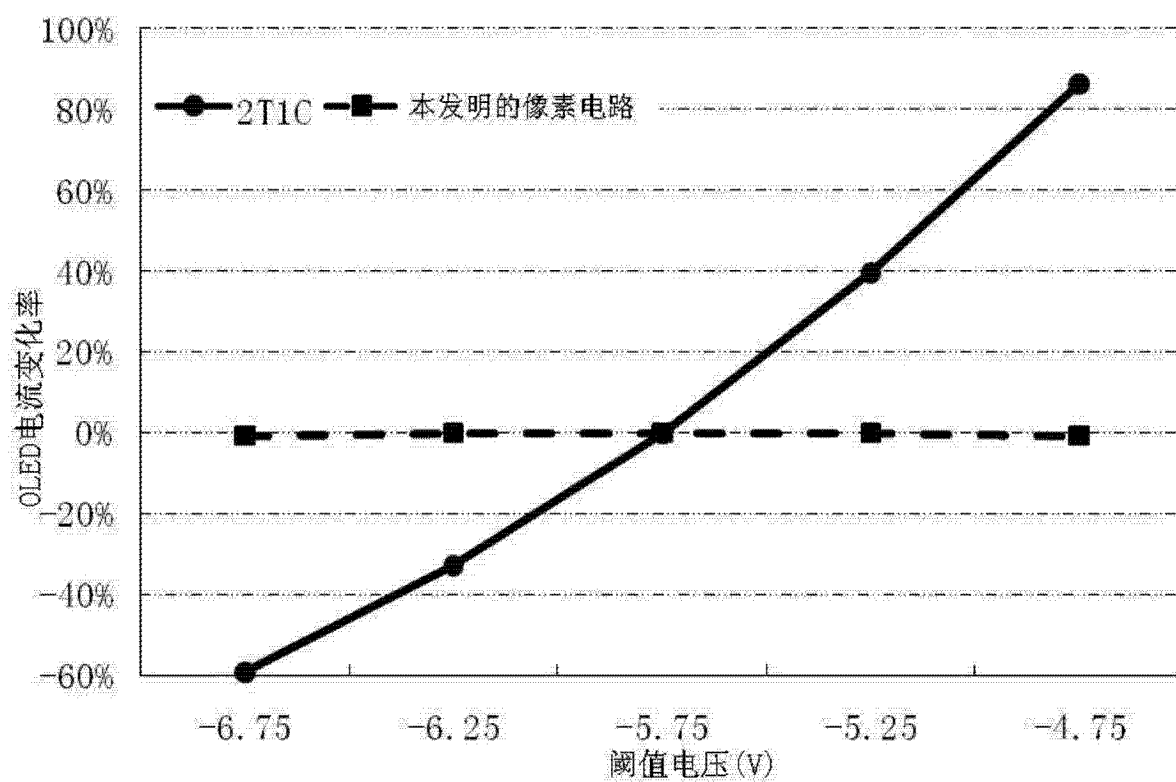


图 7

专利名称(译)	一种补偿阈值电压漂移的像素电路和薄膜晶体管背板		
公开(公告)号	CN102820006B	公开(公告)日	2015-10-14
申请号	CN201210274259.6	申请日	2012-08-02
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	马占洁		
发明人	马占洁		
IPC分类号	G09G3/32 G09G3/3233		
其他公开文献	CN102820006A		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供了一种补偿阈值电压漂移的像素电路和薄膜晶体管背板，用以解决现有技术中阈值电压漂移造成的图像显示不均匀的问题。它包括驱动模块和信号加载模块，驱动模块包括VDD信号源、驱动晶体管T1、存储电容C1和OLED D1，驱动晶体管T1的栅极连接信号加载模块的输出端，驱动OLED D1发光；存储电容C1一端与VDD信号源输出端连接，另一端与驱动晶体管T1的栅极相连；驱动模块还包括p型衰减晶体管T2，其栅极和源极相连且与VDD信号源输出端相连，漏极与驱动晶体管T1的源极连接；或者，驱动模块还包括n型衰减晶体管T2，其栅极和漏极相连且与VDD信号源输出端相连，源极与驱动晶体管T1的源极连接。

