



(12) 发明专利申请

(10) 申请公布号 CN 102654973 A

(43) 申请公布日 2012. 09. 05

(21) 申请号 201110233149. 0

(22) 申请日 2011. 08. 15

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 成都京东方光电科技有限公司

(72) 发明人 祁小敬 谭文 吴博 高永益

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G09G 3/32 (2006. 01)

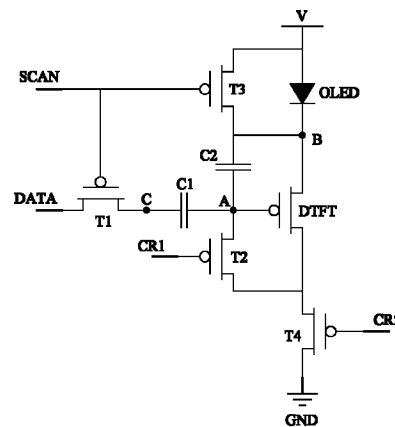
权利要求书 1 页 说明书 4 页 附图 2 页

(54) 发明名称

像素电路及其驱动方法、显示面板

(57) 摘要

本发明公开了一种像素电路,涉及有机发光显示技术领域,该电路的第一开关晶体管的栅极连接栅线,源极连接数据线,漏极连接第一存储电容的第一端;第三开关晶体管的栅极连接栅线,源极连接电源线,漏极连接第二存储电容的第一端;驱动晶体管的栅极连接第一存储电容的第二端和第二存储电容的第二端,源极连接第二存储电容的第一端和 OLED 器件的阴极,用于为 OLED 器件提供驱动电流, OLED 器件阳极连接电源线。还公开了一种驱动方法及有机发光显示面板。本发明通过补偿驱动晶体管的阈值电压的漂移,改善了流过 OLED 器件电流的均匀性,提高了显示效果。



1. 一种像素电路,包括:栅线、数据线、电源线、第一信号线、第二信号线、接地极、驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一存储电容、第二存储电容和 OLED 器件,其特征在于,

所述第一开关晶体管的栅极连接所述栅线,源极连接所述数据线,漏极连接第一存储电容的第一端;

所述第三开关晶体管的栅极连接所述栅线,源极连接所述电源线,漏极连接所述第二存储电容的第一端;

所述驱动晶体管的栅极连接所述第一存储电容的第二端和第二存储电容的第二端,源极连接所述第二存储电容的第一端和所述 OLED 器件的阴极,用于为所述 OLED 器件提供驱动电流,所述 OLED 器件阳极连接所述电源线;

所述第二开关晶体管用于根据所述第一信号线控制所述驱动晶体管的栅极和漏极的通断,所述第四开关晶体管用于根据所述第二信号线控制所述驱动晶体管的漏极和所述接地极的通断。

2. 如权利要求 1 所述的像素电路,其特征在于,所述第二开关晶体管的栅极连接第一信号线,源极连接所述驱动晶体管的栅极,漏极连接所述驱动晶体管的漏极。

3. 如权利要求 1 所述的像素电路,其特征在于,所述第四开关晶体管的栅极连接第二信号线,源极连接接地极,漏极连接所述驱动晶体管的漏极。

4. 如权利要求 1~3 中任一项所述的像素电路,其特征在于,所述驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管及第四开关晶体管均为 P 型 TFT。

5. 一种如权利要求 1~4 中任一项所述的像素电路的驱动方法,包括以下步骤:

S1:分别施加低电压至栅线、第一信号线和第二信号线,导通所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管,施加高电压至数据线,使得所述驱动晶体管达到饱和状态;

S2:施加一高电压至所述第二信号线,关断所述第四开关晶体管,第一存储电容放电,使得第二存储电容充电至所述驱动晶体管的阈值电压;

S3:施加一高电压至所述第一信号线,关断所述第二开关晶体管,施加一低电压至所述数据线;

S4:施加一高电压至所述栅线,关断所述第一开关晶体管和第三开关晶体管,施加一低电压至所述第二信号线,导通所述第四开关晶体管,利用存储在所述第二存储电容的电压驱动所述 OLED 器件发光。

6. 一种显示面板,其特征在于,包括权利要求 1~4 中任一项所述的像素电路。

7. 如权利要求 6 所述的显示面板,其特征在于,所述像素电路形成在阵列基板上,所述阵列基板上设置有多条数据线和栅线,所述多条数据线和栅线限定了多个所述的像素电路;所述阵列基板还包括驱动芯片,用于为所述栅线、数据线、第一信号线和第二信号线提供时序信号,为电源线提供电源信号。

像素电路及其驱动方法、显示面板

技术领域

[0001] 本发明涉及有机发光显示技术领域,特别涉及一种像素电路及其驱动方法、显示面板。

背景技术

[0002] 有源矩阵有机发光二极管面板(Active Matrix/Organic Light Emitting Diode, AMOLED)能够发光是由驱动薄膜场效应晶体管(Thin Film Transistor, TFT)在饱和状态时产生的电流所驱动,因为输入相同的灰阶电压时,不同的临界电压会产生不同的驱动电流,造成电流的不一致性。低温多晶硅技术(Low Temperature Poly-silicon, LTPS)制程上 V_{th} 的均匀性非常差,同时 V_{th} 也有漂移,因此,传统的2T1C电路亮度均匀性很差。

[0003] 图1为传统的采用2个TFT晶体管,1个电容组成的电压驱动型像素电路结构(2T1C)。其中开关管T2将数据线上的电压传输到驱动管T1的栅极,驱动管T1将这个数据电压转化为相应的电流供给OLED器件,在正常工作时,驱动管T1应处于饱和区,在一行的扫描时间内提供恒定电流。其电流可表示为:

$$[0004] \quad I_{OLED} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{data} - V_{oled} - V_{thn})^2$$

[0005] 其中 μ_n 为载流子迁移率, C_{OX} 为栅氧化层电容, W/L 为晶体管宽长比, V_{data} 为数据电压, V_{oled} 为OLED工作电压,为所有像素单元共享, V_{thn} 为晶体管T1的阈值电压。由上式可知,如果不同像素单元之间的 V_{thn} 不同,则电流存在差异。如果像素的 V_{thn} 随时间发生漂移,则可能造成先后电流不同,导致残影。且由于OLED器件非均匀性引起OLED工作电压不同,也会导致电流差异。最终会导致亮度均匀性很差,显示效果不好。

发明内容

[0006] (一)要解决的技术问题

[0007] 本发明要解决的技术问题是:如何精确地补偿驱动晶体管的阈值电压漂移,以控制流过OLED的电流的均匀性。

[0008] (二)技术方案

[0009] 为解决上述技术问题,本发明提供了一种像素电路,包括:栅线、数据线、电源线、第一信号线、第二信号线、接地极、驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一存储电容、第二存储电容和OLED器件,

[0010] 所述第一开关晶体管的栅极连接所述栅线,源极连接所述数据线,漏极连接第一存储电容的第一端;

[0011] 所述第三开关晶体管的栅极连接所述栅线,源极连接所述电源线,漏极连接所述第二存储电容的第一端;

[0012] 所述驱动晶体管的栅极连接所述第一存储电容的第二端和第二存储电容的第二端,源极连接所述第二存储电容的第一端和所述OLED器件的阴极,用于为所述OLED器件提

供驱动电流,所述 OLED 器件阳极连接所述电源线;

[0013] 所述第二开关晶体管用于根据所述第一信号线控制所述驱动晶体管的栅极和漏极的通断,所述第四开关晶体管用于根据所述第二信号线控制所述驱动晶体管的漏极和所述接地极的通断。

[0014] 其中,所述第二开关晶体管的栅极连接第一信号线,源极连接所述驱动晶体管的栅极,漏极连接所述驱动晶体管的漏极。

[0015] 其中,所述第四开关晶体管的栅极连接第二信号线,源极连接接地极,漏极连接所述驱动晶体管的漏极。

[0016] 其中,所述驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管及第四开关晶体管均为 P 型 TFT。

[0017] 本发明还提供了一种上述任一项所述的像素电路的驱动方法,包括以下步骤:

[0018] S1:分别施加低电压至栅线、第一信号线和第二信号线,导通所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管,施加高电压至数据线,使得所述驱动晶体管达到饱和状态;

[0019] S2:施加一高电压至所述第二信号线,关断所述第四开关晶体管,第一存储电容放电,使得第二存储电容充电至所述驱动晶体管的阈值电压;

[0020] S3:施加一高电压至所述第一信号线,关断所述第二开关晶体管,施加一低电压至所述数据线;

[0021] S4:施加一高电压至所述栅线,关断所述第一开关晶体管和第三开关晶体管,施加一低电压至所述第二信号线,导通所述第四开关晶体管,利用存储在所述第二存储电容的电压驱动所述 OLED 器件发光。

[0022] 本发明还提供了一种显示面板,包括上述任一项所述的像素电路。

[0023] 其中,所述像素电路形成在阵列基板上,所述阵列基板上设置有多条数据线和栅线,所述多条数据线和栅线限定了多个所述的像素电路;所述阵列基板还包括驱动芯片,用于为所述栅线、数据线、第一信号线和第二信号线提供时序信号,为电源线提供电源信号。

[0024] (三)有益效果

[0025] 通过本发明的像素电路及其驱动方法有效地补偿了 P 型 TFT 驱动管的阈值电压的非均匀性,改善了流过 OLED 的电流的均匀性,达到了更好的显示效果。

附图说明

[0026] 图 1 是现有技术中的 2T1C 像素电路结构示意图;

[0027] 图 2 是本发明实施例的一种像素电路结构示意图;

[0028] 图 3 是驱动图 2 中电路的时序信号图;

[0029] 图 4 是图 2 中电路工作过程中各阶段的等效电路图。

具体实施方式

[0030] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0031] 实施例 1

[0032] 本实施例中采用 5T2C 电路通过补偿 V_{th} , 使得驱动管的 $I = K(V_{gs} - V_{th})^2$ 和驱动晶体管的阈值电压 V_{th} 无关, 达到流过 OLED 的电流一致, 改善均匀性。具体如图 2 所示, 本实施例的像素电路包括: 栅线 SCAN、数据线 DATA、电源线 V、第一信号线 CR1、第二信号线 CR2、接地极 GND、第一开关晶体管 T1、第二开关晶体管 T2、第三开关晶体管 T3、第四开关晶体管 T4、驱动晶体管 DTFT、第一存储电容 C1、第二存储电容 C2 和 OLED 器件。其中, 5 个晶体管都为 P 型晶体管。

[0033] 第一开关晶体管 T1 的栅极连接栅线 SCAN, 源极连接数据线 DATA, 漏极连接第一存储电容 C1 的第一端, 在预充和补偿阶段, 根据栅线 SCAN 的控制信号向第一存储电容 C1 提供数据线 DATA 的电压 V_{data} 。第三开关晶体管 T3 的栅极连接栅线 SCAN, 源极连接电源线 V, 漏极连接第二存储电容 C2 的第一端, 在预充和补偿阶段, 根据栅线 SCAN 的控制信号向第二存储电容 C2 提供电源电压 VDD。驱动晶体管 DTFT 的栅极连接第一存储电容 C1 的第二端和第二存储电容 C2 的第二端, 源极连接第二存储电容 C2 的第一端和 OLED 器件的阴极, 用于为 OLED 器件提供驱动电流, OLED 器件阳极连接电源线 V。第一存储电容 C1 在补偿阶段时通过驱动晶体管 DTFT 放电, 使得 A、B 点间的电压为驱动晶体管 DTFT 的阈值电压, 此时, 第二存储电容 C2 的电压也为驱动晶体管 DTFT 的阈值电压。第二开关晶体管 T2 用于根据第一信号线 CR1 控制驱动晶体管 DTFT 的栅极和漏极的通断, 本实施例中, 第二开关晶体管 T2 的栅极连接第一信号线 CR1, 源极连接驱动晶体管 DTFT 的栅极, 漏极连接驱动晶体管 DTFT 的漏极。第四开关晶体管 T4 用于根据第二信号线 CR2 控制驱动晶体管 DTFT 的漏极和接地极 GND 的通断, 本实施例中, 第四开关晶体管 T4 的栅极连接第二信号线 CR2, 源极连接接地极 GND, 漏极连接驱动晶体管 DTFT 的漏极。

[0034] 本实施例还提供了上述像素电路的驱动方法。如图 3 所示, 为驱动该电路的时序信号图, 可看出包括 (a) ~ (d) 四个阶段。

[0035] 阶段 (a), 其等效电路图如图 4 中 (a) 所示。栅线 SCAN 的信号、第一信号线 CR1 的信号、第二信号线 CR2 的信号均为低电压, 第一开关晶体管 T1、第二开关晶体管 T2、第三开关晶体管 T3、第四开关晶体管 T4 都导通, 数据线 DATA 的信号 V_{data} 输入高电压 V_h 。此时, A 点电压 V_A 为 GND 的电压, B 点电压 V_B 为电源线 V 的电压 VDD, C 点电压 V_C 为 V_h , 驱动晶体管 DTFT 的栅源电压 $V_{gs} = V_{AB} = -V_{DD}$, 远小于 V_{th} , 驱动晶体管 DTFT 为饱和状态。第一存储电容 C1 的电压为 V_h , 第二存储电容 C2 的电压为 VDD。

[0036] 阶段 (b), 其等效电路图如图 4 中 (b) 所示。第二信号线 CR2 的信号变为高电压, 第四开关晶体管 T4 关闭, 断开 A 点与 GND 的连接, B 点电压保持为电源线 V 的电压 VDD。此时, 驱动晶体管 DTFT 等效为一个二极管, 第一存储电容 C1 通过驱动晶体管 DTFT 开始放电, 直至 V_{AB} 等于驱动晶体管 DTFT 的阈值电压 V_{th} 。A 点电压为 $V_B + V_{th} = V_{DD} + V_{th}$, 第一存储电容 C1 两端电压为 $V_{c1} = V_C - V_A = V_h - V_{th} - V_{DD}$ 。

[0037] 阶段 (c), 其等效电路图如图 4 中 (c) 所示。第一信号线 CR1 的信号变为高电压, 第二开关晶体管 T2 关闭, 数据线 DATA 信号写入低电压 V_1 , 由于 C 点电压突变为 V_1 ($V_1 < V_h$), A 点电压会由 $V_{DD} + V_{th}$ 下降为 $V_{DD} + V_{th} + (V_1 - V_h) \times c_1 / (c_1 + c_2)$, B 点电压仍为 VDD, 此时第二存储电容 C2 两端电压为 $V_{c2} = V_A - V_B = V_{th} + (V_1 - V_h) \times c_1 / (c_1 + c_2)$, c_1 和 c_2 分别为第一存储电容 C1 和第二存储电容 C2 的电容值。

[0038] A 点电压变化推导如下: 根据电荷守恒, 即在第一存储电容 C1 和第二存储电容 C2

连通的电极 A 点,没有电荷的增加或减少。假设在阶段 (b),A 点电压为 V_A , $V_A = V_{DD} + V_{th}$; 阶段 (c)A 点电压为 $V_{A'}$,B 点电压保持 V_{DD} 。

[0039] 在阶段 (b) 时,A 点电荷 $Q = c_1(V_h - V_A) + c_2(V_B - V_A) = c_1[V_h - (V_{DD} + V_{th})] + c_2[V_{DD} - (V_{DD} + V_{th})] = c_1(V_h - V_{DD} - V_{th}) - c_2 \times V_{th}$; 在阶段 (c) 时,A 点电荷 $Q = c_1(V_{data} - V_{A'}) + c_2(V_B - V_{A'}) = c_1(V_1 - V_{A'}) + c_2(V_{DD} - V_{A'})$

[0040] 由电荷守恒可知,阶段 (b) 时的 A 点电荷与阶段 (c) 时的 A 点电荷相等,即: $c_1(V_h - V_{DD} - V_{th}) - c_2 \times V_{th} = c_1(V_1 - V_{A'}) + c_2(V_{DD} - V_{A'})$,便可推出阶段 (c) 时的 A 点电压 $V_{A'} = V_{DD} + V_{th} + (V_1 - V_h) \times c_1 / (c_1 + c_2)$ 。

[0041] 阶段 (d),其等效电路图如图 4 中 (d) 所示。栅线 SCAN 的信号变为高电压,第二信号线 CR2 的信号变为低电压,第一开关晶体管 T1、第三开关晶体管 T3 关闭,第四开关晶体管 T4 导通,驱动晶体管 DTFT 工作,OLED 器件开始发光,B 点电压变为 $V_{DD} - V_{th_oled}$ 。由于第二存储电容 C2 的电压保持作用,保持驱动晶体管 DTFT 的栅源电压 V_{gs} 不变,相应的 A 点电压会变为: $V_{th} + (V_1 - V_h) \times c_1 / (c_1 + c_2) + V_{DD} - V_{th_oled}$,驱动晶体管 5 的栅源电压 $V_{gs} = V_{AB} = V_{th} + (V_1 - V_h) \times c_1 / (c_1 + c_2)$,即为第二存储电容 C2 的电压。由该电压驱动 OLED 器件,此时流过 OLED 器件的电流为: $I = K(V_{gs} - V_{th})^2 = K[V_{th} + (V_1 - V_h) \times c_1 / (c_1 + c_2) - V_{th}]^2 = K[(V_1 - V_h) \times c_1 / (c_1 + c_2)]^2$,该电流 I 使 OLED 开始发光,直到下一帧。其中 $WK = W/L \times C \times u$,W 是驱动晶体管 DTFT 沟道的宽度,L 是驱动晶体管 DTFT 沟道的长度,C 是驱动晶体管 DTFT 沟道与栅极间的电容,u 是驱动晶体管 DTFT 沟道的载流子迁移率。

[0042] 由上述电流 I 的公式可看出,其中没有出现 V_{th} ,即 I 和驱动晶体管 DTFT 的阈值电压 V_{th} 没有关系。另外,电路中流过 OLED 的电流只与输入的数据线电压 V_h 、 V_1 及电容有关,保持驱动晶体管 DTFT 工作在饱和区,驱动电流不受电源线 IR-Drop(内阻压降)影响。因此,本实施例中的像素电路可以改善电流的均匀性,达到亮度的均匀,提高显示效果。

[0043] 实施例 2

[0044] 本实施例中提供了一种显示面板,包括实施例 1 中的像素电路,该像素电路形成在阵列基板上,该阵列基板上设置有多条数据线和栅线,多条数据线和栅线限定了多个上述的像素电路;阵列基板还包括驱动芯片,用于为栅线、数据线、第一信号线和第二信号线提供时序信号,为电源线提供电源信号。

[0045] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。

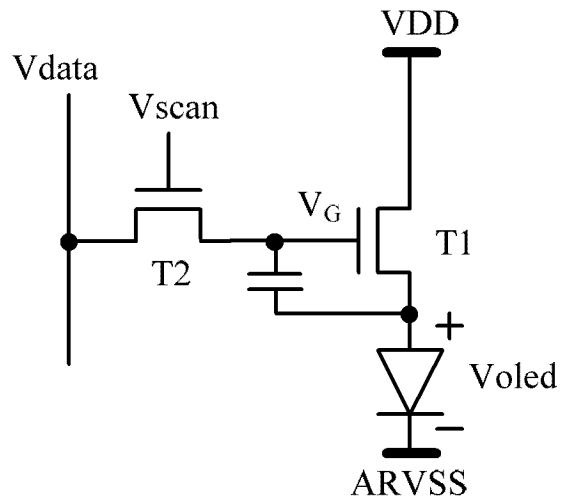


图 1

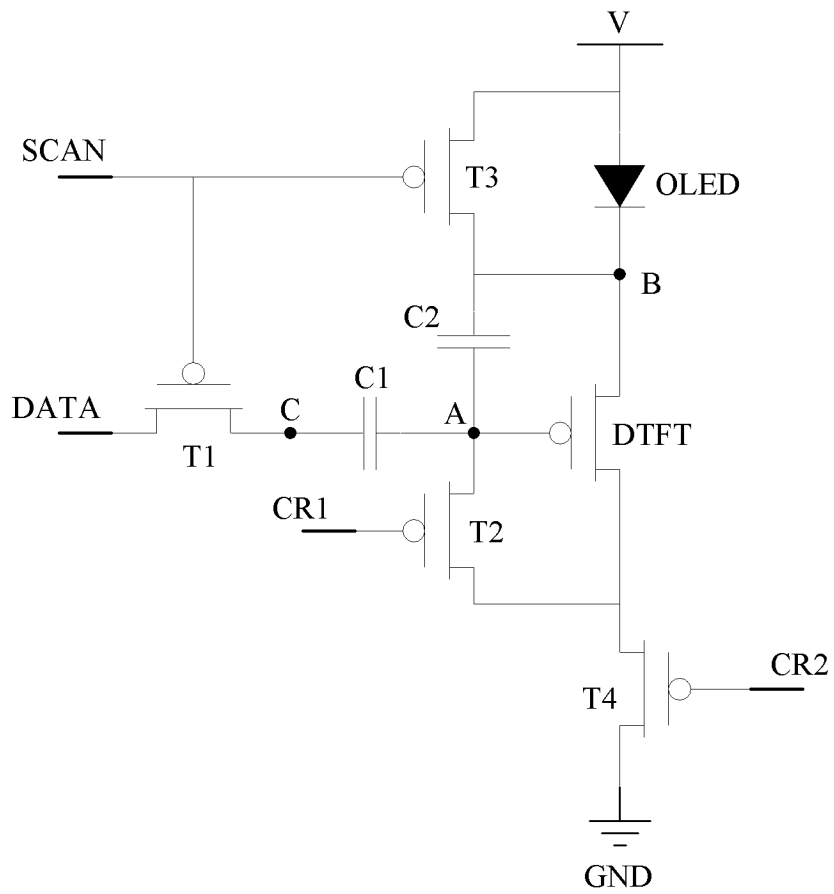


图 2

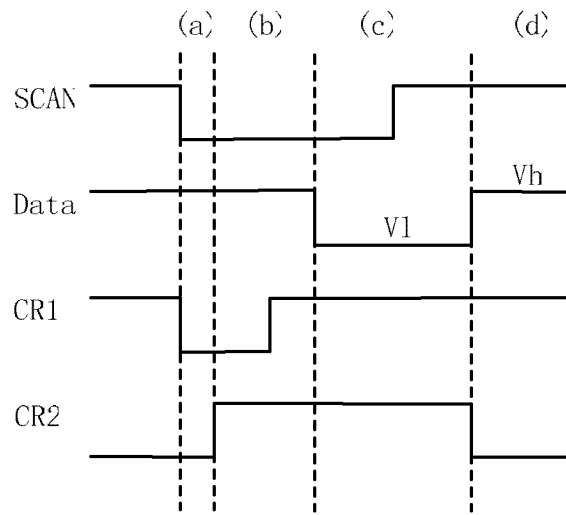


图 3

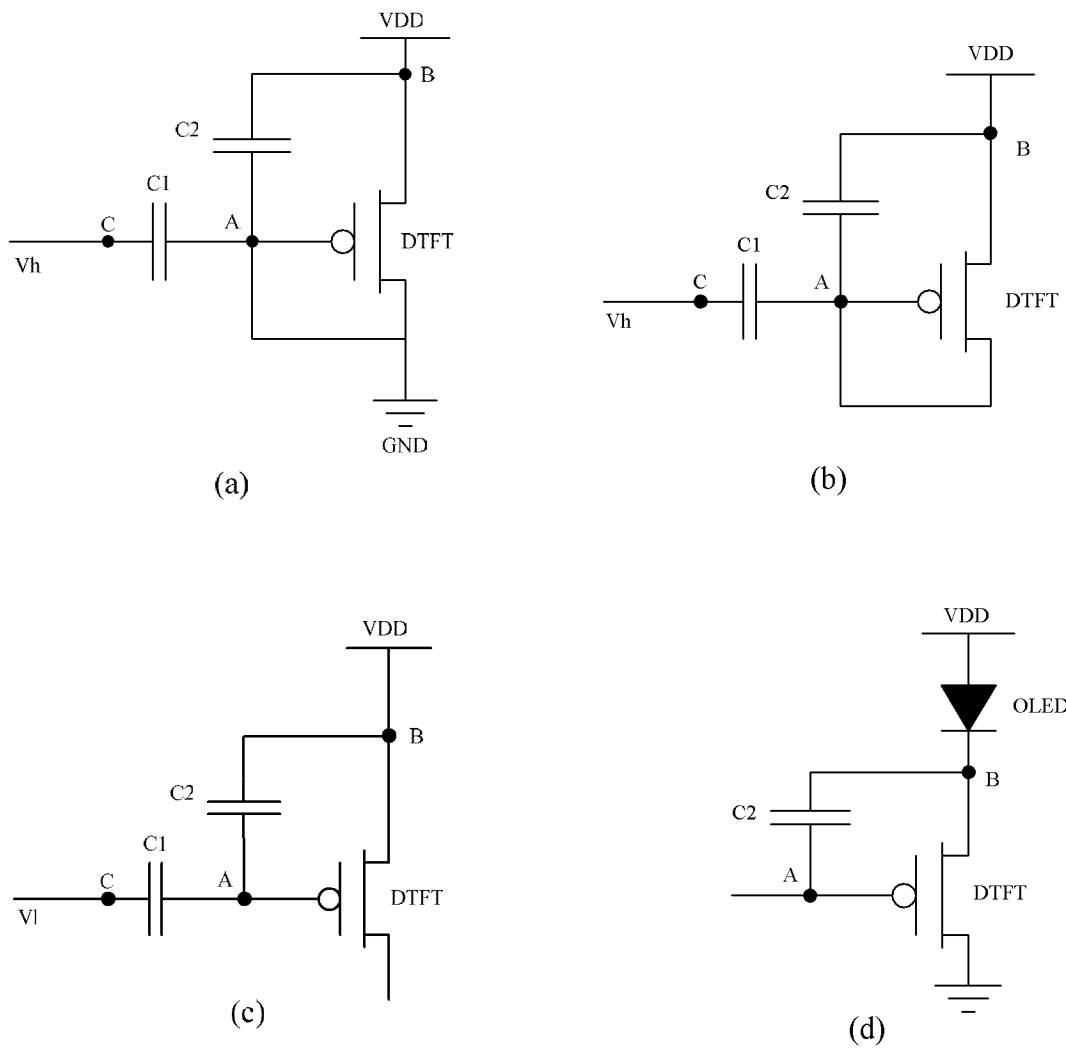


图 4

