



(12)实用新型专利

(10)授权公告号 CN 208173203 U

(45)授权公告日 2018. 11. 30

(21)申请号 201820812831.2

(22)申请日 2018.05.29

(73)专利权人 北京京东方技术开发有限公司

地址 100176 北京市经济技术开发区地泽
路9号1幢407室

专利权人 京东方科技集团股份有限公司

(72)发明人 许晨 郝学光 先建波 乔勇
吴新银

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 焦玉恒 王小会

(51)Int.Cl.

G09G 3/3208(2016.01)

H01L 27/32(2006.01)

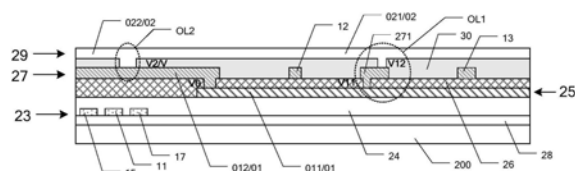
权利要求书3页 说明书13页 附图14页

(54)实用新型名称

显示面板及显示装置

(57)摘要

提供一种显示面板及显示装置。该显示面板包括：基板、多个像素单元、功能信号线和第一导电结构。基板包括显示区和位于所述显示区至少一侧的周边区。多个像素单元位于所述显示区，每个像素单元包括发光单元和为所述发光单元提供驱动电流的像素电路结构，所述发光单元为电致发光元件。功能信号线与每个像素单元的像素电路结构连接并为所述像素电路结构提供公共电压信号。第一导电结构，与所述功能信号线并联，且与所述功能信号线位于不同的层。该显示面板可提高显示均匀性以及分辨率，从而提高显示面板的显示品质。



1. 一种显示面板,其特征在于,包括:
基板,包括显示区和位于所述显示区至少一侧的周边区,
多个像素单元,位于所述显示区,每个像素单元包括发光单元和为所述发光单元提供驱动电流的像素电路结构,所述发光单元为电致发光元件;
功能信号线,与每个像素单元的像素电路结构连接并为所述像素电路结构提供公共电压信号;
第一导电结构,与所述功能信号线并联,且与所述功能信号线位于不同的层。
2. 根据权利要求1所述的显示面板,其特征在于,所述多个像素单元沿行方向和列方向延伸以形成多行像素单元和多列像素单元,所述功能信号线包括沿第一方向延伸的第一信号线,所述第一信号线沿一行像素单元或一列像素单元延伸。
3. 根据权利要求2所述的显示面板,其特征在于,所述功能信号线包括沿第二方向延伸的第二信号线,所述第二信号线位于所述周边区,所述第二信号线与所述第一信号线相连,所述第二方向与所述第一方向交叉。
4. 根据权利要求3所述的显示面板,其特征在于,所述第二信号线与信号输入电路相连。
5. 根据权利要求3所述的显示面板,其特征在于,所述第一导电结构包括沿第一方向延伸的第一导电线,所述第一导电线沿一行像素单元或一列像素单元延伸。
6. 根据权利要求5所述的显示面板,其特征在于,所述第一导电结构包括沿第二方向延伸的第二导电线,所述第二导电线位于所述周边区,所述第二导电线与所述第一导电线连接。
7. 根据权利要求6所述的显示面板,其特征在于,所述第二导电线和所述第一导电线位于不同的层。
8. 根据权利要求6所述的显示面板,其特征在于,还包括位于所述第一导电结构和所述功能信号线之间的绝缘层,所述第一导电结构和所述功能信号线通过贯穿位于两者之间的所述绝缘层的过孔相连。
9. 根据权利要求8所述的显示面板,其特征在于,所述过孔包括位于所述显示区的显示区过孔和位于所述周边区的周边区过孔至少之一。
10. 根据权利要求9所述的显示面板,其特征在于,在垂直于所述基板的方向上,所述第一信号线和所述第一导电线具有第一交叠区域,所述显示区过孔位于所述第一交叠区域,所述第一信号线和所述第一导电线通过所述显示区过孔连接。
11. 根据权利要求9所述的显示面板,其特征在于,在垂直于所述基板的方向上,所述第二信号线和所述第二导电线具有第二交叠区域,所述周边区过孔位于所述第二交叠区域,所述第二信号线和所述第二导电线通过所述周边区过孔连接。
12. 根据权利要求9所述的显示面板,其特征在于,所述显示区过孔的数量为多个,为每个像素单元设置至少一个显示区过孔。
13. 根据权利要求9所述的显示面板,其特征在于,所述周边区过孔的数量为多个,所述多个周边区过孔中的每个对应一行像素单元或对应一列像素单元。
14. 根据权利要求5-13任一项所述的显示面板,其特征在于,所述第一导电线通过转接图案和所述第一信号线连接,所述第一导电线和所述转接图案通过贯穿位于两者之间的绝

缘层的过孔连接,所述转接图案和所述第一信号线通过贯穿位于两者之间的绝缘层的过孔连接。

15. 根据权利要求5-13任一项所述的显示面板,其特征在于,每个发光单元包括第一电极,不同发光单元的第一电极彼此绝缘,所述第一导电结构与所述第一电极同层,所述第一导电线在相邻行像素单元或相邻列像素单元的第一电极的间隙中延伸。

16. 根据权利要求5-13任一项所述的显示面板,其特征在于,还包括栅线、数据线、第一电源线以及第二电源线,所述像素电路结构包括存储电容、驱动晶体管、数据写入晶体管和阈值补偿晶体管,其中,

所述存储电容的第一极与所述第一电源线电连接,所述存储电容的第二极通过第一连接电极与所述阈值补偿晶体管的第二极电连接;

所述数据写入晶体管的栅极与所述栅线电连接,所述数据写入晶体管的栅极与第二极分别与所述数据线、所述驱动晶体管的栅极电连接;

所述阈值补偿晶体管的栅极与所述栅线电连接,所述阈值补偿晶体管的栅极与第二极分别与所述驱动晶体管的第二极和栅极电连接;

所述发光元件的第二电极与所述第二电源线电连接。

17. 根据权利要求16所述的显示面板,其特征在于,所述第一导电线包括具有第一宽度的第一部分和具有第二宽度的第二部分,所述第一宽度小于所述第二宽度,在垂直于所述基板的方向上,所述第二部分与所述驱动晶体管的沟道区、所述数据写入晶体管的沟道区和所述阈值补偿晶体管的沟道区至少之一重叠。

18. 根据权利要求16所述的显示面板,其特征在于,还包括初始化信号线、发光控制信号线和复位控制信号线,所述像素电路结构还包括第一发光控制晶体管、第二发光控制晶体管、第一复位晶体管以及第二复位晶体管;

所述第一发光控制晶体管的栅极与所述发光控制信号线电连接,所述第一发光控制晶体管的栅极与第二极分别与所述第一电源线和所述驱动晶体管的栅极电连接;

所述第二发光控制晶体管的栅极与所述发光控制信号线电连接,所述第二发光控制晶体管的栅极与第二极分别与所述驱动晶体管的第二极、所述发光元件的第一电极电连接;

所述第一复位晶体管的栅极与所述复位控制信号线电连接,所述第一复位晶体管的栅极与第二极分别与所述初始化信号线以及所述驱动晶体管的栅极电连接;

所述第二复位晶体管的栅极与所述复位控制信号线电连接,所述第二复位晶体管的栅极与第二极分别与所述初始化信号线以及所述发光元件的第一电极电连接。

19. 根据权利要求18所述的显示面板,其特征在于,所述像素电路结构还包括设置于所述数据线和所述第一电源线之间的第一稳定电容,所述第一稳定电容包括第一电容电极;

所述栅线、所述驱动晶体管的栅极和所述存储电容的第二极同层设置;

所述第一电容电极、所述初始化信号线、所述存储电容的第一极同层设置;

所述数据线、所述第一电源线以及所述第一连接电极同层设置;

所述第一电容电极与所述数据线在垂直于所述基板的方向上彼此重叠。

20. 根据权利要求18或19所述的显示面板,其特征在于,所述功能信号线包括初始化信号线、第一电源线、第二电源线至少之一。

21. 根据权利要求18或19所述的显示面板,其特征在于,
所述栅线、所述发光控制信号线和所述复位控制信号线位于第一导电图案层;
所述第一信号线位于第二导电图案层;
所述数据线、所述第一电源线和所述第二信号线位于第三导电图案层;
所述第一电极、所述第一导电线和所述第二导电线位于第四导电图案层;
所述第一信号线和所述第二信号线构成所述初始化信号线,所述第一导电线和所述第二导电线构成所述第一导电结构。

22. 根据权利要求18或19所述的显示面板,其特征在于,所述阈值补偿晶体管和所述第一复位晶体管为金属氧化物半导体薄膜晶体管。

23. 根据权利要求21所述的显示面板,其特征在于,还包括第二导电结构,所述功能信号线为所述初始化信号线,所述第二导电结构和所述第一电源线并联,所述第二导电结构位于所述第三导电图案层和所述第四导电图案层之间。

24. 根据权利要求16所述的显示面板,其特征在于,所述像素电路结构还包括第二稳定电容和/或第三稳定电容,其中,

所述第二稳定电容提供于所述数据线和所述驱动晶体管的第一极之间,

所述第三稳定电容提供与所述第一电源线和所述驱动晶体管的第一极之间。

25. 一种显示装置,其特征在于,包括如权利要求1-24任一项所述的显示面板。

显示面板及显示装置

技术领域

[0001] 本公开的实施例涉及一种显示面板及显示装置。

背景技术

[0002] 在显示领域,有机发光二极管(Organic Light-Emitting Diode,OLED)显示面板具有自发光、对比度高、能耗低、视角广、响应速度快、可用于挠曲性面板、使用温度范围广、制造简单等特点,具有广阔的发展前景。

实用新型内容

[0003] 本公开实施例提供一种显示面板和显示装置,该显示面板可兼顾提高显示均匀性以及分辨率,从而提高显示面板的显示品质。

[0004] 本公开至少一实施例提供一种显示面板,包括:

[0005] 基板,包括显示区和位于所述显示区至少一侧的周边区,

[0006] 多个像素单元,位于所述显示区,每个像素单元包括发光单元和为所述发光单元提供驱动电流的像素电路结构,所述发光单元为电致发光元件;

[0007] 功能信号线,与每个像素单元的像素电路结构连接并为所述像素电路结构提供公共电压信号;

[0008] 第一导电结构,与所述功能信号线并联,且与所述功能信号线位于不同的层。

[0009] 本公开实施例还提供一种显示装置,包括本公开至少一实施例提供的显示面板。

附图说明

[0010] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,并非对本公开的限制。

[0011] 图1A为本公开至少一实施例提供的一种显示面板的俯视示意图;

[0012] 图1B为本公开至少一实施例提供的一种显示面板中一个像素单元的示意图;

[0013] 图1C为本公开至少一实施例提供的一种显示面板中为每个像素单元提供信号的信号线的示意图;

[0014] 图2为本公开至少一实施例提供的一种显示面板的俯视示意图;

[0015] 图3为图2中M-N处的剖视示意图;

[0016] 图4A-4D分别为图2中四个导电图案层的每个的俯视示意图;

[0017] 图5为本公开一实施例提供的显示面板中功能信号线与信号输入电路连接的示意图;

[0018] 图6A为本公开另一实施例提供的显示面板的俯视示意图;

[0019] 图6B为图6A中X-Y处的剖视示意图;

[0020] 图7为本公开一实施例提供的显示面板中的第四导电图案层的示意图;

- [0021] 图8为本公开一实施例提供的显示面板中的第一导电线的示意图；
- [0022] 图9为本公开一实施例提供的显示面板中的第一信号线与薄膜晶体管的沟道区的俯视示意图；
- [0023] 图10为本公开一实施例提供的显示面板的剖视示意图；
- [0024] 图11为本公开的实施例提供一种显示面板的结构示意图；
- [0025] 图12为本公开实施例提供一种显示面板的平面示意图；
- [0026] 图13为本公开实施例提供的显示面板中一个像素单元的时序信号图；
- [0027] 图14为本公开另一实施例提供一种显示面板的结构示意图；
- [0028] 图15为本公开实施例提供一种显示面板的平面示意图；
- [0029] 图16为图15中显示面板沿剖面线I-I' 的剖视图；以及
- [0030] 图17为图15中显示面板沿剖面线II-II' 的剖视图。

具体实施方式

[0031] 下面将结合附图,对本公开实施例中的技术方案进行清楚、完整地描述参考在附图中示出并在以下描述中详述的非限制性示例实施例,更加全面地说明本公开的示例实施例和它们的多种特征及有利细节。应注意的是,图中示出的特征不是必须按照比例绘制。本公开省略了已知材料、组件和工艺技术的描述,从而不使本公开的示例实施例模糊。所给出的示例仅旨在有利于理解本公开示例实施例的实施,以及进一步使本领域技术人员能够实施示例实施例。因而,这些示例不应被理解为对本公开的实施例的范围的限制。

[0032] 除非另外特别定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。此外,在本公开各个实施例中,相同或类似的参考标号表示相同或类似的构件。

[0033] 随着显示产品的应用越来越广泛,消费者对显示品质例如显示均匀性以及分辨率的要求越来越高。例如,造成显示不均匀的原因如下:导线的电压输入末端与电压输入起始端相比,有较明显的压降(IR drop)效应,容易造成信号延迟问题,造成显示面板的显示不均匀。例如,增大导线尺寸作为一种简单提升显示均匀性的做法,但增大导线尺寸对分辨率提升不利。提升分辨率的做法是减小电路结构尺寸,如降低线宽,但降低线宽会加剧显示不均匀,同时降低线宽同样导致工艺良率降低。目前OLED的电路结构比液晶显示器(liquid crystal display, LCD)的电路结构复杂,提升分辨率空间有限。因此,需要提供一种新型设计满足高分辨率以及显示均匀性要求。

[0034] 本公开至少一实施例提供一种显示面板可兼顾提高显示面板的显示均匀性以及提高显示面板的分辨率。

[0035] 图1A为本公开至少一实施例提供一种显示面板的俯视示意图。该显示面板包括:基板200和多个像素单元101。基板200包括显示区201和位于显示区201至少一侧的周边区202,多个像素单元101位于显示区201。图1A中示出了周边区202围绕显示区201设置,但不限于此。像素单元101的个数和排布方式不限于图中所示。

[0036] 图1B为本公开至少一实施例提供一种显示面板中一个像素单元的示意图。如图1B所示,每个像素单元101包括发光单元20和为发光单元20提供驱动电流的像素电路结构

10,发光单元20可为电致发光元件,例如,有机电致发光元件,例如可为有机发光二极管(OLED)。例如,电致发光元件的驱动原理如下:电致发光元件采用电流驱动,电流大小决定显示灰阶,因此不同像素间在相同的驱动信号控制下,不同位置处的像素的功能信号线的压降不同可造成电流差异,电流差异可造成显示不均匀。

[0037] 图1C为本公开至少一实施例提供的一种显示面板中为每个像素单元提供信号的信号线的示意图。图1C中示出了栅线11、数据线12、第一电源线13、第二电源线14和初始化信号线16。例如,栅线11被配置为向像素电路结构10提供扫描信号Scan,数据线12被配置为向像素电路结构10提供数据信号Data,第一电源线13被配置为向像素电路结构10提供恒定的第一电压信号ELVDD,第二电源线14被配置为向像素电路结构10提供恒定的第二电压信号ELVSS,并且第一电压信号ELVDD大于第二电压信号ELVSS。初始化信号线16被配置为向像素电路结构10提供初始化信号Vint。初始化信号Vint为恒定的电压信号,其大小例如可以介于第一电压信号ELVDD和第二电压信号ELVSS之间,但不限于此,例如,初始化信号Vint可小于或等于第二电压信号ELVSS。例如,第一电源线13、第二电源线14和初始化信号线16等信号线可存在上述信号延迟问题。

[0038] 图2为本公开至少一实施例提供的一种显示面板的俯视示意图。该显示面板还包括功能信号线01。功能信号线01与每个像素单元101的像素电路结构10连接并为像素电路结构10提供公共电压信号。例如,公共电压信号可为恒定的电压信号。

[0039] 如图2所示,该显示面板还包括第一导电结构02。第一导电结构02与功能信号线01并联,且与功能信号线01位于不同的层。例如,第一导电结构02和功能信号线的不同层的设置可利于两者通过孔方式并联。

[0040] 本公开的实施例中提供的显示面板,第一导电结构02与功能信号线01并联,可降低功能信号线的电阻,使得由功能信号线的电阻问题造成的信号延迟问题得到减弱。同时,因第一导电结构02与功能信号线01并联可减弱信号延迟问题,可不必使用较大宽度的功能信号线,可利于提高分辨率。从而,本公开的实施例中提供的显示面板,可利于兼顾提高显示均匀性以及提高分辨率,进而可提高显示品质。

[0041] 例如,如图2所示,多个像素单元101沿行方向和列方向延伸以形成多行像素单元和多列像素单元。图2中示出了三行和三列像素单元,本公开的实施例以此为例进行说明。例如,行方向为横向,列方向为纵向。功能信号线01包括沿第一方向D1延伸的第一信号线011,第一信号线011沿一行像素单元延伸。例如,第一信号线011位于显示区201。

[0042] 例如,如图2所示,为进一步降低电阻,功能信号线01还包括沿第二方向D2延伸的第二信号线012,第二信号线012位于周边区202,第二信号线012与第一信号线011相连,第二方向D2与第一方向D1交叉。进一步例如,第二方向D2可垂直于第一方向D1。如图2所示,第一信号线011和第二信号线012异层设置,通过贯穿绝缘层的过孔电连接。当然,第一信号线011和第二信号线012也可同层设置。

[0043] 例如,如图2所示,第一导电结构02包括沿第一方向D1延伸的第一导电线021,第一导电线021沿一行像素单元延伸。例如,第一导电线021位于显示区。

[0044] 例如,如图2所示,为进一步降低电阻,第一导电结构02还包括沿第二方向D2延伸的第二导电线022,第二导电线022位于周边区202,第二导电线022与第一导电线021连接。如图2所示,第一导电线021和第二导电线022同层设置。当然,第一导电线021和第二导电线

022也可以异层设置,通过贯穿绝缘层的过孔电连接。

[0045] 不同的导电图案层之间可设置绝缘层。例如,如图2所示,显示面板还包括绝缘层(图中未显示,可参照图3),绝缘层位于第一导电结构02和功能信号线01之间,第一导电结构02和功能信号线01通过贯穿绝缘层的过孔V相连。

[0046] 例如,如图2所示,过孔V包括位于显示区的显示区过孔V1和位于周边区的周边区过孔V2至少之一。

[0047] 例如,如图2所示,在显示面板的俯视图中,第一信号线011和第一导电线021具有第一交叠区域OL1,显示区过孔V1位于第一交叠区域OL1,第一信号线011和第一导电线021通过显示区过孔V1连接。需要说明的是,本公开的实施例中,在显示面板的俯视图中也可以看作在垂直于基板200的方向上。

[0048] 例如,本公开的实施例中,垂直于基板200的方向上可为在基板200的厚度方向上或者垂直于基板200的主表面的方向上。例如,显示面板的俯视图为由显示面板上方向下做正投影得到的视图。

[0049] 例如,如图2所示,为利于进一步降低功能信号线的电阻,显示区过孔V1的数量为多个,为每个像素单元101至少设置一个显示区过孔V1。例如,显示区过孔V1的数量可以至少与像素单元的数量相同。例如,显示区过孔V1的数量可以为像素单元的数量的至少一倍(例如两倍)。

[0050] 例如,如图2所示,在显示面板的俯视图中,第二信号线012和第二导电线022具有第二交叠区域OL2,周边区过孔V2位于第二交叠区域OL2,第二信号线012和第二导电线022通过周边区过孔V2连接。

[0051] 例如,如图2所示,为利于进一步降低功能信号线的电阻,周边区过孔V2的数量为多个。例如,多个周边区过孔V2中的每个对应一行像素单元。

[0052] 图2中,以第一导电结构02和功能信号线01通过显示区过孔V1和周边区过孔V2并联连接为例进行说明。需要说明的是,第一导电结构02和功能信号线01可仅通过显示区过孔V1并联连接,或者,第一导电结构02和功能信号线01可仅通过周边区过孔V2并联连接。并且,显示区过孔V1和周边区过孔V2的设置并不限于图2所示。

[0053] 例如,如图2所示,为了与构图工艺兼容且降低过孔的制作难度,第一导电线021可通过转接图案271和第一信号线011连接,第一信号线011和转接图案271通过贯穿位于两者之间的绝缘层的过孔V11连接,转接图案271和第一导电线021通过贯穿位于两者之间的绝缘层的过孔V12连接(也可参见图3)。当然,也可不设置转接图案271,本公开的实施例对此不作限定。

[0054] 图3为图2中M-N处的剖视示意图。如图3所示,功能信号线01包括第一信号线011和第二信号线012,第一信号线011和第二信号线012通过贯穿层间绝缘层26的过孔V0电连接。在周边区,第二导电线022和第二信号线012通过贯穿位于第二导电线022和第二信号线012(功能信号线01)之间的绝缘层30的过孔V2电连接。在显示区,转接图案271和第一信号线011通过位于贯穿第一信号线011和转接图案271之间的层间绝缘层26的过孔V11电连接,第二导电线021和转接图案271通过贯穿位于第二导电线021和转接图案271之间的绝缘层30之间的过孔V12电连接。图3还示出了衬底基板200以及其上的缓冲层28。图3还示出了第一交叠区域OL1和第二交叠区域OL2。

[0055] 图4A-4D为图2中四个导电图案层的每个的俯视示意图。请结合图2、图4A-4D,显示面板包括第一导电图案层23、第二导电图案层25、第三导电图案层27和第四导电图案层29。

[0056] 如图4A所示,第一导电图案层23包括栅线11、发光控制信号线15和复位控制信号线17。

[0057] 如图4B所示,第二导电图案层25包括第一信号线011。如图4A和4B所示,第一信号线011与栅线11的延伸方向相同。多个第一信号线011相互间隔。例如,每个第一信号线011可与一行像素单元相对应。

[0058] 如图4C所示,第三导电图案层27包括第二信号线012、数据线12、第一电源线13、转接图案271。例如,第二信号线012与数据线12的延伸方向相同。例如,数据线12可对应一列像素单元,第一电源线13可对应一列像素单元。

[0059] 如图4D所示,第四导电图案层29包括第一导电结构02,第一导电结构02包括电连接的第一导电线021和第二导电线022。例如,第一导电线021和第二导电线022可同层形成,当然,也可以不同层,通过贯穿绝缘层的过孔电连接。例如,一个实施例中,第一导电线021与第一电极2001(可参见图7)同层,第二导电线022与初始化信号线16位于周边区的部分同层。

[0060] 例如,图2中的功能信号线01可为像素电路结构中的初始化信号线16。当然,功能信号线01还可以为第一电源线13,将在图6A中进行详细描述。初始化信号线16可包括位于显示区的部分(可对应于第一信号线011)和位于周边区的部分(可对应于第二信号线012)。

[0061] 图5为本公开一实施例提供的显示面板中功能信号线与信号输入电路连接的示意图。如图5所示,第二信号线012与信号输入电路80相连。例如,如图5所示,第二信号线012与第一信号线011位于不同的层,通过过孔V2相连。

[0062] 如图5所示,功能信号线01靠近信号输入电路80的部分可为电压输入起始端,功能信号线01远离信号输入电路80的部分可为电压输入末端,因本公开的实施例中,第一导电结构02与功能信号线01并联,可减小电压输入末端和电压输入起始端之间的压降效应导致的信号延迟问题。同时,因可减小信号延迟问题,从而不必使用较大宽度的信号线,进而利于提高显示面板的分辨率,从而利于提高显示品质。

[0063] 图6A为本公开一实施例提供的显示面板的俯视示意图。如图6A所示,第一信号线011沿一列像素单元延伸,第一导电线021沿一列像素单元延伸,多个周边区过孔V2中的每个对应一列像素单元。如图6A所示,第二信号线012沿一行像素单元延伸,第二导电线022沿一行像素单元延伸。

[0064] 图6B为图6A中X-Y处的剖视示意图。如图6A和图6B所示。第一信号线011和第二信号线012通过贯穿两者之间的层间绝缘层26的过孔V0电连接构成功能信号线01。第一导电线021和第一信号线011通过贯穿两者之间的绝缘层30的显示区过孔V1电连接。转接图案272和第二信号线012通过贯穿位于两者之间的层间绝缘层26的过孔V21(周边区过孔V2)电连接。第二导电线022和转接图案272通过贯穿位于两者之间的绝缘层30的过孔V22(周边区过孔V2)电连接。

[0065] 图7为本公开一实施例提供的显示面板中的第四导电图案层的示意图。例如,如图7所示,每个发光单元(例如,有机电致发光二极管)包括第一电极2001,不同发光单元的第一电极2001彼此绝缘,第一导电结构02与第一电极2001同层。第一导电结构02包括同层且

电连接的第一导电线021和第二导电线022。

[0066] 图8为本公开一实施例提供的显示面板中的第一导电线的示意图。如图8所示,第一导电线021在相邻行像素单元101的第一电极2001的间隙中延伸。当然,类似的,第一导电线021也可在相邻列像素单元101的第一电极2001的间隙中延伸。如图8所示,第一导电线021和第二导电线022不同层。例如,可第一导电线021和第二导电线022之一与第一电极2001同层,另一个与其他导电结构同层设置,但不限于此。

[0067] 图9为本公开一实施例提供的显示面板中的第一信号线与薄膜晶体管的沟道区的俯视示意图。

[0068] 例如,第一导电线021包括具有第一宽度的第一部分0211和具有第二宽度的第二部分0212,第一宽度 d_1 小于第二宽度 d_2 ,在显示面板的俯视图中,第二部分0212可与驱动晶体管的沟道区T1a、数据写入晶体管的沟道区T2a和阈值补偿晶体管的沟道区T3a至少之一重叠。此处的驱动晶体管、数据写入晶体管和阈值补偿晶体管可参照如下所述的驱动晶体管T1、数据写入晶体管T2和阈值补偿晶体管T3(例如,如图11所示)。驱动晶体管的沟道区T1a、数据写入晶体管的沟道区T2a和阈值补偿晶体管的沟道区T3a也可参照图15。用第一导电线的第二部分对薄膜晶体管的沟道区进行遮挡,可进一步提升薄膜晶体管的稳定性,降低漏电流。图9中可在显示面板的俯视图中,第二部分0212与驱动晶体管的沟道区T1a、数据写入晶体管的沟道区T2a和阈值补偿晶体管的沟道区T3a重叠为例进行说明。本公开的实施例中,第二部分0212也可以与驱动晶体管的沟道区T1a、数据写入晶体管的沟道区T2a和阈值补偿晶体管的沟道区T3a中的一个或两个重叠。

[0069] 图10为本公开一实施例提供的显示面板的剖视示意图。与图3所示的显示面板相比,显示面板还包括第五导电图案层290。第五导电图案层290可位于第三导电图案层27和第四导电图案层29之间。第五导电图案层290可包括第二导电结构03,在该实施例中,功能信号线01为初始化信号线16,第二导电结构03和第一电源线13并联。例如,在显示面板的俯视图中,第二导电结构03可为网格状。

[0070] 如图10所示,第五导电图案层290还可包括转接图案2901和2902以利于与构图工艺兼容且降低过孔的制作难度。图10中还示出了第五导电图案层290和第四导电图案层29之间的绝缘层31。

[0071] 以下根据对像素电路结构进行具体描述。例如,功能信号线可为初始化信号线、第一电源线、第二电源线至少之一。以上实施例以功能信号线为初始化信号线和/或第一电源线为例进行说明。需要说明的是,本公开的实施例不限于此,只要是向像素电路结构提供公共电压信号的信号线均可作为功能信号线。

[0072] 图11为本公开的实施例提供一种显示面板的结构示意图,图12为本公开实施例提供的一种显示面板的平面结构示意图。请一并参阅图11和图12,显示面板100包括呈矩阵排布的多个像素单元101,每个像素单元101包括像素电路结构10、发光元件20以及栅线11、数据线12及电压信号线。发光元件20为有机发光元件OLED,发光元件20在其对应的像素电路结构10的驱动下发出红光、绿光、蓝光,或者白光等。该电压信号线可以是一条也可以包括多条。例如,如图所示,该电压信号线包括第一电源线13、第二电源线14、发光控制信号线15、初始化信号线16和复位控制信号线17等中的至少之一。

[0073] 例如,第一电源线13配置为向像素电路结构10提供恒定的第一电压信号ELVDD,第

二电源线14配置为向像素电路结构10提供恒定的第二电压信号ELVSS,并且第一电压信号ELVDD大于第二电压信号ELVSS。发光控制信号线15配置为向像素电路结构10提供发光控制信号EM。初始化信号线16和复位控制信号线17分别配置为向像素电路结构10提供初始化信号Vint和复位控制信号Reset,其中,初始化信号Vint为恒定的电压信号,其大小例如可以介于第一电压信号ELVDD和第二电压信号ELVSS之间,但不限于此,例如,初始化信号Vint可小于或等于第二电压信号ELVSS。

[0074] 如图11所示,该像素电路结构10包括驱动晶体管T1、数据写入晶体管T2、阈值补偿晶体管T3、第一发光控制晶体管T4、第二发光控制晶体管T5、第一复位晶体管T6、第二复位晶体管T7以及存储电容Cst。驱动晶体管T1与发光元件20电连接,并在扫描信号Scan、数据信号Data、第一电压信号ELVDD、第二电压信号ELVSS等信号的控制下输出驱动电流以驱动发光元件20发光。

[0075] 在有机发光二极管显示面板的像素单元中,驱动晶体管与有机发光元件连接,在数据信号、扫描信号等信号的控制下向有机发光元件输出驱动电流,从而驱动有机发光元件发光。由于驱动晶体管的栅极电压的大小直接与有机发光元件中的驱动电流大小相关,栅极信号的稳定对于实现有机发光元件的发光稳定以及显示面板的显示稳定是一个重要因素。

[0076] 在研究中,发明人发现,数据信号在数据线上传输时,数据信号的波动容易对驱动晶体管的栅极信号造成干扰,例如数据信号通过数据线与驱动晶体管的栅极之间形成的寄生电容对栅极信号造成干扰,从而影响栅极信号的稳定性。

[0077] 如图11所示,像素电路结构10还包括设置于数据线12与第一电源线13之间的第一稳定电容C1。当数据线12上的数据信号Data发生变化时,第一稳定电容C1可以降低数据线12与驱动晶体管T1栅极之间寄生电容对驱动晶体管T1栅极信号的干扰。

[0078] 在实际情况下,例如可以设计使得第一稳定电容C1的电容值大于数据线12与驱动晶体管T1栅极之间寄生电容的10倍以上。当该寄生电容的电容值相较于第一稳定电容C1忽略不计时,则该数据信号Data通过该寄生电容对栅极信号的影响也可以忽略不计。

[0079] 第一稳定电容C1可以有多种设置方式。例如,第一稳定电容可以包括第一电容电极和第二电容电极,第一电容电极与第一电源线13电连接,第二电容电极与数据线12电连接。需要说明的是,第一电容电极可以是第一电源线13的一部分或者单独设置的与第一电源线13电连接的电极,这两种情形都包括在上述“第一电容电极与第一电源线电连接”的范围内。同样,第二电容电极可以是数据线12的一部分或者单独设置的与数据线12电连接的电极,这两种情形都包括在上述“第二电容电极与数据线电连接”的范围内。

[0080] 例如,在制备过程中,在显示面板100的基板上通过半导体工艺制备像素电路结构,其包括层叠的电路层、绝缘层等。第一电容电极与第二电容电极可以在垂直于显示面板100的基板的方向上彼此重叠,且二者之间由绝缘层(介电层)间隔开,由此构成电容器。在实际设计中,可以通过设计第一电容电极与第二电容电极之间的距离、其间的绝缘层的材料(即介电常数)以及二者之间的重叠面积来调节第一稳定电容C1的电容值。

[0081] 如图11所示,存储电容Cst的第一极与第一电源线13电连接,存储电容Cst的第二极与阈值补偿晶体管T3的第二极电连接。数据写入晶体管T2的栅极与栅线11电连接,数据写入晶体管T2的第一极与第二极分别与数据线12、驱动晶体管T1的第一极电连接。阈值补

偿晶体管T3的栅极与栅线11电连接,阈值补偿晶体管T3的第一极和第二极分别与驱动晶体管T1的第二极和栅极电连接。

[0082] 如图11所示,第一发光控制晶体管T4的栅极与发光控制信号线15电连接,第一发光控制晶体管T4的第一极与第二极分别与第一电源线13和驱动晶体管T1的第一极电连接。第二发光控制晶体管T5的栅极与发光控制信号线15电连接,第二发光控制晶体管T5的第一极与第二极分别与驱动晶体管T1的第二极、发光元件20的第一电极电连接。第一复位晶体管T6的栅极与复位控制信号线17电连接,第一复位晶体管T6的第一极和第二极分别与初始化信号线16以及驱动晶体管T1的栅极电连接。第二复位晶体管T7的栅极与复位控制信号线17电连接,第二复位晶体管T7的第一极和第二极分别与初始化信号线16以及发光元件20的第一电极(可为OLED的像素电极,例如阳极)电连接。发光元件20的第二电极(可为OLED的公共电极,例如阴极)与第二电源线14电连接。

[0083] 需要说明的是,本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极,所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如,本公开实施例所述的晶体管的第一极可以为源极,第二极可以为漏极;或者,晶体管的第一极为漏极,第二极为源极。

[0084] 此外,按照晶体管的特性区分可以将晶体管分为N型和P型晶体管。本公开实施例以晶体管均采用P型晶体管为例进行说明。基于本公开对该实现方式的描述和教导,本领域普通技术人员在无需做出创造性劳动前提下,能够容易想到将本公开实施例的像素电路结构中至少部分晶体管采用N型晶体管,即采用N型晶体管或N型晶体管和P型晶体管组合的实现方式,因此,这些实现方式也是在本公开的保护范围内的。

[0085] 例如,本公开实施例采用的晶体管的有源层可以为单晶硅、多晶硅(例如低温多晶硅)或金属氧化物半导体材料(如IGZO、AZO等)。在一个示例中,该晶体管均为P型LTPS(低温多晶硅)薄膜晶体管。在另一个示例中,与驱动晶体管T1栅极直接连接的阈值补偿晶体管T3和第一复位晶体管T6为金属氧化物半导体薄膜晶体管,即晶体管的沟道材料为金属氧化物半导体材料(如IGZO、AZO等),金属氧化物半导体薄膜晶体管具有较低的漏电流,可以有助于降低驱动晶体管T1的栅极漏电流。

[0086] 例如,本公开实施例采用的晶体管可以包括多种结构,如顶栅型、底栅型或者双栅结构。在一个示例中,与驱动晶体管T1栅极直接连接的阈值补偿晶体管T3和第一复位晶体管T6为双栅型薄膜晶体管,可以有助于降低驱动晶体管T1的栅极漏电流。

[0087] 例如,如图12所示,本公开实施例提供的显示面板100还包括:数据驱动器102、扫描驱动器103和控制器104。数据驱动器102被配置为根据控制器104的指令向像素单元101提供数据信号Data;扫描驱动器103被配置为根据控制器104的指令向像素单元101提供发光控制信号EM、扫描信号Scan以及复位控制信号Reset等。例如,扫描驱动器103为安装于该显示面板上的GOA(Gate On Array)结构,或者为与该显示面板进行绑定(Bonding)的驱动芯片(IC)结构。例如,还可以采用不同的驱动器分别提供发光控制信号EM和扫描信号Scan。例如,显示面板100还包括电源(图中未示出)以提供上述电压信号,根据需要可以为电压源或电流源,所述电源被配置为分别通过第一电源线13、第二电源线14、以及初始化信号线16

向像素单元101提供第一电源电压ELVDD、第二电源电压ELVSS、以及初始化信号Vint等。

[0088] 图13为本公开实施例提供的显示面板中一个像素单元的时序信号图。以下将结合图13对本公开实施例提供的显示面板中一个像素单元的驱动方法进行说明。

[0089] 如图13所示,在一帧显示时间段内,像素单元的驱动方法包括复位阶段t1、数据写入及阈值补偿阶段t2和发光阶段t3。

[0090] 在复位阶段t1,设置发光控制信号EM为关闭电压,设置复位控制信号Reset为开启电压,设置扫描信号Scan为关闭电压。

[0091] 在数据写入及阈值补偿阶段t2,设置发光控制信号EM为关闭电压,设置复位控制信号Reset为关闭电压,设置扫描信号Scan为开启电压。

[0092] 在发光阶段t3,设置发光控制信号EM为开启电压,设置复位控制信号Reset为关闭电压,设置扫描信号Scan为关闭电压。

[0093] 例如,本公开实施例中的开启电压是指能使相应晶体管第一极和第二级导通的电压,关闭电压是指能使相应晶体管的第一极和第二级断开的电压。当晶体管为P型晶体管时,开启电压为低电压(例如,0V),关闭电压为高电压(例如,5V);当晶体管为N型晶体管时,开启电压为高电压(例如,5V),关闭电压为低电压(例如,0V)。图13所示的驱动波形均以P型晶体管为例进行说明,即开启电压为低电压(例如,0V),关闭电压为高电压(例如,5V)。

[0094] 请一并参阅图11和图13,在复位阶段t1,发光控制信号EM为关闭电压,复位控制信号Reset为开启电压,扫描信号Scan为关闭电压。此时,第一复位晶体管T6和第二复位晶体管T7处于导通状态,而数据写入晶体管T2、阈值补偿晶体管T3、第一发光控制晶体管T4和第二发光控制晶体管T5处于关闭状态。第一复位晶体管T6将初始化信号(初始化电压)Vint传输到驱动晶体管T1的栅极并被存储电容Cst存储,将驱动晶体管T1复位并消除上一次(上一帧)发光时存储的数据,第二复位晶体管T7将初始化信号Vint传输到发光元件20的第一电极,以将发光元件20复位。

[0095] 在数据写入及阈值补偿阶段t2,发光控制信号EM为关闭电压,复位控制信号Reset为关闭电压,扫描信号Scan为开启电压。此时,数据写入晶体管T2和阈值补偿晶体管T3处于导通状态,而第一发光控制晶体管T4、第二发光控制晶体管T5、第一复位晶体管T6和第二复位晶体管T7处于关闭状态。此时,数据写入晶体管T2将数据信号电压Vdata传输到驱动晶体管T1的第一极,即,数据写入晶体管T2接收扫描信号Scan和数据信号Data并根据扫描信号Scan向驱动晶体管T1的第一极写入数据信号Data。阈值补偿晶体管T3导通将驱动晶体管T1连接成二极管结构,由此可对于驱动晶体管T1的栅极进行充电。充电完成之后,驱动晶体管T1的栅极电压为Vdata+Vth,其中,Vdata为数据信号电压,Vth为驱动晶体管T1的阈值电压,即,阈值补偿晶体管T3接收扫描信号Scan并根据扫描信号Scan对驱动晶体管T1的栅极电压进行阈值电压补偿。在此阶段,存储电容Cst两端的电压差为ELVDD-Vdata-Vth。

[0096] 在发光阶段t3,发光控制信号EM为开启电压,复位控制信号Reset为关闭电压,扫描信号Scan为关闭电压。第一发光控制晶体管T4和第二发光控制晶体管T5处于导通状态,而数据写入晶体管T2、阈值补偿晶体管T3、第一复位晶体管T6和第二复位晶体管T7处于关闭状态。第一电源信号ELVDD通过第一发光控制晶体管T4传输到驱动晶体管T1的第一极,驱动晶体管T1的栅极电压保持为Vdata+Vth,发光电流I通过第一发光控制晶体管T4、驱动晶体管T1和第二发光控制晶体管T5流入发光元件20,发光元件20发光。即,第一发光控制晶体

管T4和第二发光控制晶体管T5接收发光控制信号EM,并根据发光控制信号EM控制有发光元件20发光。发光电流I满足如下饱和电流公式:

$$[0097] \quad K(V_{gs}-V_{th})^2=K(V_{data}+V_{th}-ELVDD-V_{th})^2=K(V_{data}-ELVDD)^2$$

[0098] 其中, $K=0.5\mu_n C_{ox} \frac{W}{L}$, μ_n 为驱动晶体管的沟道迁移率, C_{ox} 为驱动晶体管T1单位面积的沟道电容, W 和 L 分别为驱动晶体管T1的沟道宽度和沟道长度, V_{gs} 为驱动晶体管T1的栅极与源极(也即本实施例中驱动晶体管T1的第一极)之间的电压差。

[0099] 由上式中可以看到流经发光元件20的电流与驱动晶体管T1的阈值电压无关。因此,本像素电路结构非常好的补偿了驱动晶体管T1的阈值电压。

[0100] 例如,在显示面板的像素阵列中,为了方便布线,复位控制信号线17可以设置为上一行像素单元的扫描线,也即复位控制信号由上一行像素单元的扫描信号Scan(n-1)充当,从而减少了布线以及信号数量。

[0101] 例如,发光阶段t3的时长占一帧显示时间段的比例可被调节。这样,可以通过调节发光阶段t3的时长占一帧显示时间段的比例控制发光亮度。例如,通过控制显示面板中的扫描驱动器103或者额外设置的驱动器实现调节发光阶段t3的时长占一帧显示时间段的比例。

[0102] 例如,在其他示例中,第一稳定电容C1还可以设置于数据线12和其它提供恒定电压信号的信号线之间。例如,第一稳定电容C1设置于数据线12与第二电源线14之间,或者第一稳定电容C1设置于数据线12与初始化信号线16之间。在其他示例中,可以不提供第一发光控制晶体管T4或第二发光控制晶体管T5,或者可以不提供第一复位晶体管T6或第二复位晶体管T7等,也即本公开实施例不限于图11所示出的具体像素电路,可以采用其他能实现对于驱动晶体管补偿的像素电路。基于本公开对该实现方式的描述和教导,本领域普通技术人员在没有做出创造性劳动前提下能够容易想到的其它设置方式,都属于本公开的保护范围之内。

[0103] 图14为本公开另一实施例提供的显示面板的示意图。如图所示,本实施例提供的显示面板与图11中的显示面板的区别在于,显示面板100还包括第二稳定电容C2和/或第三稳定电容C3,第二电容C2设置于数据线12和驱动晶体管T1的第一极之间,第三稳定电容C3设置于第一电源线13和驱动晶体管T1的第一极之间。由于第二稳定电容C2的存在,数据线12与驱动晶体管T1的栅极之间的寄生电容对驱动晶体管T1的栅极信号的干扰得以进一步减小。由于第三稳定电容C3的存在,第一电源线13与驱动晶体管T1的栅极之间的寄生电容对驱动晶体管T1的栅极信号的干扰得以减小。

[0104] 图15为图11中显示面板100的一种示例性平面结构示意图(示例性布图)。为了清楚起见,图中仅示出了驱动晶体管T1、数据写入晶体管T2、阈值补偿晶体管T3、存储电容Cst以及第一稳定电容C1的结构,其它晶体管的结构并未示出。图16为图15中显示面板沿剖面线I-I'的剖视图,图17为图15中显示面板沿剖面线II-II'的剖视图。以下将结合图15-图17对本公开实施例提供的显示面板100进行示范性说明。

[0105] 这里应该理解的是,在本公开中,“同层”指的是采用同一成膜工艺形成用于形成特定图形的膜层,然后利用同一掩模板通过一次构图工艺形成的层结构。根据特定图形的不同,同一道次构图工艺可能包括多次曝光、显影或刻蚀工艺,而形成的层结构中的特定图

形可以是连续的也可以是不连续的,这些特定图形还可能处于不同的高度或者具有不同的厚度。例如,本公开的实施例中,可通过同层设置多个元件/部件的图形,可不增加膜层制作数量,利于减小显示面板的厚度,简化制作工艺。

[0106] 还需要说明的是,本公开所称的A与B电连接包括A是B的一部分以及B是A的一部分的情形。

[0107] 为了方便说明,在图中以及以下的说明中用T1g、T1s、T1d、T1a分别表示驱动晶体管T1的栅极、第一极、第二极和沟道区,用T2g、T2s、T2d、T2a分别表示数据写入晶体管T2的栅极、第一极、第二极和沟道区,用T3g、T3s、T3d、T3a分别表示阈值补偿晶体管T3的栅极、第一极、第二极和沟道区,用Csa和Csb分别表示存储电容Cst的第一极和第二极。

[0108] 如图所示,显示面板100包括基板200以及依次层叠设置于基板200上的半导体图案层21、第一绝缘层22、第一导电图案层23、第二绝缘层24、第二导电图案层25、层间绝缘层26、第三导电图案层27。

[0109] 例如,半导体图案层21包括驱动晶体管T1的有源层、数据写入晶体管T2的有源层及阈值补偿晶体管T3的有源层。

[0110] 例如,第一导电图案层23包括栅线11、存储电容Cst的第二极Csb、驱动晶体管T1的栅极T1g、数据写入晶体管的栅极T2g和阈值补偿晶体管的栅极T3g。

[0111] 例如,第二导电图案层25包括存储电容Cst的第一极Csa。

[0112] 例如,存储电容Cst的第一极Csa与驱动晶体管T1的栅极T1g在垂直于基板200的方向上彼此重叠。

[0113] 例如,第三导电图案层27包括数据线12和第一电源线13。

[0114] 如图所示,栅线11沿第一方向D1延伸,数据线12和第一电源线13沿第二方向D2延伸并且同层设置。例如,第一方向D1和第二方向D2基本垂直。

[0115] 在本实施例中,第一稳定电容C1包括单独设置的与第一电源线13电连接的第一电容电极18,第一稳定电容C1的第二电容电极由数据线12本身的一部分充当。在其它实施例中,第二电容电极也可以单独设置为与数据线12连接的电极。

[0116] 例如,第一电容电极18设置于数据线12靠近基板200的一侧,并与存储电容Cst的第一极Csa同层设置。第一电容电极18通过穿过层间绝缘层26的第一过孔260与第一电源线13电连接。第一电容电极18和数据线12在垂直于基板200的方向上彼此重叠,从而形成第一稳定电容C1。

[0117] 例如,在显示面板200的制作过程中,采用自对准工艺,以第一导电图案层23为掩模对半导体图案层21进行导体化处理,例如,采用离子注入对半导体图案层21进行重掺杂,从而使得半导体图案层21未被第一导电图案层23覆盖的部分被导体化,形成驱动晶体管T1的源极区(第一极T1s)和漏极区(第二极T1d)、数据写入晶体管T2的源极区(第一极T2s)和漏极区(第二极T2d)以及阈值补偿晶体管T3的源极区(第一极T3s)和漏极区(第二极T3d)。半导体图案层21被第一导电图案层23覆盖的部分保留半导体特性,形成各晶体管的沟道区T1a、T2a和T3a。

[0118] 例如,显示面板200还包括第一连接电极19,第一连接电极19配置为连接阈值补偿晶体管T3的漏极区和驱动晶体管T1的栅极T1g,从而将阈值补偿晶体管T3的第二极T3d与驱动晶体管T1的栅极T1g电连接。

[0119] 例如,第一连接电极19与数据线12同层设置,且与数据线12的延伸方向相同。

[0120] 请一并参阅图15和图16,由于数据线12和第一连接电极19之间,或者或数据线12与阈值补偿晶体管T3的第二极T3d之间存在寄生电容,通过将第一电容电极18设置于数据线12靠近基板200的一侧,该第一电容电极18可以起到垫高该数据线的作用,可以增大数据线12与第一连接电极19以及阈值补偿晶体管T3的第二极T3d的侧面之间的距离,从而可以降低该寄生电容。例如,由于阈值补偿晶体管T3的第二极T3d与驱动晶体管T1的栅极直接连接,降低该寄生电容有助于降低该数据线对驱动晶体管T1的栅极信号的干扰。

[0121] 例如,第一连接电极19在第一电容电极18所在层(也即第二导电图案层23)上的正投影与第一电容电极18在垂直于数据线12延伸方向的方向(也即第一方向D1)上彼此重叠。

[0122] 例如,请参阅图16,第一连接电极19在第一电容电极18所在层(也即第二导电图案层23)上的正投影与第一电容电极18在垂直于数据线12延伸方向的方向(也即第一方向D1)上彼此重叠。

[0123] 例如,存储电容Cst的第一极Csa上设置有开口250,第一连接电极19通过该开口以及贯穿第二绝缘层24和层间绝缘层26的第二过孔240与驱动晶体管T1的栅极T1g(也即存储电容Cst的第二极Csb)电连接。

[0124] 例如,第一连接电极19通过贯穿第一绝缘层22、第二绝缘层24及层间绝缘层26的第三过孔220与阈值补偿晶体管T3的第二极T3d电连接。

[0125] 例如,第一电源线13通过贯穿层间绝缘层26的第四过孔261与存储电容Cst的第一极Csa电连接。

[0126] 例如,请一并参考图15,存储电容Cst的第一极Csa与数据线13在垂直于基板的方向上彼此重叠,从而构成第四稳定电容C4。由于存储电容Cst的第一极Csa与第一电源线13电连接,该第四稳定电容C4也形成于该第一电源线与该数据线之间,进一步降低了数据线12与驱动晶体管T1栅极之间寄生电容对驱动晶体管T1栅极信号的干扰。例如,第一绝缘层22、第二绝缘层24和层间绝缘层26的材料可以包括无机绝缘材料,例如氮化硅、氮氧化硅等,或者氧化铝、氮化钛等。例如,该绝缘材料还可以包括丙烯酸、聚甲基丙烯酸甲酯(PMMA)等有机绝缘材料。例如,该绝缘层可以是单层结构也可以是多层结构。

[0127] 例如,第一导电图案层23、第二导电图案层25、第三导电图案层27、第四导电图案层29、功能信号线、第一导电结构以及第二导电结构的材料包括金(Au)、银(Ag)、铜(Cu)、铝(Al)、钼(Mo)、镁(Mg)、钨(W)以及以上金属组合而成的合金材料;或者导电金属氧化物材料,例如氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)、氧化锌铝(AZO)等。

[0128] 例如,显示面板100还可以包括设置于基板200与半导体图案层21之间的缓冲层28。例如,基板200为玻璃基板,缓冲层28为二氧化硅,用于防止基板200中杂质(金属离子)扩散到像素电路结构之中。

[0129] 本公开的实施例中,功能信号线可包括初始化信号线16、发光控制信号线15、复位控制信号线17、第一电源线13、第二电源线14至少之一。

[0130] 例如,一个实施例中,阵列基板依次包括:基板,多晶硅层,第一栅极绝缘层,第一导电图案层(包括栅线、栅极、存储电容的第二极),第二栅极绝缘层,第二导电图案层(包括初始化信号线,存储电容的第一极,第一连接电极),层间绝缘层,第三导电图案层(包括数据线、显示区的第一电源线),钝化层,平坦化层,第四导电图案层(包括第一电极,第一导电

结构,第一电极可为OLED的阳极),发光层,第二电极(可为OLED的阴极)。功能信号线为第一电源线,第一导电结构与第一电极同层设置,第一导电结构与第一电源线并联。

[0131] 本公开的实施例中,第一导电结构02也可单独设置。例如,阵列基板包括基板,多晶硅层,第一栅极绝缘层,第一导电图案层(包括栅线、栅极、存储电容的第二极),第二栅极绝缘层,第二导电图案层(包括初始化信号线,存储电容的第一极,第一连接电极),层间绝缘层,第三导电图案层(包括数据线、显示区的第一电源线)、有机绝缘层、钝化层、第四导电图案层(包括第一导电结构)、第二平坦化层,OLED的阳极层、发光层、OLED的阴极层。第四导电图案层和第三导电图案层之间间隔有机绝缘层和钝化层,且钝化层直接位于第四导电图案层之下,可以保证第一导电结构所在的层刻蚀完全,并且有机绝缘层能提供尽量的平坦化。该实施例中,功能信号线为第一电源线,第一导电结构与第一电源线并联。

[0132] 本公开实施例提供的显示面板中的像素电路结构不限于图11中所示,还可以采用其他结构的像素电路结构,例如,还可以不设置第一稳定电容C1、第一发光控制晶体管T4、第二发光控制晶体管T5、第一复位晶体管T6、第二复位晶体管T7至少之一。

[0133] 例如,本公开实施例提供的显示面板可以应用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。例如,该显示面板为有机发光二极管显示面板。

[0134] 本公开实施例还提供一种显示装置,包括上述显示面板。例如,该显示装置可以为应用该显示面板的手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等电子装置。例如,该显示装置为有机发光二极管显示装置。

[0135] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以所述权利要求的保护范围为准。

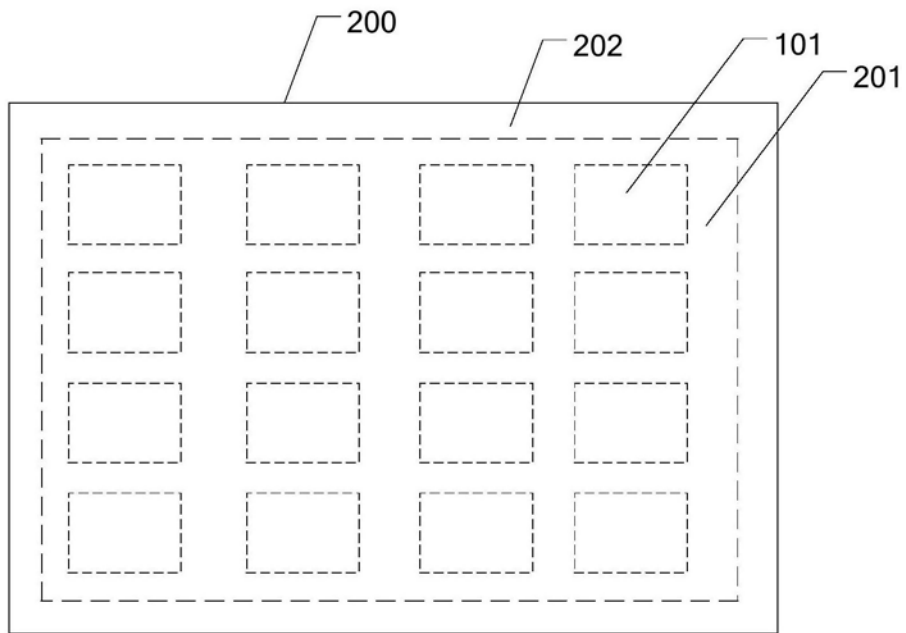


图1A

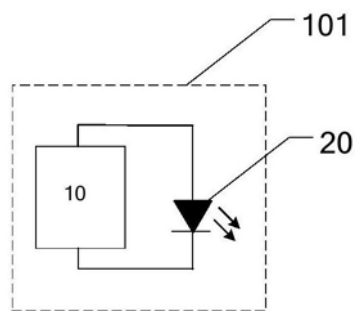


图1B

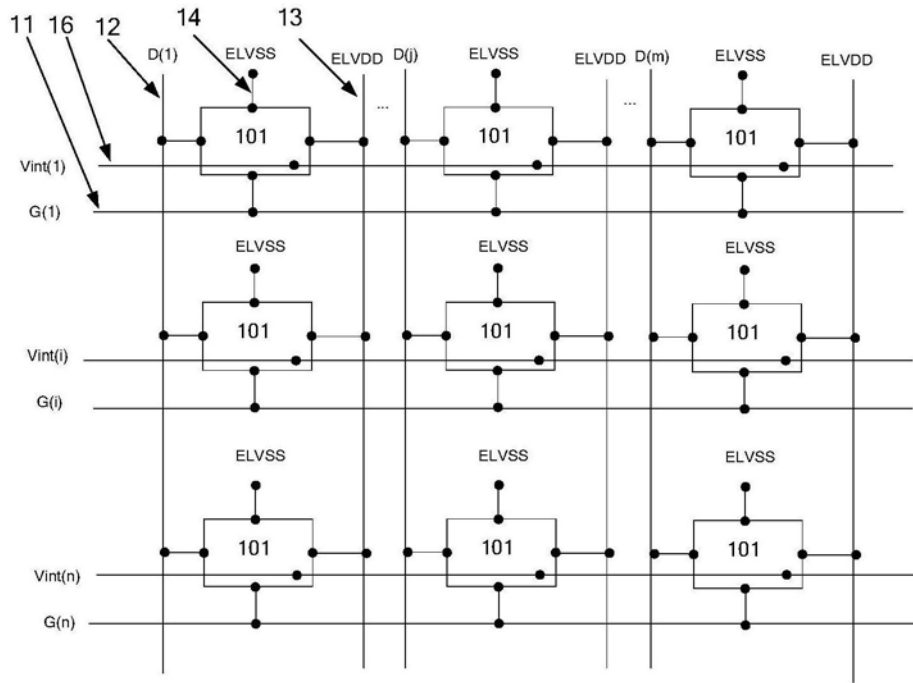


图1C

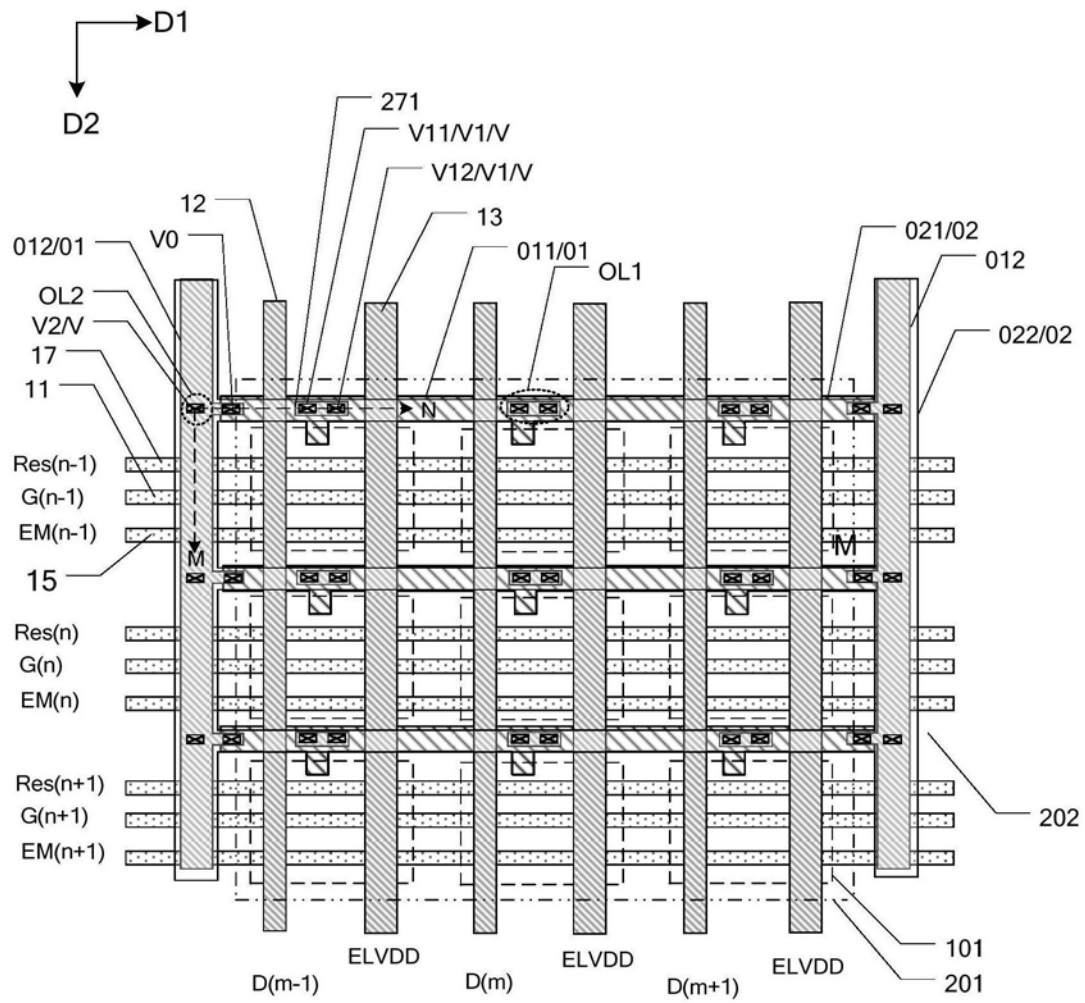


图2

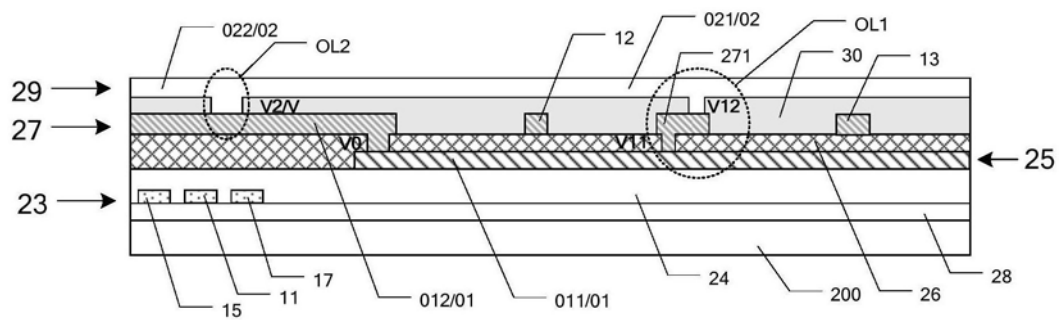


图3

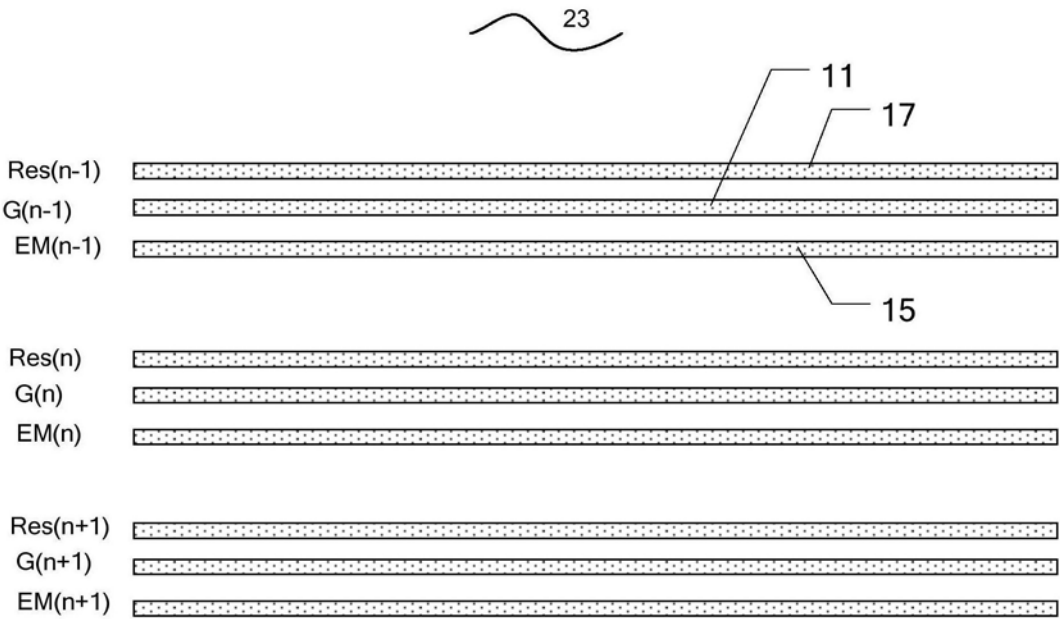


图4A

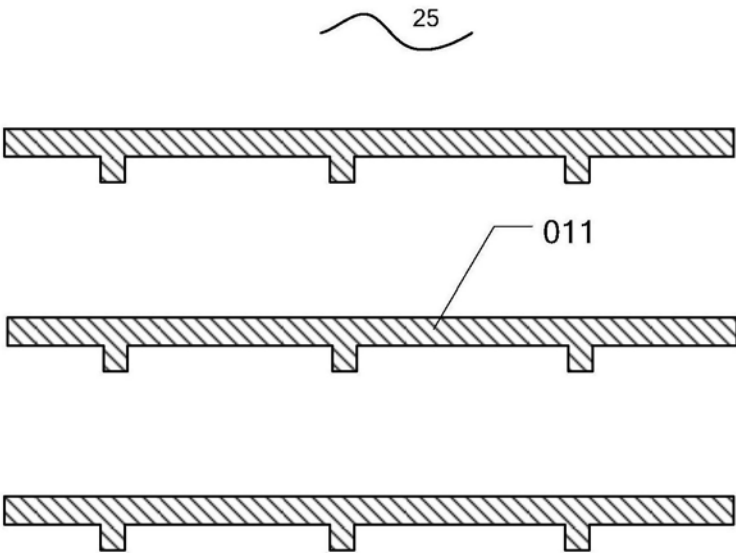


图4B

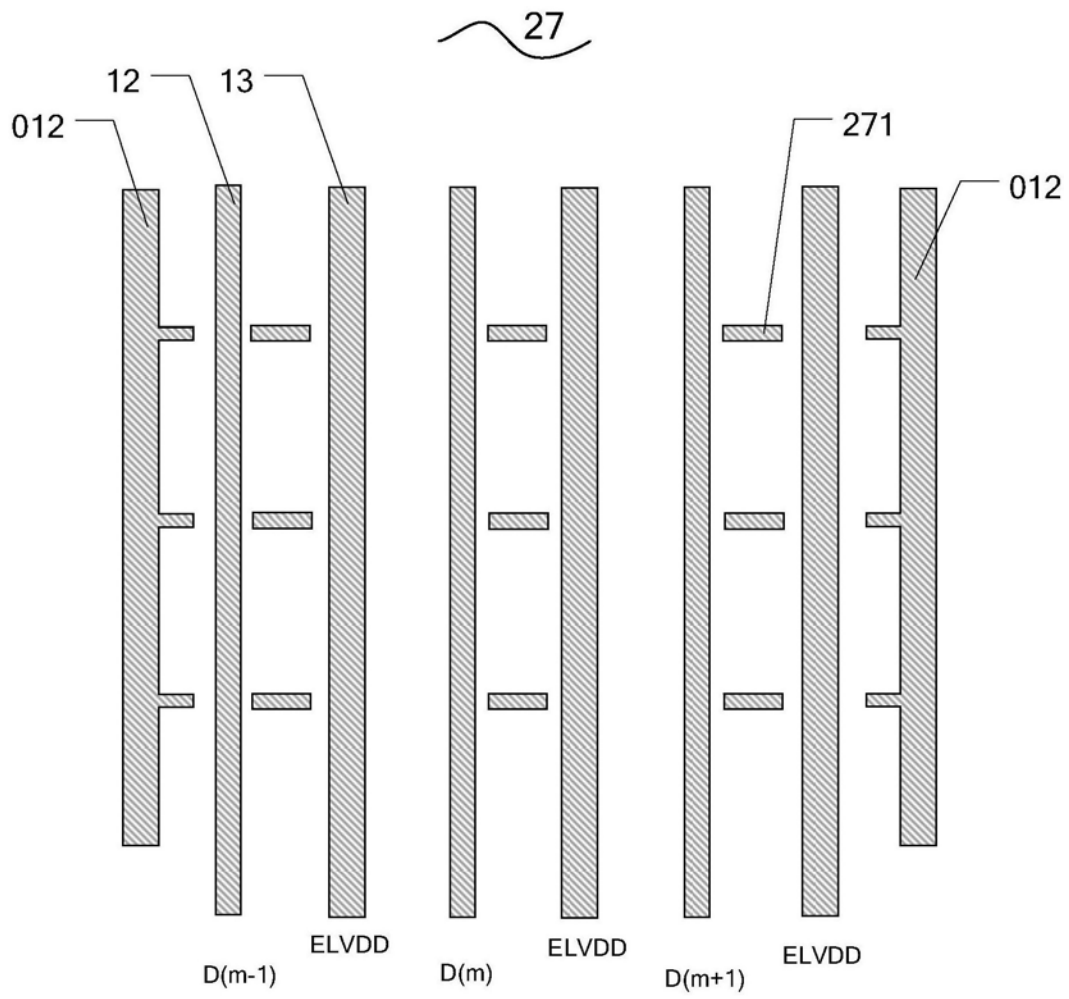


图4C

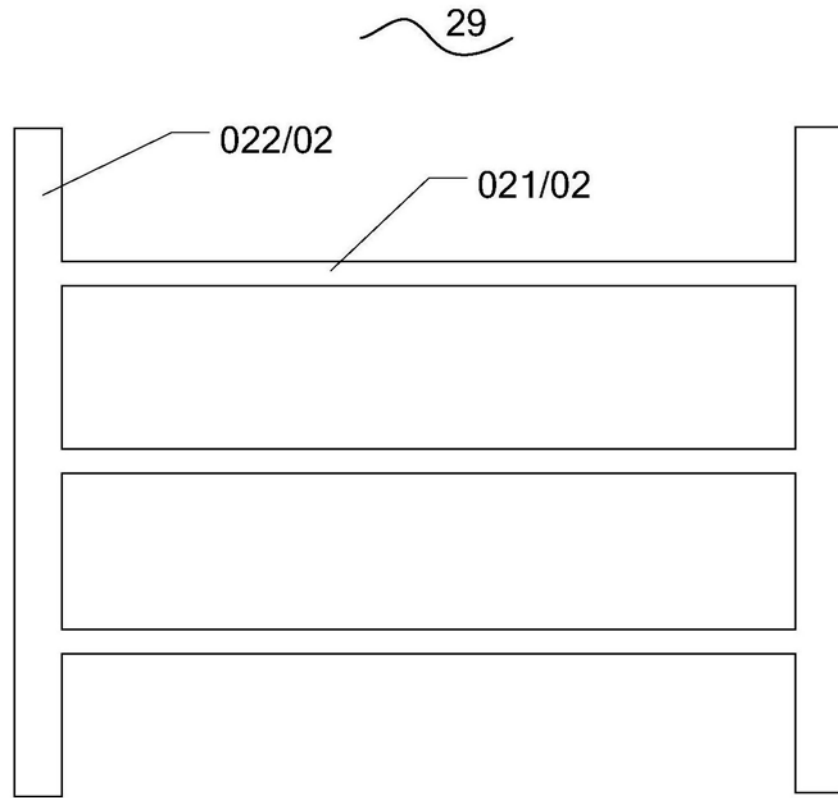


图4D

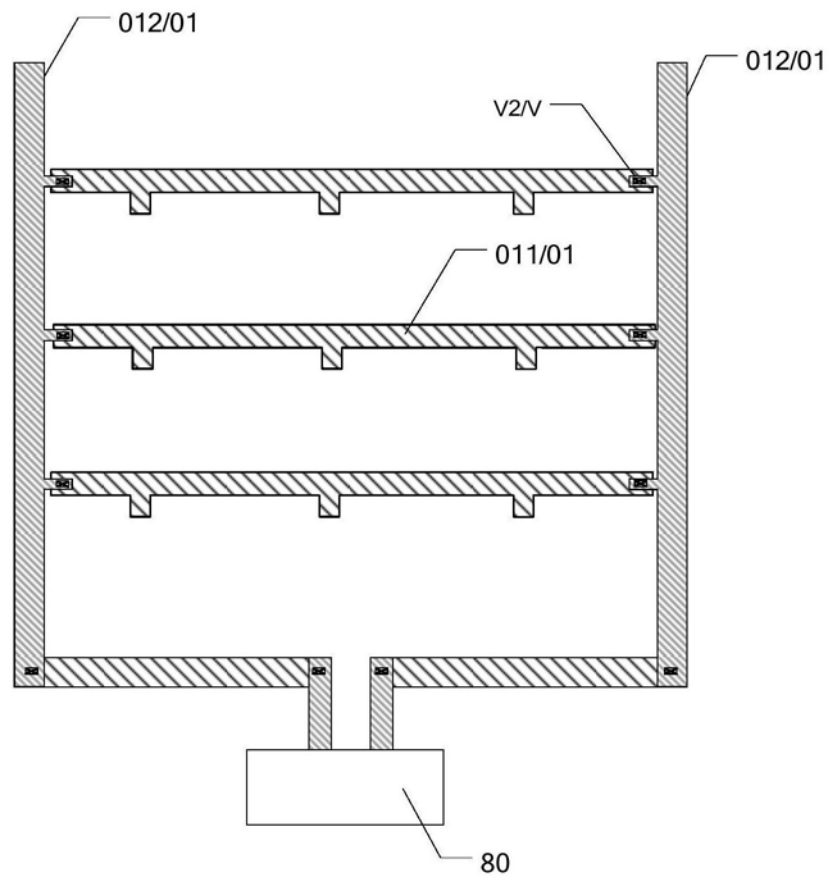


图5

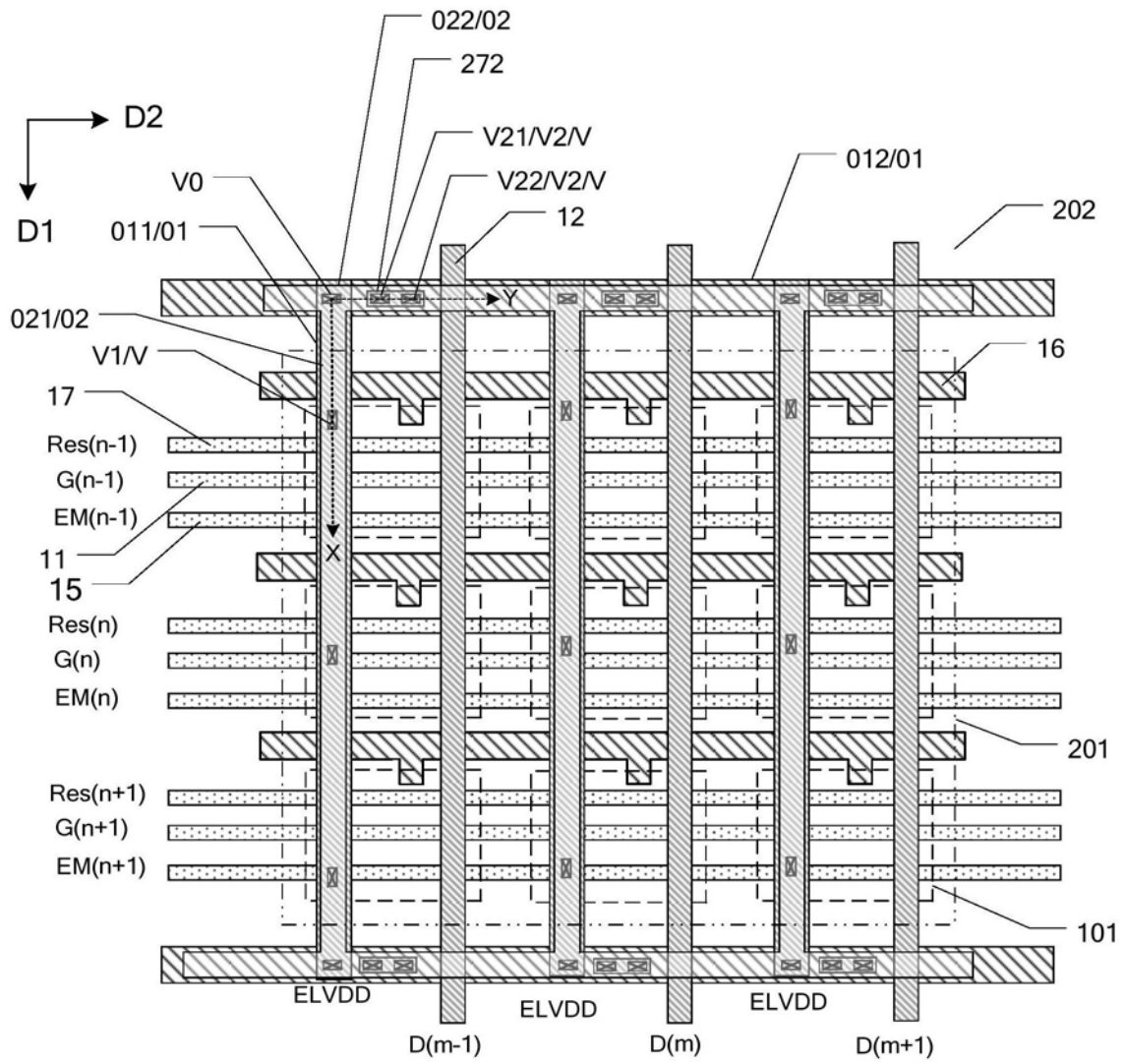


图6A

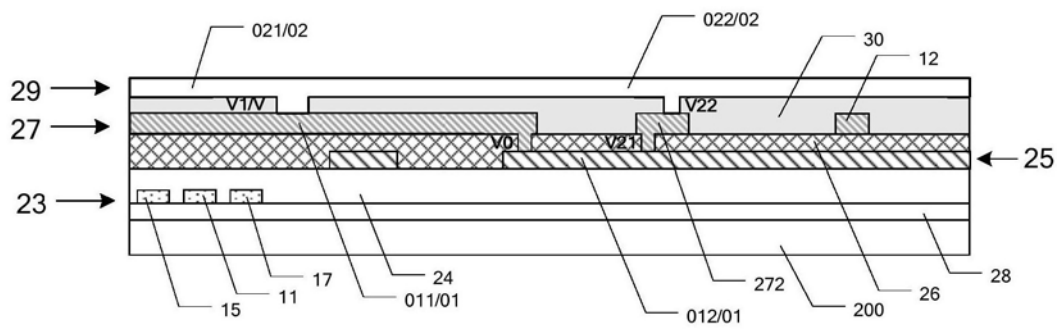


图6B

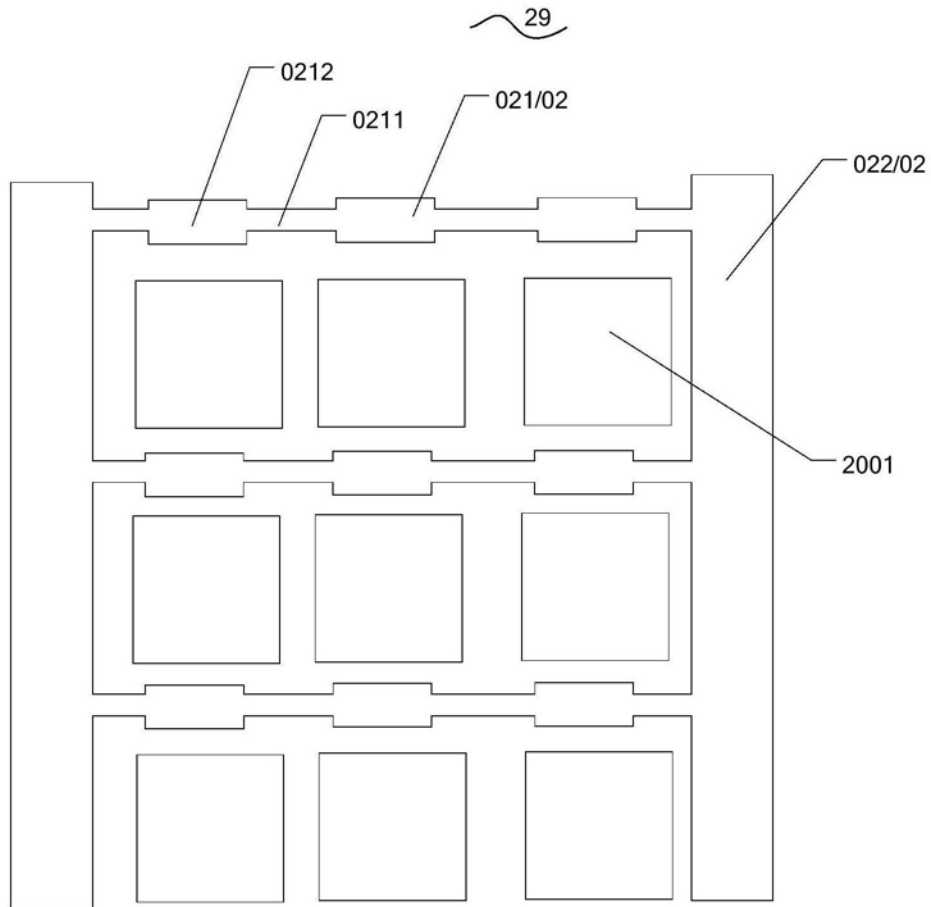


图7

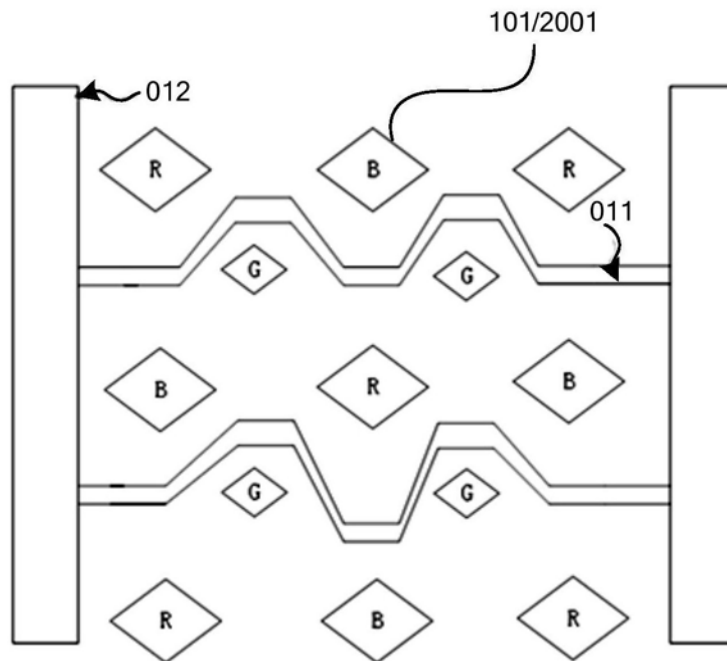


图8

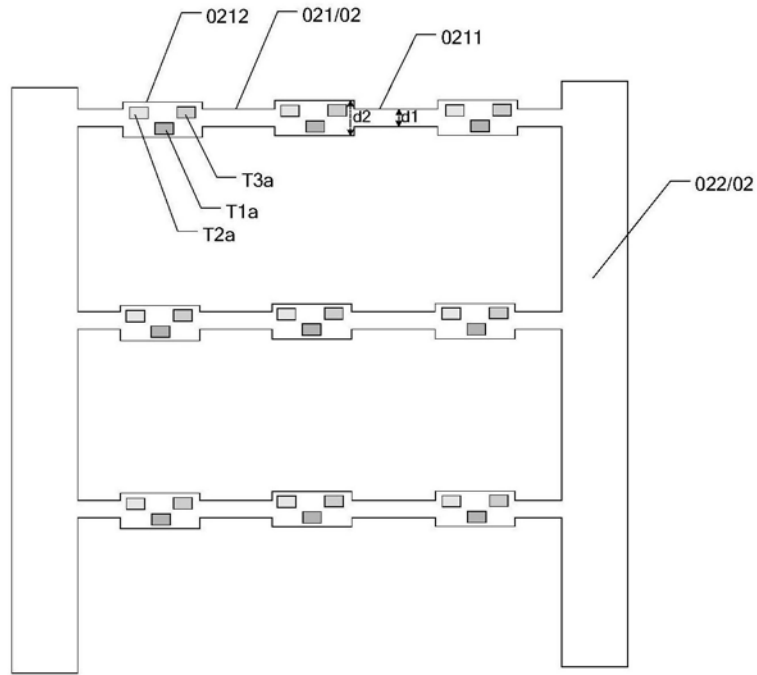


图9

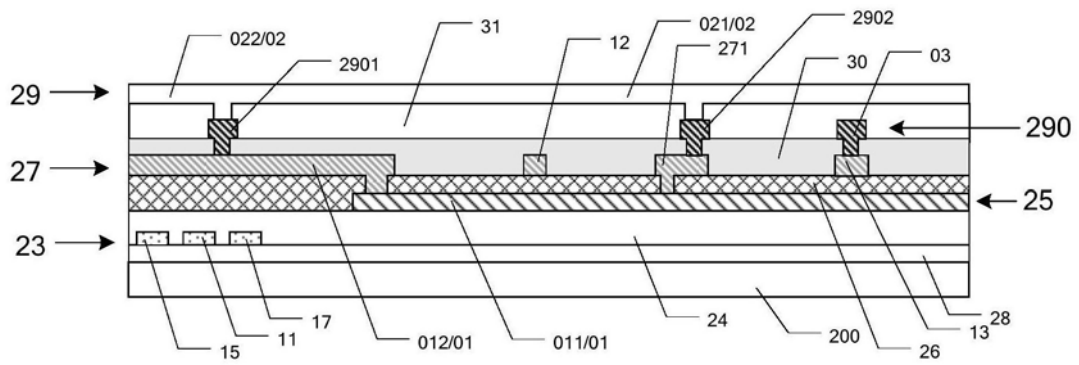


图10

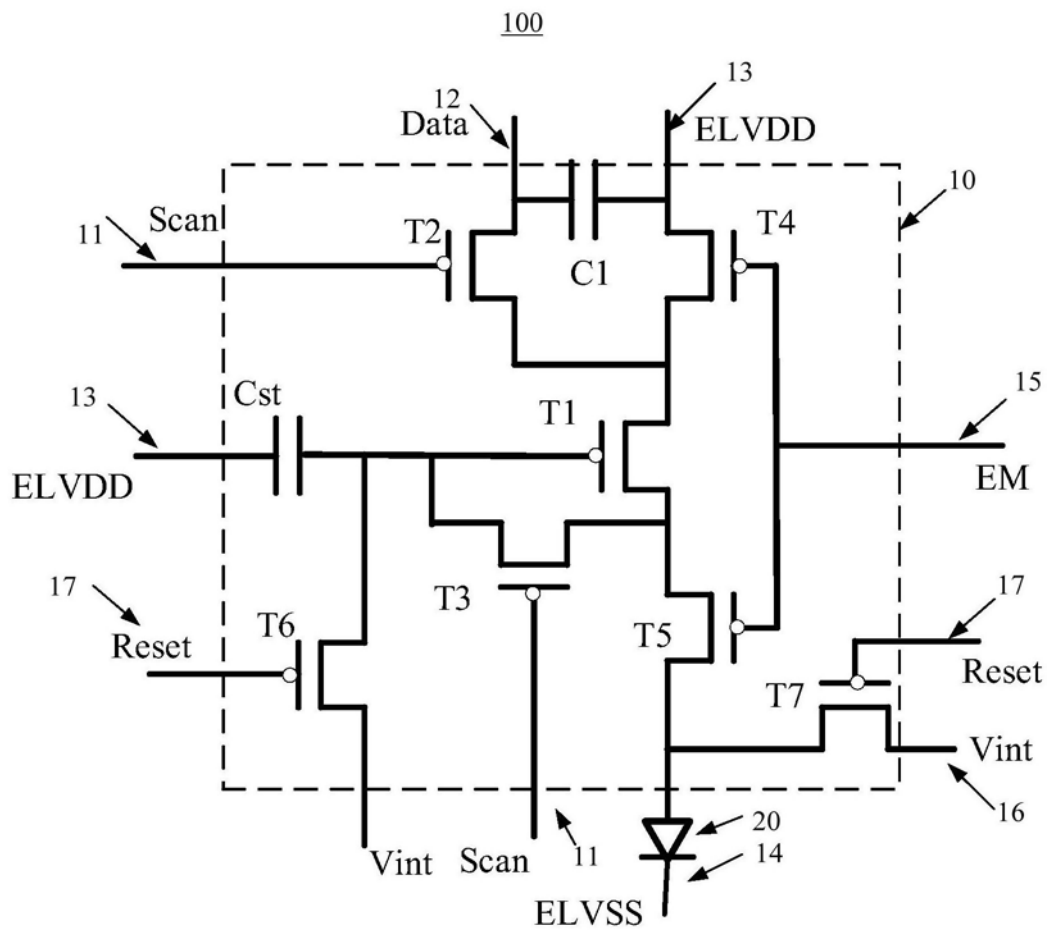


图11

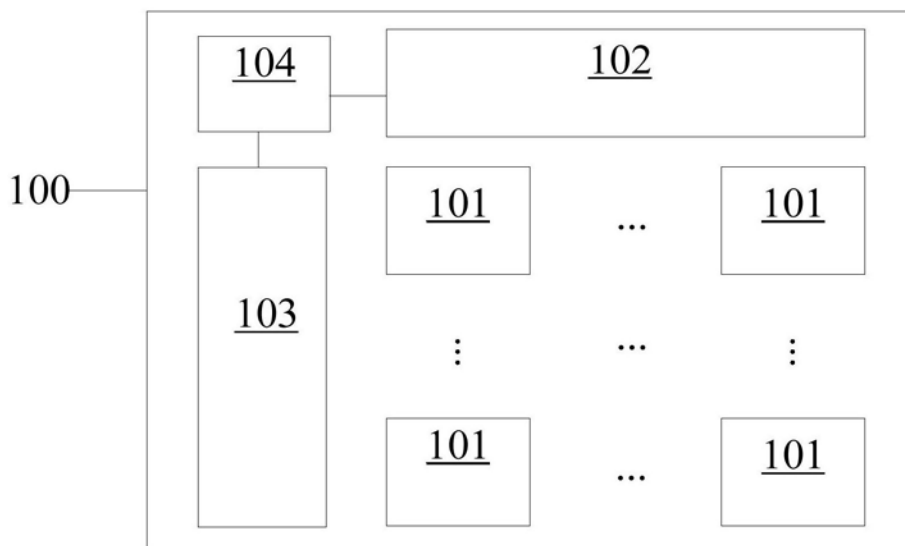


图12

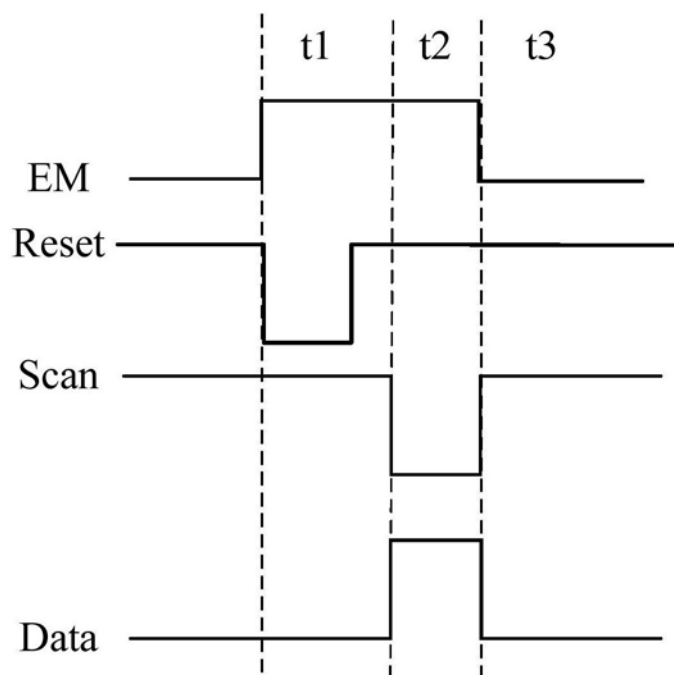


图13

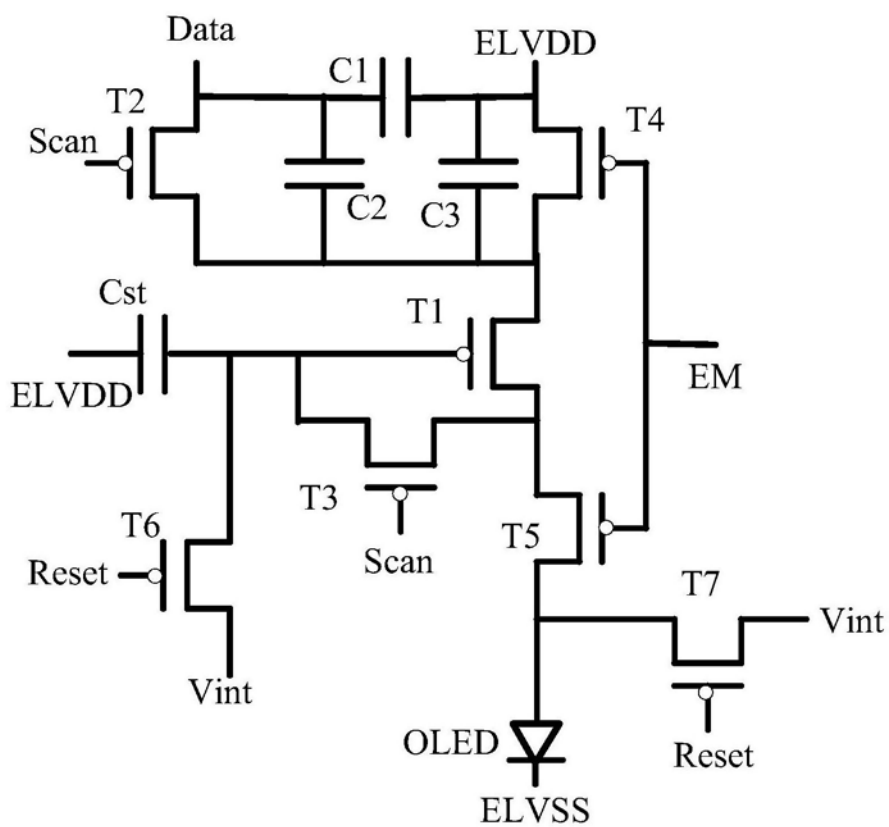


图14

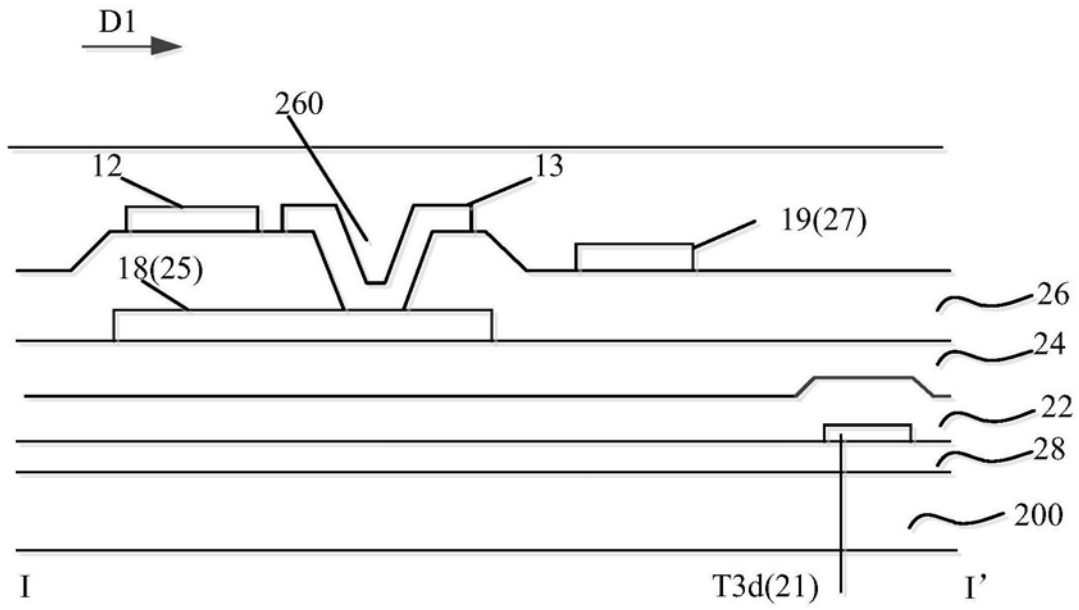


图16

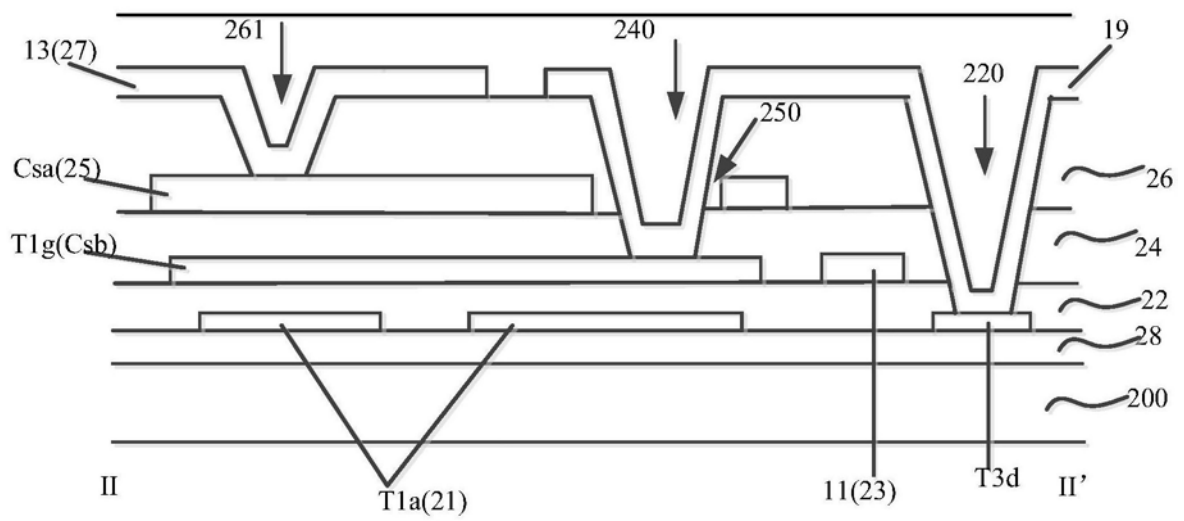


图17

专利名称(译)	显示面板及显示装置		
公开(公告)号	CN208173203U	公开(公告)日	2018-11-30
申请号	CN201820812831.2	申请日	2018-05-29
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	许晨 郝学光 先建波 乔勇 吴新银		
发明人	许晨 郝学光 先建波 乔勇 吴新银		
IPC分类号	G09G3/3208 H01L27/32		
CPC分类号	G09G3/3208 H01L27/32		
代理人(译)	焦玉恒		
外部链接	Espacenet SIPO		

摘要(译)

提供一种显示面板及显示装置。该显示面板包括：基板、多个像素单元、功能信号线和第一导电结构。基板包括显示区和位于所述显示区至少一侧的周边区。多个像素单元位于所述显示区，每个像素单元包括发光单元和为所述发光单元提供驱动电流的像素电路结构，所述发光单元为电致发光元件。功能信号线与每个像素单元的像素电路结构连接并为所述像素电路结构提供公共电压信号。第一导电结构，与所述功能信号线并联，且与所述功能信号线位于不同的层。该显示面板可提高显示均匀性以及分辨率，从而提高显示面板的显示品质。

