



(12)发明专利申请

(10)申请公布号 CN 110875014 A

(43)申请公布日 2020.03.10

(21)申请号 201811002690.9

(22)申请日 2018.08.30

(71)申请人 上海和辉光电有限公司

地址 201506 上海市金山区九工路1568号

(72)发明人 周兴雨

(74)专利代理机构 北京品源专利代理有限公司

11332

代理人 孟金喆

(51)Int.Cl.

G09G 3/3266(2016.01)

G09G 3/3233(2016.01)

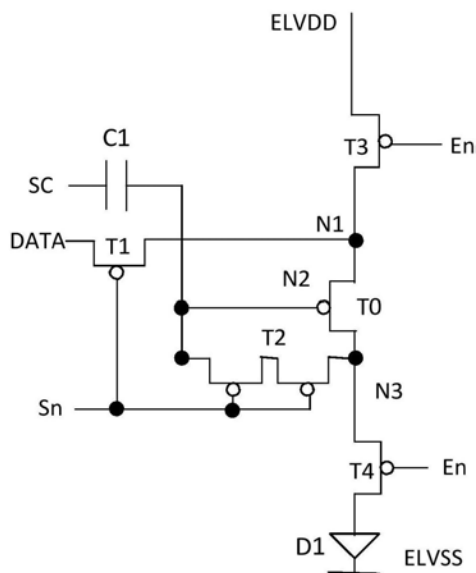
权利要求书3页 说明书9页 附图6页

(54)发明名称

一种像素电路及其驱动方法和显示面板

(57)摘要

本发明公开了一种像素电路及其驱动方法和显示面板,该像素电路包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、驱动晶体管、第一电容器和有机发光元件;第一晶体管的控制端与像素电路的扫描信号输入端电连接;第一电容器的第一极与像素电路的控制信号输入端电连接,第一电容器的第二极与驱动晶体管的控制端电连接;第二晶体管的控制端与扫描信号输入端电连接;第三晶体管的控制端与像素电路的发光控制信号输入端电连接;第四晶体管的第一端与驱动晶体管的第二端电连接,第四晶体管的第二端与发光元件的阳极电连接,该像素电路可以减少晶体管数量以及信号线的数量,进而缩小像素电路的面积,有利于布线,提高像素密度。



1. 一种像素电路,其特征在于,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、驱动晶体管、第一电容器和有机发光元件;

所述第一晶体管的控制端与所述像素电路的扫描信号输入端电连接,所述第一晶体管的第一端与所述像素电路的数据信号输入端电连接,所述第一晶体管的第二端与所述驱动晶体管的第一端电连接;

所述第一电容器的第一极与所述像素电路的控制信号输入端电连接,所述第一电容器的第二极与所述驱动晶体管的控制端电连接;

所述第二晶体管的控制端与所述扫描信号输入端电连接,所述第二晶体管的第一端与所述第一电容器的第二极电连接,所述第二晶体管的第二端与所述驱动晶体管的第二端电连接;

所述第三晶体管的第一端与所述像素电路的第一电平信号输入端电连接,所述第三晶体管的第二端与所述驱动晶体管的第一端电连接,所述第三晶体管的控制端与所述像素电路的发光控制信号输入端电连接;

所述第四晶体管的第一端与所述驱动晶体管的第二端电连接,所述第四晶体管的第二端与所述发光元件的阳极电连接,所述发光元件的阴极连接至所述像素电路的第二电平信号输入端。

2. 根据权利要求1所述的像素电路,其特征在于,还包括第五晶体管,所述第五晶体管的第一端与所述第一晶体管的第二端电连接,所述第五晶体管的控制端与所述驱动晶体管的控制端电连接,所述第五晶体管的第二端与所述驱动晶体管的第二端电连接。

3. 根据权利要求1或2所述的像素电路,其特征在于,还包括第六晶体管,所述第一晶体管的第二端通过所述第六晶体管电连接所述驱动晶体管的第一端,其中,所述第六晶体管的第一端与所述第一晶体管的第二端电连接,所述第六晶体管的第二端与所述驱动晶体管的第一端电连接,所述第六晶体管的控制端与所述驱动晶体管的控制端电连接。

4. 根据权利要求2所述的像素电路,其特征在于,所述第五晶体管的宽长比大于所述驱动晶体管的宽长比。

5. 根据权利要求1所述的像素电路,其特征在于,在显示的一帧内,所述扫描信号输入端输入的信号包括两个脉冲信号。

6. 根据权利要求5所述的像素电路,其特征在于,所述控制信号输入端输入的信号包括脉冲信号,所述发光控制信号输入端输入的信号包括脉冲信号;

在显示的一帧内,所述扫描信号输入端输入的前一个脉冲信号与所述控制信号输入端输入脉冲信号存在交叠,所述扫描信号输入端输入的后一个脉冲信号与所述发光控制信号输入端输入的脉冲信号存在交叠。

7. 根据权利要求6所述的像素电路,其特征在于,在所述扫描信号输入端输入所述前一个脉冲信号期间,所述数据信号输入端不输入数据信号。

8. 根据权利要求6所述的像素电路,其特征在于,在所述扫描信号输入端输入所述前一个脉冲信号期间,所述数据信号输入端输入接地电压信号或者负电压信号。

9. 一种显示面板,其特征在于,包括权利要求1-8任一项所述的像素电路。

10. 根据权利要求9所述的显示面板,其特征在于,所述第一电容器的第一极与所述显示面板上的扫描线、数据线、触控信号线或像素电极同层设置。

11. 一种如权利要求1所述的像素电路的驱动方法,其特征在于,包括:

第一初始化阶段,向所述控制信号输入端输入第一控制信号;向所述扫描信号输入端输入第二控制信号,以使所述第一晶体管和所述第二晶体管导通;向所述发光控制信号输入端输入第二控制信号,以使所述第三晶体管和所述第四晶体管导通,所述有机发光器件的阳极电位写入所述驱动晶体管第二端;

第二初始化阶段,向所述控制信号输入端输入第二控制信号,向所述扫描信号输入端输入第一控制信号,所述第一晶体管和所述第二晶体管截止;向所述发光控制信号输入端输入第一控制信号,所述第三晶体管和所述第四晶体管截止;

写入补偿阶段,向所述扫描信号输入端输入第二控制信号,所述第一晶体管和所述第二晶体管导通;向所述发光控制信号输入端输入第一控制信号,所述第三晶体管和所述第四晶体管截止,向所述数据信号输入端输入数据信号电压,所述数据信号电压通过导通的所述驱动晶体管和所述第二晶体管写入所述驱动晶体管的控制端,所述驱动晶体管的控制端和第一端电压差等于其阈值电压时,所述驱动晶体管截止;

发光阶段,向所述发光控制信号输入端输入第二控制信号,所述第三晶体管和所述第四晶体管导通,所述驱动晶体管驱动所述有机发光元件发光。

12. 一种如权利要求3所述的像素电路的驱动方法,其特征在于,包括:

第一初始化阶段,向所述控制信号输入端输入第一控制信号;向所述扫描信号输入端输入第二控制信号,所述第一晶体管和所述第二晶体管导通;向所述发光控制信号输入端输入第二控制信号,所述第三晶体管和所述第四晶体管导通,所述有机发光器件的阳极电位写入所述驱动晶体管第二端和所述第一晶体管第二端;

第二初始化阶段,向所述控制信号输入端输入第二控制信号,向所述扫描信号输入端输入第一控制信号,所述第一晶体管和所述第二晶体管截止;向所述发光控制信号输入端输入第二控制信号,所述第三晶体管和所述第四晶体管截止;

写入补偿阶段,向所述扫描信号输入端输入第二控制信号,所述第一晶体管和所述第二晶体管导通;向所述发光控制信号输入端输入第一控制信号,所述第三晶体管和所述第四晶体管截止,向所述数据信号输入端输入数据信号电压,所述数据信号电压通过导通的所述第一晶体管、所述第五晶体管和所述第二晶体管写入所述第五晶体管的控制端,所述第五晶体管的控制端和第一端电压差等于其阈值电压时,所述第五晶体管截止;

发光阶段,向所述发光控制信号输入端输入第二控制信号,所述第三晶体管和所述第四晶体管导通,所述驱动晶体管驱动所述有机发光元件发光。

13. 根据权利要求11或12所述的像素电路的驱动方法,其特征在于,在所述第一初始化阶段之前,还包括第三初始化阶段;所述第三初始化阶段内,向所述控制信号输入端输入第一控制信号,所述驱动晶体管截止;向所述扫描信号输入端输入第一控制信号,所述第一晶体管和所述第二晶体管截止;向所述发光控制信号输入端输入第二控制信号,所述第三晶体管和所述第四晶体管导通。

14. 根据权利要求11或12所述的像素电路的驱动方法,其特征在于,在所述第二初始化阶段之前,还包括第四初始化阶段;所述第四初始化阶段内,向所述控制信号输入端输入第一控制信号,向所述扫描信号输入端输入第一控制信号,向所述发光控制信号输入端输入第二控制信号。

15. 根据权利要求14所述的像素电路的驱动方法, 其特征在于, 在所述第四初始化阶段之后, 还包括第五初始化阶段; 所述第五初始化阶段内, 向所述控制信号输入端输入第一控制信号, 向所述扫描信号输入端输入第一控制信号, 向所述发光控制信号输入端输入第一控制信号。

16. 根据权利要求11或12所述的像素电路的控制方法, 其特征在于, 所述第一初始化阶段内, 所述数据信号输入端不输入数据信号, 或者所述数据信号输入端输入接地电压信号或负电压信号。

17. 根据权利要求11或12所述的像素电路的驱动方法, 其特征在于, 所述第一控制信号为高电平信号, 所述第二控制信号为低电平信号; 或者所述第一控制信号为低电平信号, 所述第二控制信号为高电平信号。

一种像素电路及其驱动方法和显示面板

技术领域

[0001] 本发明实施例涉及有机发光显示技术领域,尤其涉及一种像素电路及其驱动方法和显示面板。

背景技术

[0002] 相比于传统的液晶显示面板,有机发光显示面板具有反应速度快、对比度高以及视角广等特点,因此得到越来越广泛的应用。

[0003] 有机发光显示面板包括像素驱动电路,用来驱动有机发光器件发光,显示驱动电路通常由多个薄膜晶体管(Thin Film Transistor,TFT)和电容器组成;随着器件老化等原因,驱动晶体管的阈值电压会发生漂移,影响显示均匀性。为了对驱动晶体管的阈值电压进行补偿,现有像素驱动电路通常采用7T1C结构,薄膜晶体管数量较多,相应的,各种信号线的数目也大大增加。

[0004] 目前显示面板朝着高像素密度(Pixels Per Inch,PPI)的方向发展,像素尺寸越来越小,由于现有像素驱动电路包括薄膜晶体管和各种信号线的数目较多,不利于在小尺寸像素内的布局布线。

发明内容

[0005] 本发明提供一种像素电路及其驱动方法和显示面板,以实现减少像素电路中器件和信号线的数量,提高像素密度。

[0006] 第一方面,本发明实施例提供了一种像素电路,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、驱动晶体管、第一电容器和有机发光元件;

[0007] 第一晶体管的控制端与像素电路的扫描信号输入端电连接,第一晶体管的第一端与像素电路的数据信号输入端电连接,第一晶体管的第二端与驱动晶体管的第一端电连接;

[0008] 第一电容器的第一极与像素电路的控制信号输入端电连接,第一电容器的第二极与驱动晶体管的控制端电连接;

[0009] 第二晶体管的控制端与扫描信号输入端电连接,第二晶体管的第一端与第一电容器的第二极电连接,第二晶体管的第二端与驱动晶体管的第二端电连接;

[0010] 第三晶体管的第一端与像素电路的第一电平信号输入端电连接,第三晶体管的第二端与驱动晶体管的第一端电连接,第三晶体管的控制端与像素电路的发光控制信号输入端电连接;

[0011] 第四晶体管的第一端与驱动晶体管的第二端电连接,第四晶体管的第二端与发光元件的阳极电连接,发光元件的阴极连接至像素电路的第二电平信号输入端。

[0012] 第二方面,本发明实施例还提供了一种显示面板,包括上述第一方面提供的像素电路。

[0013] 第三方面,本发明实施例还提供了如第一方面提供的像素电路的驱动方法,包括:

[0014] 第一初始化阶段,向控制信号输入端输入第一控制信号;向扫描信号输入端输入第二控制信号,以使第一晶体管和第二晶体管导通;向发光控制信号输入端输入第二控制信号,以使第三晶体管和第四晶体管导通,有机发光器件的阳极电位写入驱动晶体管第二端;

[0015] 第二初始化阶段,向控制信号输入端输入第二控制信号,向扫描信号输入端输入第一控制信号,第一晶体管和第二晶体管截止;向发光控制信号输入端输入第一控制信号,第三晶体管和第四晶体管截止;

[0016] 写入补偿阶段,向扫描信号输入端输入第二控制信号,第一晶体管和第二晶体管导通;向发光控制信号输入端输入第一控制信号,第三晶体管和第四晶体管截止,向数据信号输入端输入数据信号电压,数据信号电压通过导通的驱动晶体管和第二晶体管写入驱动晶体管的控制端,驱动晶体管的控制端和第一端电压差等于其阈值电压时,驱动晶体管截止;

[0017] 发光阶段,向发光控制信号输入端输入第二控制信号,第三晶体管和第四晶体管导通,驱动晶体管驱动有机发光元件发光。

[0018] 本发明提供的像素电路,通过扫描信号控制两个晶体管,通过发光控制信号控制两个晶体管,相比于传统的7T1C像素电路结构,可以减少晶体管数量以及信号线的数量,进而缩小像素电路的面积,有利于布线,提高像素密度;并且实现了使发光二极管的电流与驱动晶体管的阈值电压无关,因此有效解决了晶体管阈值电压漂移导致的显示不均的问题。

附图说明

[0019] 图1为本发明实施例一提供的一种像素电路的结构示意图。

[0020] 图2是本发明实施例提供的一种像素电路工作过程的时序图

[0021] 图3是本发明实施例提供的另一种像素电路的结构示意图。

[0022] 图4是本发明实施例提供的第五晶体管、第六晶体管和驱动晶体管的结构示意图。

[0023] 图5是本发明实施例提供的像素电路的另一种工作时序图。

[0024] 图6是本发明实施例提供的一种显示面板的结构示意图。

[0025] 图7是本发明实施例提供的一种像素电路的驱动方法的流程图。

[0026] 图8是本发明实施例提供的另一种像素电路的驱动方法的流程图。

具体实施方式

[0027] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0028] 实施例一

[0029] 图1为本发明实施例一提供的一种像素电路的结构示意图,参考图1,该像素电路包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、驱动晶体管T0、第一电容器C1和有机发光元件D1;

[0030] 第一晶体管T1的控制端与像素电路的扫描信号输入端Sn电连接,第一晶体管T1的第一端与像素电路的数据信号输入端DATA电连接,第一晶体管T1的第二端与驱动晶体管T0

的第一端电连接；

[0031] 第一电容器C1的第一极与像素电路的控制信号输入端SC电连接，第一电容器C1的第二极与驱动晶体管T0的控制端电连接；

[0032] 第二晶体管T2的控制端与扫描信号输入端Sn电连接，第二晶体管T2的第一端与第一电容器C1的第二极电连接，第二晶体管T2的第二端与驱动晶体管T0的第二端电连接；

[0033] 第三晶体管T3的第一端与像素电路的第一电平信号输入端ELVDD电连接，第三晶体管T3的第二端与驱动晶体管T0的第一端电连接，第三晶体管T3的控制端与像素电路的发光控制信号输入端En电连接；

[0034] 第四晶体管T4的第一端与驱动晶体管T0的第二端电连接，第四晶体管T4的第二端与发光元件的阳极电连接，发光元件的阴极连接至像素电路的第二电平信号输入端ELVSS。

[0035] 其中，第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及驱动晶体管T0的控制端分别为栅极，第一端可以是晶体管的源极，第二端可以是晶体管的漏极，或者第一端可以是晶体管的漏极，第二端可以是晶体管的源极。

[0036] 参考图1，扫描信号输入端Sn用于接收扫描信号，控制信号输入端SC用于接收控制信号，发光控制信号输入端En用于接收数据信号输入端DATA用于接收发光控制信号，第一电平信号输入端ELVDD用于接收电源电压信号。具体的，扫描信号输入端Sn接收的扫描信号可以控制第一晶体管T1和第二晶体管T2的导通或者截止，发光控制信号输入端En接收的控制信号可以控制第三晶体管T3和第四晶体管T4的导通或截止。本实施例提供的像素电路，通过扫描信号控制两个晶体管，通过发光控制信号控制两个晶体管，相比于传统的7T1C像素电路结构，可以减少晶体管数量以及信号线的数量，进而缩小像素电路的面积，提高像素密度。

[0037] 图2是本发明实施例提供的一种像素电路工作过程的时序图，该时序图适用于图1所示的像素电路，该像素电路的工作过程包括：第一初始化阶段t1、第二初始化阶段t2、写入补偿阶段t3和发光阶段t4。本实施例提供的像素电路及其工作过程，以第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及驱动晶体管T0为P沟道晶体管为例进行介绍。参考图1和图2，在第一初始化阶段t1，控制信号输入端SC输入高电平信号，由于第一电容器C1的耦合作用，驱动晶体管T0的控制端的电位被拉高，使得驱动晶体管T0截止，有机发光元件D1不发光；扫描信号输入端Sn输入低电平，第一晶体管T1和第二晶体管T2导通，发光控制信号输入端En输入低电平，第三晶体管T3和第四晶体管T4导通，驱动晶体管T0的控制端也即第二节点N2的电位等于有机发光元件D1的阳极电位。

[0038] 在第二初始化阶段t2，控制信号输入端SC输入低电平信号，由于第一电容器C1的耦合作用，驱动晶体管T0的控制端N2的电位被拉低，使得驱动晶体管T0导通；扫描信号输入端Sn输入高电平信号，第一晶体管T1和第二晶体管T2截止；发光控制信号输入端En输入高电平信号，第三晶体管T3和第四晶体管T4截止，有机发光元件D1不发光。

[0039] 写入补偿阶段t3，扫描信号输入端Sn输入低电平信号，第一晶体管T1和第二晶体管T2导通，数据信号输入端DATA接收的数据信号电压通过第一晶体管T1、驱动晶体管T0和第二晶体管T2写入到驱动晶体管T0的控制端，第一电容器C1的第二端电位上拉至 $V_{data}-|V_{th}|$ (V_{data} 为数据信号输入端DATA的输入电压， V_{th} 为驱动晶体管T0的阈值电压)，驱动晶体管T0截止，完成数据信号写入和阈值补偿。

[0040] 发光阶段,发光控制信号输入端En输入低电平信号,第三晶体管T3和第四晶体管T4导通,驱动晶体管产生驱动电流,驱动电流通过第四晶体管T4流向有机发光元件D1,与第四晶体管T4连接的有机发光元件D1发光,此时根据发光二极管的电流计算公式,可得

[0041] $I = K(V_{SG} - |V_{th}|)^2 = K(V_S - V_G - |V_{th}|)^2 = (V_{ELVDD} - (V_{data} - |V_{th}|) - |V_{th}|)^2 = (V_{ELVDD} - V_{data})^2$,其中,I表示流过有机发光元件D1的电流,K为常数, V_{SG} 为驱动晶体管T0的第一端与控制端的电压差, V_S 为驱动晶体管T0的第一端的电压, V_G 为驱动晶体管T0的控制端的电压, V_{ELVDD} 为第一电平信号输入端ELVDD的输入电压。

[0042] 至此,完成一帧画面的扫描显示,直到下一个扫描信号低电平到来,开始第二帧画面的扫描显示。

[0043] 本实施例提供的像素电路的工作时序,实现了使发光二极管的电流与驱动晶体管的阈值电压无关,因此有效解决了晶体管阈值电压漂移导致的显示不均的问题。此外,本实施例提供的像素电路,通过扫描信号输入端输入的扫描信号同时控制第一晶体管和第三晶体管,通过发光控制信号同时控制第二晶体管和第四晶体管,减少了像素电路中控制信号线和晶体管的数量,减小了像素电路的面积,有利于布线,提高像素密度。

[0044] 图3是本发明实施例提供的另一种像素电路的结构示意图。参考图3,该像素电路还包括第五晶体管T5,第五晶体管T5的第一端与第一晶体管T1的第二端电连接,第五晶体管T5的控制端与驱动晶体管T0的控制端N2电连接,第五晶体管T5的第二端与驱动晶体管T0的第二端电连接。其中,第二晶体管可以为双栅晶体管。

[0045] 图2所提供的像素电路的工作时序同样适用于图3的像素电路。具体的,该像素电路的工作时序仍包括:第一初始化阶段t1、第二初始化阶段t2、写入补偿阶段t3和发光阶段t4。在第一初始化阶段t1,控制信号输入端SC输入高电平信号,由于第一电容器C1的耦合作用,驱动晶体管T0和第五晶体管T5的控制端的电位被拉高,使得驱动晶体管T0和第五晶体管T5截止,有机发光元件D1不发光;扫描信号输入端Sn输入低电平,第一晶体管T1和第二晶体管T2导通,发光控制信号输入端En输入低电平,第三晶体管T3和第四晶体管T4导通,驱动晶体管T0和第五晶体管T5的控制端的电位等于有机发光元件D1的阳极电位。

[0046] 在第二初始化阶段t2,控制信号输入端SC输入的信号由高电平跳变为低电平信号,由于第一电容器C1的耦合作用,驱动晶体管T0和第五晶体管T5的控制端的电位被拉低,使得驱动晶体管T0和第五晶体管T5导通;扫描信号输入端Sn输入高电平信号,第一晶体管T1和第二晶体管T2截止;发光控制信号输入端En输入高电平信号,第三晶体管T3和第四晶体管T4截止,有机发光元件D1不发光。

[0047] 写入补偿阶段t3,扫描信号输入端Sn输入低电平信号,第一晶体管T1和第二晶体管T2导通,数据信号输入端DATA接收的数据信号电压通过第一晶体管T1、第五晶体管T5和第二晶体管T2写入到第五晶体管T5的控制端,第一电容器C1的第二端电位上拉至 $V_{data} - |V_{th1}|$ (V_{th1} 为第五晶体管T5的阈值电压),第五晶体管T5截止,完成数据信号写入和阈值补偿。通过设置第五晶体管T5,可以通过第五晶体管T5进行阈值电压补偿,通过驱动晶体管T0对有机发光元件D1进行驱动,将现有驱动晶体管T0的补偿功能和驱动功能通过两个晶体管实现。

[0048] 可选的,第五晶体管T5的宽长比大于驱动晶体管T0的宽长比。具体的,第五晶体管T5的宽长比较大,可以使得数据电压写入到第五晶体管T5和驱动晶体管T0控制端N2点时的

电流较大,进而使得数据电压写入的速度更快,显示一帧的周期缩短,在相同时间内可将数据电压写入更多的像素,对于相同尺寸的显示装置内设置更多的像素也可完成驱动显示,有利于提高包括该像素电路的显示装置的分辨率。

[0049] 发光阶段 t_4 ,发光控制信号输入端 En 输入低电平信号,第三晶体管 T_3 和第四晶体管 T_4 导通,与第四晶体管 T_4 连接的有机发光元件 D_1 发光。

[0050] 至此,完成一帧画面的扫描显示,直到下一个扫描信号低电平到来,开始第二帧画面的扫描显示。

[0051] 图3所提供的像素电路,通过提供与驱动晶体管 T_0 共栅极的第五晶体管 T_5 ,第五晶体管 T_5 和驱动晶体管 T_0 分别实现阈值电压补偿功能和驱动功能,提高了数据电压写入驱动晶体管 T_0 和第五晶体管 T_5 的速度,提高了显示装置的分辨率。

[0052] 继续参考图3,该像素电路还包括第六晶体管 T_6 ,第一晶体管 T_1 的第二端通过第六晶体管 T_6 电连接驱动晶体管 T_0 的第一端,其中,第六晶体管 T_6 的第一端与第一晶体管 T_1 的第二端电连接,第六晶体管 T_6 的第二端与驱动晶体管 T_0 的第一端电连接,第六晶体管 T_6 的控制端与驱动晶体管 T_0 的控制端 N_2 电连接。

[0053] 图4是本发明实施例提供的第五晶体管 T_5 、第六晶体管 T_6 和驱动晶体管 T_0 的结构示意图。具体的,第五晶体管 T_5 、第六晶体管 T_6 可以包括共用部分100,第六晶体管 T_6 为形成第五晶体管 T_5 和驱动晶体管 T_0 的寄生晶体管,通过设置第五晶体管 T_5 、第六晶体管 T_6 和驱动晶体管 T_0 包括共用结构,可以使得第五晶体管 T_5 和第六晶体管 T_6 的沟道宽度一致,使第五晶体管 T_5 和第六晶体管 T_6 的电性更加接近,进而提高像素电路驱动的准确性和精确度。

[0054] 可选的,在显示的一帧内,扫描信号输入端 Sn 输入的信号包括两个脉冲信号。

[0055] 具体的,参考图2,在显示的一帧内,扫描信号输入端 Sn 输入的两个脉冲信号,其中,在第一初始化阶段 t_1 ,输入前一个脉冲信号,在该前一个脉冲信号的控制下,第一晶体管 T_1 和第二晶体管 T_2 导通,驱动晶体管 T_0 的控制端 N_2 的电位被初始化为有机发光元件 D_1 的阳极电位,使得有机发光元件 D_1 结束上一帧的发光状态。

[0056] 可选的,在扫描信号输入端 Sn 输入前一个脉冲信号期间,数据信号输入端 $DATA$ 不输入数据信号。具体的,在第一初始化阶段 t_1 ,即在扫描信号输入端 Sn 输入前一个脉冲信号期间,第一晶体管 T_1 和第二晶体管 T_2 导通,第三晶体管 T_3 和第四晶体管 T_4 导通,因数据信号输入端 $DATA$ 和第一电平信号输入端 $ELVDD$ 同时向像素电路输入电压会相互影响,具体地,一般不同像素电路的第一电平信号输入端 $ELVDD$ 是连接在一起,如果在此期间,数据信号输入端 $DATA$ 输入数据信号,会对其他像素电路造成影响,造成显示不良。故在扫描信号输入端 Sn 输入前一个脉冲信号期间(t_1 阶段),数据信号输入端 $DATA$ 不输入数据信号,以保证像素电路正常工作。

[0057] 可选的,在扫描信号输入端 Sn 输入前一个脉冲信号期间,数据信号输入端 $DATA$ 输入接地电压信号或者负电压信号。

[0058] 具体的,数据信号输入端 $DATA$ 输入接地电压信号或者负电压信号,可以保证数据信号输入端 $DATA$ 输入的数据电压处于无效状态,不会对第一电平信号输入端 $ELVDD$ 输入的电压造成影响,保证像素电路正常工作。

[0059] 在写入补偿阶段 t_3 ,发光控制信号输入端 En 输入后一个脉冲信号,数据信号输入端 $DATA$ 输入的数据信号处于有效状态,在该脉冲信号的控制下,第一晶体管 T_1 和第二晶体

管T2导通,数据信号输入端DATA输入的数据电压通过导通的第一晶体管T1驱动晶体管T0和第二晶体管T2写入到驱动晶体管T0的控制端N2。

[0060] 可选的,控制信号输入端SC输入的信号包括脉冲信号,发光控制信号输入端En输入的信号包括脉冲信号;

[0061] 在显示的一帧内,扫描信号输入端Sn输入的前一个脉冲信号与控制信号输入端SC输入脉冲信号存在交叠,扫描信号输入端Sn输入的后一个脉冲信号与发光控制信号输入端En输入的脉冲信号存在交叠。

[0062] 具体的,扫描信号输入端Sn输入前一个脉冲信号时,第一晶体管T1和第二晶体管T2在该脉冲信号的控制下导通,同时控制信号输入脉冲信号,在第一电容器C1的耦合作用下,驱动晶体管T0的控制端N2的电位升高,驱动晶体管T0截止,实现对驱动晶体管T0的重置。当像素电路中第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4和驱动晶体管T0为P型晶体管时,扫描信号输入端Sn输入的脉冲信号为低电平信号,控制信号输入端SC输入的脉冲信号为高电平信号。

[0063] 扫描信号输入端Sn输入后一个脉冲信号时,第一晶体管T1和第二晶体管T2在该买中信号的控制下导通,同时发光控制信号输入端En输入脉冲信号,使第三晶体管T3和第四晶体管T4截止,数据信号写入到驱动晶体管T0的控制端N2。当像素电路中第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4和驱动晶体管T0为P型晶体管时,扫描信号输入端Sn输入的脉冲信号为低电平信号,发光控制信号输入端En输入的脉冲信号为高电平信号。通过设置扫描信号输入端Sn在一帧内输入两个脉冲信号,其中前一个脉冲信号用于初始化驱动晶体管T0,后一个脉冲信号用于控制数据信号的写入和阈值电压补偿,可以减少输入像素电路的信号的数量,进而减少信号线的数量,提高像素密度。

[0064] 图5是本发明实施例提供的像素电路的另一种工作时序图。该工作时序图适用于图2和图3所示的像素电路,以下实施例仍以第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及驱动晶体管T0为P沟道晶体管为例进行介绍。参考图5、图2和图3,可选的,在第一初始化阶段t1之前,还包括第三初始化阶段t5;第三初始化阶段t5内,向控制信号输入端SC输入高电平信号,由于电容器的耦合作用,驱动晶体管T0的控制端N2的电位上拉,驱动晶体管T0截止,结束有机发光元件D1在上一帧的发光状态。像素电路的工作时序中设置第三初始化阶段t5,可以使得有机发光元件D1在第三初始化阶段t5内被关断,避免直接进入第一初始化阶段t1,控制信号输入端SC的输入信号和发光信号输入端的输入信号同时跳变可能带来的有机发光元件D1一瞬间的发光后再熄灭的情况,使显示效果更加良好,保护有机发光显示元件。

[0065] 继续参考图5,可选的,在第二初始化阶段t2之前,还包括第四初始化阶段t6;第四初始化阶段t6内,向控制信号输入端SC输入高电平信号,向扫描信号输入端Sn输入高电平信号,向发光控制信号输入端En输入低电平信号,由于电容器的作用,驱动晶体管T0的控制端N2的电位保持为第一初始化阶段t1时的有机发光元件D1的阳极电位。

[0066] 继续参考图5,在第四初始化阶段t6之后,还包括第五初始化阶段t7;第五初始化阶段t7内,向控制信号输入端SC输入高电平信号,向扫描信号输入端Sn输入第高电平信号,向发光控制信号输入端En输入高电平信号,驱动晶体管T0的控制端N2的电位继续保持为第一初始化阶段t1时的有机发光元件D1的阳极电位。

[0067] 可选的,在写入补偿阶段t3和发光阶段t4之间,还包括保持阶段t8,在该阶段,扫描信号输入端Sn输入高电平信号,控制信号输入端SC输入低电平信号,发光控制信号输入端En输入高电平信号,像素电路中第一晶体管T1、第二晶体管T2、第三晶体管T3和第四晶体管T4都处于截止状态,驱动晶体管T0的控制端N2电位与写入补偿阶段t3时电位相同。

[0068] 本发明实施例还提供了一种显示面板,包括本发明任意实施例提供的像素电路。图6是本发明实施例提供的一种显示面板的结构示意图。参考图6,该显示面板包括数据信号控制驱动单元110,其通过多条数据线与各像素电路的数据信号输入端电连接,用于为提供数据信号;扫描控制驱动单元120,其通过多条信号线与各个像素的像素电路的扫描信号输入端电连接,用于提供扫描信号;控制驱动单元130,其通过多条信号线与各个像素电路的控制信号输入端电连接,用于提供控制信号;发光控制驱动单元140,其通过多条信号线与各个像素的像素电路的发光控制信号输入端电连接,用于提供发光控制信号。

[0069] 可选的,第一电容器的第一极与显示面板上的扫描线、数据线、触控信号线或像素电极同层设置。具体的,第一电容器的一个极板可以是金属走线的一部分,即第一电容器的一个极板可以共用金属走线的一部分而形成,进而不增加平面空间,不会增加像素电路的占用面积,使得每个像素电路的面积较小,有利于提高像素密度。

[0070] 图7是本发明实施例提供的一种像素电路的驱动方法的流程图。该像素电路的驱动方法可用于驱动图1所示的像素电路,该驱动方法中,控制信号输入端SC输入的信号可以由上述显示面板中的控制驱动单元130提供;扫描信号输入端输入的信号可以由上述显示面板中扫描控制驱动单元120提供;发光控制信号输入端En输入的信号可以由上述显示面板中的发光控制驱动单元110提供,该像素电路的驱动方法包括:

[0071] S110、第一初始化阶段t1,向控制信号输入端SC输入第一控制信号;向扫描信号输入端Sn输入第二控制信号,以使第一晶体管T1和第二晶体管T2导通;向发光控制信号输入端En输入第二控制信号,以使第三晶体管T3和第四晶体管T4导通,有机发光器件的阳极电位写入驱动晶体管T0第二端;

[0072] S120、第二初始化阶段t2,向控制信号输入端SC输入第二控制信号,向扫描信号输入端Sn输入第一控制信号,第一晶体管T1和第二晶体管T2截止;向发光控制信号输入端En输入第一控制信号,第三晶体管T3和第四晶体管T4截止;

[0073] S130、写入补偿阶段t3,向扫描信号输入端Sn输入第二控制信号,第一晶体管T1和第二晶体管T2导通;向发光控制信号输入端En输入第一控制信号,第三晶体管T3和第四晶体管T4截止,向数据信号输入端DATA输入数据信号电压,数据信号电压通过导通的驱动晶体管T0和第二晶体管T2写入驱动晶体管T0的控制端N2,驱动晶体管T0的控制端N2和第一端电压差等于其阈值电压时,驱动晶体管T0截止;

[0074] S140、发光阶段t4,向发光控制信号输入端En输入第二控制信号,第三晶体管T3和第四晶体管T4导通,驱动晶体管T0驱动有机发光元件D1发光。

[0075] 上述像素电路的驱动放大,实现了使发光二极管的电流与驱动晶体管T0的阈值电压无关,因此有效解决了晶体管阈值电压漂移导致的显示不均的问题。此外,该像素电路的驱动方法,通过扫描信号输入端Sn输入的扫描信号同时控制第一晶体管T1和第二晶体管T2,通过发光控制信号同时控制第三晶体管T3和第四晶体管T4,减少了像素电路中控制信号线和晶体管的数量,减小了像素电路的面积,有利于布线,提高像素密度。

[0076] 图8是本发明实施例提供的另一种像素电路的驱动方法的流程图。该像素电路的驱动方法可用于驱动图3所示的像素电路,该像素电路的驱动方法包括:

[0077] S210、第一初始化阶段t1,向控制信号输入端SC输入第一控制信号;向扫描信号输入端Sn输入第二控制信号,第一晶体管T1和第二晶体管T2导通;向发光控制信号输入端En输入第二控制信号,第三晶体管T3和第四晶体管T4导通,有机发光器件的阳极电位写入驱动晶体管T0第二端和第一晶体管T1第二端;

[0078] S220、第二初始化阶段t2,向控制信号输入端SC输入第二控制信号,向扫描信号输入端Sn输入第一控制信号,第一晶体管T1和第二晶体管T2截止;向发光控制信号输入端En输入第二控制信号,第三晶体管T3和第四晶体管T4截止;

[0079] S230、写入补偿阶段t3,向扫描信号输入端Sn输入第二控制信号,第一晶体管T1和第二晶体管T2导通;向发光控制信号输入端En输入第一控制信号,第三晶体管T3和第四晶体管T4截止,向数据信号输入端DATA输入数据信号电压,数据信号电压通过导通的第一晶体管T1、第五晶体管T5和第二晶体管T2写入第五晶体管T5的控制端,第五晶体管T5的控制端和第一端电压差等于其阈值电压时,第五晶体管T5截止;

[0080] S240、发光阶段t4,向发光控制信号输入端En输入第二控制信号,第三晶体管T3和第四晶体管T4导通,驱动晶体管T0驱动有机发光元件D1发光。

[0081] 上述方案提供的像素电路的控制方法,在减少晶体管和控制信号线数量的同时,使第五晶体管T5和第六晶体管的电性更加接近,进而提高像素电路驱动的准确性和精确度。

[0082] 可选的,在第一初始化阶段t1之前,还包括

[0083] 第三初始化阶段t5;第三初始化阶段t5内,向控制信号输入端SC输入第一控制信号,驱动晶体管T0截止;向扫描信号输入端Sn输入第一控制信号,第一晶体管T1和第二晶体管T2截止;向发光控制信号输入端En输入第二控制信号,第三晶体管T3和第四晶体管T4导通。

[0084] 可选的,在第二初始化阶段t2之前,还包括

[0085] 第四初始化阶段t6;第四初始化阶段t6内,向控制信号输入端SC输入第一控制信号,向扫描信号输入端Sn输入第一控制信号,向发光控制信号输入端En输入第二控制信号。

[0086] 可选的,在第四初始化阶段t6之后,还包括

[0087] 第五初始化阶段t7;第五初始化阶段t7内,向控制信号输入端SC输入第一控制信号,向扫描信号输入端Sn输入第一控制信号,向发光控制信号输入端En输入第一控制信号。

[0088] 可选的,第一初始化阶段t1内,数据信号输入端DATA不输入数据信号,或者数据信号输入端DATA输入接地电压信号或负电压信号。

[0089] 可选的,第一控制信号为高电平信号,第二控制信号为低电平信号;或者第一控制信号为低电平信号,第二控制信号为高电平信号。

[0090] 具体的,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及驱动晶体管T0为P沟道晶体管时,第一控制信号为高电平信号,第二控制信号为低电平信号;第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及驱动晶体管T0为N沟道晶体管时,第一控制信号为低电平信号,第二控制信号为高电平信号。

[0091] 上述方案提供的像素电路的驱动方法,进一步包括第三初始化阶段t5,可以使得

有机发光元件D1在第三初始化阶段t5内被关断,避免直接进入第一初始化阶段t1,控制信号输入端SC的输入信号和发光信号输入端的输入信号同时跳变可能带来的有机发光元件D1一瞬间的发光后再熄灭的情况,使显示效果更加良好,保护有机发光显示元件。并且,在第一初始化阶段t1内,使数据信号输入端DATA输入的信号处于无效状态,使数据信号输入端DATA和第一电平信号输入端ELVDD不同时向像素电路中输入有效电压,保证像素电路工作的可靠性和准确性。

[0092] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

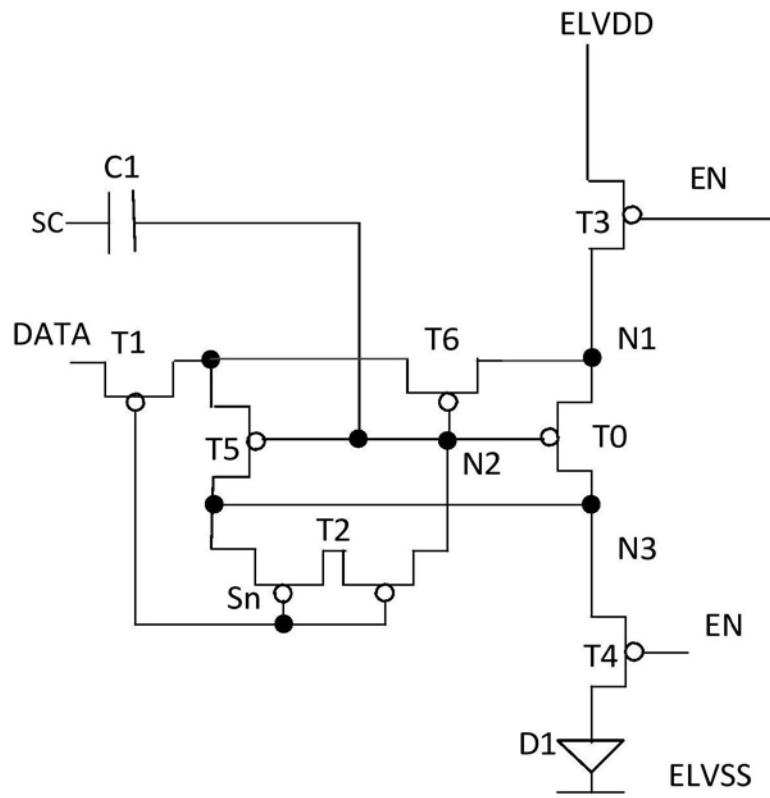


图3

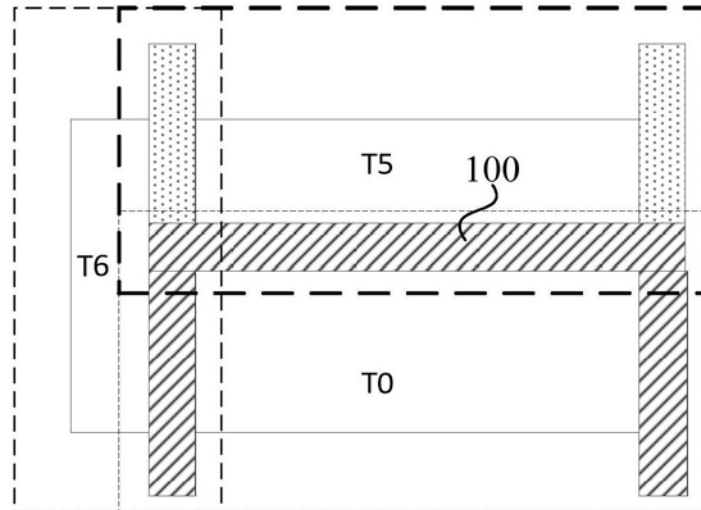


图4

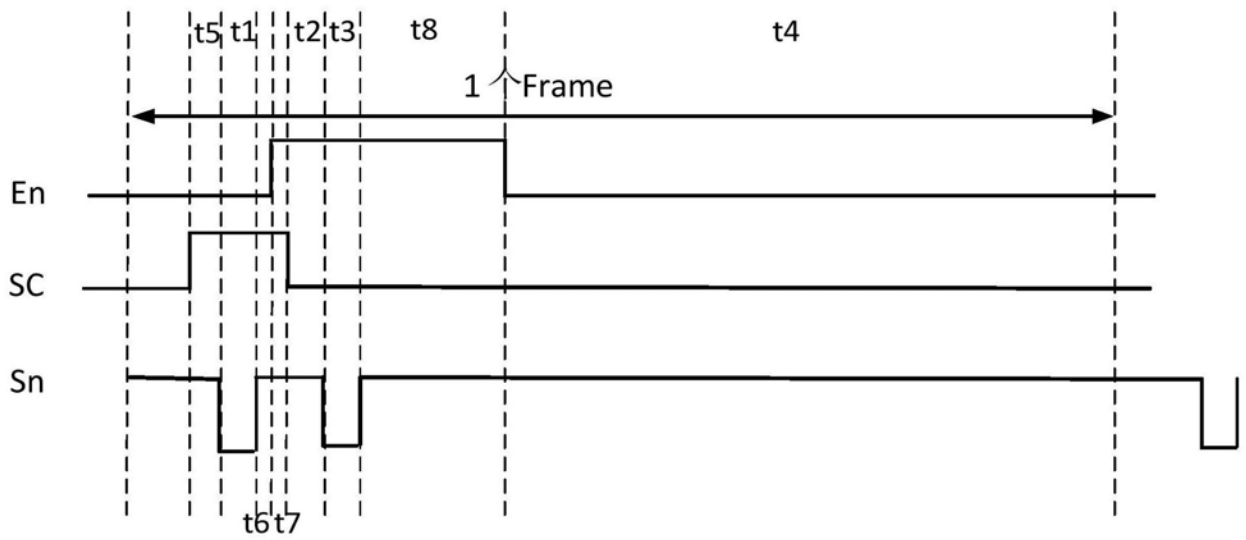


图5

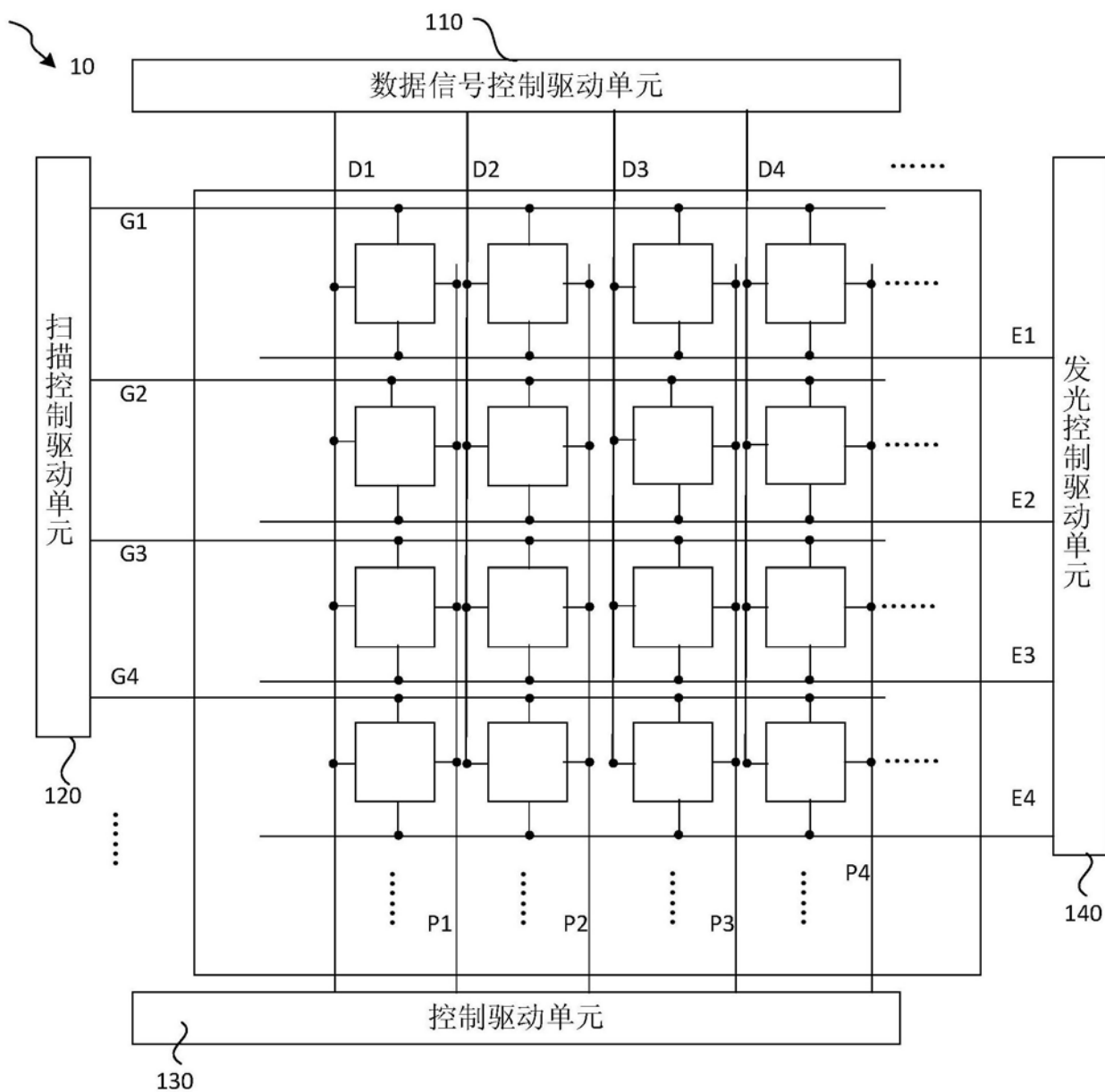


图6

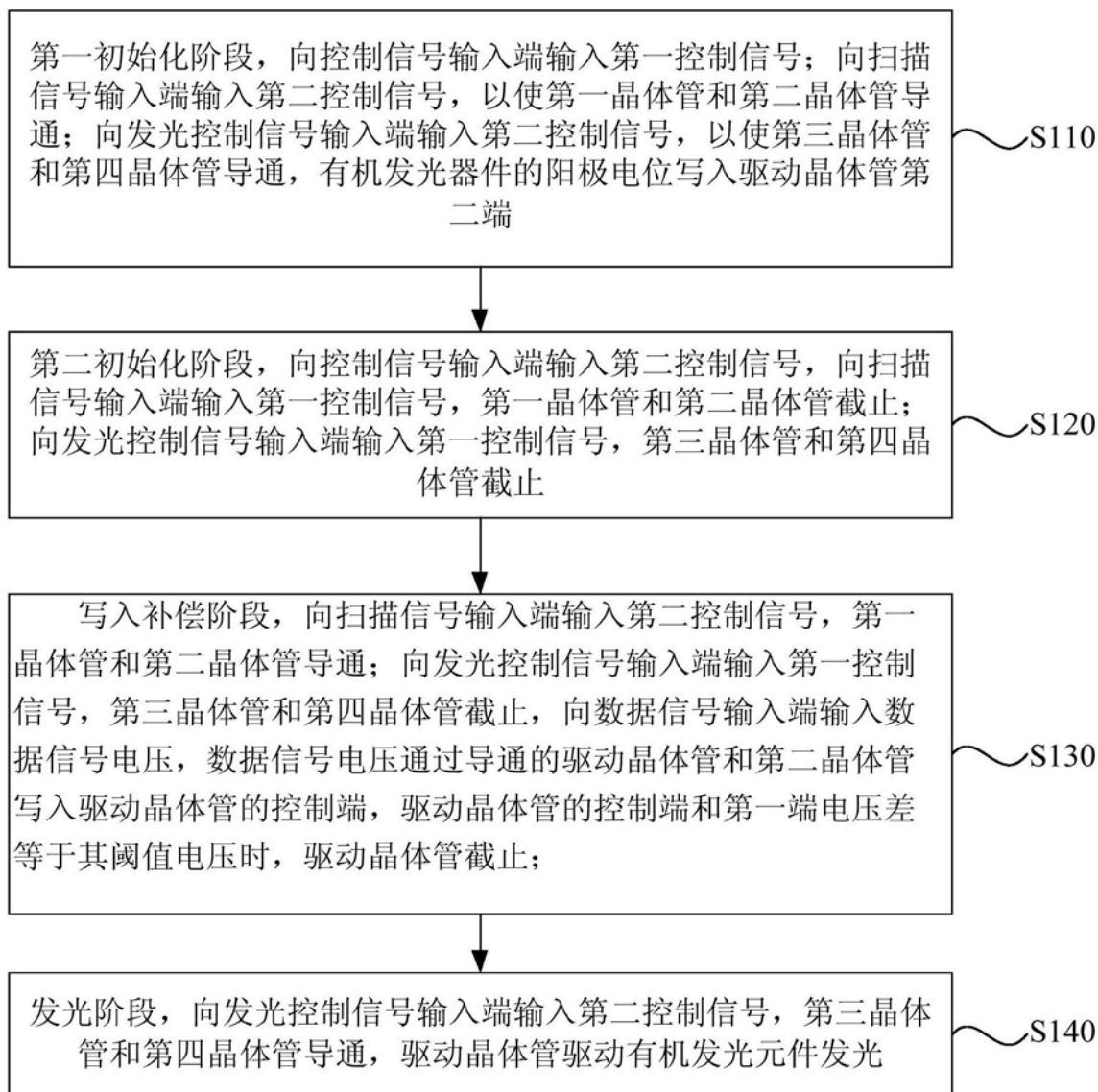


图7

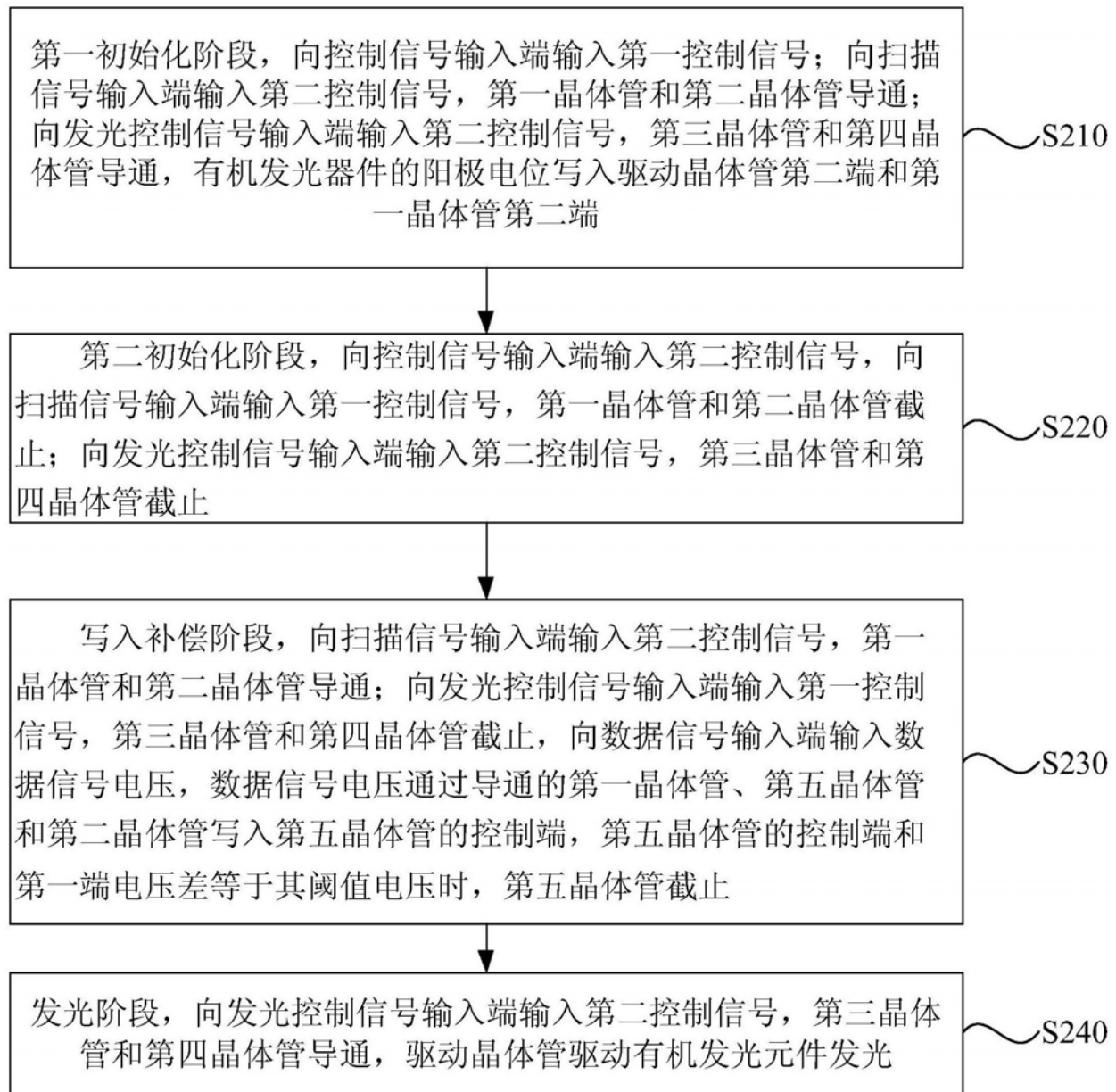


图8

专利名称(译)	一种像素电路及其驱动方法和显示面板		
公开(公告)号	CN110875014A	公开(公告)日	2020-03-10
申请号	CN201811002690.9	申请日	2018-08-30
[标]申请(专利权)人(译)	上海和辉光电有限公司		
申请(专利权)人(译)	上海和辉光电有限公司		
当前申请(专利权)人(译)	上海和辉光电有限公司		
[标]发明人	周兴雨		
发明人	周兴雨		
IPC分类号	G09G3/3266 G09G3/3233		
CPC分类号	G09G3/3233 G09G3/3266 G09G2320/0233		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路及其驱动方法和显示面板，该像素电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、驱动晶体管、第一电容器和有机发光元件；第一晶体管的控制端与像素电路的扫描信号输入端电连接；第一电容器的第一极与像素电路的控制信号输入端电连接，第一电容器的第二极与驱动晶体管的控制端电连接；第二晶体管的控制端与扫描信号输入端电连接；第三晶体管的控制端与像素电路的发光控制信号输入端电连接；第四晶体管的第一端与驱动晶体管的第二端电连接，第四晶体管的第二端与发光元件的阳极电连接，该像素电路可以减少晶体管数量以及信号线的数量，进而缩小像素电路的面积，有利于布线，提高像素密度。

