



(12) 发明专利申请

(10) 申请公布号 CN 103000126 A

(43) 申请公布日 2013. 03. 27

(21) 申请号 201210322351. 5

(22) 申请日 2012. 09. 04

(30) 优先权数据

100133558 2011. 09. 19 TW

101126310 2012. 07. 20 TW

(71) 申请人 胜华科技股份有限公司

地址 中国台湾台中市潭子区建国路 10 号

(72) 发明人 廖文堆 王文俊 韩西容 黄志鸿

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 臧建明

(51) Int. Cl.

G09G 3/32 (2006. 01)

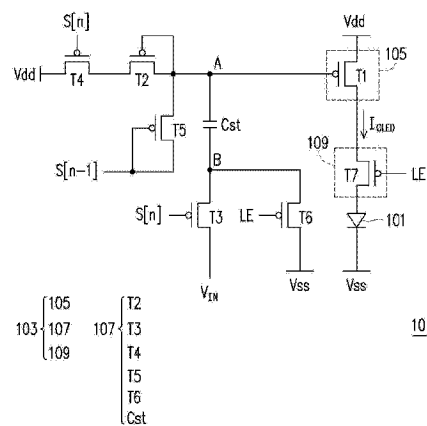
权利要求书 5 页 说明书 11 页 附图 3 页

(54) 发明名称

发光元件驱动电路及其相关的像素电路与应用

(57) 摘要

本发明提供一种发光元件驱动电路及其相关的像素电路与应用。该像素电路结构 (7T1C 或 5T1C) 在搭配适当的操作波形下, 可以使得流经有机发光二极管的电流不会随着电源电压 (Vdd) 受到电流电阻电压降 (IR Drop) 的影响而改变 (或者, 受电源电压 (Vdd) 的影响的程度得以被减轻), 而且也不会随着用以驱动有机发光二极管的薄膜晶体管的临界电压漂移 (Vth shift) 而有所不同。如此一来, 将可大大地提升所应用的有机发光二极管显示器的亮度均匀性。



1. 一种发光元件驱动电路,其特征在于,包括:

一驱动单元,耦接于一电源电压与一发光元件之间,且包含一驱动晶体管,用以在一发光阶段,控制流经该发光元件的一驱动电流;

一数据存储单元,耦接该驱动单元,且包含一漂移补偿晶体管以及耦接于该驱动晶体管与一参考电位之间的一储存电容,用以在一数据写入阶段,通过该储存电容以对一数据电压与关联于该漂移补偿晶体管的临界电压进行储存;以及

一发光控制单元,耦接于该驱动单元与该发光元件之间,用以在该发光阶段,传导来自该驱动单元的该驱动电流到该发光元件,

其中,在该发光阶段,该驱动单元反应于该储存电容的跨压而产生流经该发光元件的该驱动电流,且该驱动电流反应于该漂移补偿晶体管的临界电压的储存而不受该驱动晶体管的临界电压的影响。

2. 根据权利要求1所述的发光元件驱动电路,其特征在于,该数据存储单元还用以在该数据写入阶段,通过该储存电容来对该电源电压进行储存;

其中,在该发光阶段,反应于该电源电压的储存,该驱动电流还不受该电源电压的影响。

3. 根据权利要求2所述的发光元件驱动电路,其特征在于,该驱动晶体管的栅极耦接该储存电容的第一端以及该漂移补偿晶体管的栅极与源极,而该驱动晶体管的源极则耦接至该电源电压;

其中,该数据存储单元还包括:

一写入晶体管,其栅极用以接收一写入扫描信号,其源极用以接收该数据电压,而其漏极则耦接至该储存电容的第二端;

一传输晶体管,其栅极用以接收该写入扫描信号,其源极耦接至该电源电压,而其漏极则耦接至该漂移补偿晶体管的漏极;以及

一耦合晶体管,其栅极用以接收一发光致能信号,其源极耦接该储存电容的第二端,而其漏极则耦接至该参考电位;

其中,该数据存储单元还用以在一复位阶段,反应于一复位扫描信号而初始化该储存电容的第一端电压,且该数据存储单元还包括:

一复位晶体管,其栅极与源极耦接在一起以接收该复位扫描信号,而其漏极则耦接至该储存电容的第一端。

4. 根据权利要求3所述的发光元件驱动电路,其特征在于,该发光控制单元包括:

一发光控制晶体管,其栅极用以接收该发光致能信号,而其源极则耦接至该驱动晶体管的漏极;

其中,该发光元件的第一端耦接该发光控制晶体管的漏极,而该发光元件的第二端则耦接至该参考电位;

其中,该驱动晶体管、该漂移补偿晶体管、该写入晶体管、该复位晶体管、该传输晶体管、该耦合晶体管,以及该发光控制晶体管皆为P型晶体管;

其中,该发光元件为一有机发光二极管,且该发光元件的第一端为该有机发光二极管的阳极,而该发光元件的第二端为该有机发光二极管的阴极。

5. 根据权利要求4所述的发光元件驱动电路,其特征在于,该发光元件驱动电路为一

有机发光二极管驱动电路,且该有机发光二极管驱动电路先后进入该复位阶段、该数据写入阶段以及该发光阶段;

其中,在该复位阶段,该复位扫描信号为致能,而该写入扫描信号与该发光致能信号为禁能;

其中,在该数据写入阶段,该写入扫描信号为致能,而该复位扫描信号与该发光致能信号为禁能;

其中,在该发光阶段,该发光致能信号为致能,而该复位扫描信号与该写入扫描信号为禁能。

6. 根据权利要求 1 所述的发光元件驱动电路,其特征在于,在该发光阶段,反应于与该电源电压相关联的该数据电压,该驱动电流受该电源电压的影响的程度得以被减轻。

7. 根据权利要求 6 所述的发光元件驱动电路,其特征在于,该驱动晶体管的栅极耦接该储存电容的第一端以及该漂移补偿晶体管的栅极与源极,该驱动晶体管的源极耦接至该电源电压,而该储存电容的第二端则耦接至该参考电位;

其中,该数据存储单元还包括:

一写入晶体管,其栅极用以接收一写入扫描信号,其源极用以接收该数据电压,而其漏极则耦接至该漂移补偿晶体管的漏极;

其中,该数据存储单元还用以在一复位阶段,反应于一复位扫描信号而初始化该储存电容的第一端电压,且该数据存储单元还包括:

一复位晶体管,其栅极与源极耦接在一起以接收该复位扫描信号,而其漏极则耦接至该储存电容的第一端。

8. 根据权利要求 7 所述的发光元件驱动电路,其特征在于,该发光控制单元包括:

一发光控制晶体管,其栅极用以接收一发光致能信号,而其源极则耦接至该驱动晶体管的漏极;

其中,该发光元件的第一端耦接该发光控制晶体管的漏极,而该发光元件的第二端则耦接至该参考电位;

其中,该驱动晶体管、该漂移补偿晶体管、该写入晶体管、该复位晶体管,以及该发光控制晶体管皆为 P 型晶体管;

其中,该发光元件为一有机发光二极管,且该发光元件的第一端为该有机发光二极管的阳极,而该发光元件的第二端为该有机发光二极管的阴极。

9. 根据权利要求 8 所述的发光元件驱动电路,其特征在于,该发光元件驱动电路为一有机发光二极管驱动电路,且该有机发光二极管驱动电路先后进入该复位阶段、该数据写入阶段以及该发光阶段;

其中,在该复位阶段,该复位扫描信号为致能,而该写入扫描信号与该发光致能信号为禁能;

其中,在该数据写入阶段,该写入扫描信号为致能,而该复位扫描信号与该发光致能信号为禁能;

其中,在该发光阶段,该发光致能信号为致能,而该复位扫描信号与该写入扫描信号为禁能。

10. 一种像素电路,其特征在于,包括:

一发光元件,用以在一发光阶段,反应在一驱动电流而发光;

一驱动单元,耦接于一电源电压与该发光元件之间,且包含一驱动晶体管,用以在该发光阶段,控制流经该发光元件的该驱动电流;

一数据存储单元,耦接该驱动单元,且包含一漂移补偿晶体管以及耦接于该驱动晶体管与一参考电位之间的一储存电容,用以在一数据写入阶段,通过该储存电容以对一数据电压与关联于该漂移补偿晶体管的临界电压进行储存;以及

一发光控制单元,耦接于该驱动单元与该发光元件之间,用以在该发光阶段,传导来自该驱动单元的该驱动电流至该发光元件;

其中,在该发光阶段,该驱动单元反应于该储存电容的跨压而产生流经该发光元件的该驱动电流,且该驱动电流反应在该漂移补偿晶体管的临界电压的储存而不受该驱动晶体管的临界电压的影响。

11. 根据权利要求 10 所述的像素电路,其特征在于,该数据存储单元还用以在该数据写入阶段,通过该储存电容以对该电源电压进行储存;

其中,在该发光阶段,反应于该电源电压的储存,该驱动电流还不受该电源电压的影响。

12. 根据权利要求 11 所述的像素电路,其特征在于,该驱动晶体管的栅极耦接该储存电容的第一端以及该漂移补偿晶体管的栅极与源极,而该驱动晶体管的源极则耦接至该电源电压;

其中,该数据存储单元还包括:

一写入晶体管,其栅极用以接收一写入扫描信号,其源极用以接收该数据电压,而其漏极则耦接至该储存电容的第二端;

一传输晶体管,其栅极用以接收该写入扫描信号,其源极耦接至该电源电压,而其漏极则耦接至该漂移补偿晶体管的漏极;以及

一耦合晶体管,其栅极用以接收一发光致能信号,其源极耦接该储存电容的第二端,而其漏极则耦接至该参考电位;

其中,该数据存储单元还用以在一复位阶段,反应于一复位扫描信号而初始化该储存电容的第一端电压,且该数据存储单元还包括:

一复位晶体管,其栅极与源极耦接在一起以接收该复位扫描信号,而其漏极则耦接至该储存电容的第一端。

13. 根据权利要求 12 所述的像素电路,其特征在于,该发光控制单元包括:

一发光控制晶体管,其栅极用以接收该发光致能信号,而其源极则耦接至该驱动晶体管的漏极;

其中,该发光元件的第一端耦接该发光控制晶体管的漏极,而该发光元件的第二端则耦接至该参考电位;

其中,该驱动晶体管、该漂移补偿晶体管、该写入晶体管、该复位晶体管、该传输晶体管、该耦合晶体管,以及该发光控制晶体管皆为 P 型晶体管;

其中,该发光元件为一有机发光二极管,且该发光元件的第一端为该有机发光二极管的阳极,而该发光元件的第二端为该有机发光二极管的阴极;

其中,该像素电路为一有机发光二极管像素电路;

其中,该驱动单元、该数据存储单元以及该发光控制单元组成一有机发光二极管驱动电路,且该有机发光二极管驱动电路先后进入该复位阶段、该数据写入阶段以及该发光阶段;

其中,在该复位阶段,该复位扫描信号为致能,而该写入扫描信号与该发光致能信号为禁能;

其中,在该数据写入阶段,该写入扫描信号为致能,而该复位扫描信号与该发光致能信号为禁能;

其中,在该发光阶段,该发光致能信号为致能,而该复位扫描信号与该写入扫描信号为禁能。

14. 根据权利要求 10 所述的像素电路,其特征在于,在该发光阶段,反应于与该电源电压相关联的该数据电压,该驱动电流受该电源电压的影响的程度得以被减轻。

15. 根据权利要求 14 所述的像素电路,其特征在于,该驱动晶体管的栅极耦接该储存电容的第一端以及该漂移补偿晶体管的栅极与源极,该驱动晶体管的源极耦接至该电源电压,而该储存电容的第二端则耦接至该参考电位;

其中,该数据存储单元还包括:

一写入晶体管,其栅极用以接收一写入扫描信号,其源极用以接收该数据电压,而其漏极则耦接至该漂移补偿晶体管的漏极;

其中,该数据存储单元还用以在一复位阶段,反应于一复位扫描信号而初始化该储存电容的第一端电压,且该数据存储单元还包括:

一复位晶体管,其栅极与源极耦接在一起以接收该复位扫描信号,而其漏极则耦接至该储存电容的第一端。

16. 根据权利要求 13 所述的像素电路,其特征在于,该发光控制单元包括:

一发光控制晶体管,其栅极用以接收一发光致能信号,而其源极则耦接至该驱动晶体管的漏极;

其中,该发光元件的第一端耦接该发光控制晶体管的漏极,而该发光元件的第二端则耦接至该参考电位;

其中,该驱动晶体管、该漂移补偿晶体管、该写入晶体管、该复位晶体管,以及该发光控制晶体管皆为 P 型晶体管;

其中该发光元件为一有机发光二极管,且该发光元件的第一端为该有机发光二极管的阳极,而该发光元件的第二端为该有机发光二极管的阴极;

其中,该像素电路为一有机发光二极管像素电路;

其中,该驱动单元、该数据存储单元以及该发光控制单元组成一有机发光二极管驱动电路,且该有机发光二极管驱动电路先后进入该复位阶段、该数据写入阶段以及该发光阶段;

其中,在该复位阶段,该复位扫描信号为致能,而该写入扫描信号与该发光致能信号为禁能;

其中,在该数据写入阶段,该写入扫描信号为致能,而该复位扫描信号与该发光致能信号为禁能;

其中,在该发光阶段,该发光致能信号为致能,而该复位扫描信号与该写入扫描信号为

禁能。

17. 一种具有根据权利要求 13 所述的像素电路的有机发光二极管显示面板。

18. 一种具有根据权利要求 17 所述的有机发光二极管显示面板的有机发光二极管显示器。

19. 一种具有根据权利要求 16 所述的像素电路的有机发光二极管显示面板。

20. 一种具有根据权利要求 19 所述的有机发光二极管显示面板的有机发光二极管显示器。

发光元件驱动电路及其相关的像素电路与应用

技术领域

[0001] 本发明是有关于一种平面显示技术,且特别是有关于一种具有自发光特性的发光元件(light-emitting component,例如有机发光二极管(OLED),但并不限制于此)驱动电路及其相关的像素电路与应用。

背景技术

[0002] 由于多媒体社会的急速进步,半导体元件及显示装置的技术也随之具有飞跃性的进步。就显示器而言,由于有源矩阵有机发光二极管(Active Matrix Organic Light Emitting Diode, AMOLED)显示器具有无视角限制、低制造成本、高应答速度(约为液晶的百倍以上)、省电、自发光、可使用于可携式机器的直流驱动、工作温度范围大以及重量轻且可随硬件设备小型化及薄型化等等优点以符合多媒体时代显示器的特性要求。因此,有源矩阵有机发光二极管显示器具有极大的发展潜力,可望成为下一时代的新颖平面显示器,从而取代液晶显示器(liquid crystal display, LCD)。

[0003] 目前有源矩阵有机发光二极管显示面板主要有两种制作方式,其一是利用低温多晶硅(LTPS)的薄膜晶体管(TFT)制程技术来制作,而另一则是利用非晶硅(a-Si)的薄膜晶体管(TFT)制程技术来制作。其中,由于低温多晶硅的薄膜晶体管制程技术需要比较多的光罩制程而导致成本上升。因此,目前低温多晶硅的薄膜晶体管制程技术主要应用在中小尺寸的面板上,而非晶硅的薄膜晶体管制程技术则主要应用在大尺寸的面板上。

[0004] 一般来说,采用低温多晶硅的薄膜晶体管制程技术所制作出来的有源矩阵有机发光二极管显示面板,其像素电路中的薄膜晶体管的型态可以为P型或N型,但由于P型薄膜晶体管传导正电压有较好的驱动能力,故而现今多以选择P型薄膜晶体管来实施。然而,选择P型薄膜晶体管来实现有机发光二极管像素电路的条件下,流经有机发光二极管的电流不仅会随着电源电压(Vdd)受到电流电阻电压降(IR Drop)的影响而改变,而且还会随着用以驱动有机发光二极管的薄膜晶体管的临界电压漂移(Vth shift)而有所不同。如此一来,将会连带影响到有机发光二极管显示器的亮度均匀性。

发明内容

[0005] 有鉴于此,为了提升有机发光二极管显示器的亮度均匀性,本发明的一实施例提供一种发光元件驱动电路,其包括:驱动单元、数据存储单元,以及发光控制单元。驱动单元耦接于一电源电压与发光元件之间,且包含驱动晶体管。驱动单元用以在一发光阶段,控制流经发光元件的驱动电流。数据存储单元耦接驱动单元,且包含漂移补偿晶体管以及耦接于驱动晶体管与一参考电位之间的储存电容。数据存储单元用以在一数据写入阶段,通过储存电容以对一数据电压与关联于漂移补偿晶体管的临界电压进行储存。

[0006] 发光控制单元耦接于驱动单元与发光元件之间,用以在所述发光阶段,传导来自驱动单元的驱动电流至发光元件。在所述发光阶段,驱动单元反应于储存电容的跨压而产生流经发光元件的驱动电流,且流经发光元件的驱动电流反应于漂移补偿晶体管的临界电

压的储存而不受驱动晶体管的临界电压的影响。

[0007] 在本发明的一实施例中,数据存储单元还用以在所述数据写入阶段,通过储存电容以对所述电源电压进行储存。在此条件下,在所述发光阶段,反应于所述电源电压的储存,流经发光元件的驱动电流还可以不受所述电源电压的影响。

[0008] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,而且也不受所述电源电压的影响的条件下,驱动晶体管的栅极耦接储存电容的第一端以及漂移补偿晶体管的栅极与源极,而驱动晶体管的源极则耦接至所述电源电压。基于此,数据存储单元还包括:写入晶体管、传输晶体管,以及耦合晶体管。写入晶体管的栅极用以接收一写入扫描信号,写入晶体管的源极用以接收所述数据电压,而写入晶体管的漏极则耦接至储存电容的第二端。传输晶体管的栅极用以接收所述写入扫描信号,传输晶体管的源极耦接至所述电源电压,而传输晶体管的漏极则耦接至漂移补偿晶体管的漏极。耦合晶体管的栅极用以接收一发光致能信号,耦合晶体管的源极耦接储存电容的第二端,而耦合晶体管的漏极则耦接至所述参考电位。

[0009] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,而且也不受所述电源电压的影响的条件下,数据存储单元还用以在一复位阶段,反应于一复位扫描信号而初始化储存电容的第一端电压。基于此,数据存储单元可以还包括:复位晶体管,其栅极与源极耦接在一起以接收所述复位扫描信号,而其漏极则耦接至储存电容的第一端。

[0010] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,而且也不受所述电源电压的影响的条件下,发光控制单元包括:发光控制晶体管,其栅极用以接收所述发光致能信号,而其源极则耦接至驱动晶体管的漏极。

[0011] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,而且也不受所述电源电压的影响的条件下,发光元件的第一端耦接第一发光控制晶体管的漏极,而发光元件的第二端则耦接至所述参考电位。

[0012] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,而且也不受所述电源电压的影响的条件下,驱动晶体管、漂移补偿晶体管、写入晶体管、复位晶体管、传输晶体管、耦合晶体管,以及发光控制晶体管皆可以为 P 型晶体管。

[0013] 在本发明的另一实施例中,在所述发光阶段,反应于与所述电源电压相关联的数据电压,流经发光元件的驱动电流受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓。

[0014] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,且受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓的条件下,驱动晶体管的栅极耦接储存电容的第一端以及漂移补偿晶体管的栅极与源极,驱动晶体管的源极耦接至所述电源电压,而储存电容的第二端则可以直接耦接至所述参考电位。基于此,数据存储单元还包括:写入晶体管,其栅极用以接收一写入扫描信号,其源极用以接收所述数据电压,而其漏极则耦接至漂移补偿晶体管的漏极。

[0015] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,且受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓的条件下,数据存储单元还用以在一复位阶段,反应于一复位扫描信号而初始化储存电容的第一端电压。基

于此,数据存储单元可以还包括:复位晶体管,其栅极与源极耦接在一起以接收所述复位扫描信号,而其漏极则耦接至储存电容的第一端。

[0016] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,且受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓的条件下,发光控制单元包括:发光控制晶体管,其栅极用以接收一发光致能信号,而其源极则耦接至驱动晶体管的漏极。

[0017] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,且受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓的条件下,发光元件的第一端耦接发光控制晶体管的漏极,而发光元件的第二端则耦接至所述参考电位。

[0018] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,且受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓的条件下,驱动晶体管、漂移补偿晶体管、写入晶体管、复位晶体管,以及发光控制晶体管皆可以为P型晶体管。

[0019] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,而且也不受所述电源电压的影响(或者,受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓)的条件下,发光元件可以为有机发光二极管,且发光元件的第一端为有机发光二极管的阳极,而发光元件的第二端为有机发光二极管的阴极。基于此,发光元件驱动电路可以为有机发光二极管驱动电路,且有机发光二极管驱动电路会先后进入所述复位阶段、所述数据写入阶段以及所述发光阶段。

[0020] 在本发明的一实施例中,在流经发光元件的驱动电流不受驱动晶体管的临界电压的影响,而且也不受所述电源电压的影响(或者,受所述电源电压的影响的程度得以被有效地降低/减轻/趋缓)的条件下,在所述复位阶段,所述复位扫描信号为致能,而所述写入扫描信号与所述发光致能信号为禁能。在所述数据写入阶段,所述写入扫描信号为致能,而所述复位扫描信号与所述发光致能信号为禁能。在所述发光阶段,所述发光致能信号为致能,而所述复位扫描信号与所述写入扫描信号为禁能。

[0021] 本发明的另一实施例提供一种具有所提的发光元件驱动电路的像素电路,且此像素电路可以为有机发光二极管像素电路,其包括:发光元件、驱动单元、数据存储单元,以及发光控制单元。

[0022] 发光元件用以在一发光阶段,反应在一驱动电流而发光;驱动单元耦接于一电源电压与该发光元件之间,且包含一驱动晶体管,用以在该发光阶段,控制流经该发光元件的该驱动电流;数据存储单元耦接该驱动单元,且包含一漂移补偿晶体管以及耦接于该驱动晶体管与一参考电位之间的一储存电容,用以在一数据写入阶段,通过该储存电容以对一数据电压与关联于该漂移补偿晶体管的临界电压进行储存;发光控制单元耦接于该驱动单元与该发光元件之间,用以在该发光阶段,传导来自该驱动单元的该驱动电流至该发光元件;

[0023] 其中,在该发光阶段,该驱动单元反应于该储存电容的跨压而产生流经该发光元件的该驱动电流,且该驱动电流反应在该漂移补偿晶体管的临界电压的储存而不受该驱动晶体管的临界电压的影响。

[0024] 本发明的再一实施例提供一种具有所提的有机发光二极管像素电路的有机发光

二极管显示面板。

[0025] 本发明的又一实施例提供一种具有所提的有机发光二极管显示面板的有机发光二极管显示器。

[0026] 基于上述,本发明提供一种有机发光二极管像素电路,且其电路结构(7T1C或5T1C)在搭配适当的操作波形下,可以使得流经有机发光二极管的电流不会随着电源电压(Vdd)受到电流电阻电压降(IR Drop)的影响而改变(或者,受电源电压(Vdd)的影响的程度得以被减轻),而且也不会随着用以驱动有机发光二极管的薄膜晶体管的临界电压漂移(Vth shift)而有所不同。如此一来,将可大大地提升所应用的有机发光二极管显示器的亮度均匀性。

[0027] 为了让本发明的上述特征和优点能更明显易懂,下文特举具体的实施例,并配合附图,作详细说明如下。

[0028] 然而,应了解的是,上述一般描述及以下具体实施方式仅为举例及阐释性的,其并不能限制本发明所欲保护的范围。

附图说明

[0029] 下面的附图是本发明的说明书的一部分,示出了本发明的实施例,附图与说明书的描述一起说明本发明的原理。

[0030] 图1为本发明一实施例的(有机发光二极管)像素电路10的示意图;

[0031] 图2为图1的(有机发光二极管)像素电路10的实施电路图;

[0032] 图3为图1的(有机发光二极管)像素电路10的操作波形图;

[0033] 图4为本发明另一实施例的(有机发光二极管)像素电路10'的示意图;

[0034] 图5为图4的(有机发光二极管)像素电路10'的实施电路图。

[0035] 附图标记说明:

[0036] 10、10':(有机发光二极管)像素电路;

[0037] 101:有机发光二极管;

[0038] 103、103':发光元件驱动电路(有机发光二极管驱动电路);

[0039] 105:驱动单元;

[0040] 107、107':数据存储单元;

[0041] 109:发光控制单元;

[0042] T1:驱动晶体管;

[0043] T2:漂移补偿晶体管;

[0044] T3:写入晶体管;

[0045] T4:传输晶体管;

[0046] T5:复位晶体管;

[0047] T6:耦合晶体管;

[0048] T7:发光控制晶体管;

[0049] Cst:储存电容;

[0050] $I_{OL\text{ED}}$:驱动电流;

[0051] V_{IN} :数据电压;

- [0052] Vdd :电源电压 ;
- [0053] Vss :参考电位 ;
- [0054] S[n-1] :复位扫描信号 ;
- [0055] S[n] :写入扫描信号 ;
- [0056] LE :发光致能信号 ;
- [0057] P1 :复位阶段 ;
- [0058] P2 :数据写入阶段 ;
- [0059] P3 :发光阶段 ;
- [0060] A、B :节点。

具体实施方式

[0061] 现将详细参考本发明的实施例,在附图中说明所述实施例的实例。另外,凡可能之处,在附图及实施方式中使用相同标号的元件 / 构件代表相同或类似部分。

[0062] 图 1 为本发明一实施例的 (有机发光二极管) 像素电路 10 的示意图,而图 2 为图 1 的 (有机发光二极管) 像素电路 10 的实施电路图。请参照图 1 与图 2,本实施例的像素电路 10 包括发光元件 (light-emitting component,例如:有机发光二极管 (OLED) 101,但并不限制于此,故而像素电路 10 可以视为有机发光二极管像素电路) 与发光元件驱动电路 (light-emitting component driving circuit) 103。其中,发光元件驱动电路 103 包括驱动单元 (driving unit) 105、数据存储单元 (data storage unit) 107,以及发光控制单元 (light-emitting control unit) 109。

[0063] 在本实施例中,驱动单元 105 耦接于电源电压 (power supply voltage) Vdd 与有机发光二极管 101 (即,发光元件) 之间,且包含驱动晶体管 (driving transistor) T1。而且,驱动单元 105 用以在发光阶段 (light enable phase),控制流经有机发光二极管 101 的驱动电流 (driving current) I_{OLED} 。

[0064] 另外,数据存储单元 107 耦接驱动单元 105,且包含漂移补偿晶体管 (shift-compensation transistor) T2 以及耦接于驱动晶体管 T1 与参考电位 (reference potential) Vss 之间的储存电容 (storage capacitor) Cst。而且,数据存储单元 107 会在数据写入阶段 (data-writing phase),通过储存电容 Cst 以对数据电压 (data voltage) V_{IN} 与关联于漂移补偿晶体管 T2 的临界电压 (threshold voltage, $V_{\text{th}}(T2)$) 进行储存。

[0065] 此外,数据存储单元 107 会在复位阶段 (reset phase),反应于复位扫描信号 (reset scan signal) S[n-1] 而初始化 / 复位 (initialization/reset) 储存电容 Cst 的第一端电压 (亦即,节点 A 的电压)。其中,复位扫描信号 S[n-1] 可为前一扫描线上的信号,且由第 [n-1] 级的栅极驱动电路所提供,但并不限制于此。

[0066] 再者,发光控制单元 109 耦接于驱动单元 105 与有机发光二极管 (发光元件) 101 之间。而且,发光控制单元 109 用以在发光阶段,传导来自驱动单元 105 的驱动电流 I_{OLED} 至有机发光二极管 101。

[0067] 在本实施例中,驱动单元 105 是在发光阶段,反应于储存电容 Cst 的跨压 (cross-voltage) 而产生流经有机发光二极管 101 的驱动电流 I_{OLED} ,且此驱动电流 I_{OLED} 不受电源电压 Vdd 与驱动晶体管 T1 的临界电压 ($V_{\text{th}}(T1)$) 的影响。换言之,流经有机发光二

极管 101 的驱动电流 I_{OLED} 与电源电压 V_{dd} 以及驱动晶体管 T1 的临界电压 ($V_{\text{th}}(\text{T1})$) 无关。

[0068] 除此之外,数据存储单元 107 还包括写入晶体管 (writing transistor) T3、传输晶体管 (transmission transistor) T4、复位晶体管 (reset transistor) T5,以及耦合晶体管 (coupling transistor) T6。另外,发光控制单元 109 包括发光控制晶体管 (light-emitting control transistor) T7。

[0069] 在本实施例中,驱动晶体管 T1、漂移补偿晶体管 T2、写入晶体管 T3、传输晶体管 T4、复位晶体管 T5、耦合晶体管 T6 以及发光控制晶体管 T7 皆可以为 P 型晶体管 (P-type transistor),例如 P 型薄膜晶体管 (P-type thin-film-transistor, P-type TFT)。而且,应用图 2 所示的 (有机发光二极管) 像素电路 10 在其中的有机发光二极管显示面板 (OLED display panel) 可以利用低温多晶硅 (LTPS)、非晶硅 (a-Si) 或非晶铟镓锡金属氧化物 (a-IGZO) 的薄膜晶体管 (TFT) 制程技术制作而成,但并不限制于此。

[0070] 另外,在图 2 所示的 (有机发光二极管) 像素电路 10 的电路结构上 (7T1 C),驱动晶体管 T1 的栅极 (gate) 耦接储存电容 C_{st} 的第一端 (亦即,节点 A) 以及漂移补偿晶体管 T2 的栅极与源极 (source),而驱动晶体管 T1 的源极则耦接至电源电压 V_{dd} 。

[0071] 写入晶体管 T3 的栅极用以接收写入扫描信号 (write scan signal) $S[n]$ (写入扫描信号 $S[n]$ 可为当下扫描线上的信号,且由第 $[n]$ 级的栅极驱动电路所提供,但并不限制于此),写入晶体管 T3 的源极用以接收数据电压 V_{IN} ,而写入晶体管 T3 的漏极 (drain) 则耦接至储存电容 C_{st} 的第二端 (亦即,节点 B)。

[0072] 传输晶体管 T4 的栅极用以接收写入扫描信号 $S[n]$,传输晶体管 T4 的源极耦接至电源电压 V_{dd} ,而传输晶体管 T4 的漏极则耦接至漂移补偿晶体管 T2 的漏极。复位晶体管 T5 的栅极与源极耦接在一起以接收复位扫描信号 $S[n-1]$,而复位晶体管 T5 的漏极则耦接至储存电容 C_{st} 的第一端。

[0073] 耦合晶体管 T6 的栅极用以接收发光致能信号 (light enable signal) LE,耦合晶体管 T6 的源极耦接储存电容 C_{st} 的第二端,而耦合晶体管 T6 的漏极则耦接至参考电位 V_{ss} 。发光控制晶体管 T7 的栅极用以接收发光致能信号 LE,而发光控制晶体管 T7 的源极则耦接至驱动晶体管 T1 的漏极。有机发光二极管 101 的阳极 (anode) 耦接发光控制晶体管 T7 的漏极,而有机发光二极管 101 的阴极 (cathode) 则耦接至参考电位 V_{ss} 。在以下的实施例中,为方便说明将假设参考电位 V_{ss} 为零电位 (即,接地电位),但并不限制于此。

[0074] 再者,图 3 为图 1 的 (有机发光二极管) 像素电路 10 的操作波形图。在图 2 所示的 (有机发光二极管) 像素电路 10 的工作过程中,发光元件驱动电路 103 (即,有机发光二极管驱动电路) 会先后进入复位阶段、数据写入阶段与发光阶段,分别如图 3 所示的复位阶段 P1、数据写入阶段 P2 与发光阶段 P3。在本实施例中,在复位阶段 P1,仅有复位扫描信号 $S[n-1]$ 会致能;在数据写入阶段 P2,仅有写入扫描信号 $S[n]$ 会致能;以及在发光阶段 P3,仅有发光致能信号 LE 会致能。

[0075] 换言之,在复位阶段 P1,复位扫描信号 $S[n-1]$ 为致能,而写入扫描信号 $S[n]$ 与发光致能信号 LE 为禁能。在数据写入阶段 P2,写入扫描信号 $S[n]$ 为致能,而复位扫描信号 $S[n-1]$ 与发光致能信号 LE 为禁能。在发光阶段 P3,发光致能信号 LE 为致能,而复位扫描信号 $S[n-1]$ 与写入扫描信号 $S[n]$ 为禁能。当然,复位扫描信号 $S[n-1]$ 、写入扫描信号 $S[n]$ 与发光致能信号 LE 的高低电平 (V_{H} , V_{L}) 皆可视实际设计 / 应用需求而决定。

[0076] 在此值得解释的是,由于图 2 所示的(有机发光二极管)像素电路 10 中的驱动晶体管 T1、漂移补偿晶体管 T2、写入晶体管 T3、传输晶体管 T4、复位晶体管 T5,耦合晶体管 T6 以及发光控制晶体管 T7 的型态皆为 P 型,故而可知的是,驱动晶体管 T1、漂移补偿晶体管 T2、写入晶体管 T3、传输晶体管 T4、复位晶体管 T5、耦合晶体管 T6 以及发光控制晶体管 T7 为低电平致能 (low active)。由此,先前针对复位扫描信号 S[n-1]、写入扫描信号 S[n] 与发光致能信号 LE 会致能的表述,即表示复位扫描信号 S[n-1]、写入扫描信号 S[n] 与发光致能信号 LE 处于低电平 (low level)。

[0077] 基于此,在复位阶段 P1,由于仅有复位扫描信号 S[n-1] 会致能,所以节点 A 的电压(即,驱动晶体管 T1 的栅极电压 (Vg)) 会反应于呈现二极管连接 (diode-connected) 的复位晶体管 T5 的导通 (turned-on) 而等于复位扫描信号 S[n-1] 的低电平 (VL_{S[n-1]}) 减去 V_{th}(T5),即: VL_{S[n-1]}-V_{th}(T5)。其中, V_{th}(T5) 为复位晶体管 T5 的临界电压。与此同时,反应于发光致能信号 LE 的禁能,耦合晶体管 T6 与发光控制晶体管 T7 会处于截止 (turned-off) 的状态,从而避免有机发光二极管 101 有突然亮起的误动作,从而得以维持显示图像的对比;另外,反应于写入扫描信号 S[n] 的禁能,写入晶体管 T3 与传输晶体管 T4 亦会处于截止的状态。

[0078] 紧接着,在数据写入阶段 P2,由于仅有写入扫描信号 S[n] 会致能,所以写入晶体管 T3 与传输晶体管 T4 会同时处于导通的状态,且呈现二极管连接的漂移补偿晶体管 T2 亦会导通。在此条件下,电源电压 Vdd 会经由传输晶体管 T4 与呈现二极管连接的漂移补偿晶体管 T2 而传递至储存电容 Cst 的第一端(即,节点 A),从而使得节点 A 的电压等于 Vdd-V_{th}(T2),其中 V_{th}(T2) 为漂移补偿晶体管 T2 的临界电压。与此同时,数据电压 V_{IN}(在此假设数据电压 V_{IN} 为 Vdata,即 V_{IN} = Vdata,但并不限制于此,其中 Vdata 为对应(有机发光二极管)像素电路 10 的灰阶显示电压值)会经由写入晶体管 T3 而传递至储存电容 Cst 的第二端(即,节点 B),从而使得节点 B 的电压等于 Vdata。

[0079] 由此可知,在数据写入阶段 P2,储存电容 Cst 上的电压为 Vdd-V_{th}(T2)-Vdata。换言之,在数据写入阶段 P2,储存电容 Cst 可以储存数据电压 V_{IN}(Vdata)、漂移补偿晶体管 T2 的临界电压 V_{th}(T2) 以及电源电压 Vdd 的信息。而且,在数据写入阶段 P2,反应于复位扫描信号 S[n-1] 与发光致能信号 LE 的禁能,复位晶体管 T5、耦合晶体管 T6 以及发光控制晶体管 T7 会同时处于截止的状态,故而有机发光二极管 101 也不会在此阶段 P2 发生突然亮起的误动作。

[0080] 最后,在发光阶段 P3,由于仅有发光致能信号 LE 会致能,所以漂移补偿晶体管 T2、写入晶体管 T3、传输晶体管 T4 与复位晶体管 T5 皆处于截止的状态,而驱动晶体管 T1、耦合晶体管 T6 以及发光控制晶体管 T7 则处于导通的状态。基于此,驱动晶体管 T1 将反应于储存电容 Cst 的跨压 (cross-voltage) 而产生不受电源电压 Vdd 与驱动晶体管 T1 的临界电压 (V_{th}(T1)) 影响的驱动电流 I_{OLED} 以流经有机发光二极管 101。

[0081] 更清楚来说,在图 2 所示的电路结构下,驱动晶体管 T1 在发光阶段 P3 所产生的驱动电流 I_{OLED} 可以表示为如下方程式 1:

$$[0082] \quad I_{OLED} = \frac{1}{2} K \times (V_{sg} - V_{th}(T1))^2 \quad 1$$

[0083] 其中, K 为关联于驱动晶体管 T1 的电流常数。

[0084] 另外,由于驱动晶体管 T1 的源栅极电压 (V_{sg}) 为已知的,亦即:驱动晶体管 T1 的源极电压 (V_s) 等于电源电压 V_{dd} (即, $V_s = V_{dd}$);驱动晶体管 T1 的栅极电压 (V_g) 等于节点 A 的电压 (即, $V_g = V_{dd} - V_{th}(T2) - V_{data}$),此时节点 B 的电压为接地的零电压;以及 $V_{sg} = V_s - V_g = V_{dd} - (V_{dd} - V_{th}(T2) - V_{data})$ 。

[0085] 因此,在图 2 所示的 (有机发光二极管) 像素电路 10 处于发光阶段 P3 时,若将已知的驱动晶体管 T1 的源栅极电压 (V_{sg}) 带入方程式 1 的话,亦即如下方程式 2:

$$[0086] \quad I_{OLED} = \frac{1}{2} K \times [V_{dd} - (V_{dd} - V_{th}(T2) - V_{data}) - V_{th}(T1)]^2 \quad 2$$

[0087] 则方程式 2 可以进一步地简化为如下方程式 3:

$$[0088] \quad I_{OLED} = \frac{1}{2} K \times (V_{data} + V_{th}(T2) - V_{th}(T1))^2 \quad 3$$

[0089] 由此可知,假设驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 与漂移补偿晶体管 T2 的临界电压 ($V_{th}(T2)$) 为相同的话,即: $V_{th}(T1) = V_{th}(T2)$,则方程式 3 可以进一步地简化为如下方程式 4:

$$[0090] \quad I_{OLED} = \frac{1}{2} K \times (V_{data})^2 \quad 4$$

[0091] 显然地,只要将驱动晶体管 T1 与漂移补偿晶体管 T2 布局 (layout) 在邻近位置,使驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 与漂移补偿晶体管 T2 的临界电压 ($V_{th}(T2)$) 因一致性的结晶状态而相同的话,则驱动晶体管 T1 就可以在发光阶段 P3 产生不受电源电压 V_{dd} 与驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 影响的驱动电流 I_{OLED} 。

[0092] 换言之,从方程式 4 可清楚看出,在图 2 所示的电路结构中,流经有机发光二极管 101 的驱动电流 I_{OLED} 与电源电压 V_{dd} 以及驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 无关,其只与数据电压 $V_{IN}(V_{data})$ 有关而已。如此一来,即可补偿薄膜晶体管 (TFT) 因制程因素所造成的临界电压的变异,并且得以同时补偿电源电压 V_{dd} 受到电流电阻电压降 (IR Drop) 的影响而改变的问题。

[0093] 另一方面,图 4 为本发明另一实施例的 (有机发光二极管) 像素电路 10' 的示意图,而图 5 为图 4 的 (有机发光二极管) 像素电路 10' 的实施电路图。请参照图 4 与图 5,在图 5 所示的 (有机发光二极管) 像素电路 10' 的电路结构上 (5T1C),漂移补偿晶体管 T2、写入晶体管 T3、重置晶体管 T5 与储存电容 C_{st} 形成数据存储单元 107'。驱动晶体管 T1 的栅极耦接储存电容 C_{st} 的第一端以及漂移补偿晶体管 T2 的栅极与源极,驱动晶体管 T1 的源极耦接至电源电压 V_{dd} ,而储存电容 C_{st} 的第二端则 (直接) 耦接至参考电位 V_{ss} (例如:接地电位,但并不限制于此)。

[0094] 写入晶体管 T3 的栅极用以接收写入扫描信号 $S[n]$,写入晶体管 T3 的源极用以接收与电源电压 V_{dd} 相关联的数据电压 V_{IN} (在此假设 V_{IN} 为 $V_{dd} - V_{data}$,即 $V_{IN} = V_{dd} - V_{data}$,但并不限制于此),而写入晶体管 T3 的漏极则耦接至漂移补偿晶体管 T2 的漏极。复位晶体管 T5 的栅极与源极耦接在一起以接收复位扫描信号 $S[n-1]$,而复位晶体管 T5 的漏极则耦接至储存电容 C_{st} 的第一端。

[0095] 发光控制晶体管 T7 的栅极用以接收发光致能信号 LE,而发光控制晶体管 T7 的源极则耦接至驱动晶体管 T1 的漏极。有机发光二极管 101 的阳极耦接发光控制晶体管 T7 的

漏极,而有机发光二极管 101 的阴极则耦接至参考电位 V_{SS} (接地电位)。

[0096] 相似地,驱动晶体管 T1、漂移补偿晶体管 T2、写入晶体管 T3、复位晶体管 T5 以及发光控制晶体管 T7 皆可以为 P 型晶体管,例如 P 型薄膜晶体管。而且,应用图 5 所示的(有机发光二极管)像素电路 10' 在其中的有机发光二极管显示面板亦可利用低温多晶硅(LTPS)、非晶硅(a-Si)或非晶钢镓锡金属氧化物(a-IGZO)的薄膜晶体管(TFT)制程技术制作而成,但并不限制于此。

[0097] 此外,在图 5 所示的(有机发光二极管)像素电路 10' 的工作过程中,发光元件驱动电路 103' (即,有机发光二极管驱动电路)同样会先后进入复位阶段、数据写入阶段与发光阶段,各别例如图 3 所示图 1 的(有机发光二极管)像素电路 10 的操作波形图的复位阶段 P1、数据写入阶段 P2 与发光阶段 P3。换言之,图 3 所示的操作波形同样适用于图 5 所示的电路结构。而且,图 5 所示的(有机发光二极管)像素电路 10' 的工作方式类似于图 2 所示的(有机发光二极管)像素电路 10 的工作方式。

[0098] 在图 5 所示的实施例中,驱动单元 105 是在发光阶段 P3,反应于储存电容 Cst 的跨压而产生流经有机发光二极管 101 的驱动电流 I_{OLED} ,且此驱动电流 I_{OLED} 实质上不受驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 的影响且受电源电压 Vdd 的影响的程度也得以被有效地降低/减轻/趋缓。换言之,流经有机发光二极管 101 的驱动电流 I_{OLED} 与驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 无关且与电源电压 Vdd 的关联性很低甚至也可以无关。

[0099] 更清楚来说,在复位阶段 P1,由于仅有复位扫描信号 $S[n-1]$ 会致能,所以驱动晶体管 T1 的栅极电压 (V_g) 会反应于呈现二极管连接的复位晶体管 T5 的导通而等于复位扫描信号 $S[n-1]$ 的低电平 ($V_{L_{S[n-1]}}$) 减去 $V_{th}(T5)$,即: $V_{L_{S[n-1]}} - V_{th}(T5)$ 。其中, $V_{th}(T5)$ 为复位晶体管 T5 的临界电压。与此同时,反应于发光致能信号 LE 的禁能,发光控制晶体管 T7 会处于截止的状态,从而避免有机发光二极管 101 有突然亮起的误动作,从而得以维持显示图像的对比;另外,反应于写入扫描信号 $S[n]$ 的禁能,写入晶体管 T3 亦会处于截止的状态。

[0100] 紧接着,在数据写入阶段 P2,由于仅有写入扫描信号 $S[n]$ 会致能,所以写入晶体管 T3 会处于导通的状态,且呈现二极管连接的漂移补偿晶体管 T2 亦会导通。在此条件下,数据电压 V_{IN} (即, $V_{IN} = V_{DD} - V_{data}$,但并不限制于此) 会经由写入晶体管 T3 与呈现二极管连接的漂移补偿晶体管 T2 而传递至储存电容 Cst,从而使得驱动晶体管 T1 的栅极电压 (V_g) 等于 $V_{DD} - V_{data} - V_{th}(T2)$ 。

[0101] 由此可知,在数据写入阶段 P2,储存电容 Cst 可以储存与电源电压 Vdd 相关联的数据电压 V_{IN} ($V_{DD} - V_{data}$) 以及漂移补偿晶体管 T2 的临界电压 $V_{th}(T2)$ 的信息。而且,在数据写入阶段 P2,反应于复位扫描信号 $S[n-1]$ 与发光致能信号 LE 的禁能,复位晶体管 T5 以及发光控制晶体管 T7 会同时处于截止的状态,故而有机发光二极管 101 也不会在此阶段 P2 发生突然亮起的误动作。

[0102] 最后,在发光阶段 P3,由于仅有发光致能信号 LE 会致能,所以漂移补偿晶体管 T2、写入晶体管 T3 以及复位晶体管 T5 皆处于截止的状态,而驱动晶体管 T1 与发光控制晶体管 T7 则处于导通的状态。基于此,驱动晶体管 T1 将反应于储存电容 Cst 的跨压 (cross-voltage) 而产生流经有机发光二极管 101 的驱动电流 I_{OLED} ,且此驱动电流 I_{OLED} (全然) 不受驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 的影响,而且受到电源电压 Vdd 基于电流电阻电压降 (IR Drop) 的缘故而改变的影响也可以被有效地减轻。

[0103] 更清楚来说,在图 5 所示的电路结构下,驱动晶体管 T1 在发光阶段 P3 所产生的驱动电流 I_{OLED} 可以表示为如下方程式 5:

$$[0104] \quad I_{OLED} = \frac{1}{2} K \times (V_{sg} - V_{th}(T1))^2 \quad 5$$

[0105] 其中, K 为关联于驱动晶体管 T1 的电流常数。

[0106] 另外,驱动晶体管 T1 的源栅极电压 (V_{sg}) 也为已知的,亦即:驱动晶体管 T1 的源极电压 (V_s) 等于 V_{dd} (即, $V_s = V_{dd}$);驱动晶体管 T1 的栅极电压 (V_g) 等于 $V_{dd} - V_{data} - V_{th}(T2)$ (即, $V_g = V_{dd} - V_{data} - V_{th}(T2)$); 以及 $V_{sg} = V_s - V_g = V_{dd} - (V_{dd} - V_{data} - V_{th}(T2))$ 。

[0107] 显然地,图 5 所示的(有机发光二极管)像素电路 10' 内驱动晶体管 T1 的源极电压 V_s 会等于电源电压 V_{dd} 的最高电平,例如定义为 $VH_{V_{dd}}$;此外,图 5 所示的像素电路 10' 内驱动晶体管 T1 的栅极电压 V_g 会等于 $V_{dd} - V_{data} - V_{th}(T2)$,而其中的“ V_{dd} ”为数据电压 V_{IN} 中表示关联于电源电压 V_{dd} 的高电压电平,例如定义为 $VH_{V_{IN}}$ 。

[0108] 实际上,由于电源电压 V_{dd} 与数据电压 V_{IN} ($V_{dd} - V_{data}$) 在电路布线上存有差异,因此 $VH_{V_{dd}} - VH_{V_{IN}}$ 实质上并不等于零(理想上,应该会等于零)。如此一来,图 5 所示的驱动晶体管 T1 所产生的驱动电流 I_{OLED} 就有可能受到电源电压 V_{dd} 基于电流电阻电压降 (IR Drop) 的缘故而改变的影响。

[0109] 然而,若经由适当地布线设计而使得电源电压 V_{dd} 的最高电平 $VH_{V_{dd}}$ 所受到电流电阻电压降 (IR Drop) 的影响与数据电压 V_{IN} ($V_{dd} - V_{data}$) 中关联于电源电压 V_{dd} 的高电压电平 $VH_{V_{IN}}$ 所受到电阻 - 电容负载效应 (RC Loading) 的影响为实质相等的话(即, $VH_{V_{dd}} - VH_{V_{IN}}$ 实质上几乎为零,但不以此为限),则图 5 所示的驱动晶体管 T1 所产生的驱动电流 I_{OLED} 受到电源电压 V_{dd} 基于电流电阻电压降 (IR Drop) 的缘故而改变的影响就可以有效地被减轻。

[0110] 基于此,以下将先以 $VH_{V_{dd}} \approx VH_{V_{IN}}$ 的情况 / 条件下来进行说明,因此,在图 5 所示的(有机发光二极管)像素电路 10' 处于发光阶段 P3 时,若将已知的驱动晶体管 T1 的源栅极电压 (V_{sg}) 带入方程式 5 的话,亦即如下方程式 6:

$$[0111] \quad I_{OLED} = \frac{1}{2} K \times [VH_{V_{dd}} - (VH_{V_{IN}} - V_{data} - V_{th}(T2)) - V_{th}(T1)]^2 \quad 6$$

[0112] 则方程式 6 可以进一步地简化为如下方程式 7:

$$[0113] \quad I_{OLED} = \frac{1}{2} K \times [(VH_{V_{dd}} - VH_{V_{IN}}) + V_{data} + V_{th}(T2) - V_{th}(T1)]^2 \quad 7$$

[0114] 然而,若适当地将电源电压 V_{dd} 的最高电平 $VH_{V_{dd}}$ 与数据电压 V_{IN} ($V_{dd} - V_{data}$) 中关联于电源电压 V_{dd} 的高电压电平 $VH_{V_{IN}}$ 设计为实质相等的话(即, $VH_{V_{dd}} = VH_{V_{IN}}$),则方程式 7 可以再进一步地简化为如下方程式 8:

$$[0115] \quad I_{OLED} = \frac{1}{2} K \times (V_{data} + V_{th}(T2) - V_{th}(T1))^2 \quad 8$$

[0116] 由此可知,假设驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 与漂移补偿晶体管 T2 的临界电压 ($V_{th}(T2)$) 为相同的话,即: $V_{th}(T1) = V_{th}(T2)$,则方程式 8 可以进一步地简化为如下方程式 9:

$$[0117] \quad I_{OLED} = \frac{1}{2} K \times (Vdata)^2 \quad 9$$

[0118] 显然地, 只要将驱动晶体管 T1 与漂移补偿晶体管 T2 布局 (layout) 在邻近位置, 使驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 与漂移补偿晶体管 T2 的临界电压 ($V_{th}(T2)$) 因一致性的结晶状态而相同的话, 则图 5 所示的驱动晶体管 T1 就可以在发光阶段 P3 产生实质上不受驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 影响的驱动电流 I_{OLED} , 且所产生的驱动电流 I_{OLED} 受到电源电压 Vdd 基于电流电阻电压降 (IR Drop) 的缘故而改变的影响也可以有效地被减轻 (若考虑 VH_{Vdd} 不等于 VH_{VIN})。甚至, 所产生的驱动电流 I_{OLED} 可以完全不受电源电压 Vdd 基于电流电阻电压降 (IR Drop) 的缘故而改变的影响 (若考虑 VH_{Vdd} 等于 VH_{VIN})。

[0119] 换言之, 从方程式 9 可清楚看出, 在图 5 所示的电路结构中, 流经有机发光二极管 101 的驱动电流 I_{OLED} 实质上与电源电压 Vdd 以及驱动晶体管 T1 的临界电压 ($V_{th}(T1)$) 无关, 其只与数据电压 Vdata 有关而已。如此一来, 即可补偿薄膜晶体管 (TFT) 因制程因素所造成的临界电压的变异, 并且得以同时补偿电源电压 Vdd 受到电流电阻电压降 (IR Drop) 的影响而改变的问题。显然地, 图 5 所示的电路结构同样可以达到与图 2 的实施例类似的技术功效。

[0120] 据此可知, 上述实施例所揭示的 (有机发光二极管) 像素电路 10/10' 的电路结构为 7T1C (亦即 7 个薄膜晶体管 +1 个电容, 如图 2 所示) 或 5T1C (亦即 5 个薄膜晶体管 +1 个电容, 如图 4 所示), 且若搭配适当的操作波形 (如图 3 所示), 即可使得流经有机发光二极管 101 的驱动电流 I_{OLED} 不会随着电源电压 Vdd 受到电流电阻电压降 (IR Drop) 的影响而改变, 而且也不会随着用以驱动有机发光二极管 101 的驱动晶体管 T1 的临界电压漂移 (V_{th} shift) 而有所不同。如此一来, 将可大大地提升所应用的有机发光二极管显示器的发光均匀性表现。

[0121] 除此之外, 任何应用上述实施例的 (有机发光二极管) 像素电路 10/10' 在其中的有机发光二极管显示面板及其有机发光二极管显示器, 都属于本发明所欲请求保护的范畴。

[0122] 再者, 虽然上述实施例的有机发光二极管像素电路中的各晶体管皆采用 P 型晶体管来实施, 但是本发明并不限制于此。换言之, 本领域技术人员可依循上述实施例的内容而类推 / 推演出有机发光二极管像素电路改采用 N 型晶体管来实施的变型实施方式, 故而在不脱离本发明技术方案的本质和范围内, 这些变型的实施方式亦当属于本发明所欲保护的范畴。

[0123] 最后应说明的是: 以上各实施例仅用以说明本发明的技术方案, 而非对其限制; 尽管参照前述各实施例对本发明进行了详细的说明, 本领域的普通技术人员应当理解: 其依然可以对前述各实施例所记载的技术方案进行修改, 或者对其中部分或者全部技术特征进行等同替换; 而这些修改或者替换, 并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

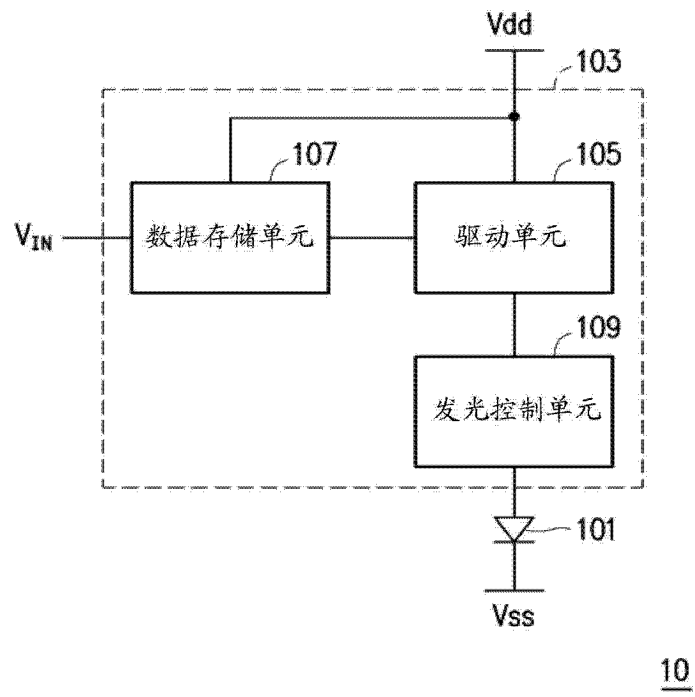


图 1

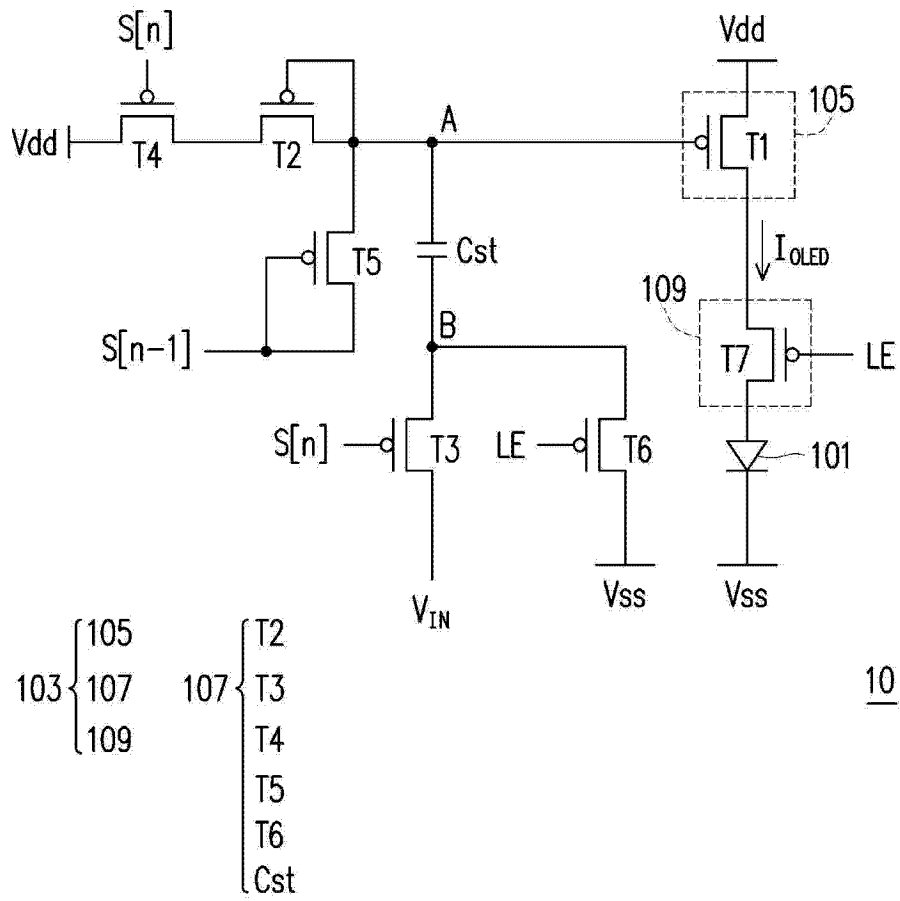


图 2

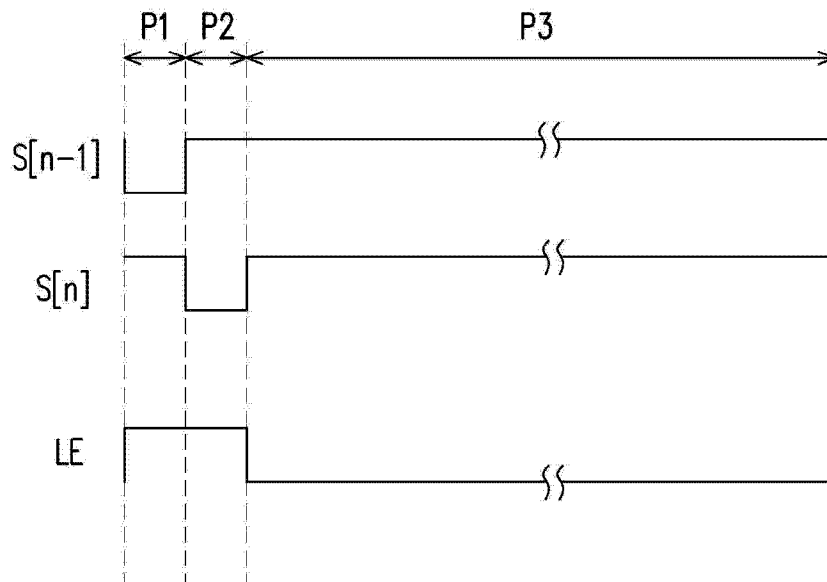


图 3

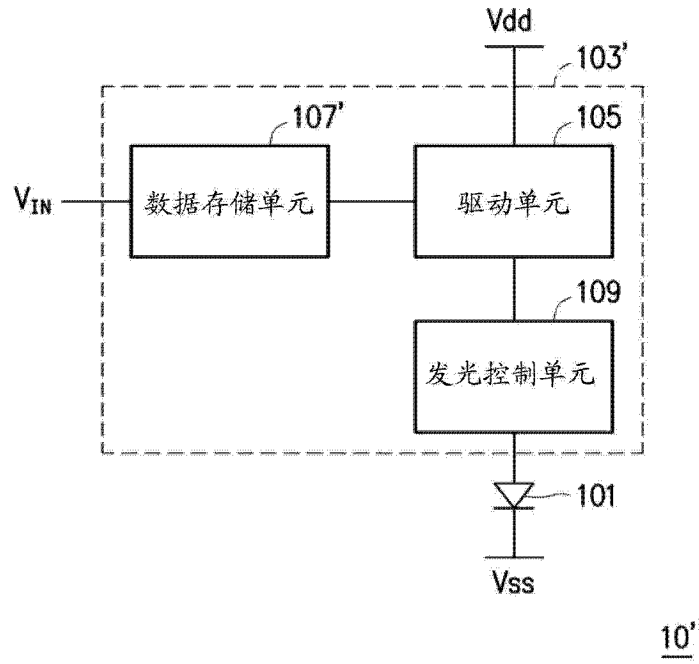


图 4

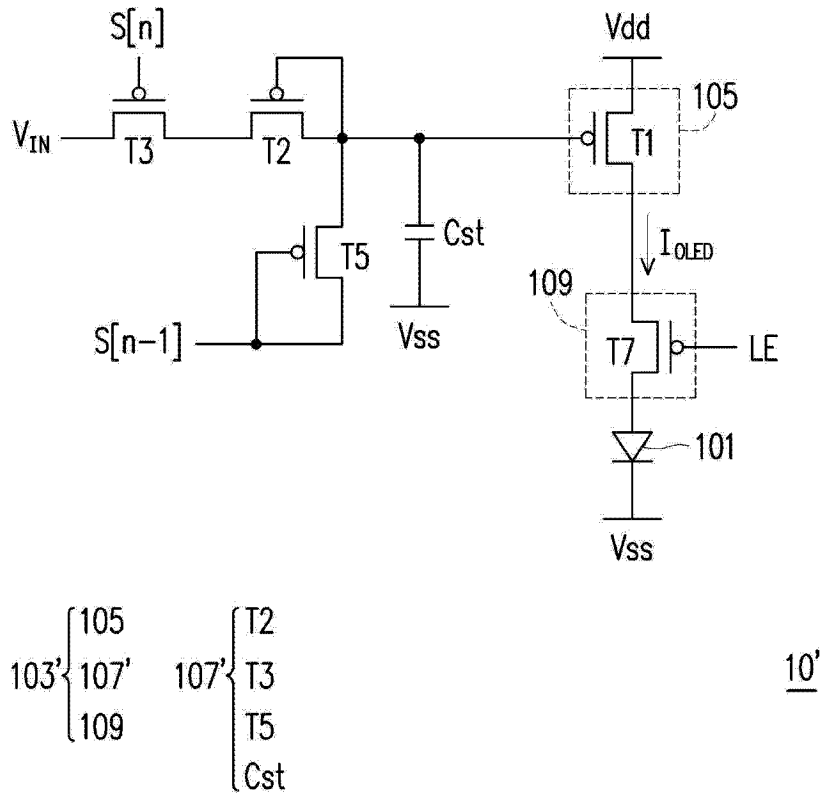


图 5

专利名称(译)	发光元件驱动电路及其相关的像素电路与应用		
公开(公告)号	CN103000126A	公开(公告)日	2013-03-27
申请号	CN201210322351.5	申请日	2012-09-04
[标]申请(专利权)人(译)	胜华科技股份有限公司		
申请(专利权)人(译)	胜华科技股份有限公司		
当前申请(专利权)人(译)	胜华科技股份有限公司		
[标]发明人	廖文堆 王文俊 韩西容 黄志鸿		
发明人	廖文堆 王文俊 韩西容 黄志鸿		
IPC分类号	G09G3/32		
CPC分类号	G09G2300/0814 G09G3/3233 G09G3/32 G09G2300/0819 G09G2320/0233		
优先权	100133558 2011-09-19 TW 101126310 2012-07-20 TW		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种发光元件驱动电路及其相关的像素电路与应用。该像素电路结构(7T1C或5T1C)在搭配适当的操作波形下,可以使得流经有机发光二极管的电流不会随着电源电压(Vdd)受到电流电阻电压降(IR Drop)的影响而改变(或者,受电源电压(Vdd)的影响的程度得以被减轻),而且也不会随着用以驱动有机发光二极管的薄膜晶体管的临界电压漂移(Vth shift)而有所不同。如此一来,将可大大地提升所应用的有机发光二极管显示器的亮度均匀性。

