



(12)发明专利申请

(10)申请公布号 CN 110729324 A

(43)申请公布日 2020.01.24

(21)申请号 201910514975.9

(22)申请日 2019.06.14

(30)优先权数据

10-2018-0082990 2018.07.17 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 曹永振 金炫雄 文重守 李承珪
金阳完

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 程月 刘灿强

(51)Int.Cl.

H01L 27/32(2006.01)

G09G 3/3266(2016.01)

G09G 3/3275(2016.01)

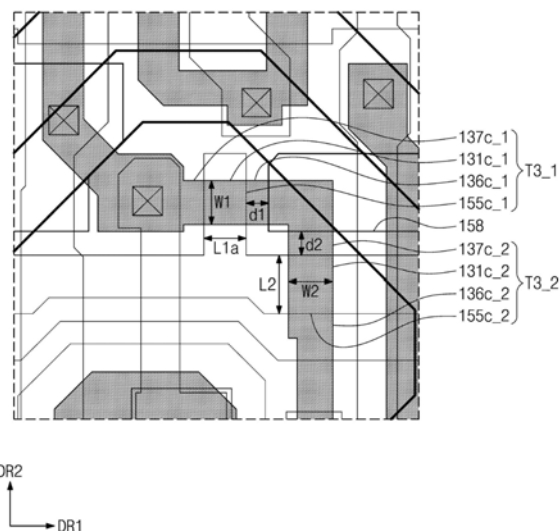
权利要求书2页 说明书16页 附图13页

(54)发明名称

像素和包括该像素的有机发光显示装置

(57)摘要

提供了一种像素和包括该像素的有机发光显示装置。所述像素包括：第一晶体管，包括电连接到发光二极管的第一漏区、第一栅电极、与第一栅电极叠置的第一沟道区以及第一源区；第一子晶体管，包括第一子栅电极、与第一子栅电极叠置的第一子沟道区、连接到第一栅电极的第一子漏区以及第一子源区；第二子晶体管，包括第二子栅电极、与第二子栅电极叠置的第二子沟道区、连接到第一子源区的第二子漏区以及第二子源区；以及屏蔽图案，与第一子源区和第二子漏区叠置，并且不与第一子沟道区叠置，其中，第一子沟道区的宽度比第二子沟道区的宽度大。



1. 一种像素,所述像素包括:

发光二极管,包括阳极和阴极;

第一晶体管,包括电连接到所述发光二极管的所述阳极的第一漏区、第一栅电极、在平面图中与所述第一栅电极叠置的第一沟道区以及面对所述第一漏区的第一源区,并且所述第一沟道区位于所述第一漏区与所述第一源区之间;

第一子晶体管,包括第一子栅电极、在平面图中与所述第一子栅电极叠置的第一子沟道区、连接到所述第一栅电极的第一子漏区以及面对所述第一子漏区的第一子源区,并且所述第一子沟道区位于所述第一子漏区与所述第一子源区之间;

第二子晶体管,包括第二子栅电极、在平面图中与所述第二子栅电极叠置的第二子沟道区、连接到所述第一子源区的第二子漏区以及面对所述第二子漏区的第二子源区,并且所述第二子沟道区位于所述第二子漏区与所述第二子源区之间;以及

屏蔽图案,在平面图中与所述第一子源区和所述第二子漏区叠置,并且不与所述第一子沟道区叠置,

其中,所述第一子沟道区的宽度比所述第二子沟道区的宽度大。

2. 根据权利要求1所述的像素,其中,所述屏蔽图案被构造为接收驱动电压。

3. 根据权利要求2所述的像素,其中,所述屏蔽图案与所述第一子源区和所述第二子漏区叠置以形成辅助电容器。

4. 根据权利要求1所述的像素,其中,所述屏蔽图案在平面图中不与所述第二子沟道区叠置。

5. 根据权利要求1所述的像素,所述像素还包括延伸部分,所述延伸部分位于与所述第一栅电极的层不同的层上,并且与所述第一栅电极叠置以形成电容器。

6. 根据权利要求5所述的像素,其中,所述屏蔽图案与所述延伸部分位于同一层上。

7. 根据权利要求1所述的像素,其中,所述第一子沟道区的长度比所述第二子沟道区的长度短。

8. 一种像素,所述像素包括:

发光二极管,包括阳极和阴极;

第一晶体管,包括电连接到所述发光二极管的所述阳极的第一漏区、第一栅电极、在平面图中与所述第一栅电极叠置的第一沟道区以及面对所述第一漏区的第一源区,并且所述第一沟道区位于所述第一漏区与所述第一源区之间;

第一子晶体管,包括第一子栅电极、在平面图中与所述第一子栅电极叠置的第一子沟道区、连接到所述第一栅电极的第一子漏区以及面对所述第一子漏区的第一子源区,并且所述第一子沟道区位于所述第一子漏区与所述第一子源区之间;

第二子晶体管,包括第二子栅电极、在平面图中与所述第二子栅电极叠置的第二子沟道区、连接到所述第一子源区的第二子漏区以及面对所述第二子漏区的第二子源区,并且所述第二子沟道区位于所述第二子漏区与所述第二子源区之间;

屏蔽图案,在平面图中与所述第一子源区和所述第二子漏区叠置,并且不与所述第一子沟道区叠置;以及

上屏蔽图案,位于与所述屏蔽图案的层不同的层上,并且在平面图中与所述第一子源区和所述第二子漏区叠置,

其中,所述第一子沟道区的宽度比所述第二子沟道区的宽度大。

9. 根据权利要求8所述的像素,其中,所述屏蔽图案和所述上屏蔽图案中的每个被构造为接收驱动电压。

10. 一种有机发光显示装置,所述有机发光显示装置包括:

扫描驱动电路,被构造为顺序地将扫描信号提供到扫描线,所述扫描线在第一方向上延伸并且在与所述第一方向正交的第二方向上布置;

数据驱动电路,被构造为将数据信号提供到数据线,所述数据线与所述扫描线绝缘交叉;以及

像素,包括具有阳极和阴极的发光二极管以及被构造为控制所述发光二极管的发光的电路部分,所述电路部分包括:

第一晶体管,包括电连接到所述发光二极管的所述阳极的第一漏区、第一栅电极、在平面图中与所述第一栅电极叠置的第一沟道区以及面对所述第一漏区的第一源区,并且所述第一沟道区位于所述第一漏区与所述第一源区之间;

第一子晶体管,包括第一子栅电极、在平面图中与所述第一子栅电极叠置的第一子沟道区、连接到所述第一栅电极的第一子漏区以及面对所述第一子漏区的第一子源区,并且所述第一子沟道区位于所述第一子漏区与所述第一子源区之间;

第二子晶体管,包括第二子栅电极、在平面图中与所述第二子栅电极叠置的第二子沟道区、连接到所述第一子源区的第二子漏区以及面对所述第二子漏区的第二子源区,并且所述第二子沟道区位于所述第二子漏区与所述第二子源区之间;以及

屏蔽图案,在平面图中与所述第一子源区和所述第二子漏区叠置,并且不与所述第一子沟道区叠置,

其中,所述第一子沟道区的宽度比所述第二子沟道区的宽度大。

像素和包括该像素的有机发光显示装置

[0001] 本专利申请要求于2018年7月17日提交的第10-2018-0082990号韩国专利申请的优先权,该专利申请的内容通过引用包含于此。

技术领域

[0002] 本公开在此涉及一种像素和包括该像素的有机发光显示装置。

背景技术

[0003] 有机发光显示装置包括多个像素。多个像素中的每个包括有机发光二极管和用于控制有机发光二极管的电路部分。电路部分至少包括开关晶体管、驱动晶体管和存储电容器。

[0004] 有机发光二极管包括阳极、阴极以及在阳极与阴极之间的有机发光层。当大于阈值电压的电压施加到阳极与阴极之间的有机发光层时,有机发光二极管发光。

发明内容

[0005] 本公开将提供一种能够改善显示质量的像素和具有该像素的有机发光显示装置。

[0006] 本公开的实施例提供了一种像素,所述像素包括:发光二极管,包括阳极和阴极;第一晶体管,包括电连接到发光二极管的阳极的第一漏区、第一栅电极、在平面图中与第一栅电极叠置的第一沟道区以及面对第一漏区的第一源区,并且第一沟道区位于第一漏区与第一源区之间;第一子晶体管,包括第一子栅电极、在平面图中与第一子栅电极叠置的第一子沟道区、连接到第一栅电极的第一子漏区以及面对第一子漏区的第一子源区,并且第一子沟道区位于第一子漏区与第一子源区之间;第二子晶体管,包括第二子栅电极、在平面图中与第二子栅电极叠置的第二子沟道区、连接到第一子源区的第二子漏区以及面对第二子漏区的第二子源区,并且第二子沟道区位于第二子漏区与第二子源区之间;以及屏蔽图案,在平面图中与第一子源区和第二子漏区叠置,并且不与第一子沟道区叠置,其中,第一子沟道区的宽度比第二子沟道区的宽度大。

[0007] 屏蔽图案可以被构造为接收驱动电压。

[0008] 屏蔽图案可以与第一子源区和第二子漏区叠置以形成辅助电容器。

[0009] 屏蔽图案可以在平面图中不与第二子沟道区叠置。

[0010] 像素还可以包括延伸部分,延伸部分位于与第一栅电极的层不同的层上,并且与第一栅电极叠置以形成电容器。

[0011] 屏蔽图案可以与延伸部分位于同一层上。

[0012] 第一子沟道区的长度可以比第二子沟道区的长度短。

[0013] 像素还可以包括第六晶体管,第六晶体管包括连接到第一晶体管的第一漏区的第六源区、连接到发光二极管的阳极的第六漏区以及位于第六源区与第六漏区之间的第六沟道区。

[0014] 像素还可以包括连接构件,连接构件连接到第一栅电极并且位于与第一栅电极的

层不同的层上,其中,第一子漏区连接到连接构件。

[0015] 像素还可以包括上屏蔽图案,上屏蔽图案与连接构件位于同一层上,并且在平面图中与第一子源区和第二子漏区叠置。

[0016] 像素还可以包括第四晶体管,第四晶体管包括第四栅电极、在平面图中与第四栅电极叠置的第四沟道区、连接到第一栅电极的第四漏区以及面对第四漏区的第四源区,并且第四沟道区位于第四漏区与第四源区之间。

[0017] 在本公开的实施例中,像素包括:发光二极管,包括阳极和阴极;第一晶体管,包括电连接到发光二极管的阳极的第一漏区、第一栅电极、在平面图中与第一栅电极叠置的第一沟道区以及面对第一漏区的第一源区,并且第一沟道区位于第一漏区与第一源区之间;第一子晶体管,包括第一子栅电极、在平面图中与第一子栅电极叠置的第一子沟道区、连接到第一栅电极的第一子漏区以及面对第一子漏区的第一子源区,并且第一子沟道区位于第一子漏区与第一子源区之间;第二子晶体管,包括第二子栅电极、在平面图中与第二子栅电极叠置的第二子沟道区、连接到第一子源区的第二子漏区以及面对第二子漏区的第二子源区,并且第二子沟道区位于第二子漏区与第二子源区之间;屏蔽图案,在平面图中与第一子源区和第二子漏区叠置,并且不与第一子沟道区叠置;以及上屏蔽图案,位于与屏蔽图案的层不同的层上,并且在平面图中与第一子源区和第二子漏区叠置,其中,第一子沟道区的宽度比第二子沟道区的宽度大。

[0018] 像素还可以包括第四晶体管,第四晶体管包括第四栅电极、在平面图中与第四栅电极叠置的第四沟道区、连接到第一栅电极的第四漏区以及面对第四漏区的第四源区,并且第四沟道区位于第四漏区与第四源区之间。

[0019] 屏蔽图案和上屏蔽图案中的每个可以被构造为接收驱动电压。

[0020] 屏蔽图案可以与第一子源区和第二子漏区叠置以形成辅助电容器,并且上屏蔽图案可以与第一子源区和第二子漏区叠置以形成第二辅助电容器。

[0021] 像素还可以包括延伸部分,延伸部分位于与第一栅电极的层不同的层上,其中,延伸部分与第一栅电极叠置以形成电容器。

[0022] 屏蔽图案可以与延伸部分位于同一层上。

[0023] 在本公开的实施例中,有机发光显示装置包括:扫描驱动电路,被构造为顺序地将扫描信号提供到扫描线,扫描线在第一方向上延伸并且在与第一方向正交的第二方向上布置;数据驱动电路,被构造为将数据信号提供到数据线,数据线与扫描线绝缘交叉;以及像素,包括具有阳极和阴极的发光二极管以及被构造为控制发光二极管的发光的电路部分,电路部分包括:第一晶体管,包括电连接到发光二极管的阳极的第一漏区、第一栅电极、在平面图中与第一栅电极叠置的第一沟道区以及面对第一漏区的第一源区,并且第一沟道区位于第一漏区与第一源区之间;第一子晶体管,包括第一子栅电极、在平面图中与第一子栅电极叠置的第一子沟道区、连接到第一栅电极的第一子漏区以及面对第一子漏区的第一子源区,并且第一子沟道区位于第一子漏区与第一子源区之间;第二子晶体管,包括第二子栅电极、在平面图中与第二子栅电极叠置的第二子沟道区、连接到第一子源区的第二子漏区以及面对第二子漏区的第二子源区,并且第二子沟道区位于第二子漏区与第二子源区之间;以及屏蔽图案,在平面图中与第一子源区和第二子漏区叠置,并且不与第一子沟道区叠置,其中,第一子沟道区的宽度比第二子沟道区的宽度大。

[0024] 屏蔽图案可以被构造为接收驱动电压。

[0025] 电路部分还可以包括上屏蔽图案,上屏蔽图案位于与屏蔽图案的层不同的层上,并且在平面图中与第一子源区和第二子漏区叠置。

[0026] 因此,主张的实施例的有机发光显示装置可以通过增大具有双栅电极的第三晶体管的连接节点与电源电压布线之间的电容来减小通过第三晶体管的漏电流。因此,可以改善有机发光显示装置的显示质量。

附图说明

[0027] 附图被包括以提供对本公开的进一步理解,并且附图包含在本说明书中并构成本说明书的一部分。附图示出了本公开的实施例,并且与描述一起用于解释本公开的方面。在附图中:

[0028] 图1是示出根据本公开的实施例的有机发光显示装置的框图;

[0029] 图2是根据本公开的实施例的像素的等效电路图;

[0030] 图3是示出用于驱动图2中所示的像素的驱动信号的波形图;

[0031] 图4是根据实施例的有机发光显示装置的一个像素的平面图;

[0032] 图5是图4中所示的有机发光显示装置的沿线VI-VI'截取的剖视图;

[0033] 图6是用于解释由图2中所示的第一子晶体管和第二子晶体管形成的辅助电容器和寄生电容的等效电路图;

[0034] 图7是示出第三节点和驱动栅极节点根据扫描信号的变化了的电压电平变化的波形图;

[0035] 图8和图9是图4中所示的像素的第一子晶体管和第二子晶体管的放大平面图;

[0036] 图10示出了第一子晶体管的第一子沟道区的长度比第二子晶体管的第二子沟道区的长度短的示例;

[0037] 图11是根据本公开的实施例的像素的一部分的平面图;

[0038] 图12是图11中所示的有机发光显示装置的沿线VII-VII'截取的剖视图;

[0039] 图13是根据本公开的实施例的像素的一部分的平面图;以及

[0040] 图14是图13中所示的有机发光显示装置的沿线VIII-VIII'截取的剖视图。

具体实施方式

[0041] 在本说明书中,当提及组件(或区域、层、部件(部分)等)被称作“在”另一组件“上”、“连接到”或者“结合到”另一组件时,这意味着该组件可以直接在所述另一组件上、直接连接到或者直接结合到所述另一组件,或者可以在它们之间存在第三组件。

[0042] 同样的附图标记表述同样的元件。另外,在附图中,为了有效描述,夸大了组件的厚度、比例和尺寸。

[0043] “和/或”包括由相关组件限定的一个或多个组合的全部。

[0044] 将理解的是,这里使用术语“第一”和“第二”来描述各种组件,但是这些组件不应该受这些术语限制。这些术语仅用来将一个组件与其它组件区分开。例如,在不脱离本公开的范围的情况下,可以将第一组件称作第二组件,反之亦然。单数表达包括复数表达,除非上下文中另外清楚地指出。

[0045] 另外,使用诸如“在……下方”、“下侧”、“在……上”和“上侧”的术语来描述附图中所示的构造的关系。这些术语基于附图中所示的方向被描述为相对概念。

[0046] 除非另有定义,否则这里所使用的所有术语(包括技术术语和科学术语)具有与本发明所属领域的技术人员所通常理解的术语相同的含义。通常,在词典中定义的术语应该被认为具有与相关领域的语境含义相同的含义,并且除非在这里明确定义,否则不应该被异常地理解或者被理解为具有过度形式化的含义。

[0047] 在本公开的各种实施例中,术语“包括”或其变型、“包含”或其变型指定性质、区域、固定数量、步骤、工艺、元件和/或组件,但是不排除其它性质、区域、固定数量、步骤、工艺、元件和/或组件。

[0048] 在下文中,将参照附图来描述本公开的另一实施例。

[0049] 图1是根据本公开的实施例的有机发光显示装置的框图。

[0050] 参照图1,有机发光显示装置包括时序控制器TC、扫描驱动电路SDC、数据驱动电路DDC和显示面板DP。

[0051] 时序控制器TC接收输入图像信号,并且根据与数据驱动电路DDC的接口规范来对输入图像信号的数据格式进行转换,以产生图像数据RGB。时序控制器TC输出扫描控制信号SCS、图像数据RGB和数据控制信号DCS。

[0052] 扫描驱动电路SDC从时序控制器TC接收扫描控制信号SCS。扫描控制信号SCS可以包括用于开始扫描驱动电路SDC的操作的垂直起始信号以及用于确定信号的输出时序的时钟信号。扫描驱动电路SDC产生多个扫描信号,并且将多个扫描信号顺序输出到多条扫描线SL1至SLn,这将在后面描述。另外,扫描驱动电路SDC响应于扫描控制信号SCS产生多个发光控制信号,并且将多个发光控制信号输出到多条发光线EL1至ELn,这将在后面描述。

[0053] 尽管图1中示出了从一个扫描驱动电路SDC输出多个扫描信号和多个发光控制信号,但是本公开不限于此。在另一实施例中,多个扫描驱动电路可以划分并输出多个扫描信号,并且可以划分并输出多个发光控制信号。另外,在另一实施例中,用于产生并输出多个扫描信号的驱动电路以及用于产生并输出多个发光控制信号的驱动电路可以被单独分类。

[0054] 数据驱动电路DDC从时序控制器TC接收数据控制信号DCS和图像数据RGB。数据驱动电路DDC将图像数据RGB转换为数据信号,并且将数据信号输出到多条数据线DL1至DLm,这将在后面描述。数据信号是对应于图像数据RGB的灰度值的模拟电压。

[0055] 显示面板DP包括扫描线SL1至SLn、发光线EL1至ELn、数据线DL1至DLm和像素PX。扫描线SL1至SLn在第一方向DR1上延伸,并且在与第一方向DR1正交的第二方向DR2上布置。

[0056] 多条发光线EL1至ELn可以与扫描线SL1至SLn平行布置。数据线DL1至DLm与扫描线SL1至SLn绝缘地交叉。

[0057] 多个像素PX中的每个像素PX连接到扫描线SL1至SLn中的对应的扫描线、发光线EL1至ELn中的对应的发光线以及数据线DL1至DLm中的对应的数据线。

[0058] 每个像素PX接收第一驱动电压ELVDD以及具有比第一驱动电压ELVDD的电平低的电平的第二驱动电压ELVSS。每个像素PX连接到施加有第一驱动电压ELVDD的驱动电压线172。每个像素PX连接到用于接收初始化电压Vint的初始化电压线159(见图2)。

[0059] 多个像素PX中的每个像素PX可以电连接到两条相应的扫描线。如图1中所示,第二像素行的像素PX可以连接到第一扫描线SL1和第二扫描线SL2。

[0060] 在本公开的实施例中,显示面板DP还可以包括多条虚设扫描线。显示面板DP还可以包括连接到第一像素行的像素PX的虚设扫描线以及连接到第n(例如,最后)像素行的像素PX的虚设扫描线。另外,连接到数据线DL1至DLm中的一条数据线的各个像素(在下文中,称作像素列的像素)可以彼此连接。例如,像素列中的像素中的两个相邻的像素可以彼此电连接。

[0061] 多个像素PX中的每个像素PX包括有机发光二极管和用于控制有机发光二极管的发光的电路部分。电路部分可以包括多个薄膜晶体管和电容器。扫描驱动电路SDC和数据驱动电路DDC中的至少一个可以包括通过与电路部分的工艺相同的工艺形成的薄膜晶体管。

[0062] 扫描线SL1至SLn、发光线EL1至ELn、数据线DL1至DLm、驱动电压线172、初始化电压线159、像素PX、扫描驱动电路SDC和数据驱动电路DDC可以通过光刻工艺的一个或多个实例形成在基体基底上。通过沉积工艺或涂覆工艺的多个实例,绝缘层可以形成在基体基底上。每个绝缘层可以是用于覆盖整个显示面板DP的薄膜,或者可以包括与显示面板DP的特定构造叠置的至少一个绝缘图案。绝缘层包括有机层和/或无机层。另外,还可以在基体基底上形成用于保护像素PX的密封层。

[0063] 显示面板DP接收第一驱动电压ELVDD和第二驱动电压ELVSS。第一驱动电压ELVDD可以通过驱动电压线172提供到多个像素PX。第二驱动电压ELVSS可以通过形成在显示面板DP上的电极或电源线提供到多个像素PX。

[0064] 显示面板DP接收初始化电压Vint。初始化电压Vint可以通过初始化电压线159提供到多个像素PX。

[0065] 图2是根据本公开的实施例的像素的等效电路图。图3是用于解释图2的有机发光显示装置的像素的操作的时序图。

[0066] 图2示出了连接到图1中所示的多条数据线DL1至DLm中的第i数据线171、多条扫描线SL1至SLn中的第j扫描线151以及多条发光线EL1至ELn中的第j发光线153的像素PX_{ij}的等效电路图。图1中所示的多个像素PX中的每个像素PX可以具有与图2中所示的像素PX_{ij}的等效电路相同的电路配置。在本实施例中,像素PX_{ij}的电路部分包括七个晶体管T1至T7和一个电容器C_{st}。另外,第一晶体管T1至第七晶体管T7可以是诸如PMOS晶体管的P型沟道晶体管。然而,本公开不限于此,第一晶体管T1至第七晶体管T7中的至少一个晶体管可以是N型沟道晶体管。另外,根据本公开的像素的电路配置不限于图2。图2中所示的电路部分仅是一个示例,电路部分的配置可以被修改并实现。

[0067] 参照图2,根据实施例的有机发光显示装置的像素PX_{ij}包括信号线151、152、153、154、171和172。像素PX_{ij}可以包括连接到多条信号线151、152、153、154、171和172的第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7、电容器C_{st}以及至少一个发光二极管ED。在本实施例中,将描述一个像素PX_{ij}包括一个发光二极管ED的示例。

[0068] 信号线151、152、153、154、171和172包括扫描线151、152和154、控制线(发光线)153、数据线171以及驱动电压线172。

[0069] 扫描线151、152和154可以分别传输扫描信号GW_j、GI_j和GB_j。扫描信号GW_j、GI_j和GB_j可以传递能够使包括在像素PX_{ij}中的晶体管T2、T3、T4和T7导通/截止的栅极导通电压和栅极截止电压。

[0070] 连接到像素 PX_{ij} 的扫描线151、152和154可以包括能够传输扫描信号 GW_j 的第一扫描线151、能够在与第一扫描线151的时序不同的时序处传输具有栅极导通电压的扫描信号 GI_j 的第二扫描线152以及能够传输扫描信号 GB_j 的第三扫描线154。在本实施例中,将主要描述第二扫描线152以比第一扫描线151的时序早的时序传输栅极导通电压的示例。例如,当扫描信号 GW_j 是在一帧期间施加的扫描信号中的第 j 扫描信号(S_j) (j 是1或更大的自然数)时,扫描信号 GI_j 可以是诸如第 $(j-1)$ 扫描信号($S_{(j-1)}$)的前一扫描信号,扫描信号 GB_j 可以是第 $(j-1)$ 扫描信号($S_{(j-1)}$)。然而,本公开不限于此,扫描信号 GB_j 可以是除了第 $(j-1)$ 扫描信号($S_{(j-1)}$)之外的扫描信号。

[0071] 控制线153可以传输控制信号并且可以传输能够控制包括在像素 PX_{ij} 中的发光二极管ED的发光的发光控制信号。从控制线153传输的发光控制信号可以具有与从扫描线151、152和154传输的扫描信号的波形不同的波形。数据线171可以传输数据信号 Di ,驱动电压线172可以传输第一驱动电压 $ELVDD$ 。数据信号 Di 可以根据输入到有机发光显示装置的视频信号具有不同的电压电平,第一驱动电压 $ELVDD$ 可以具有基本恒定的电平。

[0072] 第一扫描线151可以将扫描信号 GW_j 传输到第二晶体管T2和第三晶体管T3,第二扫描线152可以将扫描信号 GI_j 传输到第四晶体管T4,第三扫描线154可以将扫描信号 GB_j 传输到第七晶体管T7,控制线153可以将发光控制信号 EM_j 传输到第五晶体管T5和第六晶体管T6。

[0073] 第一晶体管T1的栅电极G1通过驱动栅极节点GN连接到电容器 C_{st} 的一个端部 C_{st1} ,第一晶体管T1的源电极S1通过第五晶体管T5连接到驱动电压线172,第一晶体管T1的漏电极D1通过第六晶体管T6电连接到发光二极管ED的阳极。第一晶体管T1可以根据第二晶体管T2的开关操作接收从数据线171传输的数据信号 Di ,并且可以将驱动电流 I_d 供应到发光二极管ED。

[0074] 第二晶体管T2的栅电极G2连接到第一扫描线151,第二晶体管T2的源电极S2连接到数据线171,第二晶体管T2的漏电极D2连接到第一晶体管T1的源电极S1并且通过第五晶体管T5连接到驱动电压线172。第二晶体管T2根据通过第一扫描线151接收的扫描信号 GW_j 而导通,并且将从数据线171传输的数据信号 Di 供应到第一晶体管T1的源电极S1。

[0075] 第三晶体管T3可以具有双栅结构,在双栅结构中,第一子晶体管 $T3_1$ 和第二子晶体管 $T3_2$ 在驱动栅极节点GN与第一晶体管T1的漏电极D1之间串联连接。第一子晶体管 $T3_1$ 的第一子栅电极 $G3_1$ 和第二子晶体管 $T3_2$ 的第二子栅电极 $G3_2$ 连接到第一扫描线151。第一子晶体管 $T3_1$ 的第一子漏电极 $D3_1$ 共同连接到第四晶体管T4的漏电极D4、电容器 C_{st} 的一个端部 C_{st1} 以及第一晶体管T1的栅电极G1。第二子晶体管 $T3_2$ 的第二子源电极 $S3_2$ 连接到第一晶体管T1的漏电极D1并且通过第六晶体管T6连接到发光二极管ED的阳极。第一子晶体管 $T3_1$ 的第一子源电极 $S3_1$ 和第二子晶体管 $T3_2$ 的第二子漏电极 $D3_2$ 彼此连接。例如,第三晶体管T3可以具有这样的结构,在该结构中,第一子晶体管 $T3_1$ 的第一子栅电极 $G3_1$ 和第二子晶体管 $T3_2$ 的第二子栅电极 $G3_2$ 通过布线在栅极绝缘层上彼此连接,并且具有高导电率的高浓度区域设置在栅极之间作为栅极公共区域。此外,在另一实施例中,第三晶体管T3可以实现为一个晶体管或者三个或更多个晶体管。

[0076] 第三晶体管T3根据通过第一扫描线151接收的扫描信号 GW_j 而导通以连接第一晶体管T1的栅电极G1和漏电极D1,使得第一晶体管T1连接为二极管(例如,二极管连接)。

[0077] 第四晶体管T4的栅电极G4连接到第二扫描线152,第四晶体管T4的源电极S4连接到初始化电压线159的端子以接收初始化电压Vint,第四晶体管T4的漏电极D4连接到电容器Cst的一个端部Cst1、第一晶体管T1的栅电极G1和第三晶体管T3的漏电极(例如,连接到D3_1)。第四晶体管T4根据通过第二扫描线152接收的扫描信号GIj而导通以将初始化电压Vint传输到第一晶体管T1的栅电极G1,使得第四晶体管T4可以执行用于使第一晶体管T1的栅电极G1的电压初始化的初始化操作。第四晶体管T4可以具有与第三晶体管T3相同的双栅结构。

[0078] 第五晶体管T5的栅电极G5连接到控制线153,第五晶体管T5的源电极S5连接到驱动电压线172,第五晶体管T5的漏电极D5连接到第一晶体管T1的源电极S1和第二晶体管T2的漏电极D2。

[0079] 第六晶体管T6的栅电极G6连接到控制线153,第六晶体管T6的源电极S6连接到第一晶体管T1的漏电极D1和第三晶体管T3的源电极(例如,S3_2),第六晶体管T6的漏电极D6电连接到发光二极管ED的阳极。第五晶体管T5和第六晶体管T6根据通过控制线153接收的发光控制信号EMj并发或同时导通,并且通过此,第一驱动电压ELVDD可以通过二极管连接的第一晶体管T1进行补偿,并且可以传输到发光二极管ED。

[0080] 第七晶体管T7的栅电极G7连接到第三扫描线154,第七晶体管T7的源电极S7连接到第六晶体管T6的漏电极D6和发光二极管ED的阳极,第七晶体管T7的漏电极D7连接到初始化电压线159的端子以接收初始化电压Vint,并且连接到第四晶体管T4的源电极S4。在其它实施例中,第七晶体管T7的栅电极G7可以连接到单独的控制线。

[0081] 如上所述,电容器Cst的一个端部Cst1连接到第一晶体管T1的栅电极G1,电容器Cst的另一端部Cst2连接到驱动电压线172。发光二极管ED的阴极可以连接到用于传输第二驱动电压ELVSS的端子。根据其它实施例的像素PXij的结构不限于图2中所示的结构,可以对一个像素PXij中的晶体管的数量、电容器的数量和连接关系进行各种修改。

[0082] 将参照图2和图3来描述根据实施例的显示装置的操作。在下文中,将描述第一晶体管T1至第七晶体管T7是P型沟道晶体管的示例,并且将描述一帧的操作。

[0083] 参照图2和图3,将每个为低电平的扫描信号(S(j-1)、Sj和(Sj+1))作为扫描信号GWj在一帧内顺序施加到连接到像素PXij的第一扫描线151。

[0084] 在初始化时段期间,通过第二扫描线152供应低电平扫描信号GIj。扫描信号GIj可以是例如第(j-1)扫描信号(S(j-1))。第四晶体管T4响应于低电平扫描信号GIj而导通,初始化电压Vint通过第四晶体管T4传输到第一晶体管T1的栅电极G1,初始化电压Vint使第一晶体管T1初始化。

[0085] 接下来,当在数据编程和补偿时段期间通过第一扫描线151供应低电平扫描信号GWj时,第二晶体管T2和第三晶体管T3响应于低电平扫描信号GWj而导通。扫描信号GWj可以是例如第j扫描信号(Sj)。此时,第一晶体管T1通过导通的第三晶体管T3被二极管连接,并且沿正向偏置。然后,将补偿电压 $D_i - |V_{th}|$ (例如,见图7)(补偿电压 $D_i - |V_{th}|$ 是与来自数据线171的数据信号 D_i 减小了第一晶体管T1的阈值电压 V_{th} 对应的电压)施加到第一晶体管T1的栅电极G1。也就是说,施加到第一晶体管T1的栅电极G1的栅极电压可以是补偿电压 $D_i - |V_{th}|$ 。

[0086] 将第一驱动电压ELVDD和补偿电压 $D_i - |V_{th}|$ 施加到电容器Cst的各个端部,并且对

应于两个端部之间的电压差的电荷可以存储在电容器Cst中。

[0087] 在旁路时段期间,第七晶体管T7通过第三扫描线154接收低电平的扫描信号GBj并且导通。扫描信号GBj可以是第(j-1)扫描信号(S(j-1))。驱动电流Id的一部分可以由于导通的第七晶体管(旁路晶体管)T7而作为旁路电流Ibp通过第七晶体管T7。

[0088] 即使当驱动晶体管T1的用于显示黑色图像的最小电流作为驱动电流流动时,如果发光二极管ED发光,则也不能恰当地显示黑色图像。因此,根据本实施例的有机发光显示装置的旁路晶体管T7将驱动晶体管T1的最小电流的一部分作为旁路电流Ibp分散到除了通过发光二极管ED的电流路径之外的另一电流路径。这里,驱动晶体管T1的最小电流是指因为驱动晶体管T1的栅极-源极电压(Vgs)小于阈值电压(Vth)而使驱动晶体管T1截止的条件下的电流。在驱动晶体管T1截止的条件下的最小驱动电流(例如,约10pA或更小的电流)被传输到发光二极管ED以表现为黑色亮度图像。

[0089] 可以说当用于显示黑色图像的最小驱动电流流动时,旁路电流Ibp的旁路传输的影响大,当用于显示诸如正常图像或白色图像的图像的大驱动电流流动时,旁路电流Ibp几乎没有影响。因此,当用于显示黑色图像的驱动电流流动时,发光二极管ED的发光电流Ied(从驱动电流Id减去通过旁路晶体管T7输出的旁路电流Ibp的量)可以具有在可以可靠地表现黑色图像的电平处的最小电流量。因此,通过使用旁路晶体管T7可以实现精确的黑色亮度图像,使得可以改善有机发光显示装置的对比度。在本实施例中,作为旁路信号的扫描信号GBj与前一扫描信号(S(j-1))相同,但是其它实施例不必限于此。

[0090] 接下来,在发光时段期间将从控制线153供应的发光控制信号EMj从高电平变为低电平。在发光时段期间,第五晶体管T5和第六晶体管T6通过低电平的发光控制信号EMj而导通。然后,产生与第一晶体管T1的栅电极G1的栅极电压和第一驱动电压ELVDD之间的电压差对应的驱动电流Id,并且驱动电流Id通过第六晶体管T6供应到发光二极管ED,使得发光电流Ied流过发光二极管ED。在发光时段期间,第一晶体管T1的栅极-源极电压(Vgs)通过电容器Cst保持在(Di-|Vth|)-ELVDD,并且根据第一晶体管T1的电流-电压关系,驱动电流Id可以与通过从栅极-源极电压(Vgs)减去阈值电压(Vth)而获得的值的平方(Di-ELVDD)²成比例。因此,可以确定驱动电流Id而与第一晶体管T1的阈值电压(Vth)无关。将参照图4和图5来描述根据实施例的像素的结构。为了便于理解,首先,将主要描述根据实施例的像素的平面结构,然后将详细描述剖面结构。

[0091] 图4是根据实施例的有机发光显示装置的一个像素的平面图。图5是图4中所示的有机发光显示装置的沿线VI-VI'截取的剖视图。

[0092] 根据实施例的像素PXij可以包括第一导电层,第一导电层包括用于传输扫描信号GWj的第一扫描线151、用于传输扫描信号GIj的第二扫描线152、用于传输扫描信号GBj的第三扫描线154以及用于传输发光控制信号EMj的控制线153。第一导电层可以在剖面上位于基底110的一侧上,可以包括相同的材料并且可以位于单个层上。基底110可以包括诸如玻璃、塑料等的无机绝缘材料或有机绝缘材料,并且可以具有各种程度的柔性。

[0093] 扫描线151、152和154以及控制线153可以在平面上(例如,在平面图中)基本上沿相同的方向(例如,沿第一方向DR1)延伸。第一扫描线151可以在平面上位于第二扫描线152与控制线153之间。

[0094] 根据实施例的有机发光显示装置的像素PXij还可以包括第二导电层,第二导电层

包括存储线156和初始化电压线159等。第二导电层相对于剖面位于与第一导电层的层不同的层上。例如,第二导电层可以在剖面上(例如,参照剖视图)位于第一导电层上,可以包括相同的材料并且可以位于单个层上。

[0095] 存储线156和初始化电压线159在平面上沿相同的方向(例如,沿第一方向DR1)相对延伸。

[0096] 存储线156可以在平面上位于第一扫描线151与控制线153之间,并且可以包括延伸部分157。延伸部分157可以通过接触孔68连接到驱动电压线172以接收第一驱动电压ELVDD。

[0097] 初始化电压线159可以传送初始化电压Vint,并且可以在平面上置于第三扫描线154与控制线153之间,但是本公开不限于此。

[0098] 根据实施例的像素PX_{i j}包括第三导电层,第三导电层包括用于传输数据信号D_i的数据线171和用于传输第一驱动电压ELVDD的驱动电压线172。第三导电层在剖面上位于与第一导电层和第二导电层的层不同的层上。例如,第三导电层可以在剖面上位于第二导电层上,可以包括相同的材料并且可以位于单个层上。

[0099] 数据线171和驱动电压线172可以基本上沿相同的平面方向(例如,沿第二方向DR2)延伸,并且可以与扫描线151、152和154、控制线153、初始化电压线159和存储线156交叉。

[0100] 像素PX_{i j}包括分别连接到扫描线151、152和154、控制线153、数据线171、驱动电压线172以及发光二极管ED的第一晶体管T1至第七晶体管T7和电容器C_{st}。

[0101] 像素PX_{i j}的第一晶体管T1至第七晶体管T7中的每个的沟道可以形成在一个有源图案130的内部,并且有源图案130可以弯曲成各种形状。有源图案130可以包括诸如多晶硅、氧化物半导体等的半导体材料。有源图案130可以在剖面上置于基底110与第一导电层之间。

[0102] 有源图案130包括用于分别形成第一晶体管T1至第七晶体管T7的沟道的沟道区131a、131b、131c₁、131c₂、131d₁、131d₂、131e、131f和131g,并且包括导电区。具体地,第三晶体管T3和第四晶体管T4可以具有双栅结构。在这种情况下,第三晶体管T3包括两个沟道区131c₁和131c₂,第四晶体管T4可以包括两个沟道区131d₁和131d₂。

[0103] 有源图案130的导电区位于沟道区131a、131b、131c₁、131c₂、131d₁、131d₂、131e、131f和131g中的每个的两侧上,并且具有比沟道区131a、131b、131c₁、131c₂、131d₁、131d₂、131e、131f和131g的载流子浓度高的载流子浓度。在有源图案130中,除了沟道区131a、131b、131c₁、131c₂、131d₁、131d₂、131e、131f和131g之外的剩余部分可以主要是导电区。位于第一晶体管T1至第七晶体管T7的沟道区131a、131b、131c₁、131c₂、131d₁、131d₂、131e、131f和131g中的每个的相应侧上的一对导电区(作为第一晶体管T1至第七晶体管T7中的每个的源区和漏区)可以分别用作源电极和漏电极。

[0104] 第一晶体管T1包括沟道区131a、源区136a和漏区137a以及在平面上(例如,在平面图中)与沟道区131a叠置的驱动栅电极155a,源区136a和漏区137a为有源图案130的位于沟道区131a的相应侧上的导电区。

[0105] 第一晶体管T1的沟道区131a可以弯曲至少一次。例如,沟道区131a可以具有曲折形状或Z形状。图4示出了沟道区131a包括近似上下倒置的U形状的示例。

[0106] 源区136a和漏区137a在平面上连接到沟道区131a的相应的侧。

[0107] 驱动栅电极155a可以包括在第一导电层中,并且可以通过接触孔61连接到连接构件174。连接构件174可以包括在第三导电层中。连接构件174可以主要在与数据线171延伸的方向平行的方向上延伸。连接构件174与驱动栅电极155a一起对应于图2中所示的电路图中示出的驱动栅极节点GN。

[0108] 第二晶体管T2包括沟道区131b、源区136b和漏区137b以及在平面上与沟道区131b叠置的栅电极155b,源区136b和漏区137b为有源图案130的位于沟道区131b的相应侧上的导电区。栅电极155b是第一扫描线151的一部分。源区136b置于基于第一扫描线151的平面上方,连接到沟道区131b,并且通过接触孔62连接到数据线171。漏区137b位于基于第一扫描线151的平面下方,连接到沟道区131b,并且连接到第一晶体管T1的源区136a。

[0109] 第三晶体管T3可以形成有两个部分以减小或防止漏电流。也就是说,第三晶体管T3可以包括彼此相邻且彼此连接的第一子晶体管T3_1和第二子晶体管T3_2。

[0110] 第一子晶体管T3_1包括在平面上与第一扫描线151叠置的第一子沟道区131c_1、第一子源区136c_1和第一子漏区137c_1以及与第一子沟道区131c_1叠置的第一子栅电极155c_1,第一子源区136c_1和第一子漏区137c_1是有源图案130的位于第一子沟道区131c_1的相应侧上的导电区。第一子栅电极155c_1可以是第一扫描线151的突出部分的一部分。第一子漏区137c_1位于基于第一扫描线151的平面上方,并且通过接触孔63连接到连接构件174。

[0111] 第二子晶体管T3_2包括在平面上与第一扫描线151叠置的第二子沟道区131c_2、第二子源区136c_2和第二子漏区137c_2以及与第二子沟道区131c_2叠置的第二子栅电极155c_2,第二子源区136c_2和第二子漏区137c_2为有源图案130的位于第二子沟道区131c_2的相应侧上的导电区。第二子栅电极155c_2是第一扫描线151的一部分。

[0112] 第二子晶体管T3_2的第二子源区136c_2连接到第一晶体管T1的漏区137a,第二子漏区137c_2连接到第一子晶体管T3_1的第一子源区136c_1。第一子晶体管T3_1的第一子源区136c_1和第二子晶体管T3_2的第二子漏区137c_2的连接节点被称作第三节点N3(例如,见图2和图6)。

[0113] 第四晶体管T4可以形成有两个部分以减小或防止漏电流。也就是说,第四晶体管T4可以包括彼此相邻且彼此连接的左第四晶体管T4_1和右第四晶体管T4_2。

[0114] 左第四晶体管T4_1包括在平面上与第二扫描线152叠置的沟道区131d_1、源区136d_1和漏区137d_1以及与沟道区131d_1叠置的栅电极155d_1,源区136d_1和漏区137d_1为有源图案130的位于沟道区131d_1的相应侧上的导电区。栅电极155d_1是第二扫描线152的一部分。漏区137d_1位于基于第二扫描线152的平面下方,连接到第一子晶体管T3_1的漏区137c_1,并且通过接触孔63连接到连接构件174。

[0115] 右第四晶体管T4_2包括在平面上与第二扫描线152叠置的沟道区131d_2、源区136d_2和漏区137d_2以及与沟道区131d_2叠置的栅电极155d_2,源区136d_2和漏区137d_2为有源图案130的位于沟道区131d_2的相应侧上的导电区。栅电极155d_2是第二扫描线152的一部分。漏区137d_2连接到左第四晶体管T4_1的源区136d_1,源区136d_2通过接触孔65连接到连接构件175。

[0116] 连接构件175可以在剖面上包括在第二导电层或第三导电层中。当连接构件175包

括在第三导电层中时,连接构件175可以通过接触孔64电连接到初始化电压线159。当连接构件175包括在第二导电层中时,连接构件175可以与初始化电压线159位于同一层上,并且连接构件175可以连接到初始化电压线159。

[0117] 左第四晶体管T4_1的沟道区131d_1与左第四晶体管T4_1的直接连接到用于传输驱动栅电极155a的电压的连接构件174的漏区137d_1之间的边界以及沟道区131d_1与源区136d_1之间的边界可以与沟道区131d_1一起在平面上被驱动电压线172覆盖。沟道区131d_1、沟道区131d_1与源区136d_1之间的边界以及沟道区131d_1与漏区137d_1之间的边界可以在平面上与驱动电压线172完全叠置,并且可以在平面上位于驱动电压线172的区域中。在平面上,左第四晶体管T4_1的沟道区131d_1、源区136d_1和漏区137d_1中的每个的水平宽度比驱动电压线172的水平宽度窄。沟道区131d_1、源区136d_1和漏区137d_1都可以位于驱动电压线172的区域内。

[0118] 作为直接连接到用于传输驱动栅电极155a的电压的连接构件174的另一晶体管,存在第一子晶体管T3_1。

[0119] 第五晶体管T5包括沟道区131e、源区136e和漏区137e以及与沟道区131e叠置的栅电极155e,源区136e和漏区137e为有源图案130的位于沟道区131e的相应侧上的导电区。

[0120] 栅电极155e是控制线153的一部分。源区136e位于基于控制线153的平面下方,连接到沟道区131e,并且通过接触孔67连接到驱动电压线172。漏区137e位于基于控制线153的平面上方,连接到沟道区131e,并且连接到第一晶体管T1的源区136a。

[0121] 第六晶体管T6包括沟道区131f、源区136f和漏区137f以及与沟道区131f叠置的栅电极155f,源区136f和漏区137f为有源图案130的位于沟道区131f的相应侧上的导电区。

[0122] 栅电极155f是控制线153的一部分。源区136f位于基于控制线153的平面上方,连接到沟道区131f,并且连接到第一晶体管T1的漏区137a。漏区137f位于基于控制线153的平面下方,连接到沟道区131f,并且通过接触孔69连接到连接构件179。连接构件179可以包括在第三导电层中。

[0123] 第七晶体管T7包括沟道区131g、源区136g和漏区137g以及与沟道区131g叠置的栅电极155g,源区136g和漏区137g为有源图案130的位于沟道区131g的相应侧上的导电区。

[0124] 栅电极155g是第三扫描线154的一部分。源区136g位于基于第三扫描线154的平面上方,连接到沟道区131g,并且连接到第六晶体管T6的漏区137f。

[0125] 漏区137g可以置于基于第三扫描线154的平面下方,并且可以通过接触孔65连接到连接构件175以接收初始化电压Vint。

[0126] 电容器Cst可以包括在平面上彼此叠置的驱动栅电极155a和存储线156的延伸部分157作为两个端子。电容器Cst可以保持与存储线156的接收第一驱动电压ELVDD的延伸部分157的电压和驱动栅电极155a的电压之间的差对应的电压差。存储线156的延伸部分157可以具有比驱动栅电极155a的平面面积大的平面面积,并且可以覆盖驱动栅电极155a的整个区域。延伸部分157可以包括在第二导电层中。

[0127] 第二导电层还可以包括与数据线171叠置的屏蔽图案158。屏蔽图案158可以通过接触孔66连接到驱动电压线172以接收第一驱动电压ELVDD。屏蔽图案158屏蔽驱动栅极节点GN(例如,见图2和图6)与数据线171之间的电压,以减小或防止由于数据信号Di的变化而导致的驱动栅极节点GN的电压变化。在平面上,作为从第一子晶体管T3_1的沟道区131c_1

与源区136c₁之间的边界到屏蔽图案158的左边缘的距离的宽度d₁ (例如,见图8-图10) 可以为一定距离(例如,约3微米或更大的预定距离)。

[0128] 根据实施例的像素PX_{ij}还可以包括第四导电层,第四导电层包括像素电极191a、像素导电图案192等。第四导电层在剖面上位于与第一导电层、第二导电层和第三导电层的层不同的层上。例如,第四导电层可以在剖面上位于第三导电层上,可以包括相同的材料并且可以位于单个层上。像素电极191a可以以pentile矩阵结构布置。

[0129] 像素电极191a可以通过接触孔89连接到连接构件179以接收电压。像素导电图案192可以传输初始化电压V_{int}。

[0130] 第一子晶体管T3₁的沟道区131c₁、沟道区131c₁与源区136c₁之间的边界以及沟道区131c₁与漏区137c₁之间的边界在平面上被第四导电层覆盖。

[0131] 将参照图5更详细地描述根据实施例的有机发光显示装置的剖面结构。

[0132] 缓冲层120可以位于基底110上。缓冲层120可以减少或防止杂质从基底110传送到缓冲层120的上层(例如,越过缓冲层120到有源图案130),从而改善了有源图案130的特性并缓解了压力。缓冲层120可以包括诸如氮化硅(SiN_x)或氧化硅(SiO_x)的无机绝缘材料和/或有机绝缘材料。在其它实施例中,可以省略缓冲层120的至少一部分。

[0133] 如上所述的有源图案130位于缓冲层120上,并且第一绝缘层141位于有源图案130上。

[0134] 上述的第一导电层可以位于第一绝缘层141上。第一导电层可以包括诸如铜(Cu)、铝(Al)、钼(Mo)和它们的合金的金属。

[0135] 第二绝缘层142可以位于第一导电层和第一绝缘层141上。

[0136] 上述的第二导电层可以位于第二绝缘层142上。第二导电层可以包括诸如铜(Cu)、铝(Al)、钼(Mo)和它们的合金的金属。

[0137] 第三绝缘层160可以位于第二导电层和第二绝缘层142上。

[0138] 第一绝缘层141、第二绝缘层142和第三绝缘层160中的至少一个可以包括诸如氮化硅(SiN_x)或氧化硅(SiO_x)的无机绝缘材料和/或有机绝缘材料。

[0139] 第一绝缘层141、第二绝缘层142和第三绝缘层160可以包括或限定置于驱动栅电极155a上方的接触孔61、置于第二晶体管T2的源区136b上方的接触孔62、置于第一子晶体管T3₁的漏区137c₁或左第四晶体管T4₁的漏区137d₁上的接触孔63、置于初始化电压线159上方的接触孔64、置于右第四晶体管T4₂的源区136d₂或第七晶体管T7的漏区137g上的接触孔65、置于屏蔽图案158上方的接触孔66、置于第五晶体管T5的源区136e上方的接触孔67、置于存储线156的延伸部分157上方的接触孔68以及置于第六晶体管T6的漏区137f上的接触孔69。

[0140] 上述的第三导电层可以位于第三绝缘层160上。第三导电层可以包括诸如铜(Cu)、铝(Al)、钼(Mo)和它们的合金的金属。

[0141] 存储线156的延伸部分157可以与驱动栅电极155a叠置,第二绝缘层142位于存储线156的延伸部分157与驱动栅电极155a之间,以形成电容器C_{st}。

[0142] 保护层180形成在第三导电层和第三绝缘层160上。保护层180可以包括诸如聚丙烯酸树脂或聚酰亚胺树脂的有机绝缘材料,保护层180的上表面可以是基本平坦的。保护层180可以包括或限定位于连接构件179上方的接触孔89。

[0143] 上述的第四导电层可以位于保护层180上。

[0144] 像素限定层(PDL)350可以位于保护层180和第四导电层上。PDL 350具有位于像素电极191a上方的开口部分351。

[0145] 发光层370位于像素电极191a上。发光层370可以位于开口部分351中。发光层370可以包括有机发光材料或无机发光材料。

[0146] 共电极270位于发光层370上。共电极270也可以形成在PDL 350上,并且可以遍布多个像素 PX_{ij} (例如,连续地)延伸。

[0147] 像素电极191a、发光层370和共电极270一起形成发光二极管ED。

[0148] 用于保护发光二极管ED的密封层可以进一步位于共电极270上。密封层可以包括交替堆叠的无机膜和有机膜。

[0149] 图6是用于解释由图2中所示的第一子晶体管和第二子晶体管(例如,第一子晶体管T3_1和第二子晶体管T3_2)形成的辅助电容器和寄生电容的等效电路图。图7是示出第三节点和驱动栅极节点根据扫描信号的变化电压电平变化的波形图。

[0150] 参照图6和图7,当在数据编程和补偿时段期间通过第一扫描线151供应低电平VGL的扫描信号 GW_j 时,第二晶体管T2、第一子晶体管T3_1和第二子晶体管T3_2响应于低电平扫描信号 GW_j 而导通。此时,第一晶体管T1通过导通的第一子晶体管T3_1和导通的第二子晶体管T3_2被二极管连接,并且正向偏置。然后,补偿电压 $D_i - |V_{th}|$ (从数据线171供应的数据信号 D_i 减小了第一晶体管T1的阈值电压(V_{th}))被施加到第一晶体管T1的栅电极G1(见图2)。也就是说,驱动栅极节点GN上升到补偿电压 $D_i - |V_{th}|$ 的电平。以相同的方式,第三节点N3也上升到补偿电压 $D_i - |V_{th}|$ 的电平。

[0151] 当扫描信号 GW_j 从低电平VGL转变为高电平VGH时,第一子晶体管T3_1和第二子晶体管T3_2截止,使得应该保持第三节点N3和驱动栅极节点GN处于一定电平(例如,保持在诸如补偿电压 $D_i - |V_{th}|$ 的电平的预定电平)。然而,第三节点N3和驱动栅极节点GN的电压电平被辅助电容器Cdd和寄生电容器Cgs改变。

[0152] 驱动栅极节点GN的电压电平变高 Δa ,第三节点N3的电压电平升高 ΔV ,然后变低 Δa 。

[0153] ΔV 由等式1表示, Δa 由等式2表示。

[0154] 等式1

$$[0155] \quad \Delta V = \frac{C_{gs}}{C_{gs} + C_{dd}} \times (V_{GH} - V_{GL})$$

[0156] 等式2

$$[0157] \quad \Delta a = \frac{1}{C_{gs} + C_{dd}} \times (i_{leakage} \times \Delta t)$$

[0158] 从等式1和等式2可以看出,如果辅助电容器Cdd的电容增加,则 ΔV 和 Δa 可以减小。

[0159] 驱动晶体管T1(见图2)具有当前帧中的响应特性根据前一帧中的操作状态而变化的滞后特性。也就是说,即使驱动晶体管T1接收相同电压电平的数据信号 D_i ,也可能根据前一帧中的操作状态在当前帧中产生不同电平的驱动电流。因此,在有机发光显示装置中,即

使将相同的相应数据电压施加到在前一帧中表现黑色的像素和表现白色的像素,像素也会在当前帧中具有不同的相应的亮度。为了减少或防止由于驱动晶体管的滞后而导致的亮度不均匀性,在像素发光之前,将有机发光显示装置初始化为驱动晶体管T1的导通偏置状态。因此,由于包括在有机发光显示装置中的所有驱动晶体管具有相同的响应特性,所以可以减小由于滞后而导致的亮度不均匀性。但是,如上所述,第三节点N3和驱动栅极节点GN的电压电平分别改变了 ΔV 和 Δa ,使得第一子晶体管T3_1的(Vgs)和(Vds)(源极-漏极电压)减小。第一子晶体管T3_1的(Vgs)和(Vds)的减小导致通过第一子晶体管T3_1的源极-漏极端子的漏电流($i_{leakage}$),使得这会使驱动栅极节点GN的电压电平变化并且会增大驱动晶体管T1的滞后特性或者使驱动晶体管T1的滞后特性劣化。

[0160] 在本实施例中,通过增大辅助电容器Cdd的容量,可以减小等式1中的 ΔV 和等式2中的 Δa 。通过将驱动栅极节点GN的电压电平稳定地保持在补偿电压 $D_i - |V_{th}|$ 的电平,可以减小或防止驱动晶体管T1的滞后特性的劣化。

[0161] 图8和图9是图4中所示的像素的第一子晶体管和第二子晶体管的放大平面图。

[0162] 图8示出了第一子晶体管的第一子沟道区的宽度和长度与第二子晶体管的第二子沟道区的宽度和长度相同的示例。

[0163] 首先,参照图8,在平面上,应该保持从第一子晶体管T3_1的第一子沟道区131c_1与第一子源区136c_1之间的边界到屏蔽图案158的左边缘的距离d1(例如,保持在预定距离或更大)。从第二子晶体管T3_2的第二子沟道区131c_2与第二子漏区137c_2之间的边界到屏蔽图案158的下边缘的距离d2应该保持在预定距离或更大。

[0164] 在实施例中,第一子晶体管T3_1的第一子沟道区131c_1的宽度W1(即,在第二方向DR2上的长度)可以基本上等于第二子晶体管T3_2的第二子沟道区131c_2的宽度W2(例如, $W1 = W2$)。第一子晶体管T3_1的第一子沟道区131c_1的长度L1(即,在第一方向DR1上的长度)可以基本上等于第二子晶体管T3_2的第二子沟道区131c_2的长度L2($L1 = L2$)。

[0165] 在平面上,例如,屏蔽图案158与第一子晶体管T3_1的第一子源区136c_1和第二子晶体管T3_2的第二子漏区137c_2叠置,以形成辅助电容器Cdd(见图5)。应该注意,在本公开的实施例中,屏蔽图案158不与第一子沟道区131c_1叠置。此外,在本公开的实施例中,屏蔽图案158不与第二子沟道区131c_2叠置。

[0166] 如上面参照图6和图7所述,辅助电容器Cdd的电容可以足够大,并且用于增大辅助电容器Cdd的电容的方法之一是增大屏蔽图案158与第一子源区136c_1和第二子漏区137c_2叠置的区域。然而,屏蔽图案158的区域在有限的像素区域内。

[0167] 图9示出了第一子晶体管的第一子沟道区的宽度大于第二子晶体管的第二子沟道区的宽度的示例。

[0168] 参照图9,第一子晶体管T3_1的第一子沟道区131c_1的宽度W1a(即,在第二方向DR2上的长度)大于第二子晶体管T3_2的第二子沟道区131c_2的宽度W2(例如, $W1a > W2$)。例如,第一子沟道区131c_1的宽度W1a可以比第二子晶体管T3_2的第二子沟道区131c_2的宽度W2大约 $0.5\mu\text{m}$ 。随着第一子晶体管T3_1的第一子沟道区131c_1的宽度W1a增大,因为第一子源区136c_1与屏蔽图案158之间的叠置区域增大,所以辅助电容器Cdd的电容增大。

[0169] 在图9中所示的示例中,尽管(例如,与图8中所示的示例相比)第一子晶体管T3_1的第一子沟道区131c_1的宽度W1a增大,但是在另一实施例中,第二子晶体管T3_2的第二子

沟道区131c_2的宽度W2可以增大。在另一示例中,第一子沟道区131c_1的宽度W1a和第二子沟道区131c_2的宽度W2都可以增大。

[0170] 图10示出了第一子晶体管的第一子沟道区的长度比第二子晶体管的第二子沟道区的长度短的示例。

[0171] 参照图10,第一子晶体管T3_1的第一子沟道区131c_1的长度L1a(例如,在第一方向DR1上的长度)比第二子晶体管T3_2的第二子沟道区131c_2的长度L2短(例如, $L1a < L2$)。随着第一子沟道区131c_1的长度L1a变得更短,屏蔽图案158可以在第一方向DR1上延伸得更长。也就是说,随着屏蔽图案158的区域增大,因为第一子源区136c_1与屏蔽图案158之间的叠置区域增大,所以辅助电容器Cdd的电容增大。

[0172] 根据图9和图10中所示的实施例,能够提高空间利用效率并形成具有足够容量的辅助电容器Cdd。

[0173] 将参照图11至图12以及上面描述的附图来描述根据各种实施例的有机发光显示装置。将省略与上述实施例的组件相同的组件的相同描述。

[0174] 图11是根据本公开的实施例的像素的一部分的平面图。图12是图11中所示的有机发光显示装置的沿线VII-VII'截取的剖视图。

[0175] 图11和图12中所示的像素还包括上屏蔽图案210。上屏蔽图案210可以布置在第三绝缘层160上。在一些实施例中,上屏蔽图案210可以通过接触孔连接到图3中所示的驱动电压线172。上屏蔽图案210可以位于与屏蔽图案158的层不同的层上,第三绝缘层160位于上屏蔽图案210与屏蔽图案158之间。上屏蔽图案210可以位于与连接构件174的层相同的层上(例如,在第三导电层中)。

[0176] 上屏蔽图案210与第一子晶体管T3_1的第一子源区136c_1和第二子晶体管T3_2的第二子漏区137c_2叠置,以形成第二辅助电容器Cdd2。

[0177] 通过屏蔽图案158与第一子源区136c_1和第二子漏区137c_2两者之间的第一辅助电容器Cdd1以及上屏蔽图案210与第一子源区136c_1和第二子漏区137c_2两者之间的第二辅助电容器Cdd2的并联连接结构,总电容可以增大。

[0178] 图13是根据本公开的实施例的像素的一部分的平面图。图14是图13中所示的有机发光显示装置的沿线VIII-VIII'截取的剖视图。

[0179] 图13和图14中所示的像素包括上屏蔽图案310。上屏蔽图案310可以布置在第四绝缘层165上。第四绝缘层165可以形成在第三绝缘层160上。在一些实施例中,上屏蔽图案310可以通过接触孔连接到图3中所示的驱动电压线172。上屏蔽图案310可以位于与屏蔽图案158的层不同的层上,第三绝缘层160和第四绝缘层165位于上屏蔽图案310与屏蔽图案158之间。第四绝缘层165具有与第一子晶体管T3_1的第一子源区136c_1和第二子晶体管T3_2的第二子漏区137c_2叠置的开口部分166。

[0180] 上屏蔽图案310与第一子晶体管T3_1的第一子源区136c_1和第二子晶体管T3_2的第二子漏区137c_2叠置,以形成第三辅助电容器Cdd3。在该实施例中,上屏蔽图案310与第一子源区136c_1和第二子漏区137c_2之间的距离通过上屏蔽图案310的开口部分166来减小,使得第三辅助电容器Cdd3的容量可以增大。

[0181] 通过屏蔽图案158与第一子源区136c_1和第二子漏区137c_2两者之间的第一辅助电容器Cdd1以及上屏蔽图案310与第一子源区136c_1和第二子漏区137c_2两者之间的第三

辅助电容器Cdd3的并联连接结构,总电容可以增大。

[0182] 具有这种构造的有机发光显示装置可以通过增大具有双栅电极的第三晶体管的连接节点与电源电压布线之间的电容来减小通过第三晶体管的漏电流。因此,可以改善有机发光显示装置的显示质量。

[0183] 尽管已经描述了本公开的实施例,但是理解的是,本公开不应限于这些实施例,而是在如本文中要求的本公开的精神和范围内,本领域普通技术人员可以进行各种改变和修改。

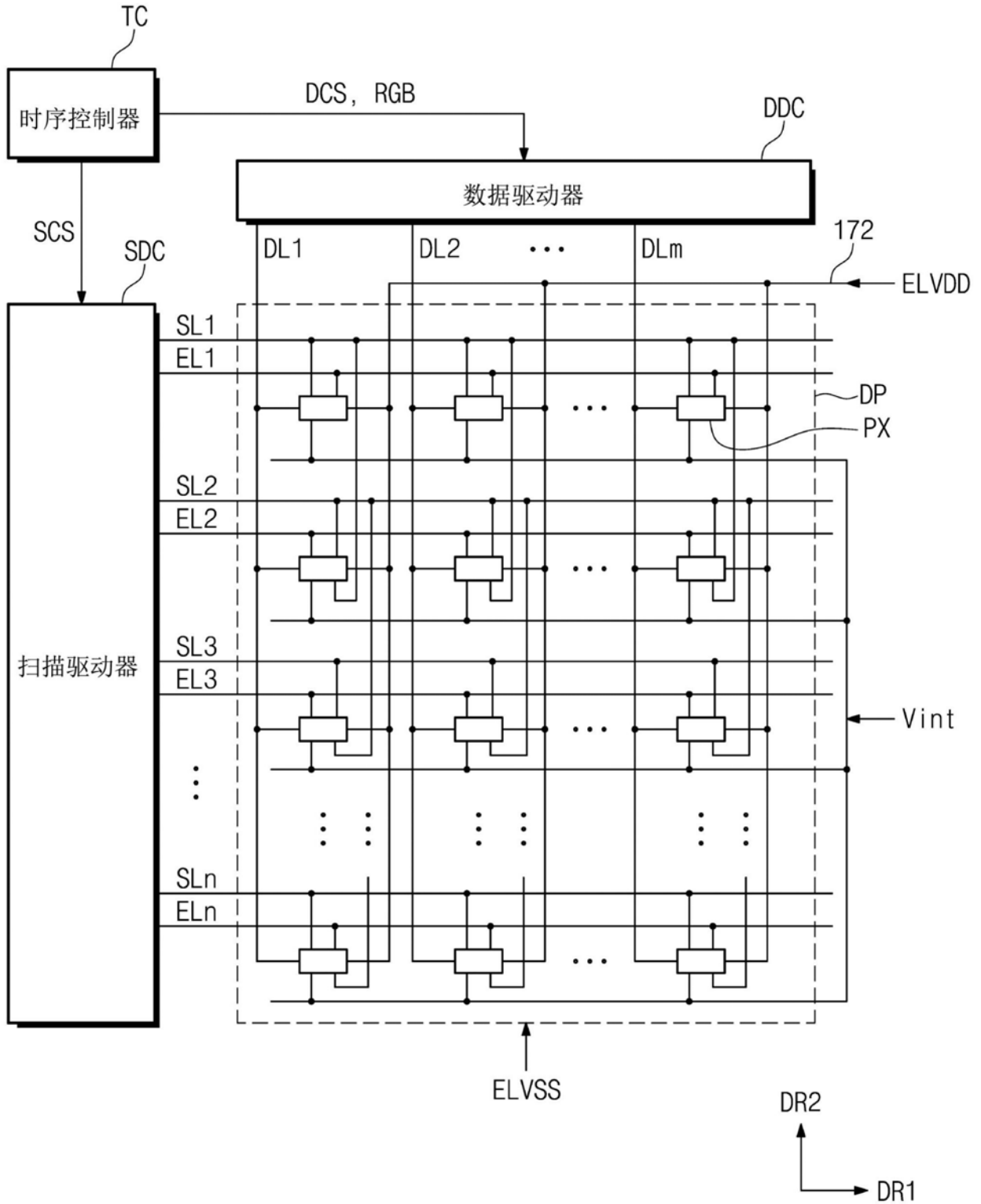


图1

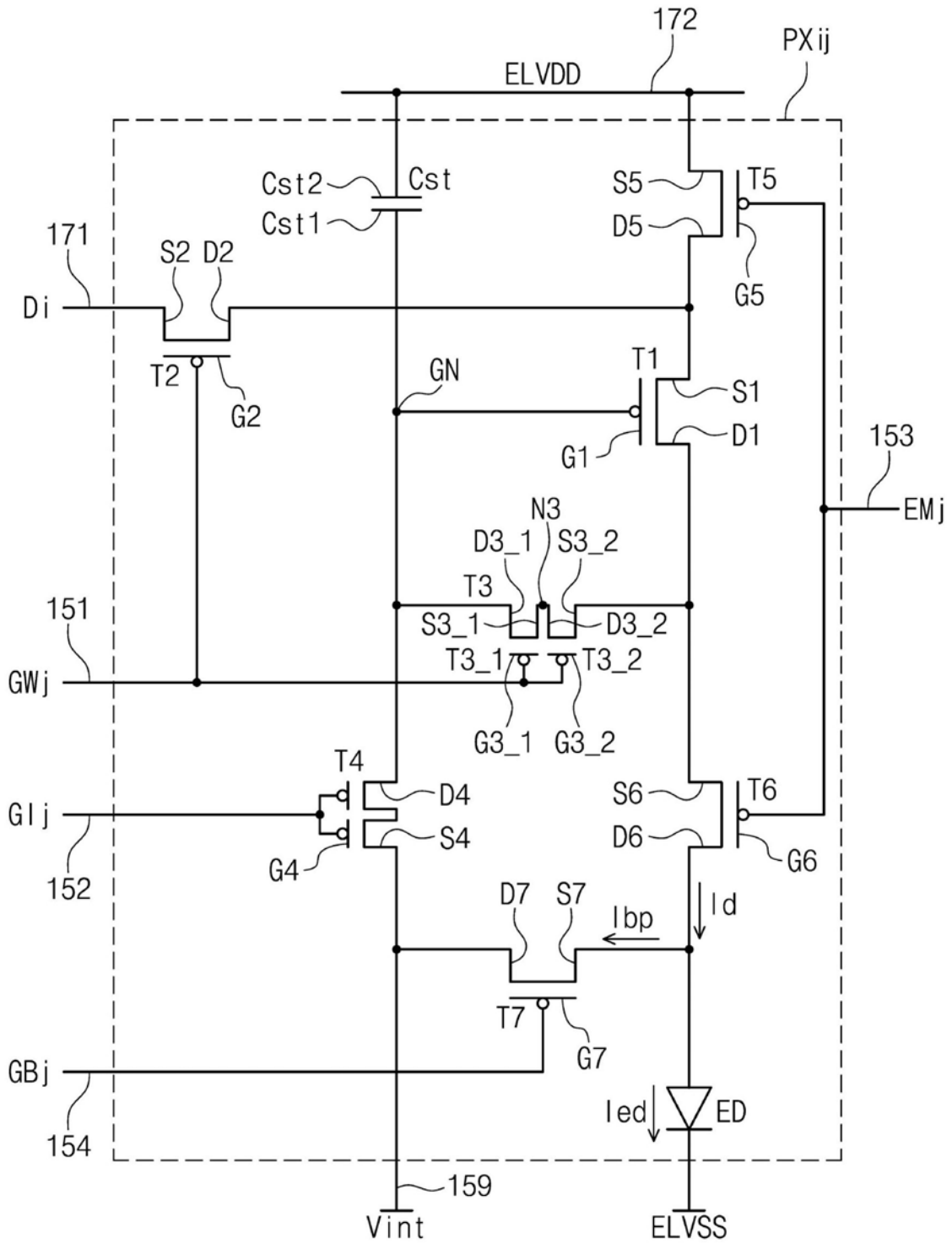


图2

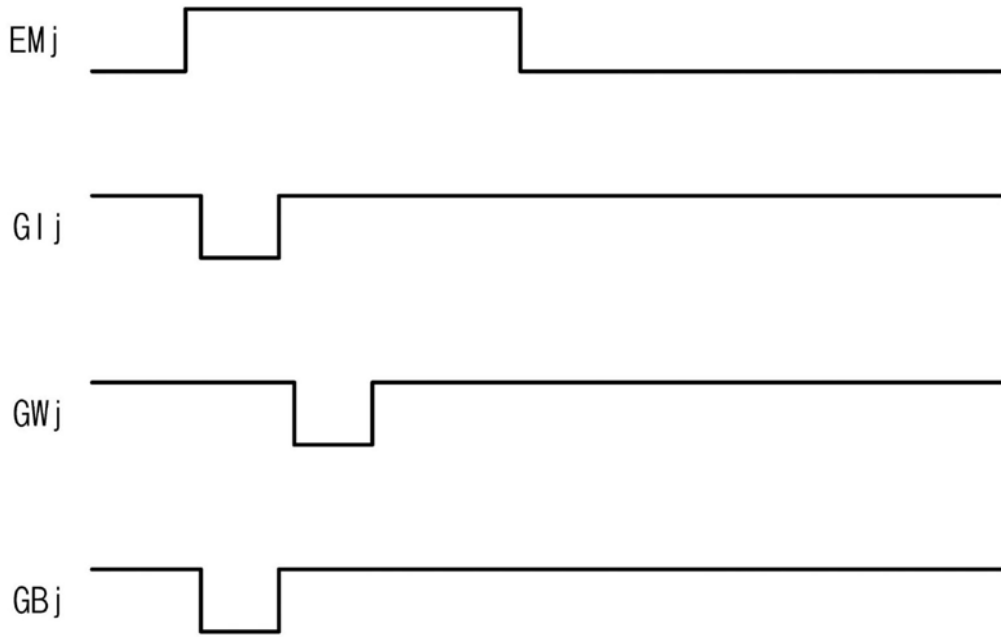


图3

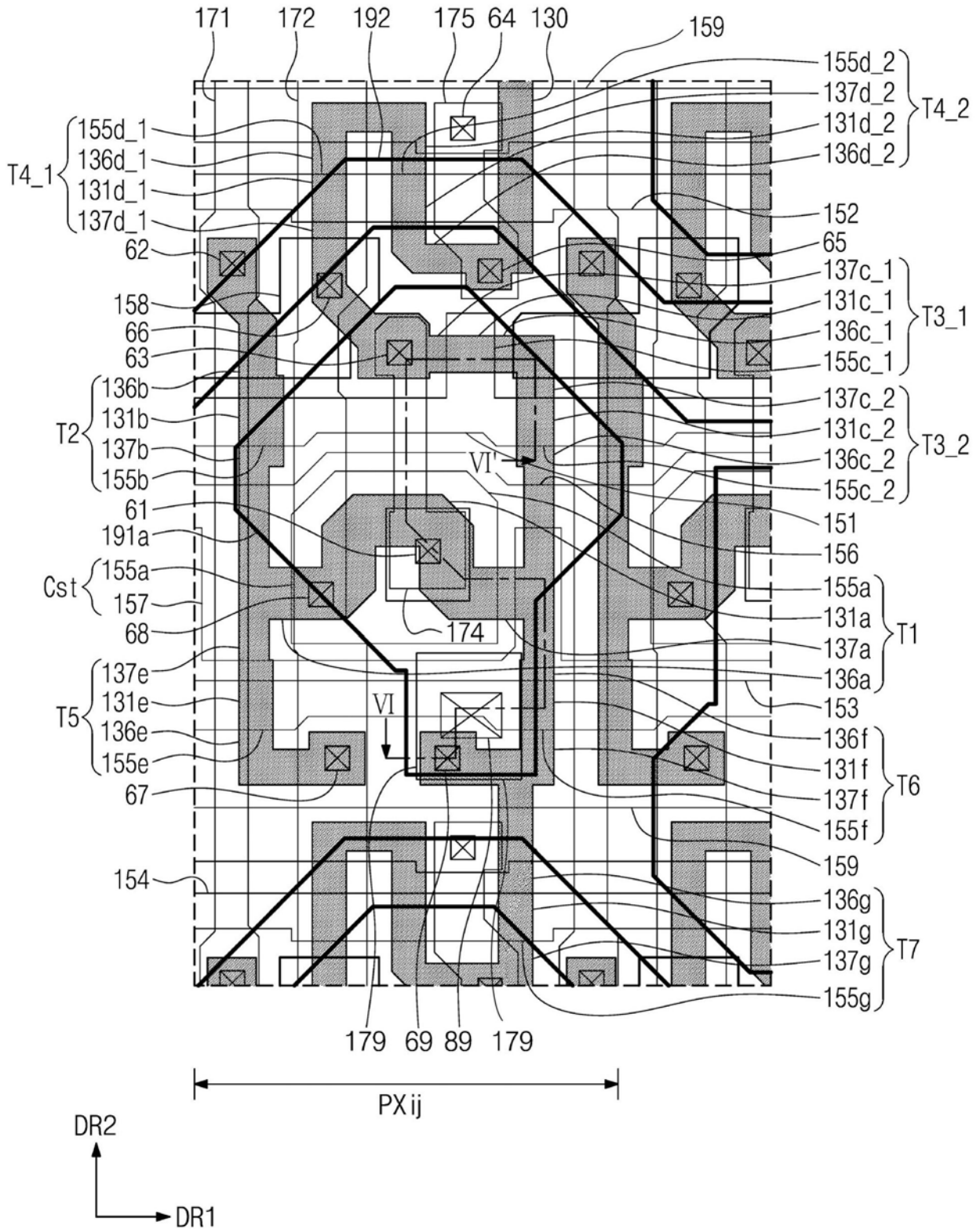


图4

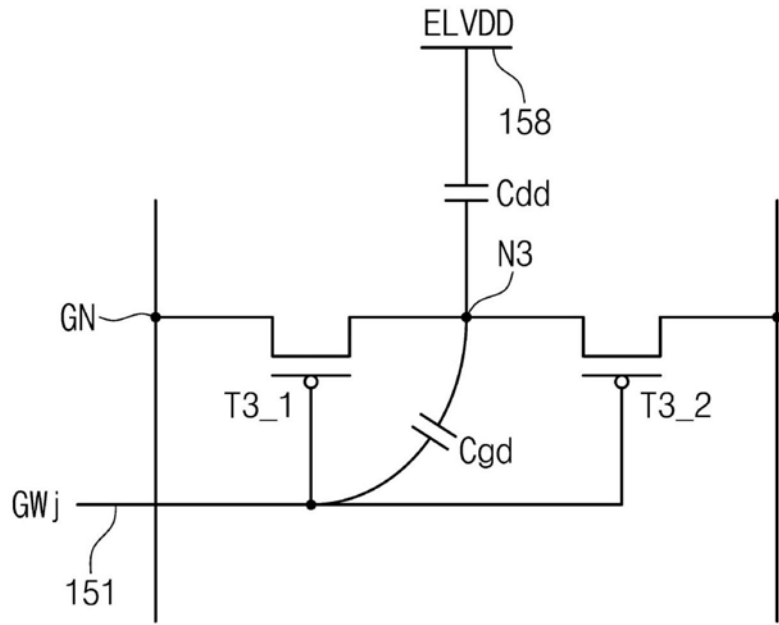


图6

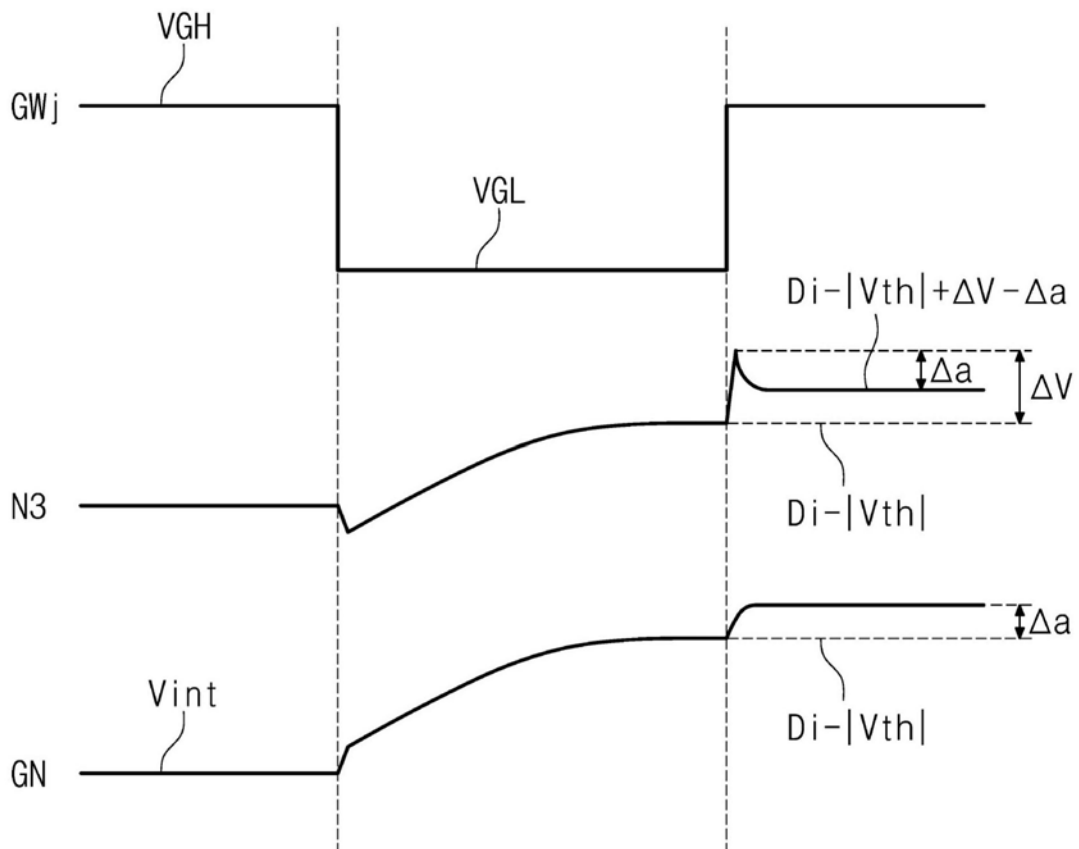


图7

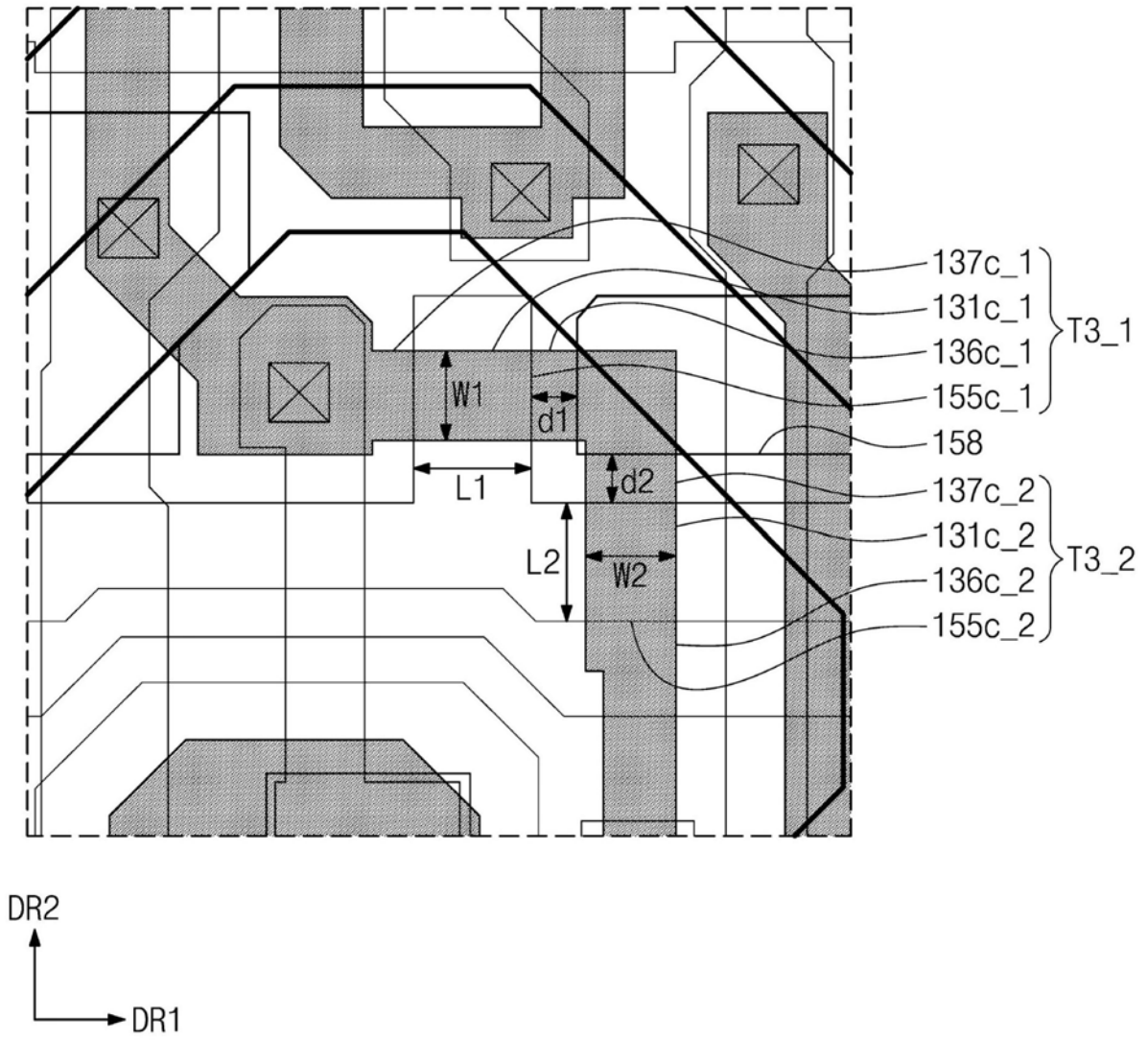


图8

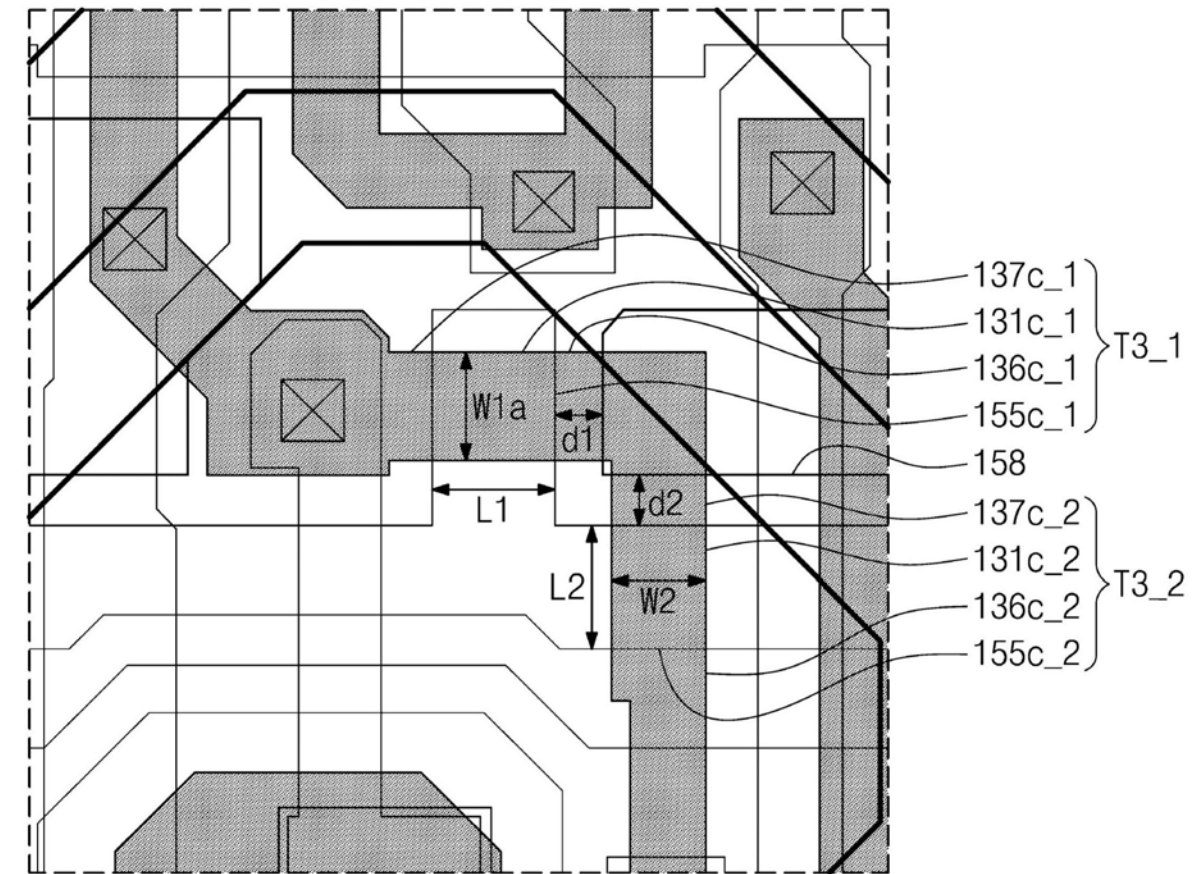


图9

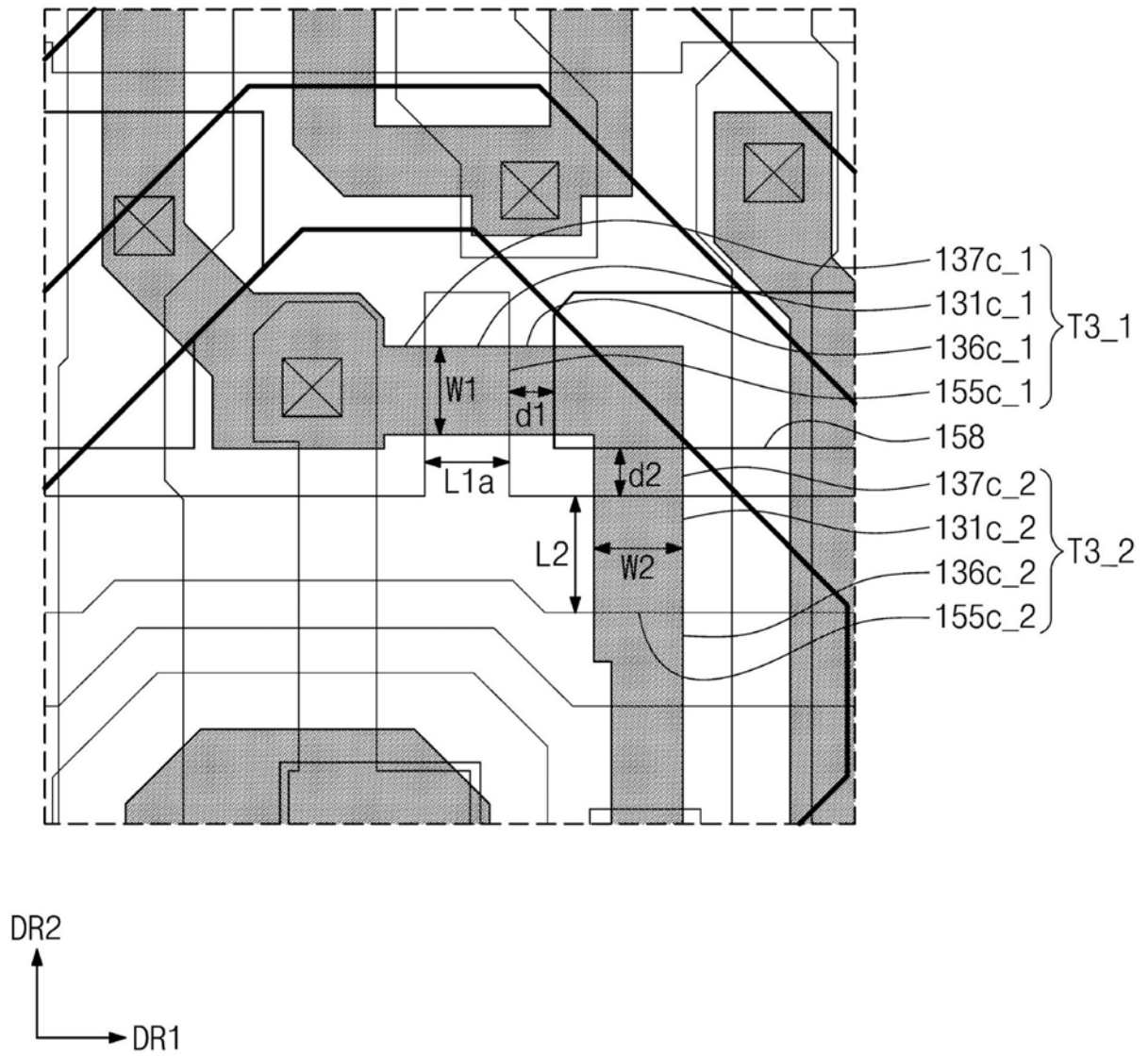


图10

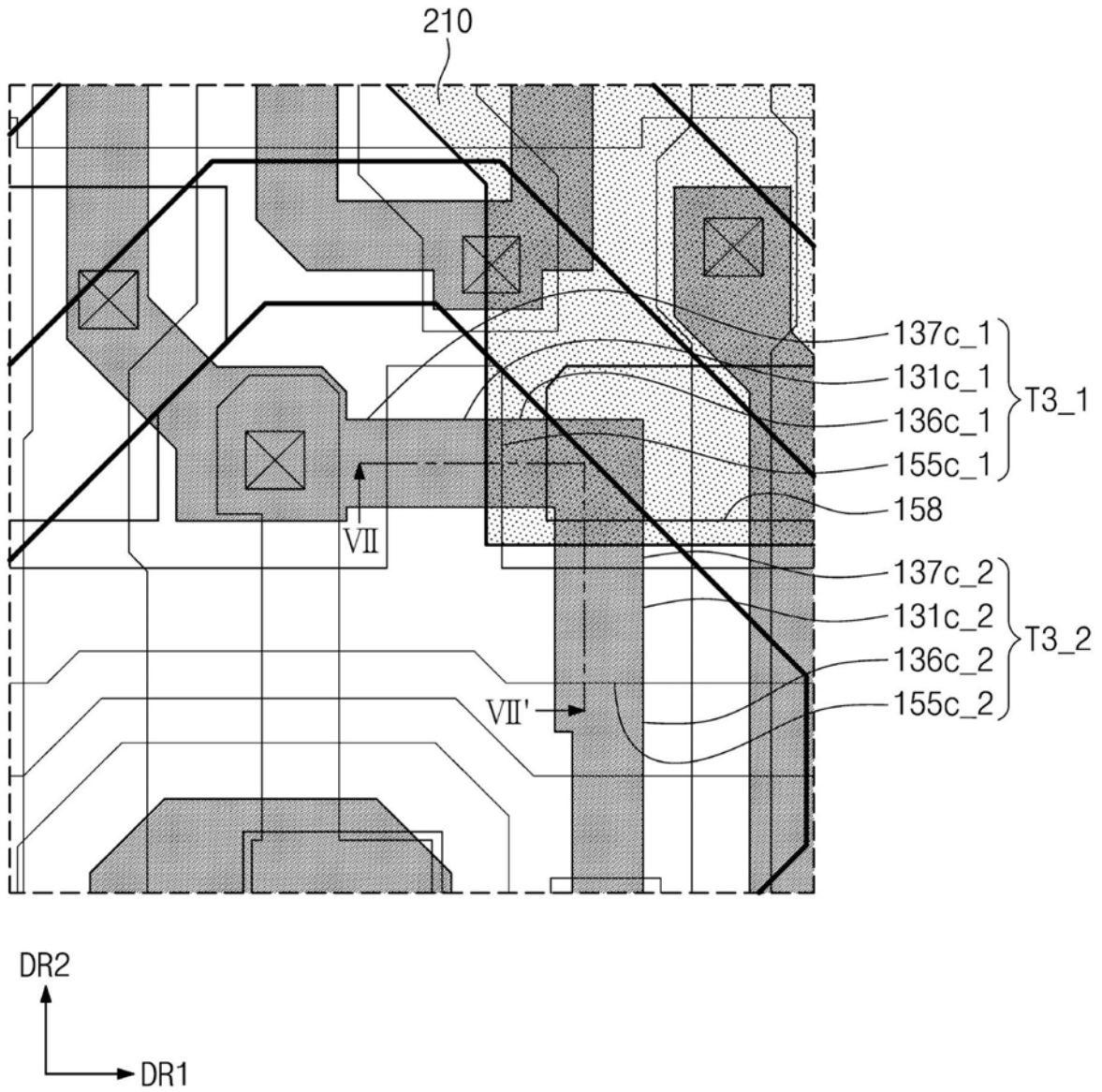


图11

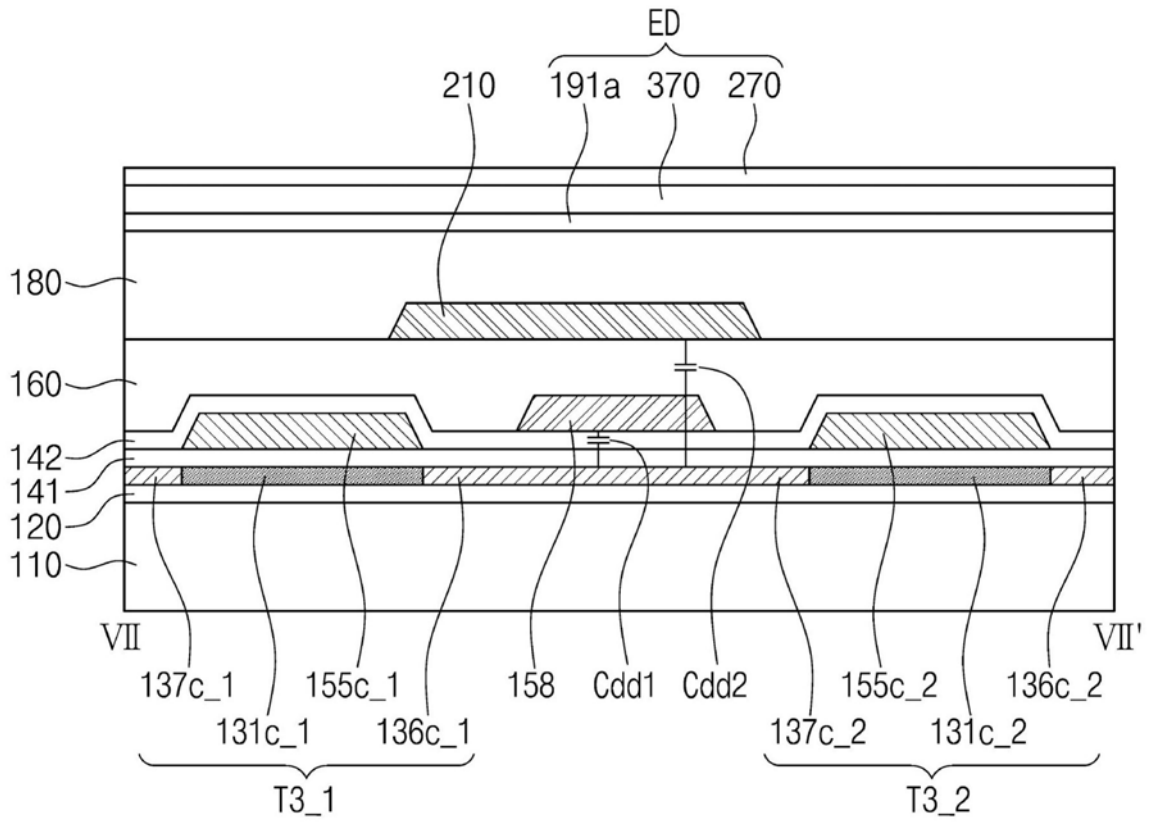


图12

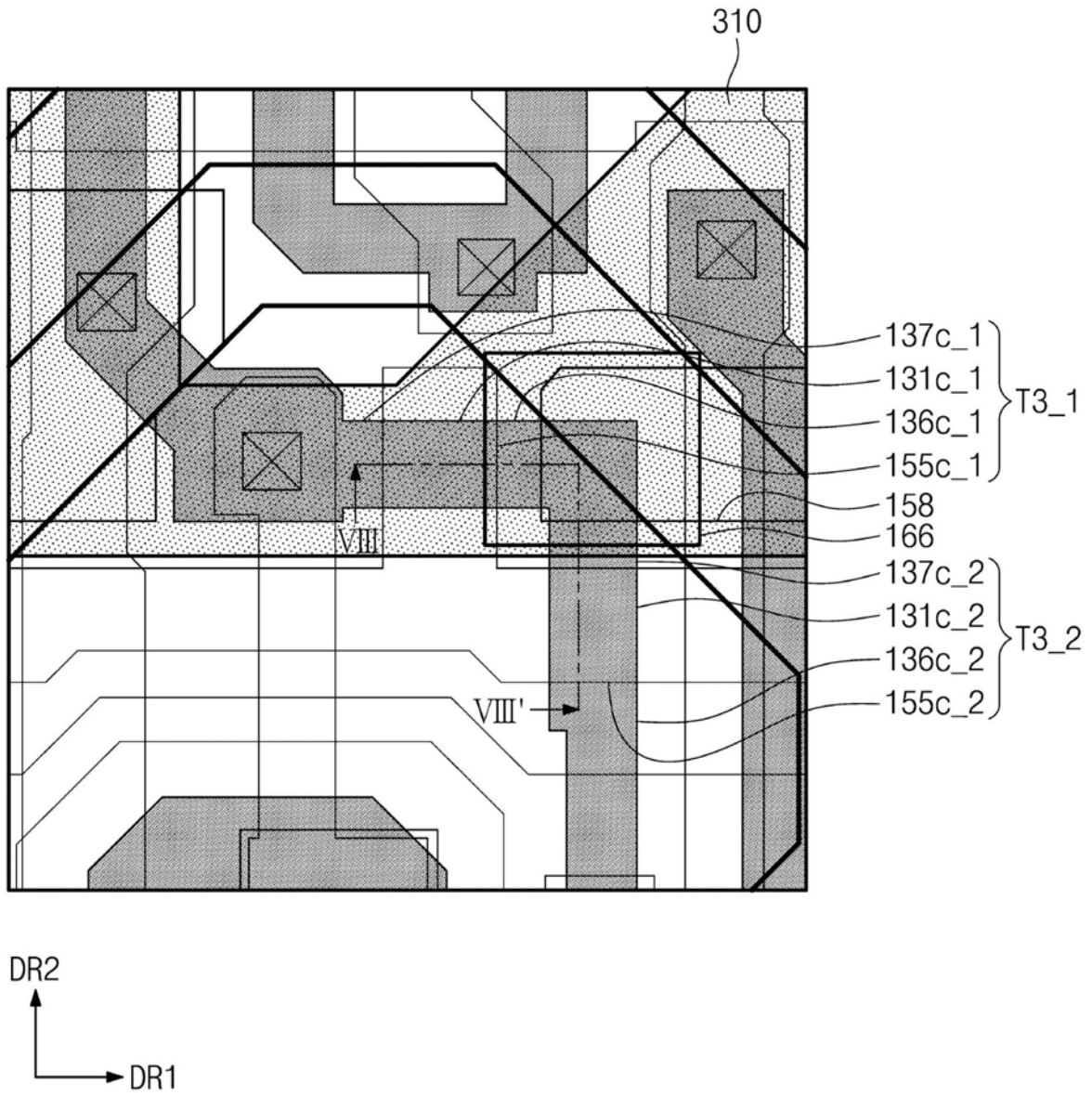


图13

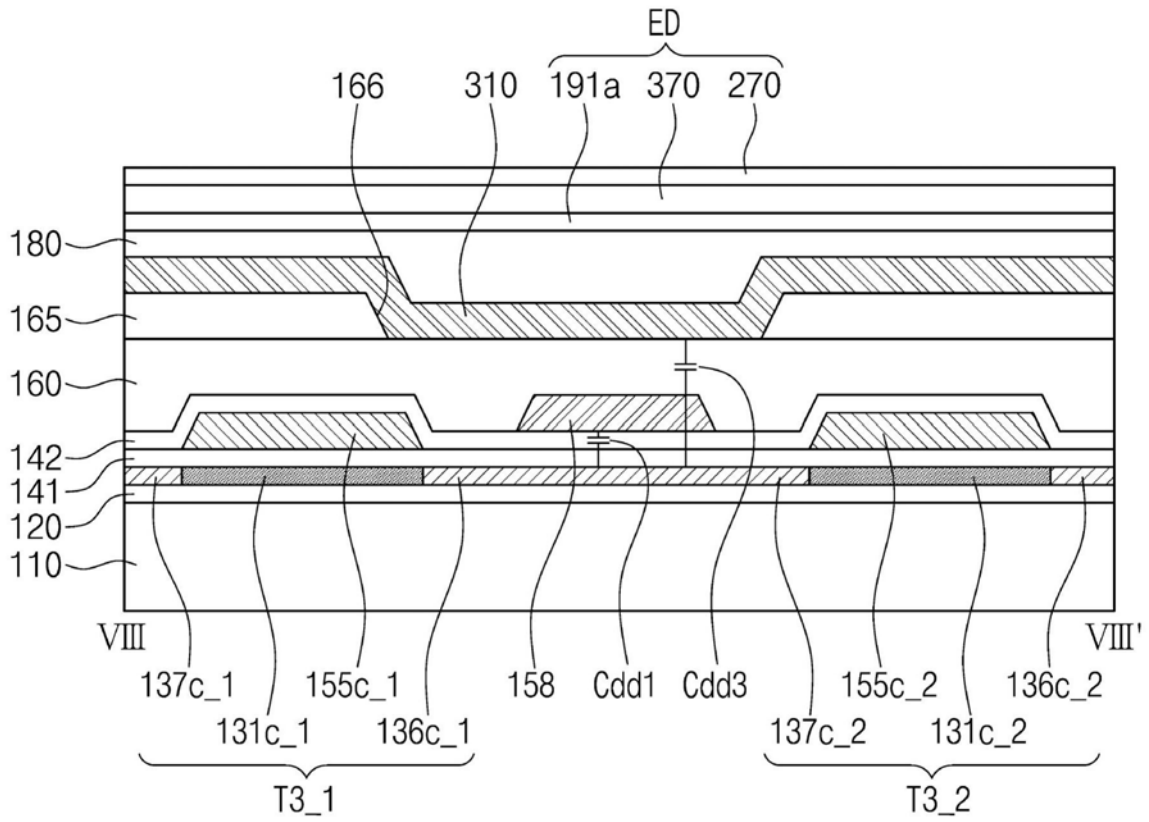


图14

| | | | |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译) | 像素和包括该像素的有机发光显示装置 | | |
| 公开(公告)号 | CN110729324A | 公开(公告)日 | 2020-01-24 |
| 申请号 | CN201910514975.9 | 申请日 | 2019-06-14 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示有限公司 | | |
| [标]发明人 | 曹永振 金炫雄 文重守 李承珪 金阳完 | | |
| 发明人 | 曹永振 金炫雄 文重守 李承珪 金阳完 | | |
| IPC分类号 | H01L27/32 G09G3/3266 G09G3/3275 | | |
| CPC分类号 | G09G3/3266 G09G3/3275 H01L27/3262 H01L27/3265 G09G3/3225 G09G2230/00 G09G2300/0819 G09G2300/0847 G09G2310/0216 G09G2320/0238 H01L27/3272 H01L27/3276 | | |
| 代理人(译) | 程月 刘灿强 | | |
| 优先权 | 1020180082990 2018-07-17 KR | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

提供了一种像素和包括该像素的有机发光显示装置。所述像素包括：第一晶体管，包括电连接到发光二极管的第一漏区、第一栅电极、与第一栅电极叠置的第一沟道区以及第一源区；第一子晶体管，包括第一子栅电极、与第一子栅电极叠置的第一子沟道区、连接到第一栅电极的第一子漏区以及第一子源区；第二子晶体管，包括第二子栅电极、与第二子栅电极叠置的第二子沟道区、连接到第一子源区的第二子漏区以及第二子源区；以及屏蔽图案，与第一子源区和第二子漏区叠置，并且不与第一子沟道区叠置，其中，第一子沟道区的宽度比第二子沟道区的宽度大。

