



## (12)发明专利申请

(10)申请公布号 CN 110473883 A

(43)申请公布日 2019. 11. 19

(21)申请号 201910771653.2

(22)申请日 2019.08.21

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明  
大道9-2号

(72)发明人 杜鹏

(74)专利代理机构 深圳翼盛智成知识产权事务  
所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

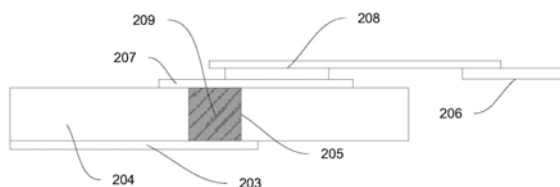
权利要求书2页 说明书6页 附图3页

(54)发明名称

阵列基板及OLED显示装置

(57)摘要

本发明提供一种阵列基板,包括阵列分布的子像素,相邻两列子像素之间设置有数据线和电源信号线;其中,所述数据线与所述电源信号线制备于不同的膜层表面,且所述数据线与所述电源信号线至少部分重叠。相应地,本发明还提供一种包括所述阵列基板的OLED显示装置。本发明所述阵列基板与现有技术的阵列基板相比,具有较高的开口率。



1. 一种阵列基板, 其特征在于, 所述阵列基板包括阵列分布的子像素, 相邻两列子像素之间设置有数据线和电源信号线;

其中, 所述数据线与所述电源信号线制备于不同的膜层表面, 且所述数据线与所述电源信号线至少部分重叠。

2. 根据权利要求1所述的阵列基板, 其特征在于, 所述数据线设置于所述阵列基板上, 所述电源信号线制备于所述阵列基板的背侧, 且与所述数据线对位设置, 所述电源信号线的信号输入端延伸至绑定区域, 通过开设于所述阵列基板的通孔与控制芯片电性连接。

3. 根据权利要求2所述的阵列基板, 其特征在于, 所述数据线与所述电源信号线的延伸方向相同。

4. 根据权利要求3所述的阵列基板, 其特征在于, 所述阵列基板的每个子像素包括第一薄膜晶体管、第二薄膜晶体管、扫描线、阴极信号线、所述数据线、所述电源信号线以及一存储电容;

其中, 所述第一薄膜晶体管的栅极电连接于所述扫描线, 源极电连接于所述数据线;

所述第二薄膜晶体管的栅极电连接于所述第一薄膜晶体管的漏极, 源极电连接于所述电源信号线, 漏极电连接于所述OLED的阳极;

所述OLED的阴极电连接于所述阴极信号线;

所述存储电容电连接于所述第二薄膜晶体管的栅极与漏极。

5. 根据权利要求4所述的阵列基板, 其特征在于, 每一列所述子像素对应一条所述数据线与一条所述电源信号线。

6. 根据权利要求1所述的阵列基板, 其特征在于, 所述阵列基板还包括与所述电源信号线平行设置的补偿信号线, 所述补偿信号线与所述数据线至少部分重叠, 所述补偿信号线与所述数据线的延伸方向相同。

7. 根据权利要求6所述的阵列基板, 其特征在于, 所述补偿信号线制备于所述阵列基板的背侧, 且与所述电源信号线交替设置。

8. 根据权利要求7所述的阵列基板, 其特征在于, 所述阵列基板的一个子像素包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、扫描线、阴极信号线、所述数据线、所述电源信号线、所述补偿信号线以及一存储电容; 其相邻子像素包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、扫描线、阴极信号线、所述数据线、所述电源信号线、所述补偿信号线以及一存储电容;

其中, 所述第一薄膜晶体管的栅极电连接于所述扫描线, 源极电连接于所述N级数据线;

所述第二薄膜晶体管的栅极电连接于所述第一薄膜晶体管的漏极, 源极电连接于所述N级电源信号线, 漏极电连接于所述OLED的阳极;

所述OLED的阴极电连接于所述阴极信号线;

所述第三薄膜晶体管的栅极电连接于所述扫描线, 源极电连接于所述补偿信号线, 漏极电连接于所述第二薄膜晶体管的漏极;

所述第四薄膜晶体管的栅极电连接于所述扫描线, 源极电连接于所述N+1级数据线;

所述第五薄膜晶体管的栅极电连接于所述第四薄膜晶体管的漏极, 源极电连接于所述N+1级电源信号线, 漏极电连接于所述OLED的阳极;

所述第六薄膜晶体管的栅极电连接于所述扫描线,源极电连接于所述补偿信号线,漏极电连接于所述第五薄膜晶体管的漏极;

所述存储电容电连接于所述第二薄膜晶体管的栅极和漏极或电连接于所述第五薄膜晶体管的栅极和漏极;

所述两个相邻的子像素共用一条所述补偿信号线。

9. 根据权利要求8所述的阵列基板,其特征在于,每一列所述子像素对应一条所述数据线,每两列所述子像素对应一条所述电源信号线或所述补偿信号线。

10. 一种OLED显示装置,其特征在于,所述OLED显示装置包括有阵列基板,所述阵列基板为权利要求1-9任一所述的阵列基板。

## 阵列基板及OLED显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及OLED显示装置。

### 背景技术

[0002] OLED面板已经逐渐应用在大尺寸面板领域中,尤其是底发光(Bottom Emission)的结构,这样制程相对简单,成本也能得到有效的控制。

[0003] 与TFT-LCD的像素相比,OLED的像素更加复杂,像素中的不发光器件较多,尤其是子像素之间的竖直线路的分布密集,占用了很大的面积,这样会造成像素的开口率偏低,进而导致显示装置的亮度低、功耗大,不利于产品的竞争力。

[0004] 因此,提高OLED像素的开口率是业内亟待解决的问题。

### 发明内容

[0005] 本发明提供一种阵列基板,通过减小像素在竖直方向被线路占用的面积,从而能够提高开口率,以此解决现有显示装置中的竖直线路密集造成开口率偏低而影响显示装置的亮度和功耗的技术问题。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 本发明提供一种阵列基板,包括阵列分布的子像素,相邻两列子像素之间设置有数据线和电源信号线;

[0008] 其中,所述数据线与所述电源信号线制备于不同的膜层表面,且所述数据线与所述电源信号线至少部分重叠。

[0009] 根据本发明一优选实施例,所述数据线设置于所述阵列基板上,所述电源信号线制备于所述阵列基板的背侧,且与所述数据线对位设置,所述电源信号线的信号输入端延伸至绑定区域,通过开设于所述阵列基板的通孔与控制芯片电性连接。

[0010] 根据本发明一优选实施例,所述数据线与所述电源信号线的延伸方向相同。

[0011] 根据本发明一优选实施例,所述阵列基板的每个子像素包括第一薄膜晶体管、第二薄膜晶体管、扫描线、阴极信号线、所述数据线、所述电源信号线以及一存储电容;

[0012] 其中,所述第一薄膜晶体管的栅极电连接于所述扫描线,源极电连接于所述数据线;

[0013] 所述第二薄膜晶体管的栅极电连接于所述第一薄膜晶体管的漏极,源极电连接于所述电源信号线,漏极电连接于所述OLED的阳极;

[0014] 所述OLED的阴极电连接于所述阴极信号线;

[0015] 所述存储电容电连接于所述第二薄膜晶体管的栅极与漏极。

[0016] 根据本发明一优选实施例,每一列所述子像素对应一条所述数据线与一条所述电源信号线。

[0017] 根据本发明一优选实施例,所述阵列基板还包括与所述电源信号线平行设置的补偿信号线,所述补偿信号线与所述数据线至少部分重叠,所述补偿信号线与所述数据线的

延伸方向相同。

[0018] 根据本发明一优选实施例,所述补偿信号线制备于所述阵列基板的背侧,且与所述电源信号线交替设置。

[0019] 根据本发明一优选实施例,所述阵列基板的一个子像素包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、扫描线、阴极信号线、所述数据线、所述电源信号线、所述补偿信号线以及一存储电容;其相邻子像素包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、扫描线、阴极信号线、所述数据线、所述电源信号线、所述补偿信号线以及一存储电容;

[0020] 其中,所述第一薄膜晶体管的栅极电连接于所述扫描线,源极电连接于所述N级数据线;

[0021] 所述第二薄膜晶体管的栅极电连接于所述第一薄膜晶体管的漏极,源极电连接于所述N级电源信号线,漏极电连接于所述OLED的阳极;

[0022] 所述OLED的阴极电连接于所述阴极信号线;

[0023] 所述第三薄膜晶体管的栅极电连接于所述扫描线,源极电连接于所述补偿信号线,漏极电连接于所述第二薄膜晶体管的漏极;

[0024] 所述第四薄膜晶体管的栅极电连接于所述扫描线,源极电连接于所述N+1级数据线;

[0025] 所述第五薄膜晶体管的栅极电连接于所述第四薄膜晶体管的漏极,源极电连接于所述N+1级电源信号线,漏极电连接于所述OLED的阳极;

[0026] 所述第六薄膜晶体管的栅极电连接于所述扫描线,源极电连接于所述补偿信号线,漏极电连接于所述第五薄膜晶体管的漏极;

[0027] 所述存储电容电连接于所述第二薄膜晶体管的栅极和漏极或电连接于所述第五薄膜晶体管的栅极和漏极;

[0028] 所述两个相邻的子像素共用一条所述补偿信号线。

[0029] 根据本发明一优选实施例,每一列所述子像素对应一条所述数据线,每两列所述子像素对应一条所述电源信号线或所述补偿信号线。

[0030] 依据本发明的上述目的,提出一种OLED显示装置,包括以上的阵列基板。

[0031] 本发明的有益效果为:相较于现有的阵列基板和OLED显示装置,本发明的阵列基板和OLED显示装置将竖直方向的数据线与电源信号线分别制备于不同膜层的表面,且数据线与电源信号线至少部分重叠,使得每一列子像素对应一条数据线和一条电源信号线,这样像素在竖直方向被线路占用的面积变小,从而能够提高像素的开口率,以此解决现有阵列基板中的竖直线路密集造成开口率偏低而影响显示装置亮度和功耗的技术问题。

## 附图说明

[0032] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0033] 图1为一种现有的阵列基板中的像素结构示意图;

- [0034] 图2A为本发明的阵列基板的第一种实施例的部分结构示意图；  
[0035] 图2B为本发明的阵列基板的第一种实施例的像素结构示意图；  
[0036] 图2C为图2B中A-A`区域的截面结构示意图；  
[0037] 图2D为本发明的阵列基板的第一种实施例的像素等效电路图；  
[0038] 图3A为本发明的阵列基板的第二种实施例的像素结构示意图；  
[0039] 图3B为图3A中B-B`区域的截面结构示意图；  
[0040] 图3C为本发明的阵列基板的第二种实施例的像素等效电路图。

## 具体实施方式

[0041] 以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。在图中,结构相似的单元是用以相同标号表示。

[0042] OLED的像素结构较为复杂,图1为现有阵列基板的像素结构示意图,图中可看出,像素中分布有多个子像素101,子像素101之间设置有多条数据线102和电源信号线103,数据线102和电源信号线103数量较多,分布在像素中占据了很大的面积,导致现有的OLED像素开口率不高,进而使得OLED显示装置的亮度低、功耗大。

[0043] 本发明针对现有的阵列基板和OLED显示装置,由于竖直方向的线路密集占用大量的面积,导致像素开口率偏低而使显示装置的亮度低功耗大的技术问题,本实施例能够解决该缺陷。

[0044] 图2A-2D为本发明阵列基板的第一种实施例的示意图,本发明第一种实施例提供的阵列基板包括:阵列分布的子像素201,相邻两列子像素201之间设置有数据线202和电源信号线203,其中,所述数据线202与所述电源信号线203制备于不同的膜层表面,且所述数据线202与所述电源信号线203至少部分重叠。

[0045] 如图2A所示,所述数据线202设置于所述阵列基板上,所述电源信号线203制备于所述阵列基板的背侧,本实施例为制备于玻璃基板204的背侧,且与所述数据线202对位设置,所述电源信号线203的信号输入端延伸至绑定区域,通过开设于所述阵列基板的通孔205与控制芯片206电性连接。

[0046] 其中,所述绑定区域包括:焊盘207,所述焊盘207设置于所述玻璃基板204一侧的表面且覆盖于所述通孔205的一侧开口;导电膜层208,所述导电膜层208铺设于所述焊盘207表面;所述电源信号线203与所述通孔205、所述焊盘207、所述导电膜层208连接导通。

[0047] 所述通孔205中设置有导电物209,所述导电物209可以是铁棒、铜块或其它任何可以导电的物质。

[0048] 所述导电膜层208是由两层叠层设置的导电胶组成,所述导电膜层208可黏结导通所述焊盘207与位于所述导电膜层208另一端的所述控制芯片206,使得所述控制芯片206可驱动所述阵列基板。

[0049] 在本实施例中,所述电源信号线203制备于所述玻璃基板204一侧的表面,在所述焊盘207的另一端连接有另外的电源信号线203(图2A中未示出),通过所述通孔205及其内部的所述导电物209、所述焊盘207、所述导电膜层208将所述电源信号线203之间连接导通,

以及将所述玻璃基板204两侧导通。

[0050] 如图2B所示,本发明的阵列基板的第一种实施例的像素结构为每一列所述子像素201对应一条所述数据线202与一条所述电源信号线203,且所述数据线202和所述电源信号线203至少有部分重叠在一起,这样可以使得像素结构中竖直走线所占据的面积减少,图2B和图1相比较可知,本实施例的像素结构的所述电源信号线203和所述数据线202之间的面积缩减,这样使得像素的开口率升高。

[0051] 本实施例中的所述子像素为R、G、B三种,但在其它实施例中,可以不止有三种所述子像素201,且所述子像素201的排布方式不限定,可以是任一种布局。

[0052] 图2C为图2B的A-A'处的截面图,图中由上至下分别是所述数据线202、栅绝缘层210、扫描线211、所述玻璃基板204和所述电源信号线203,其中,所述数据线202制备于栅绝缘层210表面,在其它实施例中,所述数据线202也可以制备于其它膜层,所述膜层与所述玻璃基板204互相平行,且所述数据线202沿所述膜层的表面延伸方向进行制备,而所述电源信号线203沿所述阵列基板的延伸方向进行制备,即所述电源信号线203与所述数据线202的延伸方向相同。

[0053] 由于所述玻璃基板204的厚度较大,约为0.5mm,而所述栅绝缘层210和平坦化层(图中未示出)等绝缘层的厚度远小于所述玻璃基板204的厚度,一般为数微米大小,因此所述电源信号线203和所述数据线202之间的寄生电容非常小,两者之间的相互耦合可以忽略。

[0054] 图2D为本发明的阵列基板的第一种实施例的像素等效电路图,本实施例采用的是2T1C的像素架构,即所述阵列基板的每个子像素201包括第一薄膜晶体管T1、第二薄膜晶体管T2、扫描线Gate、阴极信号线VSS、所述数据线Data、所述电源信号线VDD以及一存储电容C1c;其中,所述第一薄膜晶体管T1的栅极电连接于所述扫描线Gate,源极电连接于所述数据线Data;所述第二薄膜晶体管T2的栅极电连接于所述第一薄膜晶体管T1的漏极,源极电连接于所述电源信号线VDD,漏极电连接于所述OLED的阳极;所述OLED的阴极电连接于所述阴极信号线VSS;所述存储电容C1c电连接于所述第二薄膜晶体管T2的栅极与漏极。

[0055] 本实施例的像素由两个薄膜晶体管、一个存储电容和OLED器件组成,其中,所述电源信号线VDD的作用是给OLED器件提供电源,所述数据线Data则是负责传输图像的数据信号。

[0056] 本发明的第一种实施例是将所述数据线202和所述电源信号线203分别制备于所述玻璃基板204两侧,所述电源信号线203制备于所述玻璃基板204一侧的表面,所述数据线202制备于所述栅绝缘层210的表面,但在其它实施例中,所述数据线202和所述电源信号线203可以制备在任意不同两个膜层的表面,只要所述电源信号线203与所述数据线202延伸方向相同,且在像素结构中所述数据线202和所述电源信号线203至少能部分重叠即可。

[0057] 本发明的第一种实施例通过减少所述数据线202与所述电源信号线203之间的面积,使两者至少部分重叠来提高像素的开口率。

[0058] 图3A-3C为本发明的阵列基板的第二种实施例的示意图,本发明第二种实施例提供的阵列基板包括:阵列分布的子像素301,相邻两列子像素301之间设置有数据线302和电源信号线303及补偿信号线312,其中,所述数据线302与所述电源信号线303及所述补偿信号线312制备于不同的膜层表面,且所述数据线302与所述电源信号线303至少部分重叠,所

述补偿信号线312与所述数据线302至少部分重叠,所述数据线302与所述电源信号线303的延伸方向相同,所述补偿信号线312与所述数据线302延伸方向相同。

[0059] 所述补偿信号线312的信号输入端延伸至绑定区域,通过开设于所述阵列基板的通孔与控制芯片电性连接。

[0060] 所述补偿信号线312与所述电源信号线303制备于同一层膜层的表面,本实施例为所述补偿信号线312与所述电源信号线303制备于所述玻璃基板304的背侧,且所述补偿信号线312与所述电源信号线303在膜层的表面交替分布,并与另一膜层表面的所述数据线302分别对应。

[0061] 如图3A所示,每一列所述子像素301对应一条所述数据线302,每两列所述子像素301对应一条所述电源信号线303或一条所述补偿信号线312,即在像素结构的竖直方向上,所述电源信号线303与所述补偿信号线312以每列所述子像素301为分隔线交替分布。本实施例与第一种实施例相比,多了所述补偿信号线312,除了所述电源信号线303与所述数据线302至少部分重叠提高像素的开口率之外,由于所述补偿信号线312与所述数据线302也至少部分重叠,使得所述补偿信号线312与所述数据线302之间的面积缩减,也能够提高像素的开口率。

[0062] 本实施例中的所述子像素301为R、G、B三种,但在其它实施例中,可以不止有三种所述子像素301,且所述子像素301的排布方式不限定,可以是任一种布局。

[0063] 图3B是图3A中B-B'处的截面图,由图中可看到,所述补偿信号线312与所述电源信号线303位于所述玻璃基板304的同一侧表面,所述数据线302位于所述玻璃基板304的另一侧,所述数据线302和所述玻璃基板304之间铺设有所述栅绝缘层310和所述扫描线311,所述补偿信号线312和所述电源信号线303在所述玻璃基板304的表面间隔排列,分别与所述数据线302相对应,所述电源信号线303与所述补偿信号线312可以用同一层金属来制作,其中,所述数据线302制备于栅绝缘层210表面,在其它实施例中,所述数据线302也可以制备于其它膜层,所述膜层与所述玻璃基板304互相平行,且所述数据线302沿所述膜层的表面延伸方向进行制备,而所述电源信号线303和所述补偿信号线312沿所述阵列基板的延伸方向进行制备,即所述电源信号线303、所述补偿信号线312与所述数据线302的延伸方向相同。

[0064] 本实施例中的所述电源信号线303之间和所述补偿信号线312之间以及所述玻璃基板304两侧的导通方法与第一种实施例一样,是由通孔及绑定区域来实现,同样,通孔及绑定区域也可以连接导通阵列基板和控制芯片。

[0065] 图3C是本发明阵列基板的第二种实施例的像素等效电路图,所述阵列基板的一个子像素包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、扫描线Gate、阴极信号线VSS、所述数据线Data、所述电源信号线VDD、所述补偿信号线Vc以及一存储电容C1c;其相邻子像素包括第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、扫描线Gate、阴极信号线VSS、所述数据线Data、所述电源信号线VDD、所述补偿信号线Vc以及一存储电容C1c;其中,所述第一薄膜晶体管T1的栅极电连接于所述扫描线Gate,源极电连接于所述N级数据线Data(n);所述第二薄膜晶体管T2的栅极电连接于所述第一薄膜晶体管T1的漏极,源极电连接于所述N级电源信号线VDD(n),漏极电连接于所述OLED的阳极;所述OLED的阴极电连接于所述阴极信号线VSS;所述第三薄膜晶体管T3的栅极电连接于所述扫描线



Gate,源极电连接于所述补偿信号线Vc,漏极电连接于所述第二薄膜晶体管T2的漏极;所述第四薄膜晶体管T4的栅极电连接于所述扫描线Gate,源极电连接于所述N+1级数据线Data(n+1);所述第五薄膜晶体管T5的栅极电连接于所述第四薄膜晶体管T4的漏极,源极电连接于所述N+1级电源信号线VDD(n+1),漏极电连接于所述OLED的阳极;所述第六薄膜晶体管T6的栅极电连接于所述扫描线Gate,源极电连接于所述补偿信号线Vc,漏极电连接于所述第五薄膜晶体管T5的漏极;所述存储电容C1c连接于所述第二薄膜晶体管T2的栅极和漏极或电连接于所述第五薄膜晶体管T5的栅极和漏极;所述两个相邻的子像素共用一条所述补偿信号线Vc。

[0066] 本实施例采用的是3T1C像素架构,与第一种实施例相比,第二种实施例增加了一个补偿信号Vc,本实施例的像素包括三个薄膜晶体管、一个存储电容和OLED器件,Vc信号线通过一个薄膜晶体管和OLED的阳极连接。

[0067] 本发明的第二种实施例是将所述数据线302和所述电源信号线303与所述补偿信号线312分别设置在所述玻璃基板304的两侧,其中所述电源信号线303和所述补偿信号线312位于所述玻璃基板304的同一侧表面,所述数据线302制备于所述栅绝缘层310的表面,但在其它实施例中,所述数据线302和所述电源信号线303以及所述补偿信号线312可以制备在任意两个不同的膜层表面,只需所述数据线302与所述电源信号线303延伸方向相同、所述数据线302与所述补偿信号线312延伸方向相同,且在像素结构中,所述数据线302和所述电源信号线303至少部分重叠,所述数据线302和所述补偿信号线312至少部分重叠,所述电源信号线303与所述补偿信号线312在同一膜层表面交替排列即可。

[0068] 本发明的第二种实施例在第一种实施例的基础上,减少所述补偿信号线312与所述数据线302之间的面积,使所述数据线302与所述电源信号线303、所述数据线302与所述补偿信号线312至少部分重叠,以此来提高像素的开口率。

[0069] 本优选实施例的OLED显示装置的工作原理跟上述优选实施例的阵列基板的工作原理一致,具体可参考上述优选实施例的阵列基板的工作原理,此处不再做赘述。

[0070] 本发明的有益效果为:相较于现有的阵列基板和OLED显示装置,本发明的阵列基板和OLED显示装置将竖直方向的数据线与电源信号线分别制备于不同膜层的表面,且数据线与电源信号线至少部分重叠,使得每一列子像素对应一条数据线和一条电源信号线,这样像素在竖直方向被线路占用的面积变小,从而能够提高像素的开口率,以此解决现有阵列基板中的竖直线路密集造成开口率偏低而影响显示装置亮度和功耗的技术问题。

[0071] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

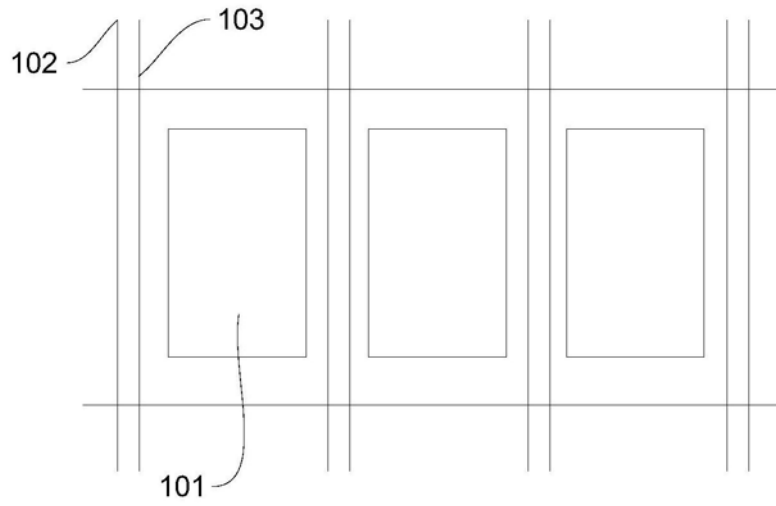


图1

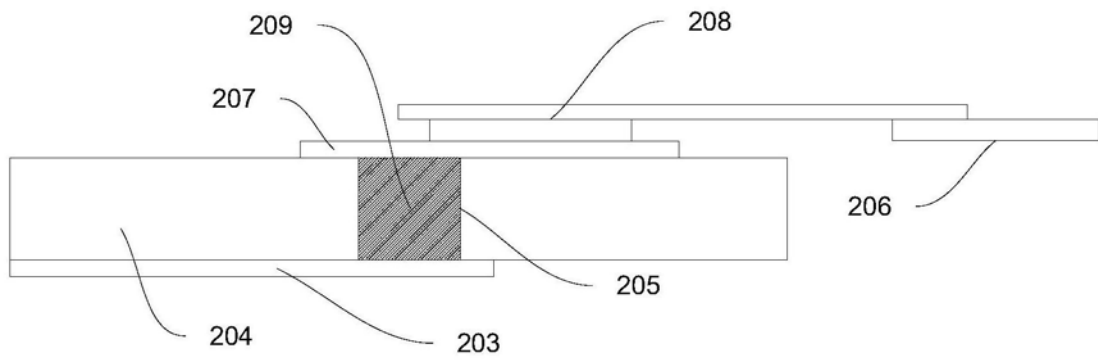


图2A

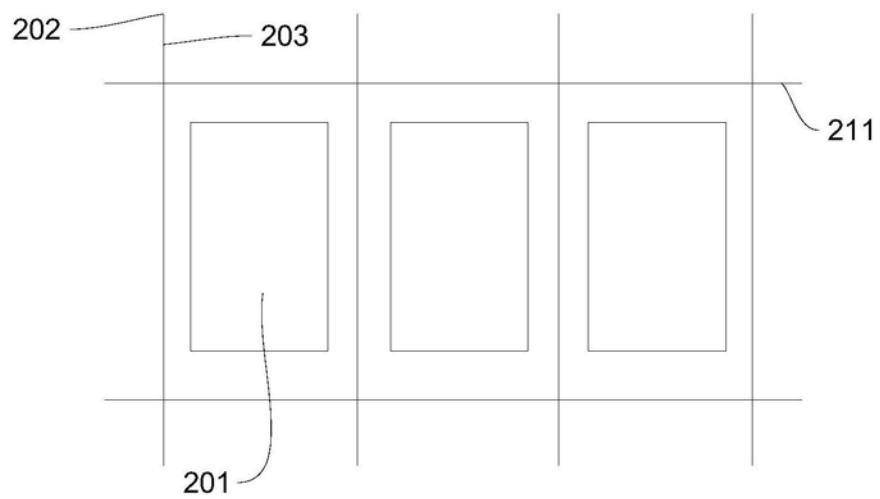


图2B

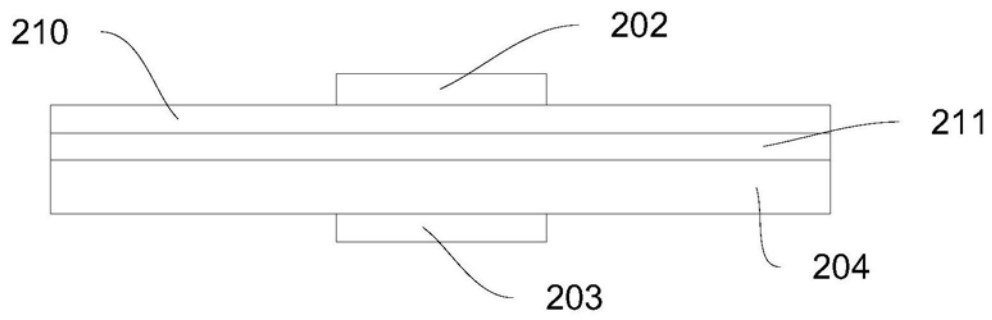


图2C

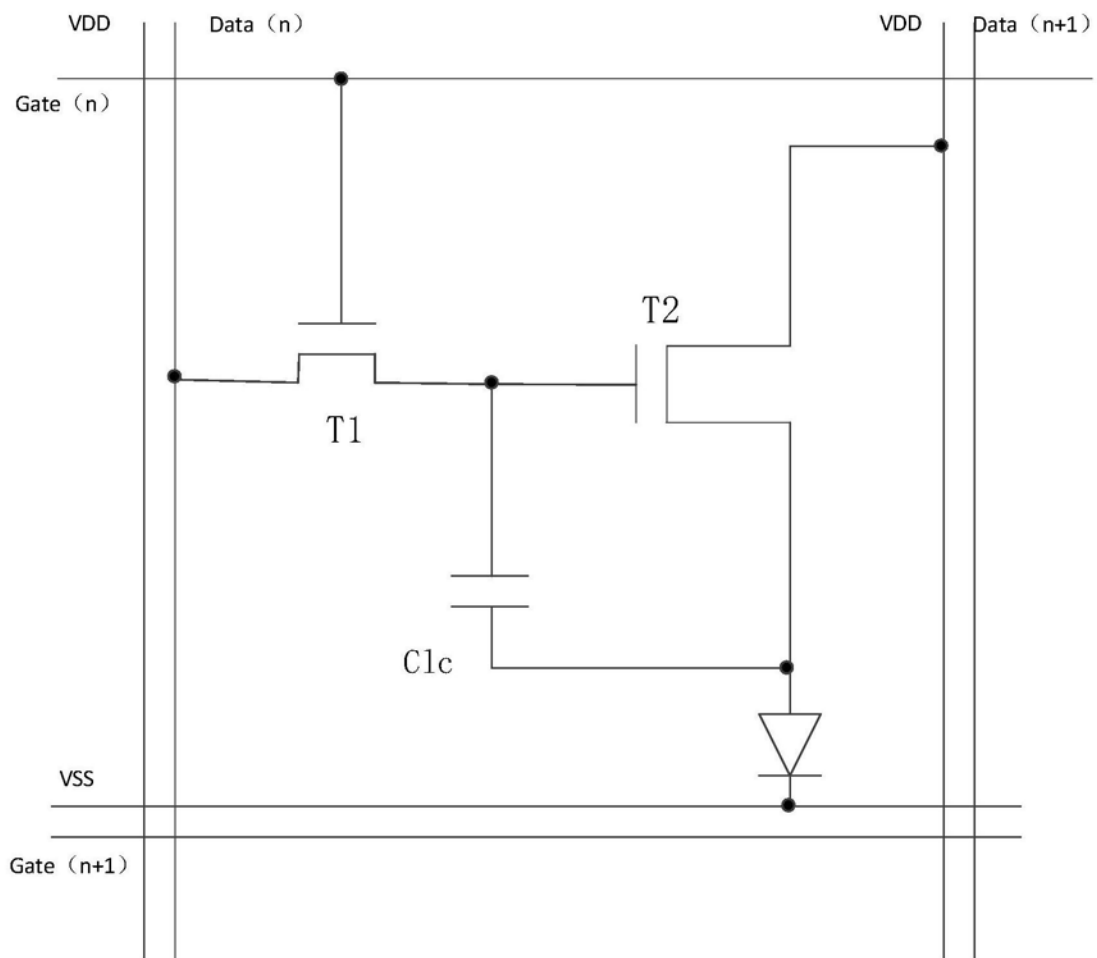


图2D

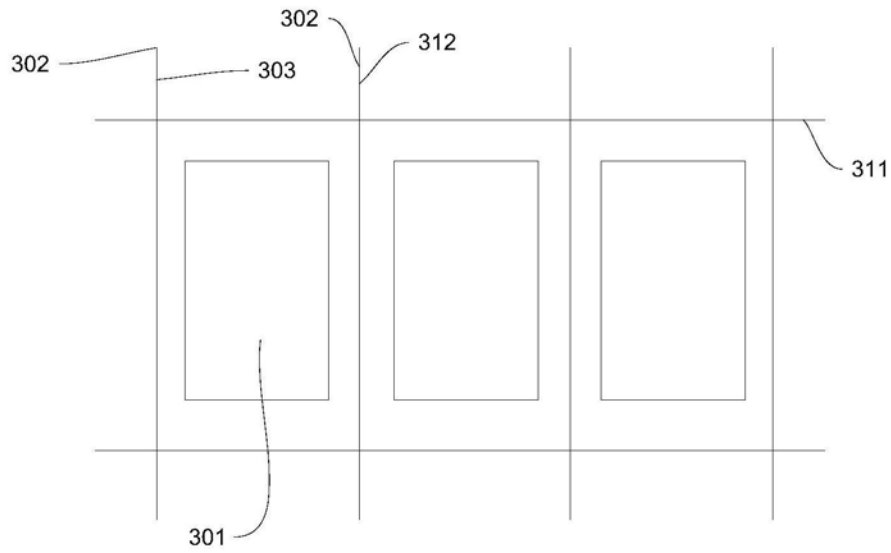


图3A

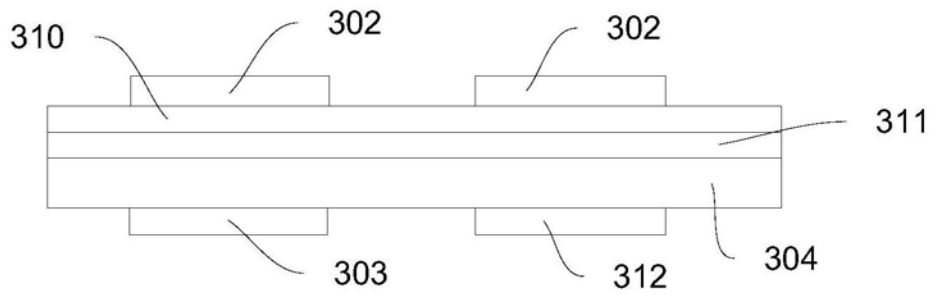


图3B

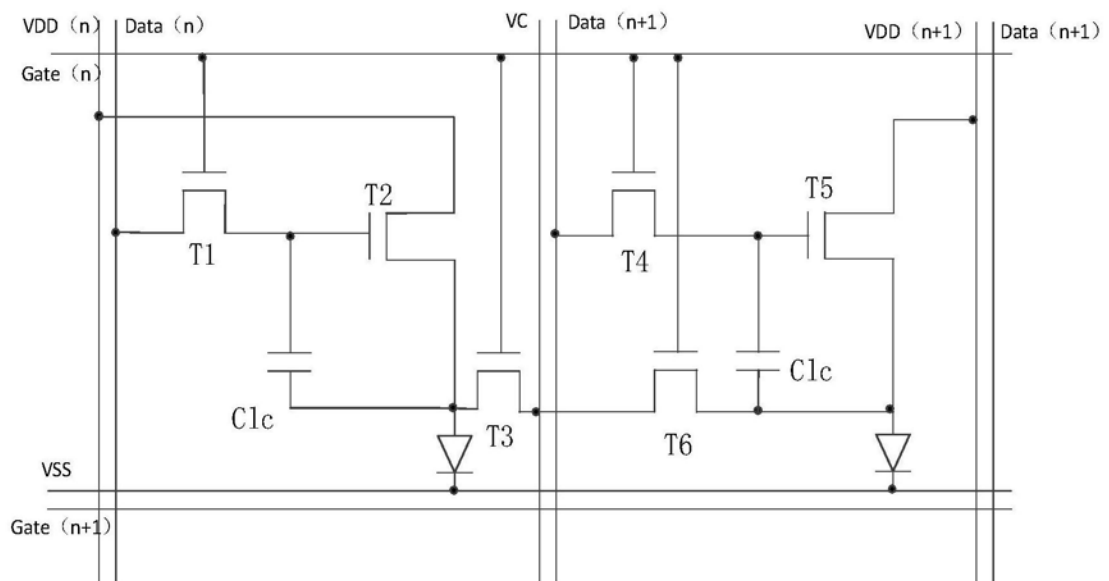


图3C

专利名称(译)	阵列基板及OLED显示装置		
公开(公告)号	<a href="#">CN110473883A</a>	公开(公告)日	2019-11-19
申请号	CN201910771653.2	申请日	2019-08-21
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	杜鹏		
发明人	杜鹏		
IPC分类号	H01L27/12 H01L27/32		
CPC分类号	H01L27/124 H01L27/3276		
代理人(译)	黄威		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

#### 摘要(译)

本发明提供一种阵列基板，包括阵列分布的子像素，相邻两列子像素之间设置有数据线和电源信号线；其中，所述数据线与所述电源信号线制备于不同的膜层表面，且所述数据线与所述电源信号线至少部分重叠。相应地，本发明还提供一种包括所述阵列基板的OLED显示装置。本发明所述阵列基板与现有技术的阵列基板相比，具有较高的开口率。

