

1. 一种显示器,所述显示器包括:
半导体氧化物驱动晶体管,所述半导体氧化物驱动晶体管是顶栅晶体管;和
硅开关晶体管,所述硅开关晶体管耦合到所述半导体氧化物驱动晶体管。
2. 根据权利要求1所述的显示器,还包括:
发光二极管,所述发光二极管与所述驱动晶体管串联耦合。
3. 根据权利要求2所述的显示器,其中所述硅开关晶体管被配置为选择性地使电流穿过所述驱动晶体管到达所述发光二极管。
4. 根据权利要求2所述的显示器,还包括:
第一电源线路;和
第二电源线路,其中所述半导体氧化物驱动晶体管、所述硅开关晶体管和所述发光二极管串联耦合在所述第一电源线路和所述第二电源线路之间。
5. 根据权利要求1所述的显示器,还包括:
存储电容器,所述存储电容器耦合到所述驱动晶体管,所述存储电容器包括导电氧化物。
6. 根据权利要求1所述的显示器,其中所述硅开关晶体管形成在基板上,并且其中所述半导体氧化物驱动晶体管形成在所述硅开关晶体管上方。
7. 根据权利要求6所述的显示器,还包括:
有机层,所述有机层形成在所述半导体氧化物驱动晶体管上;和
导电路由路径,所述导电路由路径将所述半导体氧化物驱动晶体管耦合到所述硅开关晶体管,所述导电路由路径被所述有机层覆盖。
8. 根据权利要求7所述的显示器,还包括:
附加有机层,所述附加有机层形成在所述有机层上,其中所述发光二极管具有形成在所述附加有机层上的阳极层。
9. 根据权利要求7所述的显示器,还包括:
导电区段,所述导电区段形成在所述显示器的弯曲区域中,所述导电区段和所述导电路由路径至少部分地形成在相同栅极金属层中。
10. 根据权利要求6所述的显示器,还包括:
导电结构,所述导电结构在既定金属层中形成在所述半导体氧化物驱动晶管的正下方;和
存储电容器,所述存储电容器耦合到所述驱动晶体管,所述存储电容器包括处于所述既定金属层中的电容器板。
11. 根据权利要求6所述的显示器,其中所述硅开关晶体管包括形成在既定金属层中的栅极结构,所述显示器进一步包括:
存储电容器,所述存储电容器耦合到所述驱动晶体管,所述存储电容器包括处于所述既定金属层中的电容器板。
12. 一种显示器,所述显示器包括:
驱动晶体管,所述驱动晶体管具有栅极端子和源极端子;和
电容器,所述电容器耦合到所述驱动晶体管,所述电容器包括导电氧化物,并且所述电容器被配置为存储所述驱动晶管的所述栅极端子和所述源极端子两端的电压。

13. 根据权利要求12所述的显示器,还包括:

发光二极管,所述发光二极管串联耦合在所述驱动晶体管之间。

14. 根据权利要求12所述的显示器,还包括:

电介质层,所述电介质层形成在所述驱动晶体管下方,其中所述驱动晶体管包括半导体氧化物材料,并且其中所述电容器的所述导电氧化物和所述驱动晶体管的所述半导体氧化物材料形成在所述电介质层上。

15. 根据权利要求12所述的显示器,还包括:

开关晶体管,所述开关晶体管耦合到所述驱动晶体管,所述开关晶体管具有形成在既定金属层中的栅极,其中所述电容器进一步包括形成在所述既定金属层中的电容器板。

16. 根据权利要求15所述的显示器,还包括:

有机层,所述有机层形成在所述驱动晶体管和所述开关晶体管上;

导电路由路径,所述导电路由路径将所述驱动晶体管耦合到所述开关晶体管,所述导电路由路径被所述有机层覆盖;和

钝化层,所述钝化层形成在所述有机层和所述导电路由路径之间。

17. 一种显示器,所述显示器包括:

驱动晶体管,所述驱动晶体管具有源极-漏极端子;

开关晶体管,所述开关晶体管耦合到所述驱动晶体管;

导电路由路径,所述导电路由路径具有耦合到所述驱动晶体管的第一端子接触件以及耦合到所述开关晶体管的第二端子接触件;和

蚀刻停止内衬,所述蚀刻停止内衬插置在所述驱动晶体管的所述源极-漏极端子和所述第一端子接触件之间。

18. 根据权利要求17所述的显示器,其中所述驱动晶体管包括半导体氧化物,并且所述开关晶体管为硅晶体管。

19. 根据权利要求18所述的显示器,其中所述驱动晶体管为顶栅晶体管。

20. 根据权利要求17所述的显示器,其中所述导电路由路径的所述第二端子接触件仅包括一个通孔。

具有硅顶栅薄膜晶体管和半导体氧化物顶栅薄膜晶体管的显示器

[0001] 本专利申请要求2017年10月10日提交的美国专利申请15/729,330以及2017年3月24日提交的临时专利申请62/476,551的优先权,这些专利申请据此全文以引用方式并入本文。

背景技术

[0002] 本公开整体涉及电子设备,并且更具体地涉及带有具有薄膜晶体管的显示器的电子设备。

[0003] 电子设备通常包括显示器。例如,蜂窝电话和便携式计算机包括用于向用户呈现信息的显示器。

[0004] 诸如液晶显示器之类的显示器由多个层形成。例如,液晶显示器可以具有上偏光器层和下偏光器层、包含滤色器元件阵列的滤色器层、包括薄膜晶体管和显示器像素电极的薄膜晶体管层,以及插置在该滤色器层和该薄膜晶体管层之间的液晶材料层。每个显示器像素通常包括薄膜晶体管,该薄膜晶体管用于控制向显示器像素中的显示器像素电极结构施加信号。

[0005] 显示器,诸如有机发光二极管显示器,具有基于发光二极管的显示器像素阵列。在这种类型的显示器中,每个显示器像素包括发光二极管和薄膜晶体管,该薄膜晶体管用于控制向该发光二极管施加信号。

[0006] 薄膜显示驱动器电路通常包括在显示器中。例如,显示器上的栅极驱动器电路和解复用器电路可由薄膜晶体管形成。

[0007] 如果不小心,显示器像素中的薄膜晶体管电路和显示器的显示驱动器电路可表现出不均匀性、过量的泄漏电流、不足的驱动强度、差的面积效率、滞后以及其他问题。

[0008] 正是在这种情况下,产生本文的实施方案。

发明内容

[0009] 电子设备可设置有显示器。该显示器可具有处于基板上的显示器像素阵列。该显示器像素可以是有机发光二极管显示器像素,或者可以是液晶显示器中的显示器像素。

[0010] 该显示器可以包括至少具有有机发光二极管(OLED)、半导体氧化物薄膜晶体管(例如,驱动晶体管)、硅薄膜晶体管(例如,开关晶体管)以及耦合到驱动晶体管的存储电容器的显示器像素。该开关晶体管、驱动晶体管和发光二极管可以串联耦合在正电压电源线路和接地电压电源线路之间。具体地讲,该驱动晶体管可为顶栅半导体氧化物晶体管。该开关晶体管可为顶栅硅晶体管。该存储电容器可包括导电半导体氧化物作为第一电极。

[0011] 该硅开关晶体管可以形成在基板上,并且该半导体氧化物驱动晶体管可以形成在硅开关晶体管上方。导电路由路径可以将硅开关晶体管耦合到半导体氧化物驱动晶体管。导电路由路径可以被形成在驱动晶体管上的有机层覆盖。附加有机层可以形成在有机层上。发光二极管的阳极层可以形成在该附加有机层上。

[0012] 在一个实施方案中,蚀刻停止内衬可插置在半导体氧化物驱动晶体管的源极-漏极端子与导电路径的耦合到半导体氧化物驱动晶体管的接触件之间。

[0013] 在一个实施方案中,电介质层可以形成在半导体晶体管下方,并且该存储电容器的导电半导体氧化物和驱动晶体管中的半导体氧化物材料可以形成在电介质层上。

[0014] 在一个实施方案中,硅开关晶体管包括与存储电容器的电容器板形成在相同层中的栅极结构。

[0015] 在一个实施方案中,钝化层插置在导电路径耦合和有机层之间。

附图说明

[0016] 图1是根据一个实施方案的例示性显示器的图示,该显示器是诸如具有有机发光二极管显示器像素阵列的有机发光二极管显示器或者具有显示器像素阵列的液晶显示器。

[0017] 图2是根据一个实施方案的例示性有机发光二极管显示器像素的图示,该有机发光二极管显示器像素的类型可以包括具有半导体氧化物顶栅薄膜晶体管和硅顶栅薄膜晶体管的有机发光二极管。

[0018] 图3A至图3C是根据一个实施方案的例示性顶栅氧化铟镓锌 (IGZO) 晶体管结构的图示。

[0019] 图4是根据一个实施方案的包括图3A所示类型的顶栅IGZO驱动晶体管的例示性像素电路的横截面侧视图。

[0020] 图5是根据一个实施方案的包括图3B所示类型的顶栅IGZO驱动晶体管的例示性像素电路的横截面侧视图。

[0021] 图6A和图6B是根据一个实施方案的包括图3A所示类型的顶栅IGZO驱动晶体管以及减少了平面化层中的接触孔的数量的金属层的例示性像素电路的横截面侧视图。

[0022] 图7是根据一个实施方案的包括图3B所示类型的顶栅IGZO驱动晶体管以及减少了平面化层中的接触孔的数量的金属层的例示性像素电路的横截面侧视图。

[0023] 图8是根据一个实施方案的包括形成在顶栅IGZO驱动晶体管上方的源极-漏极金属层的例示性像素电路的横截面侧视图。

[0024] 图9是根据一个实施方案的包括与顶栅IGZO驱动晶体管的栅极结构形成在相同层中的接触通孔的例示性像素电路的横截面侧视图。

[0025] 图10是根据一个实施方案的包括用于接触顶栅IGZO驱动晶体管的源极-漏极区的保护金属膜的例示性像素电路的横截面侧视图。

[0026] 图11是根据一个实施方案的进一步包括钝化层的图8所示类型的例示性像素电路的横截面侧视图。

[0027] 图12是根据一个实施方案的进一步包括钝化层的图9所示类型的例示性像素电路的横截面侧视图。

[0028] 图13是根据一个实施方案的进一步包括钝化层的图10所示类型的例示性像素电路的横截面侧视图。

具体实施方式

[0029] 电子设备中的显示器可设置有用于在显示器像素阵列上显示图像的驱动器电路。

图1中示出了例示性显示器。如图1所示,显示器14可具有一个或多个层,诸如基板24。诸如基板24的层可由诸如平面玻璃层的材料的平面矩形层形成。显示器14可具有显示器像素阵列22以用于为用户显示图像。显示器像素阵列22可由基板24上的显示器像素结构的行和列形成。在显示器像素阵列22中可以有任意适当数量的行和列(例如,十个或更多、一百个或更多或者一千个或更多)。

[0030] 可以利用焊料或导电粘合剂将显示驱动器电路诸如显示驱动器集成电路16耦合到导电路径诸如基板24上的金属迹线。显示驱动器集成电路16(有时称为定时控制器芯片)可包含用于通过路径25与系统控制电路通信的通信电路。路径25可由柔性印刷电路上的迹线或其他缆线形成。该控制电路可位于电子设备中的主逻辑板上,电子设备是诸如蜂窝电话、计算机、机顶盒、媒体播放器、便携式电子设备或正在使用显示器14的其他电子装置。在操作过程中,该控制电路可为显示驱动器集成电路16提供与要在显示器14上显示的图像有关的信息。为在显示器像素22上显示图像,当发出时钟信号和其他控制信号以支持薄膜晶体管显示驱动器电路诸如栅极驱动器电路18和解复用电路20时,显示驱动器集成电路16可将对应的图像数据供应到数据线D。

[0031] 栅极驱动器电路18可形成在基板24上(例如,在显示器14的左边缘和右边缘上、仅在显示器14的单个边缘上,或者在显示器14中的其他位置)。解复用器电路20可用于将数据信号从显示驱动器集成电路16解复用到多个对应的数据线D上。就图1的这种例示性布置而言,数据线D通过显示器14垂直延伸。每条数据线D都与显示器像素22的相应列相关联。栅极线G通过显示器14水平延伸。每个栅极线G与显示器像素22的相应行相关联。栅极驱动器电路18可位于显示器14的左侧、显示器14的右侧或显示器14的左侧和右侧,如图1所示。

[0032] 栅极驱动器电路18可断言显示器14中的栅极线G上的栅极信号(有时称为扫描信号)。例如,栅极驱动器电路18可以从显示驱动器集成电路16接收时钟信号和其他控制信号,并且可以响应于所接收到的信号,从显示器像素22的第一行中的栅极线信号G开始依次断言栅极线G上的栅极信号。由于每条栅极线被断言,因此在其中栅极线被断言的行中对应的显示器像素将显示在数据线D上显现的显示数据。

[0033] 诸如解复用器电路20和栅极线驱动器电路18的显示驱动器电路可由基板24上的薄膜晶体管形成。薄膜晶体管还可用于形成显示器像素22中的电路。为增强显示器性能,在显示器14中满足所期望标准诸如泄漏电流、切换速度、驱动强度、均匀度等的薄膜晶体管结构可以使用。一般来讲,显示器14中的薄膜晶体管可以使用任何合适类型的薄膜晶体管技术(例如,基于硅的、基于半导体氧化物的,等等)来形成。

[0034] 根据一种在本文中有时描述为示例的合适布置,显示器14上的一些薄膜晶体管中的沟道区(有源区)由硅(例如,硅诸如使用低温方法沉积的多晶硅,有时称为LTPS或低温多晶硅)形成,并且在显示器14上的其他薄膜晶体管中的沟道区由半导体氧化物材料(例如,非晶态的氧化铟镓锌,有时称为IGZO)形成。如果希望,可以采用其他类型的半导体形成薄膜晶体管,诸如非晶硅、除IGZO之外的半导体氧化物等。在这种类型的混合显示器配置当中,在希望获得诸如切换速度和良好的驱动电流的情况下(例如,对于液晶二极管显示器中的栅极驱动器而言,或者在切换速度是一个考虑事项的有机发光二极管显示器像素当中)可以采用硅晶体管(例如,LTPS晶体管),而在希望获得低泄漏电流的情况下(例如,在液晶二极管显示器像素和显示驱动器电路中)或者在希望获得高的像素到像素均匀性的情况下

(例如,在有机发光二极管显示器像素当中)可以采用氧化物晶体管(例如,IGZO晶体管)。其他注意事项也可被考虑(例如,与功率消耗、占位面积消耗、滞后等相关的注意事项)。

[0035] 诸如IGZO薄膜晶体管的氧化物晶体管通常为n沟道器件(即,NMOS晶体管)。硅晶体管可以使用p沟道或n沟道设计制成(即,LTPS设备可以是PMOS或NMOS)。这些薄膜晶体管结构的组合可提供最佳性能。

[0036] 可以在采用有机发光二极管技术作为示例的情况下描述以下实施方案。然而,如果希望,这些实施方案也可应用于液晶显示器技术。

[0037] 在有机发光二极管显示器中,每个显示器像素都包含相应的有机发光二极管。图2中示出了例示性有机发光二极管显示器像素22的示意图。如图2所示,显示器像素22可包括发光二极管26。可将正电源电压V_{dd}提供至正电源端子34,并且可将接地电源电压V_{ss}提供至接地电源端子36。驱动晶体管28的状态控制流经二极管26的电流,并且因此控制来自显示器像素22的发射光40的量。

[0038] 为确保晶体管28在连续的数据帧之间保持在期望状态,显示器像素22可包括存储电容器,诸如存储电容器C_{st}。在晶体管28的栅极端子和源极端子的两端施加存储电容器C_{st}上的电压,以控制驱动晶体管28,由此控制流过发光二极管26的电流的量。

[0039] 像素22还可包括开关晶体管30(在本文中有时称为启用晶体管30)。晶体管30可耦合在正电源端子34和驱动晶体管28之间。启用信号可耦合到晶体管30的栅极端子,以进一步控制从正电源端子34流到发光二极管26的电流。

[0040] 像素22可以进一步包括由椭圆200指示的附加电路。具体地讲,像素22可包括将数据加载到存储电容器C_{st}中的附加开关晶体管(不同于开关晶体管30)。例如,附加开关晶体管可由栅极线G(如图1所示)控制并可将来自数据线D(图1所示)的信息传送至存储电容器C_{st}。当开关晶体管截止时,数据线D与存储电容器C_{st}隔离,并且晶体管28的栅极电压等于被存储在存储电容器C_{st}中的数据值(即,来自被显示在显示器14上的显示器数据的先前帧的数据值)。当与显示器像素22相关联的行中的栅极线G(有时被称为扫描线)被断言时,开关晶体管将被导通并且数据线D上的新数据信号将被加载到存储电容器C_{st}中。电容器C_{st}上的新信号被施加到晶体管28的栅极端子,由此调节晶体管28的状态并调节由发光二极管26发射的光40的对应量。

[0041] 显示器像素诸如图2的有机发光二极管像素22可以包括使用图3A至图3C所示类型的顶栅薄膜晶体管结构的晶体管。具体地讲,图3A示出了通过使用氮化硅的氢化或者离子注入形成的顶栅晶体管结构300。晶体管结构300包括基板层302和形成在基板层302顶上的缓冲层304。另外,氧化铟镓锌层(即IGZO层)可形成在缓冲层304的顶上。具体地讲,IGZO层可包括三个部分,即有源区306和两个源极-漏极区306'。源极-漏极区306'可以受到n型重掺杂(例如,通过电子施主杂质进行重掺杂)。

[0042] 栅极绝缘体层308可形成在IGZO层的顶上,并且栅极结构310则可以在处于IGZO层的有源区306的正上方的区域的顶上形成在栅极绝缘体层308上方。绝缘层312可形成在栅极绝缘体层308和栅极结构310的对应部分上方。用于IGZO层的源极-漏极区306'(即,晶体管结构300的源极-漏极)的接触孔314-1和314-2可通过蚀穿栅极绝缘体层308和绝缘层312而形成。钝化层316可以形成在针对相应的源极-漏极区306'的接触孔314-1和314-2上方。

[0043] 在一个实施方案中,图3A的晶体管结构300的源极-漏极区可通过使用氮化硅的氢

化工艺形成。在氢化工艺中,可以优选使用氮化硅作为绝缘层312,从而使掺杂剂(例如,氢)扩散到源极-漏极区306'中。此外,掺杂剂还可能扩散到有源区306(在本文中有时称为沟道区306)中,由此缩短了晶体管结构300的有效沟道区。氢化步骤的这些特点可导致较低水平的源极-漏极区掺杂剂浓度控制。

[0044] 在一个实施方案中,图3A的晶体管结构300的源极-漏极区可通过离子注入工艺形成。离子注入工艺可能需要针对绝缘层312的厚度限制(例如,小于200nm的厚度)。例如,当使用离子注入工艺掺杂源极-漏极区306'时,绝缘层312可充当掩模。通过此类方式,离子注入工艺可提供更好的掺杂浓度控制(与先前描述的氢化工艺相比)。

[0045] 在一个实施方案中,如图3B所示,晶体管结构300'可以是使用等离子体处理形成的。在图3B中将不再进一步描述与先前联系图3A描述的类似结构,以避免对本实施方案造成不必要的模糊。

[0046] 图3A的晶体管结构300可具有通过接触孔314图案化的栅极绝缘体层308,而图3B的晶体管结构300则可以包括使用栅极结构310图案化的栅极绝缘体层308'。例如,可以使用干法蚀刻工艺(例如,等离子体处理)同时对蚀刻栅极结构310和栅极绝缘体308'进行蚀刻(例如,在相同加工步骤中对其进行蚀刻)以形成图3B所示的图案。由于源极-漏极区306'在等离子体处理期间也可能暴露,因而源极-漏极区306'的导电性可能提高。如果希望,可以采用附加的等离子体处理(例如,使用氩、氢、氮)进一步激活源极-漏极区306'(例如,提高其导电性)。

[0047] 在一个实施方案中,如图3C所示,晶体管结构300'还可包括形成在源极-漏极区306'上方的阻挡层320。可以蚀刻掉阻挡层320的某些部分,以形成通往源极-漏极区306'的接触件(例如,以形成接触件314-1和314-2)。例如,阻挡层320可以由氧化铝形成,以充当氢阻挡层。也可以使用其他合适的阻挡层。在源极-漏极区306'直接接触绝缘层312的情形中(如图3B所示),可能在源极-漏极区306'和绝缘层312之间的界面上发生扩散。扩散可提高源极-漏极区306'的电阻,尤其是在高温环境下,由此导致源极-漏极区306'的较低热稳定性。通过形成阻挡层320(如图3C所示),可以使出自源极-漏极区(到绝缘层312中)的扩散降至最低。

[0048] 图3A至图3C所示的顶栅IGZO晶体管结构(即,栅极元件形成在栅极绝缘体和沟道区上方的晶体管结构)可以被实施到像素22的各种晶体管电路内。具体地讲,如图4所示,可使用图3A中所述的晶体管结构300形成驱动晶体管28。图4的电路400还可以包括被形成为顶栅LTPS晶体管的开关晶体管30以及具有导电IGZO电极的存储电容器C_{st}。

[0049] 图4中示出了像素电路400的横截面视图。像素电路400可包括形成在基板和缓冲层402上方的晶体管28和30。例如,图4所示的部分402可以包括一个或多个半导体层、一个或多个绝缘层、半导体层和绝缘层的组合。缓冲层可以被形成为部分402的最顶层。多晶硅层(例如,LTPS层)可以被形成到缓冲层上,而后被图案化和蚀刻,以形成LTPS区406。LTPS区406的两个相对端可以被掺杂(例如,p型掺杂),以形成开关晶体管30的源极-漏极区。例如,LTPS区406的两个相对端可在形成晶体管30的栅极结构之后被掺杂。如果希望,可形成具有n型掺杂的源极-漏极区的开关晶体管30。

[0050] 栅极绝缘体层408可形成在部分402和LTPS区406上。第一金属层(例如,第一栅极金属层)可以形成在栅极绝缘体层408上方。第一金属层可以被图案化和蚀刻,以形成晶体

管30的栅极结构“栅极1”。电介质层412和414可以形成在栅极结构“栅极1”和晶体管电路30上方。例如,电介质层412可由氮化硅形成,与此同时电介质层414也可由氮化硅形成。如果希望,可由任何合适的电介质材料形成层412和层414。处于晶体管30的第一源极-漏极区(例如,如图4所示的晶体管30的左源极-漏极区)上方的层408、层412和层414的部分可以被蚀刻,以形成接触孔。可以由处于蚀刻区域中的金属接触件层CNT1(在本文中有时称为接触件CNT1)形成用以接触晶体管30的左源极-漏极区的金属接触件(例如,通孔418-1或接触件418-1)。处于晶体管30的第二源极-漏极区(例如,如图4所示的晶体管30的右源极-漏极区)上方的层408、层412和层414的部分也可以被蚀刻,以形成附加接触孔。可以在蚀刻区域中形成用以接触晶体管30的右源极-漏极区的附加金属接触件(例如,接触件418-2)。接触件418-2也可以形成在金属接触件层CNT1中。

[0051] 金属部分SD1可以全都是同时形成的。换句话说讲,可提供金属层(例如,互连金属层SD1,在本文中有时称为源极-漏极金属层SD1),而后对金属层进行图案化,以形成金属区段416和金属区段420以及处于金属接触件层CNT1顶部的金属区段(例如,帽盖接触件418-1和帽盖接触件418-2)。金属区段416(在本文中有时称为金属结构416)可形成驱动晶体管28的一部分,以提高晶体管性能(例如,以提供更好的电流电压特性,诸如更加平坦的饱和电流分布)。金属区段420可形成存储电容器Cst的一部分,作为电容器电极(在本文中有时称为电容器板或电容器端子)。电介质层422(在本文中有时称为钝化层)可形成在金属区段416和金属区段420以及接触件418-1和接触件418-2上方。电介质层422也可形成存储电容器Cst的一部分。具体地讲,电介质层422的一部分可以是电容器电介质层。

[0052] IGZO层可形成在电介质层422上方。IGZO层可以被图案化和蚀刻,以形成IGZO区段424和IGZO区段426。如先前在图3A中所述的,绝缘层(例如,栅极绝缘体层428)可形成在IGZO区段424和IGZO区段426以及电介质层422的部分上方。第二栅极金属层可以形成在栅极绝缘体层428上。第二栅极金属层可以被图案化和蚀刻,以形成晶体管28的栅极元件(例如,栅极结构“栅极2”)。IGZO区段424和IGZO区段426的源极-漏极区可以受到与图3A所描述类似的掺杂(例如,经由氢化,经由离子注入)。钝化层430可以类似地形成在栅极结构“栅极2”上方。

[0053] IGZO区段426可形成存储电容器Cst的第一电极。IGZO区424和IGZO区426可形成在相同半导体氧化物层(例如,使用相同掩模的图案化IGZO层)中。金属区段420可形成存储电容器Cst的第二电极。区段426和区段420之间的电介质层422的部分可以形成存储电容器Cst的第一电极和第二电极之间的电介质材料。

[0054] 用于通往晶体管28的两个源极-漏极端子的金属接触件的接触孔、用于通往接触件418-1的金属接触件的接触孔以及用于通往存储电容器Cst的两个电极(例如,电极420和电极426)的金属接触件的接触孔可以通过蚀穿层430、层428和层422中的一个或多个层形成。可形成附加的金属接触件层(例如,金属接触件层CNT2,在本文中有时称为接触件CNT2)以填充蚀刻出的接触孔,由此形成通往晶体管28和晶体管30以及电容器Cst的相应接触件。

[0055] 平面化层(例如,平面化层432)可形成在钝化层430上,并且因此形成在晶体管和电容器结构上。晶体管和电容器结构的不同金属接触件之间的互连(例如,互连金属层SD2,在本文中有时称为源极-漏极金属层SD2)可以形成在平面化层432上。具体地讲,接触件418-2可耦合到正电压电源(例如,图2中的电压电源34)。接触件418-1可经由金属接触件层

CNT2和处于平面化层432上方的金属层SD2耦合到晶体管28的右源极-漏极端子。

[0056] 换句话说讲,导电路由路径可将晶体管28耦合到晶体管30。导电路由路径可包括三个通孔,其中两个在金属接触件层CNT2中形成,并且其中一个在金属接触件层CNT1中形成。源极-漏极金属层SD2可将金属接触件层CNT2中的两个通孔相互耦合。导电路由路径可包括耦合到晶体管28的第一端子接触件以及耦合到晶体管30的第二端子接触件。第一端子接触件可仅包括一个通孔,而第二端子接触件可包括两个通孔。

[0057] 附加的平面化层(例如,平面化层434)可形成在平面化层432上以及平面化层432上的金属互连件上方(例如,导电路由路径上方)。平面化层432和平面化层434可由有机电介质材料(诸如聚合物)形成。与层430、层428、层422相反,层414、层412和层480可以由诸如氮化硅、氧化硅的无机电介质材料形成。

[0058] 阳极436可形成在平面化层434上方,并且可以经由平面化层432上的对应金属互连件耦合到晶体管28的左源极-漏极端子。像素限定层438(PDL438)可形成在阳极436以及平面化层434的部分上方。像素限定层438可限定显示器像素的有源发光区域。

[0059] 附加的结构可以形成在PDL 438和阳极436上方。例如,发光二极管发射材料、阴极和其他结构也可包含在像素22中。然而,为了简洁起见,省略了这些附加结构。

[0060] 像素电路400还可包括封装接口区域450和弯曲区域452。如图4所示,可以去除PDL 438以及平面化层434和平面化层432的某些部分,从而清除接口区域450中的任何有机材料,由此使从封装后的像素区域的外部到达像素电路的湿气和污染物的量降至最低。弯曲区域452可被形成为包括为显示器像素提供的不同信号线和电力线。

[0061] 如图4所示,驱动晶体管电路28可以被形成为结合了顶栅设计的IGZO晶体管。具体地讲,IGZO晶体管可以具有图3A所示的类型。开关晶体管电路28可以被形成为同样结合了顶栅设计的LTPS晶体管。此外,存储电容器C_{st}可以被形成为包括导电IGZO作为电容器端子的电容器。

[0062] 接下来将从图5至图13中省略与前文联系图4所描述类似的特征,以避免对下述实施方案造成不必要的模糊。可以假定图5至图13所示的类似特征(例如,具有类似结构的特征、具有类似标示的附图标记的特征等)可以发挥与图4所描述类似的功能。

[0063] 在一个实施方案中,驱动晶体管电路28可包括如图3B所示的类型的IGZO晶体管。具体地讲,图5所示的像素电路具有包括栅极绝缘体429的驱动晶体管28。栅极结构“栅极2”、栅极绝缘体429和区段424的沟道区(即,排除了掺杂源极-漏极区的IGZO层424)可以是自对准的。换句话说讲,栅极结构“栅极2”和栅极绝缘体429可以是使用相同掩模蚀刻的,如图3B所述。例如,IGZO区段的源极-漏极区也可以是在等离子体处理期间(例如,在对栅极结构“栅极2”和栅极绝缘体429的干法蚀刻期间)使用栅极结构“栅极2”和栅极绝缘体429作为掩模形成的。

[0064] 重新参考图4,像素电路400可包括处于平面化层432上方的多个金属互连件(例如,具有耦合不同晶体管和电容器结构的多个区段的源极-漏极金属层SD2)。因此,需要多个接触孔(例如,多个通孔CNT2),以便使用平面化层432上方的源极-漏极金属层SD2中的相应金属互连件使晶体管28和晶体管30以及电容器C_{st}的不同端子相互访问。例如,图4中的像素电路400可能总共需要六个接触孔,从而将正电压电源34耦合到阳极436。具体地讲,总共六个接触孔包括由接触件CNT1填充的无机接触孔(即,形成在无机层中的接触孔)、由接

触件CNT2填充的两个有机接触孔(即,形成在有机层中的接触孔),以便将晶体管28耦合到晶体管30,此外还包括由接触件CNT2填充的两个附加有机接触孔,其将晶体管28耦合到阳极436。

[0065] 由于所需的接触孔的数量和尺寸(例如,在平面化层432中形成四个有机接触孔中的三个),可能违反紧凑设计中指定间隔要求的布局设计规则。另外,由于平面化层432中的过多接触孔,平面化层434的拓扑结构可能扭曲变形。

[0066] 在一个实施方案中,可以减少形成在平面化层432上方的需要平面化层432内的接触孔的金属层SD2。如图6A所示,可以在钝化层430上形成附加的金属层(例如,金属层600,在本文中有时称为栅极金属层“栅极3”)。金属接触件层CNT2可类似地形成在钝化层430上,而不形成穿过平面化层432的接触孔。

[0067] 金属接触件层CNT2可具有两个各自耦合到晶体管28的源极-漏极端子的相应区段、作为金属接触件耦合到栅极结构“栅极2”的第三区段,以及耦合到电容器Cst的导电IGZO板的第四区段。金属层CNT还可具有耦合到接触件418-2或金属接触件层CNT1的第五区段。金属层600可经由金属层CNT2将晶体管28耦合到晶体管30。与图4所示的像素电路400相比较,图6A中的像素电路仅包括两个有机接触孔,其中一个有机接触孔处于平面化层432中,另一个有机接触孔处于平面化层434中。如前所述,有机接触孔被定义为形成在有机层(例如,平面化层432)中的接触孔,而无机接触孔则被定义为形成在无机层(例如,钝化层430)中的接触孔。

[0068] 如图6A所示,弯曲区域452可包括形成在基板(例如,如图4所述的部分402中的基板)上的平面化层610。例如,平面化层610可由诸如聚酰亚胺或聚丙烯酸的有机聚合物形成。源极-漏极金属层SD1还可包括形成在弯曲区域452中的区段(例如,金属区段612)。区段612可形成在平面化层610上,平面化层610可在沉积金属层SD1之前使弯曲区域中的拓扑结构(相对于像素电路区域)变为水平(例如,变平坦)。平面化层432可形成在金属层SD1上方。平面化层432也可以起到当在顶部沉积附加金属层之前使拓扑结构变得平坦的作用。源极-漏极金属层SD2也可形成在弯曲区域452中。具体地讲,金属层SD2可以形成在平面化层432上。接下来,平面化层434和PDL 438层可以形成在金属层SD2上方。

[0069] 如果希望,第三栅极金属层“栅极3”的一部分(例如,区段650)可以形成在弯曲区域452中,如图6B所示。具体地讲,平面化层620可形成在基板(例如,如图4所述的部分402中的基板)上,并且起到与图6A中的平面化层610类似的作用。例如,平面化层620可比图6A中的平面化层610更厚(例如,具有更大的高度),因为栅极金属层“栅极3”在工艺堆叠当中可以处于比金属层SD1更高的水平面中。平面化层432可形成在栅极金属层区段650上,并且金属层SD2可形成在平面化层432上。如果希望,还可以将任何数量的附加金属层(连同对应的平面化层)形成在弯曲区域452中,从而在弯曲区域452中形成适当数量的互连件。平面化层434和PDL 438可形成在金属层SD2上。

[0070] 与图4类似,图6A和图6B的驱动晶体管电路28两者可为图3A所示类型的顶栅IGZO晶体管。或者,驱动晶体管28可被形成为图3B所示类型的顶栅IGZO晶体管。具体地讲,如图7所示,栅极绝缘体700与图5所示的栅极绝缘体429类似。换句话讲,图7中的晶体管28可以包括与栅极结构“栅极2”垂直对准的栅极绝缘体700。

[0071] 尽管图5和图7将驱动晶体管30描述成图3B所示和所描述的顶栅IGZO晶体管类型,

但是如果希望也可以采用图3C的IGZO晶体管结构。

[0072] 如图4至图7所示,互连金属层SD1可以形成在栅极金属层“栅极1”和IGZO层424之间。如果希望,互连金属层SD1可以形成在栅极金属层“栅极2”上方,如图8所示。按照此类配置形成金属层SD1可以减少构造过程中使用的掩模的数量以及无机接触孔的数量(与图6和图7中所述的像素电路相比)。

[0073] 在图8中,晶体管30可形成在部分402中的最顶层(例如,缓冲层)上。栅极绝缘体层408可类似地形成在LTPS层(与图4中的LTPS区域406类似)上方。由于互连金属层SD1形成在钝化层430上方,因而第一栅极金属层(图4中的栅极结构“栅极1”形成在其中)可以既形成晶体管30的栅极结构又作为电容器Cst的电极(例如,电容器板812)。因此,层间电介质层412可覆盖栅极结构“栅极1”和电容器板812两者。层间电介质层412还可用作存储电容器Cst的电介质。

[0074] 类似于图4,IGZO部分424可形成成为晶体管28的一部分,而IGZO部分810可形成电容器Cst的一部分(例如,电容器电极810)。IGZO部分424和IGZO部分810可在加工期间形成在相同IGZO层中(例如,通过使用由单个掩模图案化的相同IGZO层)。绝缘层800可形成在IGZO部分424和IGZO部分810两者上方。绝缘层800还可形成晶体管28的栅极绝缘体。栅极结构“栅极2”可形成晶体管28的栅极元件。钝化层430可形成在栅极金属层“栅极2”上方。

[0075] 另外,如果希望,可以通过使用穿过一个或多个层430、层800、层412和层408形成的蚀刻孔在相同步骤中(例如,使用单个掩模)形成金属接触件层CNT1和金属接触件层CNT2。或者,金属接触件层CNT1和金属接触件层CNT2可单独形成。互连金属层SD1可以形成在钝化层430上方,并且可以使晶体管结构和电容器结构相互耦合。例如,金属层SD1可将晶体管28的源极-漏极区耦合到晶体管30的源极-漏极区。又如,金属层SD1可将存储电容器Cst的端子(例如,电容器端子812)耦合到晶体管30的源极-漏极端子。金属层SD2还可以连接到金属层SD1的既耦合到存储电容器Cst的端子又耦合到晶体管30的源极-漏极端子的部分。如果希望,正电源电压可以被提供给金属层SD1的该部分。

[0076] 仍参考图8,导电路由路径也可将晶体管28耦合到晶体管30。与图4中参考的路由路径形成对照的是,图8的导电路由路径仅包括接触件CNT2中的一个通孔、接触件CNT1中的一个通孔,以及耦合接触件CNT2中的该通孔和接触件CNT1中的该通孔的源极-漏极金属层。换句话说,导电路由路径的耦合到晶体管28的第一端子接触件仅包括一个通孔。导电路由路径的耦合到晶体管30的第二端子接触件同样仅包括一个通孔。

[0077] 由于被形成为将晶体管28耦合到晶体管30的两个接触孔(接触件CNT1和接触件CNT2)具有不同深度,因而在形成填充两个接触孔的金属接触件时可能出现接触问题。例如,蚀刻工艺可以蚀穿晶体管28的右源极-漏极区,同时尝试实现接触件CNT1的正确深度,以触及晶体管30的左源极-漏极区。因此,在形成针对晶体管30的左源极-漏极区的接触孔之后,可能希望尽可能快地填充接触孔。如图9所示,栅极结构“栅极2”可形成在栅极金属层中。为了独立于接触件CNT2对接触件CNT1的接触孔进行填充,栅极结构“栅极2”形成在其中的栅极金属层还可以形成金属通孔900、金属通孔902和金属通孔904。换句话说,栅极结构“栅极2”可与接触件CNT1同时形成,从而立即填充所形成的接触孔。因此,钝化层430可以被形成为覆盖栅极结构“栅极2”以及金属通孔900、金属通孔902和金属通孔904。尔后,可以如先前在图8中所述的,形成金属接触件层CNT2和互连金属层SD1。

[0078] 如图10所示,可在形成金属接触件层CNT1之前,但在基于金属层CNT1掩模进行图案化之后,形成附加的金属层(例如,金属层1000)。金属层1000可以是预防先前联系图8描述的过度蚀刻问题的保护金属膜。因此,金属层1000有时可被称为蚀刻停止内衬1000。

[0079] 金属层1000可插置在源极-漏极金属层SD1和钝化层430之间。此外,金属层100也可插置在接触件CNT1与晶体管28的两个源极-漏极区之间。例如,金属层1000可由钼、钨或任何其他合适的材料形成。金属层1000可保护IGZO层424免受过度蚀刻,并且确保与晶体管28的源极-漏极区的良好电接触。

[0080] 如图11所示,图8的像素电路可以包括形成在互连金属层SD1和钝化层430的部分上方的钝化层1100。例如,钝化层430和钝化层1100可由氮化硅形成。如果希望,可使用任何其他合适的材料作为钝化层。钝化层1100的添加可防止湿气和其他污染物进入金属层SD1。

[0081] 在一个实施方案中,图9的像素电路可包括形成在互连金属层SD1上方的钝化层1200。图12示出了这种类型的配置。

[0082] 在一个实施方案中,图10的像素电路可包括形成在互连金属层SD1上方的钝化层1300。图13示出了这种类型的配置。

[0083] 根据一个实施方案,提供了一种显示器,该显示器包括半导体氧化物驱动晶体管和耦合到该半导体氧化物驱动晶体管的硅开关晶体管,该半导体氧化物驱动晶体管是顶栅晶体管。

[0084] 根据另一实施方案,该显示器包括与该驱动晶体管串联耦合的发光二极管。

[0085] 根据另一实施方案,该硅开关晶体管被配置为选择性地使电流穿过该驱动晶体管到达发光二极管。

[0086] 根据另一实施方案,该显示器包括第一电源线路和第二电源线路、半导体氧化物驱动晶体管、硅开关晶体管、以及串联耦合在第一电源线路和第二电源线路之间的发光二极管。

[0087] 根据另一实施方案,该显示器包括耦合到驱动晶体管的存储电容器,该存储电容器包括导电氧化物。

[0088] 根据另一实施方案,该硅开关晶体管形成在基板上,并且该半导体氧化物驱动晶体管形成在硅开关晶体管上方。

[0089] 根据另一实施方案,该显示器包括形成在半导体氧化物驱动晶体管上的有机层以及将该半导体氧化物驱动晶体管耦合到硅开关晶体管的导电路由路径,该导电路由路径被有机层覆盖。

[0090] 根据另一实施方案,该显示器包括形成在有机层上的附加有机层,该发光二极管具有形成在附加有机层上的阳极层。

[0091] 根据另一实施方案,该显示器包括形成在显示器的弯曲区域中的导电区段,该导电区段和导电路由路径至少部分地形成在相同栅极金属层中。

[0092] 根据另一实施方案,该显示器包括在既定金属层中形成在半导体氧化物驱动晶体管正下方的导电结构以及耦合到驱动晶体管的存储电容器,该存储电容器包括处于既定金属层中的电容器板。

[0093] 根据另一实施方案,该硅开关晶体管包括形成在既定金属层中的栅极结构,该显示器包括耦合到驱动晶体管的存储电容器,该存储电容器包括处于既定金属层中的电容器

板。

[0094] 根据一个实施方案,提供了一种显示器,该显示器包括具有栅极端子和源极端子的驱动晶体管以及耦合到驱动晶体管的电容器,该电容器包括导电氧化物,并且该电容器被配置为存储驱动晶体管的栅极端子和源极端子两端的电压。

[0095] 根据另一实施方案,该显示器包括串联耦合在驱动晶体管之间的发光二极管。

[0096] 根据另一实施方案,该显示器包括形成在驱动晶体管下方的电介质层,该驱动晶体管包括半导体氧化物材料,并且电容器的导电氧化物和驱动晶体管的半导体氧化物材料形成在电介质层上。

[0097] 根据另一实施方案,该显示器包括耦合到驱动晶体管的开关晶体管,该开关晶体管具有形成在既定金属层中的栅极,该电容器包括形成在既定金属层中的电容器板。

[0098] 根据另一实施方案,该显示器包括形成在驱动晶体管和开关晶体管上的有机层、将驱动晶体管耦合到开关晶体管的导电路由路径(导电路由路径被有机层覆盖)、以及形成在有机层和导电路由路径之间的钝化层。

[0099] 根据一个实施方案,提供了一种显示器,该显示器包括具有源极-漏极端子的驱动晶体管、耦合到驱动晶体管的开关晶体管、具有耦合到驱动晶体管的第一端子接触件以及耦合到开关晶体管的第二端子接触件的导电路由路径、以及插置在驱动晶体管的源极-漏极端子和第一端子接触件之间的蚀刻停止内衬。

[0100] 根据另一实施方案,该驱动晶体管包括半导体氧化物,并且开关晶体管为硅晶体管。

[0101] 根据另一实施方案,该驱动晶体管为顶栅晶体管。

[0102] 根据另一实施方案,该导电路由路径的第二端子接触件仅包括一个通孔。

[0103] 前述仅为例示性的,并且在不脱离所述实施方案的范围和实质的情况下,本领域的技术人员可作出各种修改。前述实施方案可独立实施或可以任意组合实施。

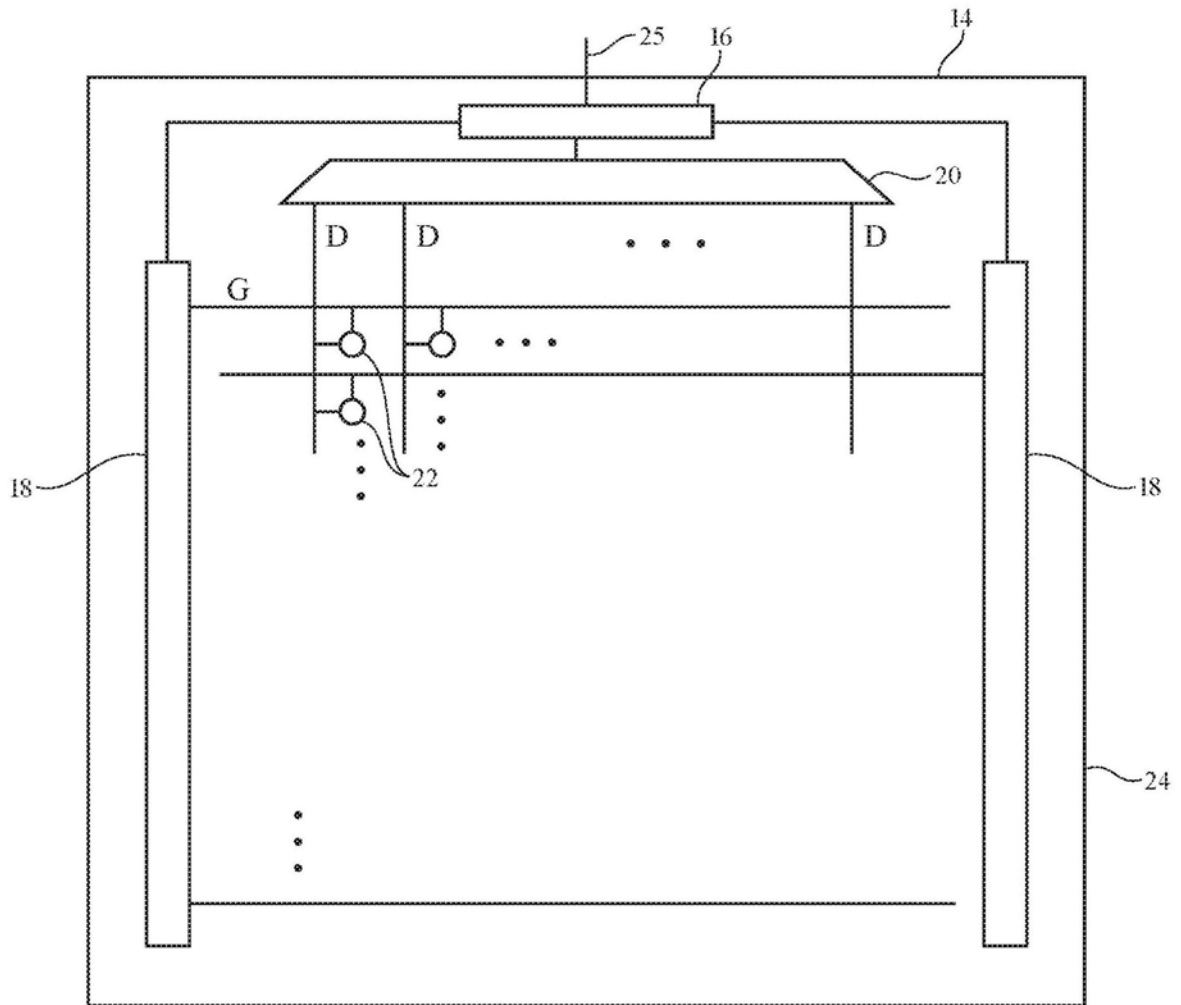


图1

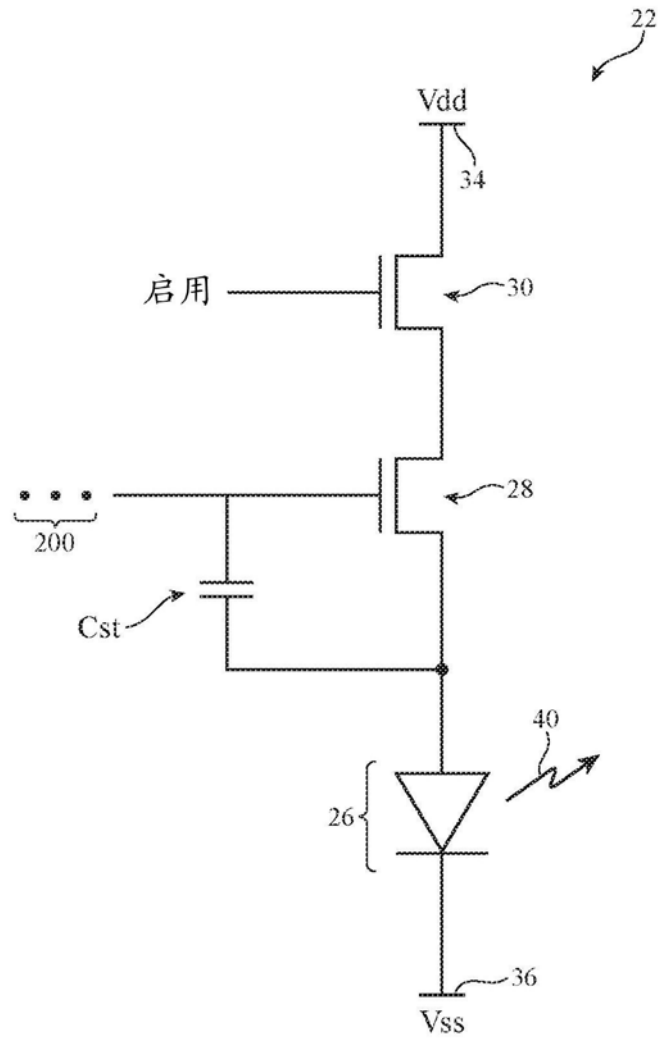


图2

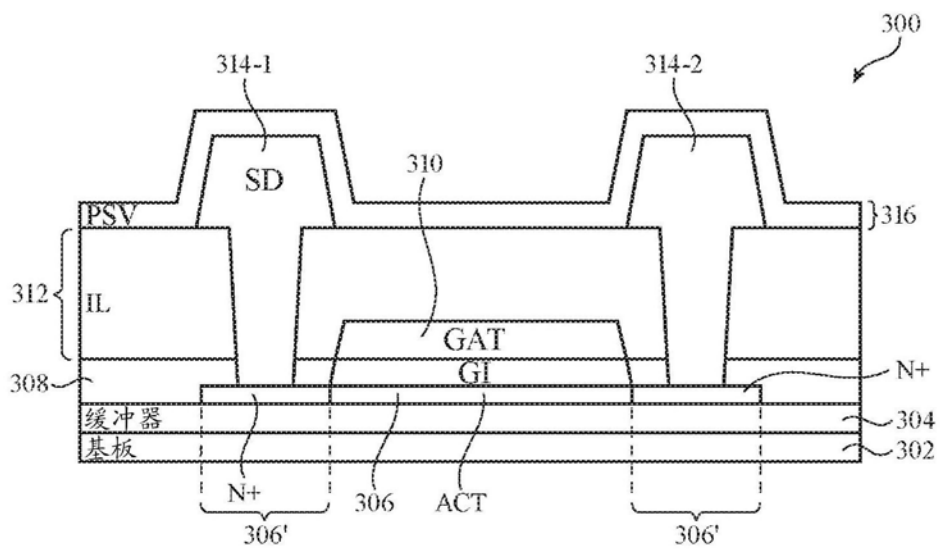


图3A

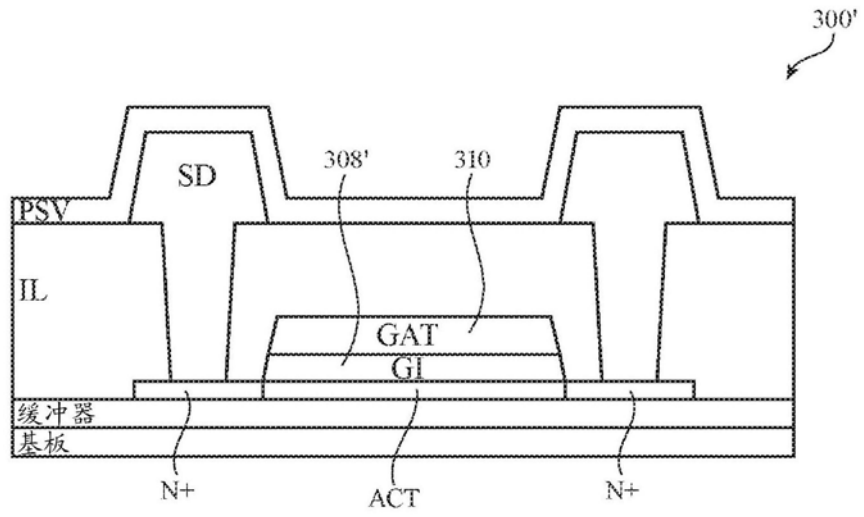


图3B

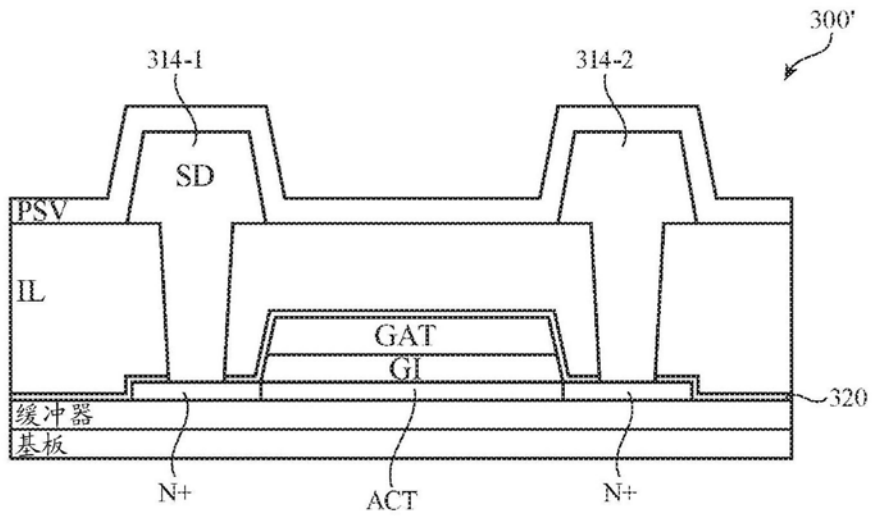


图3C

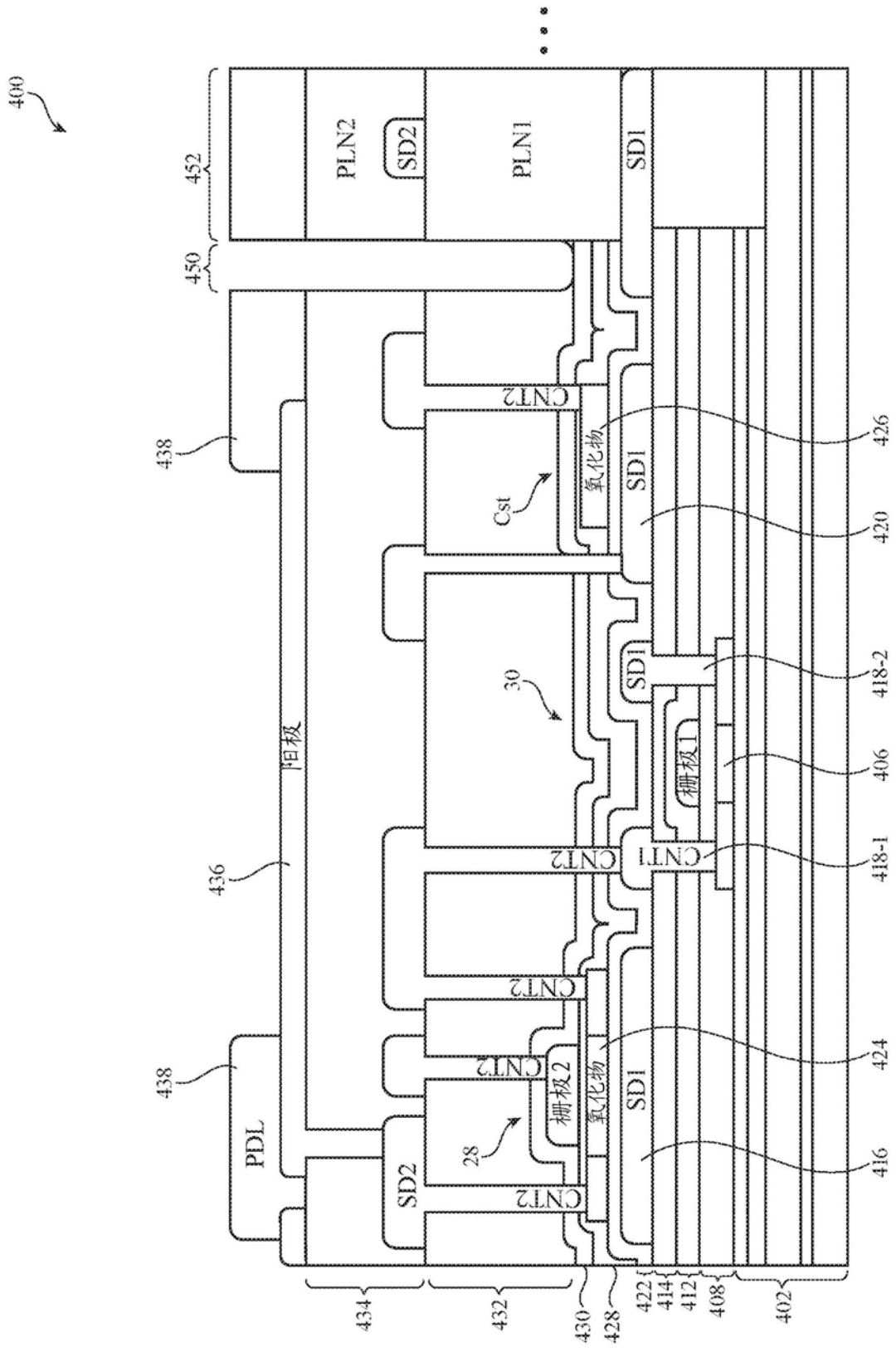


图4

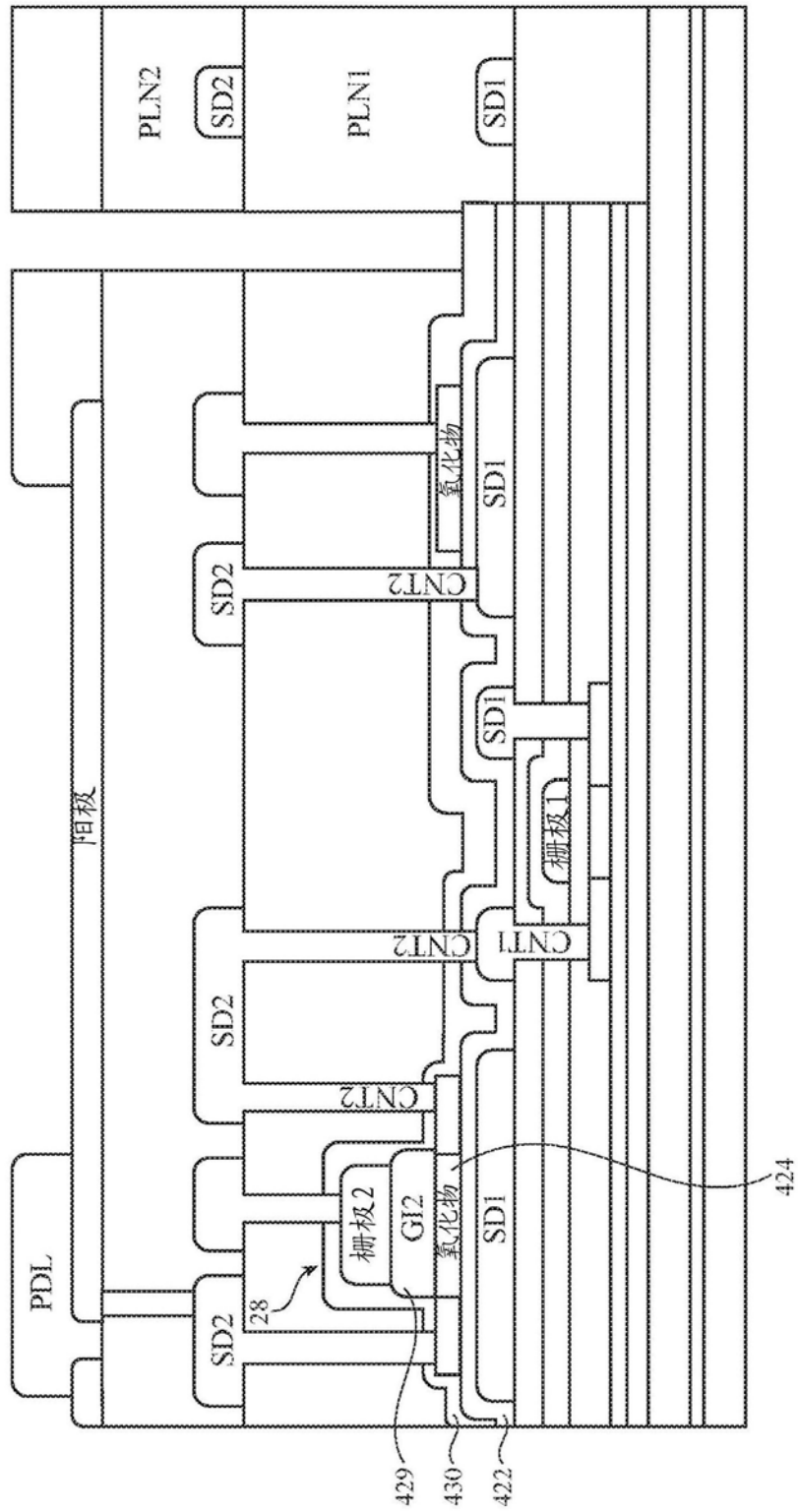


图5

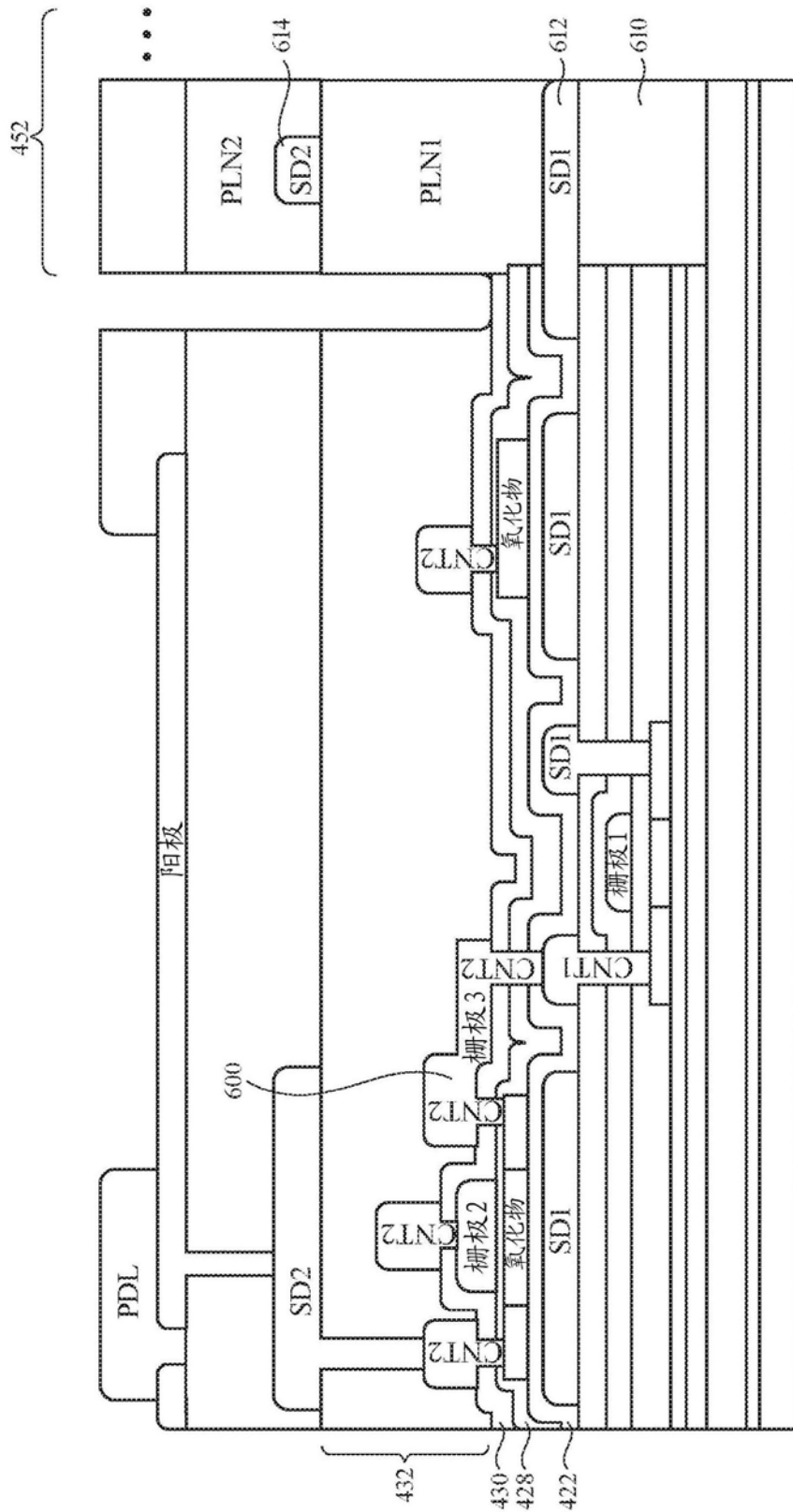


图6A

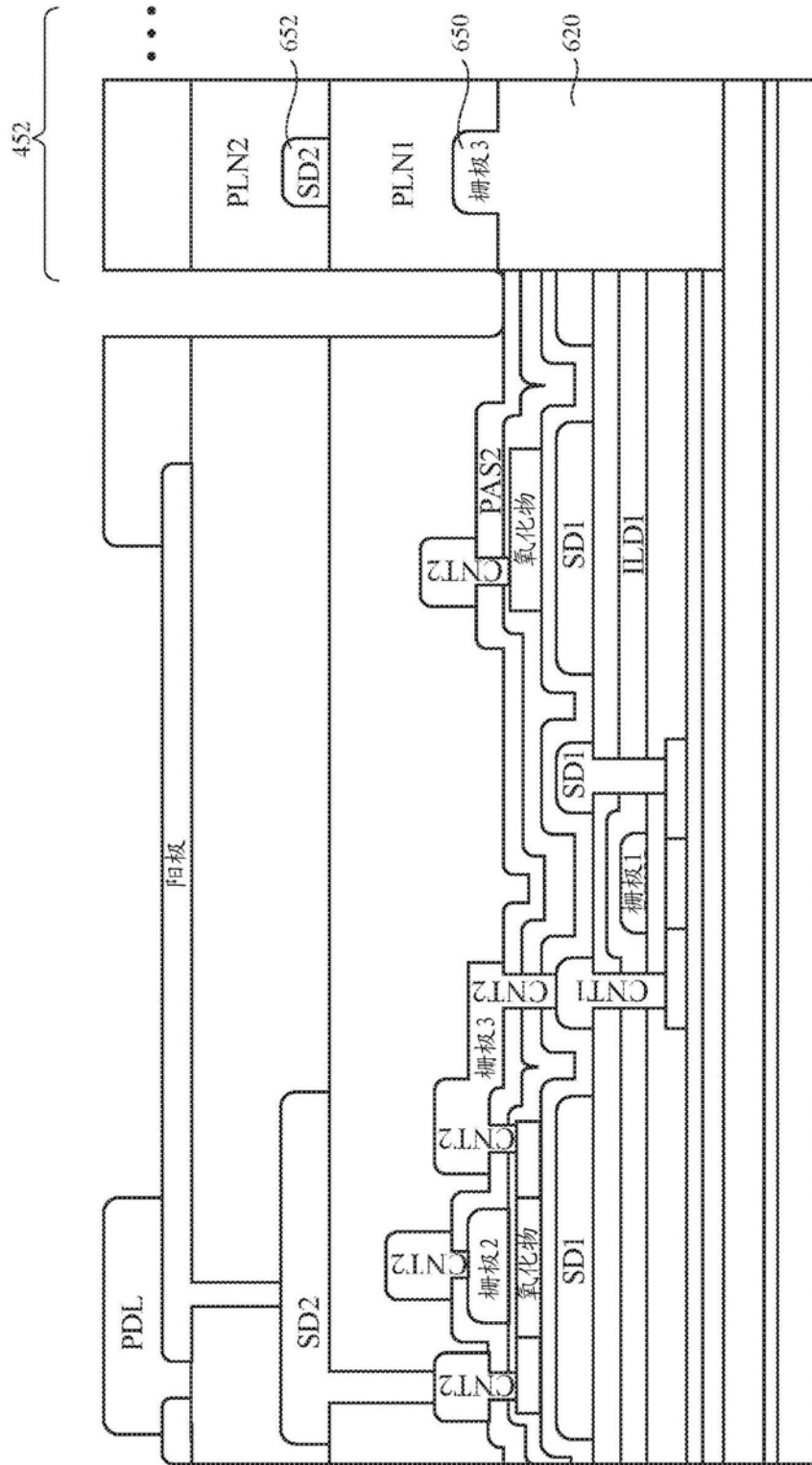


图6B

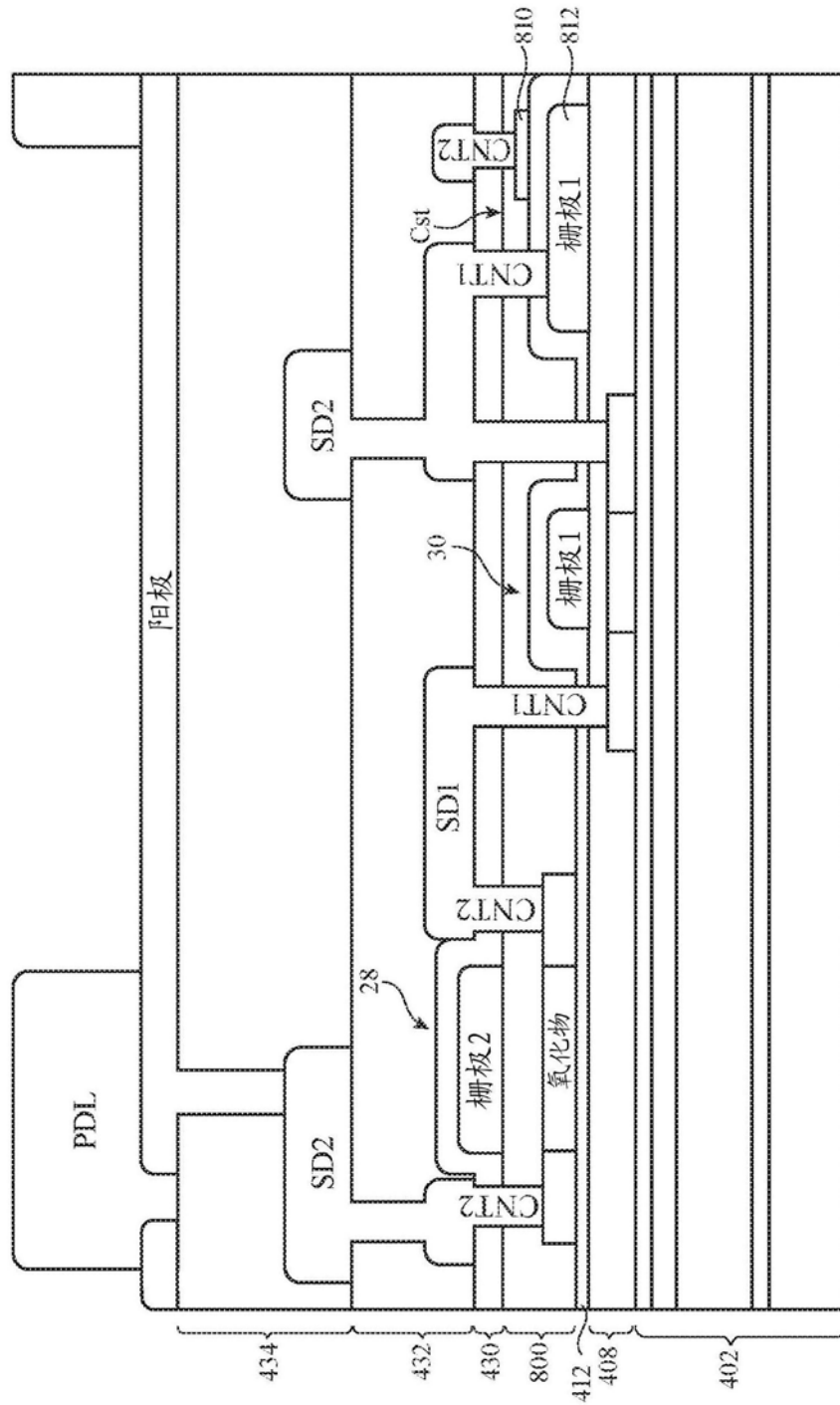


图8

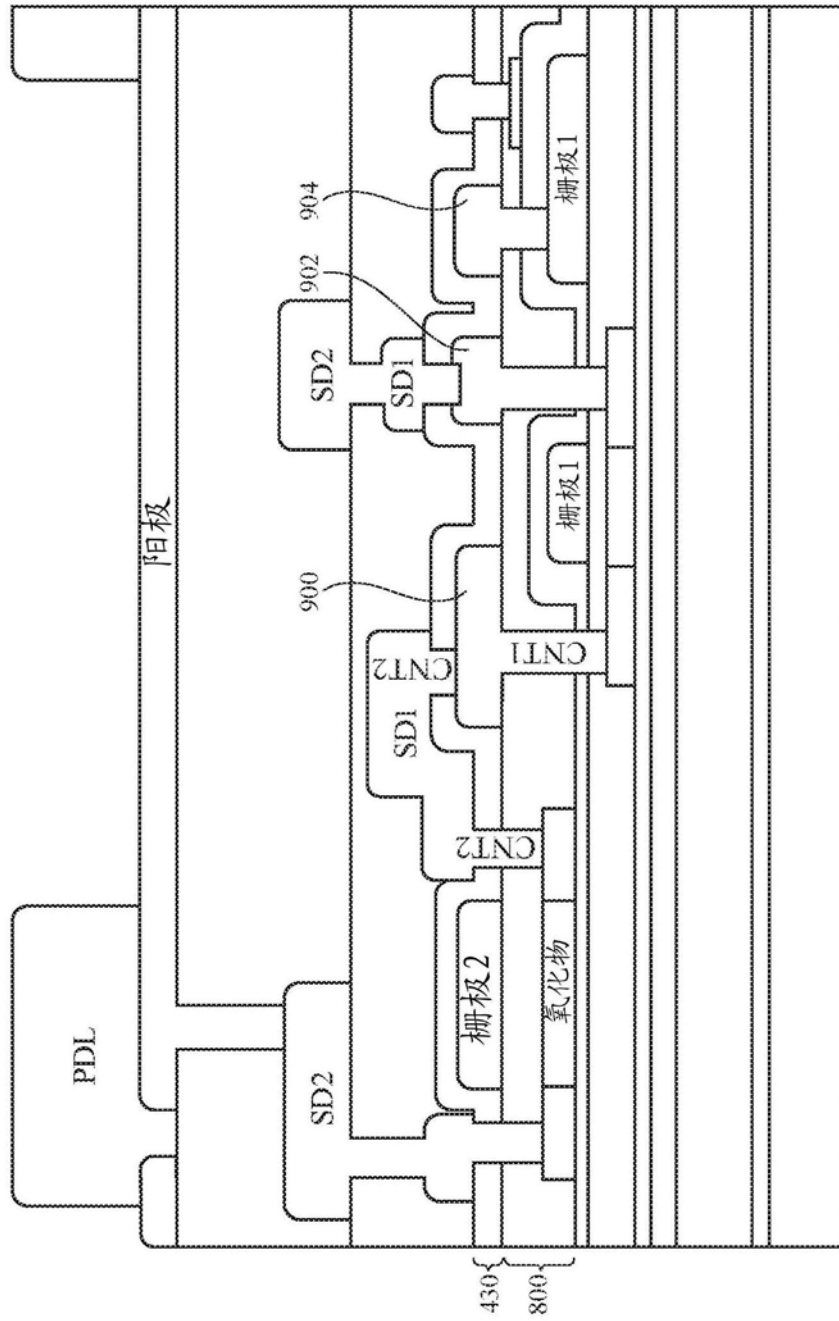


图9

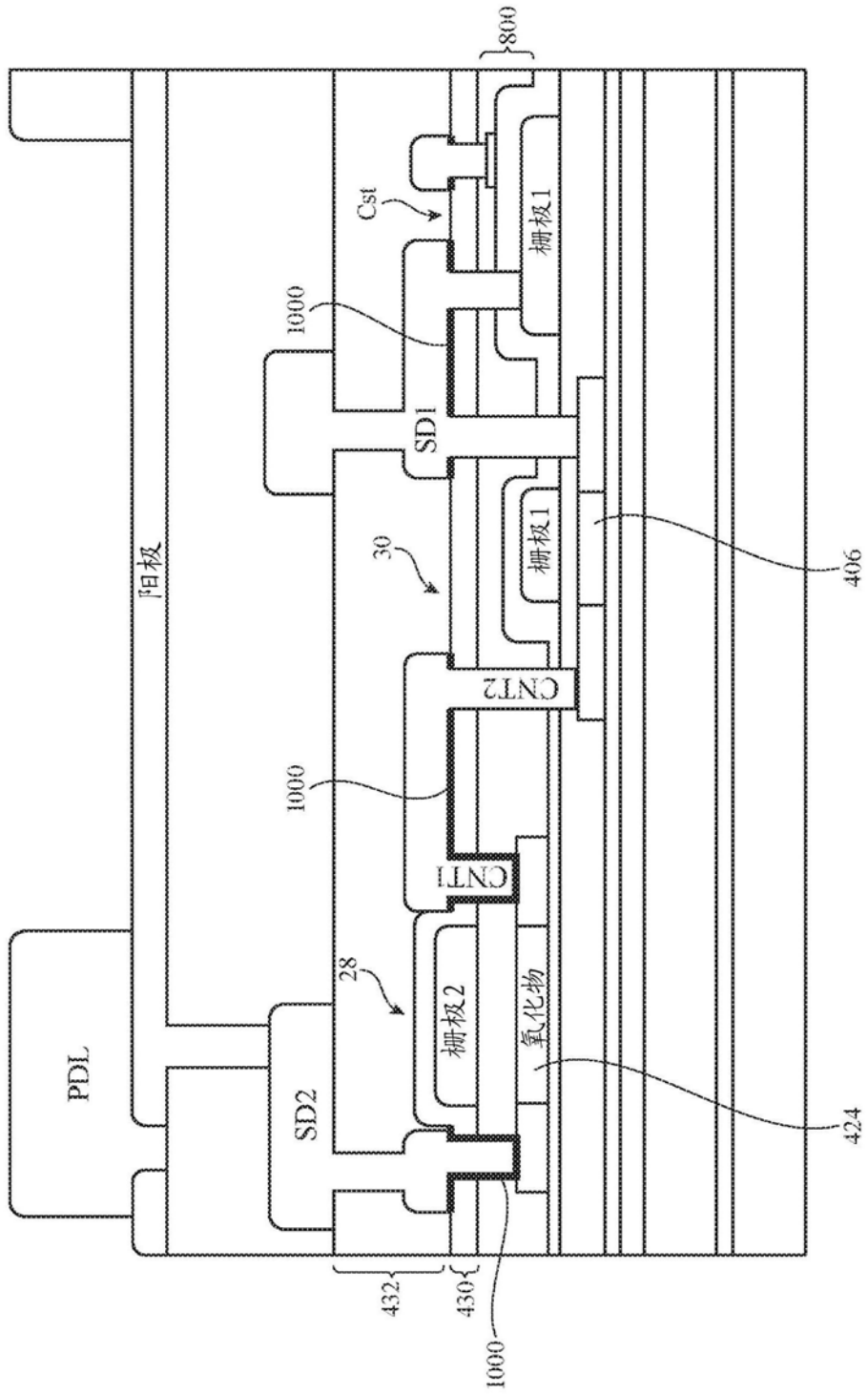


图10

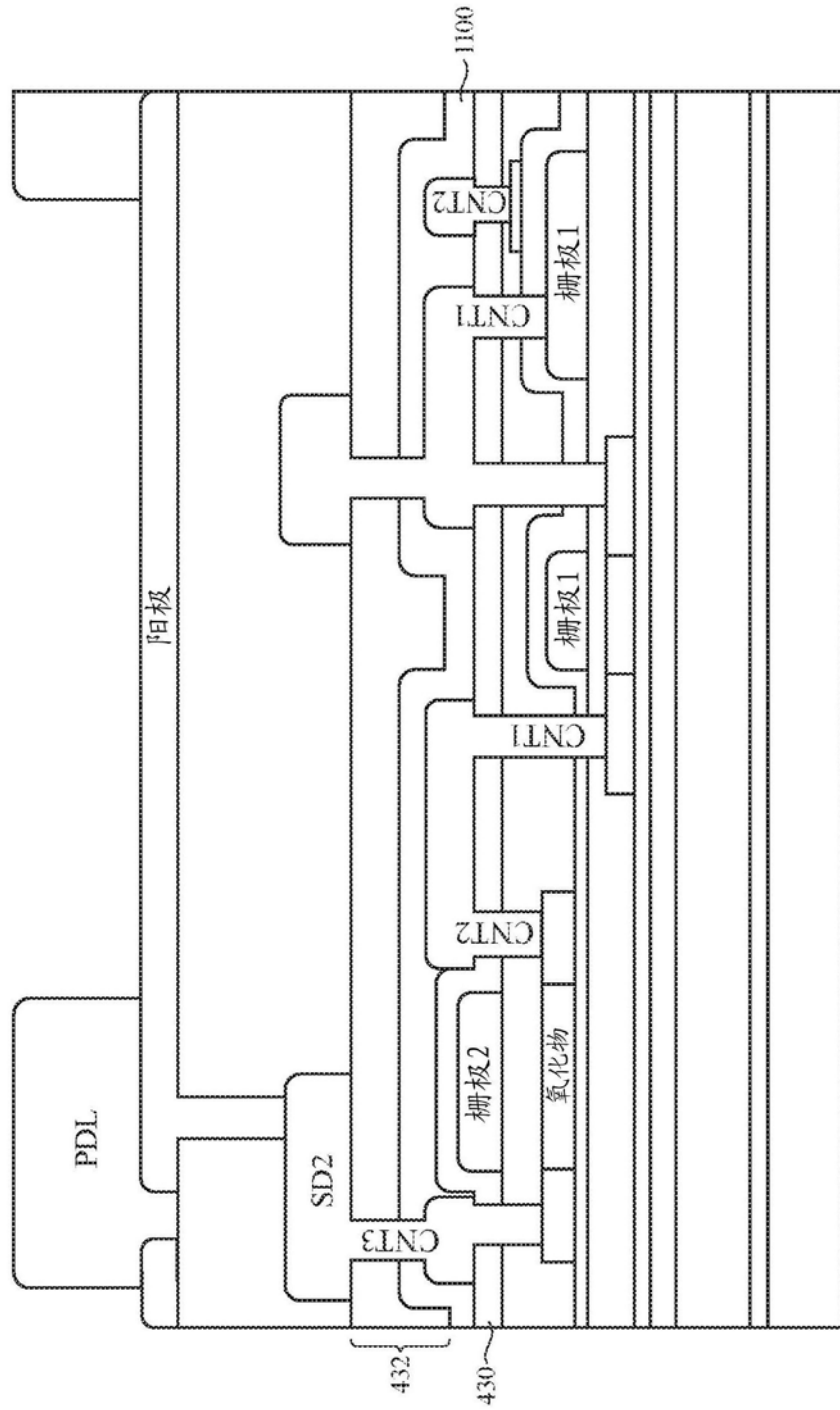


图11

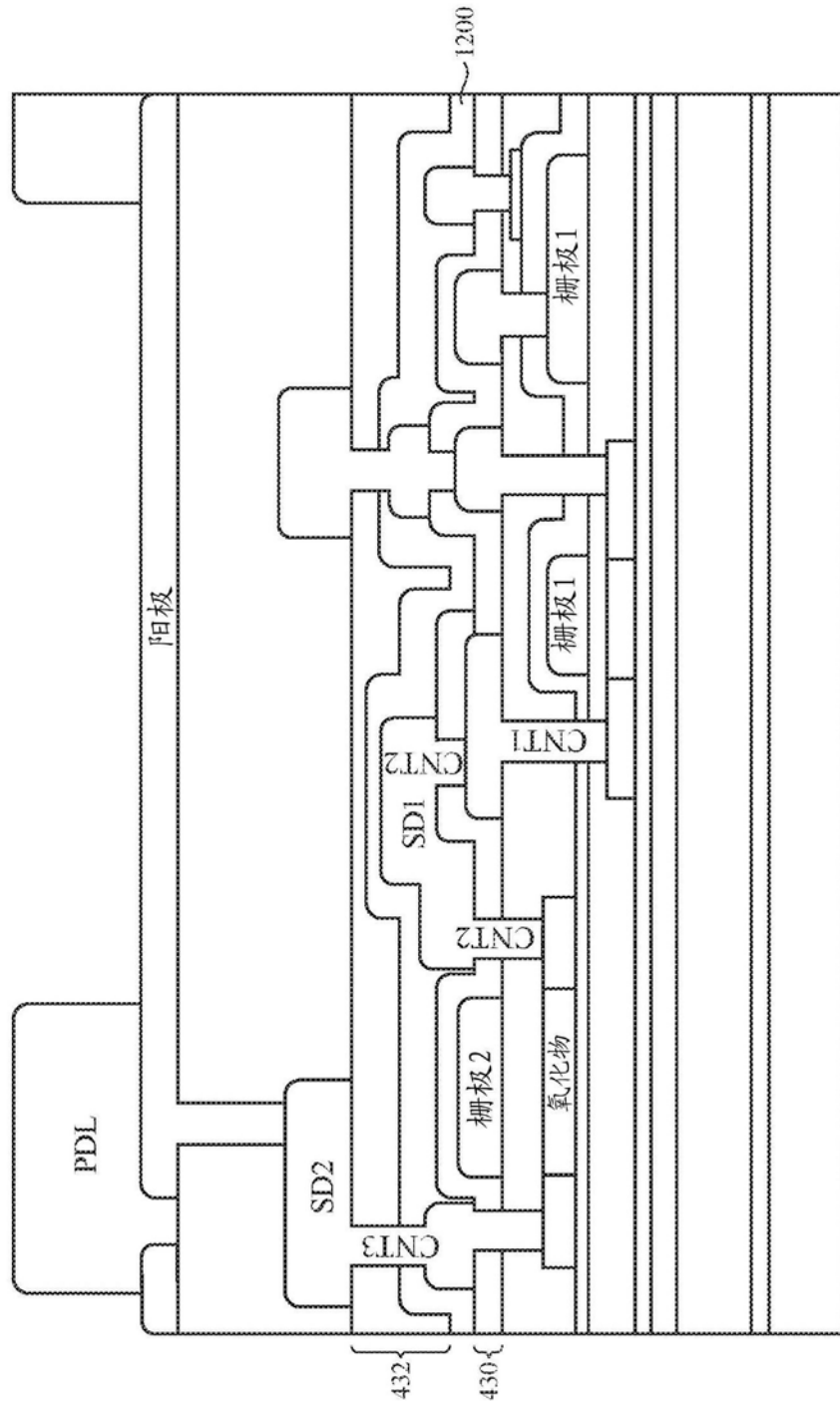


图12

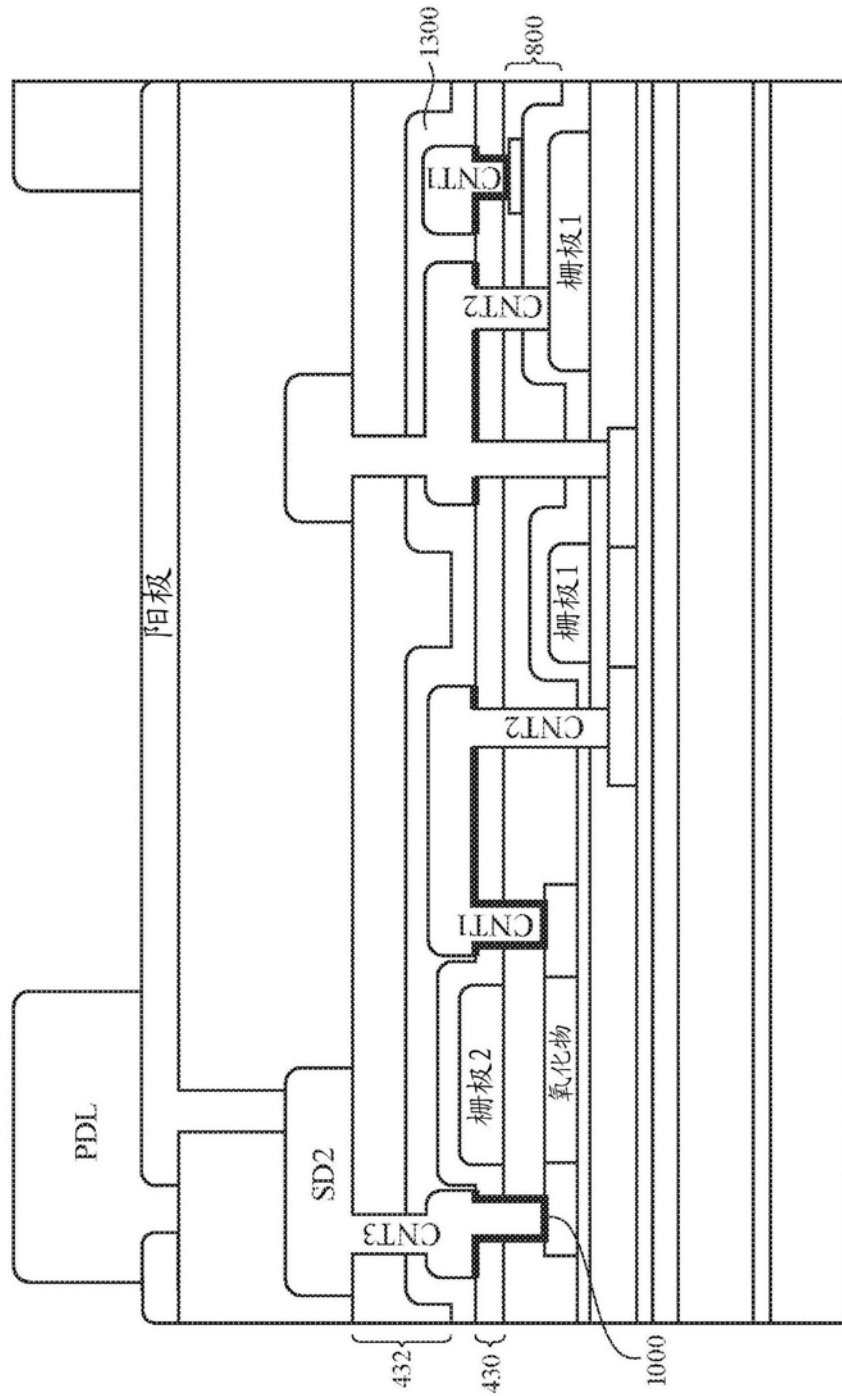


图13

专利名称(译)	具有硅顶栅薄膜晶体管 and 半导体氧化物顶栅薄膜晶体管的显示器		
公开(公告)号	CN110366779A	公开(公告)日	2019-10-22
申请号	CN201880014884.2	申请日	2018-03-14
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	小野晋也 林敬伟 庄景桑 张钧杰 尾本启介 林上智 常鼎国 石井孝英		
发明人	小野晋也 林敬伟 庄景桑 张钧杰 尾本启介 林上智 常鼎国 石井孝英		
IPC分类号	H01L27/12		
CPC分类号	H01L27/1222 H01L27/1225 H01L27/1248 H01L27/1255 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L29/7869 H01L29/78675		
优先权	62/476551 2017-03-24 US 15/729330 2017-10-10 US		
外部链接	Espacenet SIPO		

摘要(译)

本文公开了一种电子设备，该电子设备可包括具有处于基板上的显示器像素阵列的显示器。该显示器像素可为有机发光二极管显示器像素，其包括使用半导体氧化物薄膜晶体管、硅薄膜晶体管和电容器结构形成的混合薄膜晶体管结构。该显示器像素中的驱动晶体管可为顶栅半导体氧化物薄膜晶体管，并且显示器像素中的开关晶体管可为顶栅硅薄膜晶体管。显示器中的存储电容器可以包括导电半导体氧化物电极。

