



(12)发明专利申请

(10)申请公布号 CN 108062932 A

(43)申请公布日 2018.05.22

(21)申请号 201711385569.4

(22)申请日 2017.12.20

(71)申请人 北京航空航天大学

地址 100083 北京市海淀区学院路37号

申请人 京东方科技集团股份有限公司

(72)发明人 李洪革 李玉亮 卢江楠

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 王娟

(51)Int.Cl.

G09G 3/3233(2016.01)

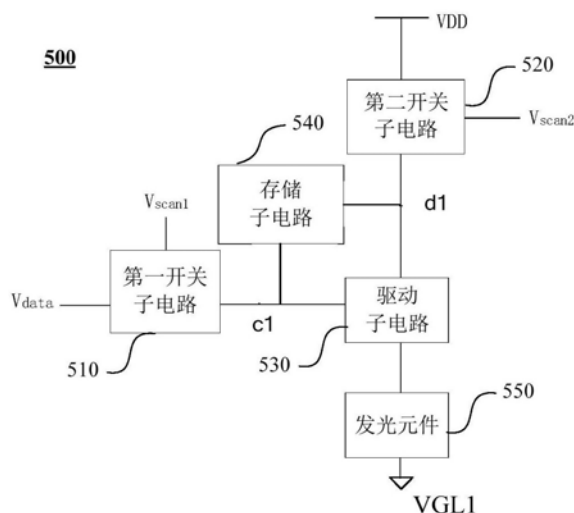
权利要求书2页 说明书10页 附图7页

(54)发明名称

一种有机薄膜晶体管构造的像素电路

(57)摘要

本申请公开了一种配置为驱动发光元件的像素电路,所述像素电路还包括:第一开关子电路,配置成在所述第一控制信号线的控制下将所述数据信号线的数据信号输入到所述第一节点;第二开关子电路,配置成在所述第二控制信号线的控制下将所述第一信号线的第一信号输入到所述第二节点;驱动子电路,其第一端连接所述第一节点,第二端连接所述第二节点,第三端连接所述发光元件的输入端;所述驱动子电路配置成在所述第一节点的电位控制下驱动所述发光元件发光;存储子电路,其第一端连接所述第一节点,第二端连接所述第二节点,所述存储子电路配置成在每个周期内所述第二开关子电路导通之前,存储所述驱动子电路的阈值电压。



1. 一种配置为驱动发光元件的像素电路,包括:

第一开关子电路,其第一端连接数据信号线,第二端连接第一控制信号线,第三端连接第一节点,所述第一开关子电路配置成在所述第一控制信号线的控制下将所述数据信号线的数据信号输入到所述第一节点;

第二开关子电路,其第一端连接第一信号线,第二端连接第二控制信号线,第三端连接第二节点,所述第二开关子电路配置成在所述第二控制信号线的控制下将所述第一信号线的第一信号输入到所述第二节点;

驱动子电路,其第一端连接所述第一节点,第二端连接所述第二节点,第三端连接所述发光元件的输入端,所述驱动子电路配置成在所述第一节点的电位控制下驱动所述发光元件发光;以及

存储子电路,其第一端连接所述第一节点,第二端连接所述第二节点,所述存储子电路配置成在每个周期内所述第二开关子电路导通之前,存储所述驱动子电路的阈值电压。

2. 如权利要求1所述的像素电路,其中所述存储子电路进一步包括:

第一电容,其第一端连接所述第一节点,第二端连接所述第二节点,配置成在每个周期内所述第二开关子电路导通之前,存储所述驱动子电路的阈值电压。

3. 如权利要求2所述的像素电路,其中所述存储子电路进一步包括:

第二电容,其第一端连接所述第二节点,第二端连接所述第二信号线。

4. 如权利要求3所述的像素电路,其中,

所述驱动子电路包括驱动晶体管,其第一端连接所述第二节点,第二端连接所述发光元件的输入端,控制端连接所述第一节点,所述驱动晶体管配置成在所述第一节点的电位控制下使得所述驱动晶体管导通,并驱动所述发光元件发光。

5. 如权利要求4所述的像素电路,其中当所述驱动晶体管配置成在所述第一节点的电位控制下使得所述驱动晶体管导通时,通过下式确定所述驱动晶体管输出的驱动电流:

$$I_{\text{OLED}} = \frac{W}{L} \mu(T) C_{\text{ox}} V_{\text{ds}} \left[\frac{2k_B T}{q} + V_{\text{gs}} + V_{\text{fb}} + \frac{1}{2} V_{\text{ds}} \right]$$

其中W是所述驱动晶体管沟道宽度,L是所述驱动晶体管沟道长度, $\mu(T)$ 是所述驱动晶体管载流子迁移率, k_B 是玻尔兹曼常数,q是单位电荷的电量,T是所述驱动晶体管工作温度, C_{ox} 是所述驱动晶体管绝缘层单位面积电容、 V_{fb} 是所述驱动晶体管的阈值电压,以及

$$V_{\text{gs}} = -\left(\frac{C_2}{C_1 + C_2} (V_{\text{ref}} - V_{\text{data}}) + |V_{\text{fb}}| \right)$$

其中, V_{ref} 是参考电压, C_1 是所述第一电容的电容值, C_2 是所述第二电容的电容值, V_{data} 是驱动晶体管工作所需的数据电压。

6. 如权利要求1所述的像素电路,其中,

所述第一开关子电路包括第一开关晶体管,其第一端连接数据信号线,第二端连接第一节点,控制端连接第一控制信号线,所述第一开关晶体管配置成在所述第一控制信号线的控制下使得所述第一开关晶体管导通,并将所述数据信号线的数据信号输入到所述第一节点。

7. 如权利要求1所述的像素电路,其中,

所述第二开关子电路包括第二开关晶体管,其第一端连接第一信号线,第二端连接第

二节点,控制端连接第二控制信号线,所述第二开关晶体管配置成在所述第二控制信号线的控制下使得所述第二开关晶体管导通,并将所述第一信号线的第一信号输入到所述第二节点。

8.如权利要求7所述的像素电路,其中所述驱动晶体管是有机薄膜晶体管。

9.如权利要求7所述的像素电路,其中所述第一开关晶体管是有机薄膜晶体管。

10.如权利要求7或8所述的像素电路,其中所述第二开关晶体管是有机薄膜晶体管。

11.如权利要求1所述的像素电路,其中所述发光元件是有机发光二极管。

12.一种显示基板,包括:如权利要求1-11任一所述的像素电路。

13.一种用于如权利要求1-11所述的像素电路的驱动方法,包括:

补偿阶段,其中所述第一开关电路在所述第一控制信号线的控制下导通,所述第二开关电路在所述第二控制信号的控制下关断,所述存储子电路存储所述驱动子电路的阈值电压;

写入阶段,其中所述第一开关电路在所述第一控制信号线的控制下导通,所述第二开关电路在所述第二控制信号的控制下关断,经由导通的所述第一开关电路将所述数据信号线输入的数据信号输入到第一节点,并将数据电压存储至所述第一电容;以及

发光阶段,其中所述第一开关电路在所述第一控制信号线的控制下关断,所述第二开关电路在所述第二控制信号的控制下导通,所述驱动子电路在所述第一电容的第一端的电位控制下,将驱动电流输出至发光元件,使得发光元件正常工作。

14.如权利要求13所述的驱动方法,其中所述存储子电路进一步包括第一电容,其第一端连接所述第一节点,第二端连接所述第二节点,配置成在每个周期内所述第二开关子电路导通之前,存储所述驱动子电路的阈值电压,以及第二电容,其第一端连接所述第二节点,第二端连接所述第二信号线,所述存储子电路存储所述驱动子电路的阈值电压进一步包括:

当所述第二开关电路在所述第二控制信号的控制下关断后,所述第一电容经所述驱动子电路进行放电,当所述第一电容的第一端和第二端的电压差降至所述驱动子电路的阈值电压时,所述驱动子电路关断。

一种有机薄膜晶体管构造的像素电路

技术领域

[0001] 本公开涉及显示技术领域,具体涉及一种像素电路以及用于驱动所述像素电路的方法。

背景技术

[0002] 有机半导体器件具有柔性、透明、低成本、可大面积制造等优点,有广阔的应用前景。经过近几年的发展,有机半导体器件的理论逐步趋于成熟,器件性能也不断提升。国外已经开始出现柔性、透明、可印刷制造的射频电子标签等低端应用产品。基于有机半导体的薄膜晶体管,是柔性、透明电子电路中最核心的元件,其器件性能不断提升,器件迁移率可达到 $0.1\sim 10\text{cm}^2/\text{Vs}$,器件工作电压可降低到5V左右。

[0003] 然而,晶体管在工作过程中由于其阈值电压存在不稳定的情况,由此会导致晶体管输出的电流不稳定,从而影响晶体管电路的工作效果。

发明内容

[0004] 针对以上问题,本公开提供一种确定晶体管在室温及工作温度下的电学特性的方法,并提供了一种能够存储晶体管阈值电压的像素电路及其驱动方法。

[0005] 根据本公开的一方面,提出了一种配置为驱动发光元件的像素电路,包括:第一开关子电路,其第一端连接数据信号线,第二端连接第一控制信号线,第三端连接第一节点,所述第一开关子电路配置成在所述第一控制信号线的控制下将所述数据信号线的数据信号输入到所述第一节点;第二开关子电路,其第一端连接第一信号线,第二端连接第二控制信号线,第三端连接第二节点,所述第二开关子电路配置成在所述第二控制信号线的控制下将所述第一信号线的第一信号输入到所述第二节点;驱动子电路,其第一端连接所述第一节点,第二端连接所述第二节点,第三端连接所述发光元件的输入端;所述驱动子电路配置成在所述第一节点的电位控制下驱动所述发光元件发光;存储子电路,其第一端连接所述第一节点,第二端连接所述第二节点,所述存储子电路配置成在每个周期内所述第二开关子电路导通之前,存储所述驱动子电路的阈值电压。

[0006] 在一个实施例中,所述存储子电路进一步包括:第一电容,其第一端连接所述第一节点,第二端连接所述第二节点,配置成在每个周期内所述第二开关子电路导通之前,存储所述驱动子电路的阈值电压。

[0007] 在一个实施例中,所述存储子电路进一步包括:第二电容,其第一端连接所述第二节点,第二端连接所述第二信号线。

[0008] 在一个实施例中,所述驱动子电路包括驱动晶体管,其第一端连接所述第二节点,第二端连接所述发光元件的输入端,控制端连接所述第一节点,所述驱动晶体管配置成在所述第一节点的电位控制下使得所述驱动晶体管导通,并驱动所述发光元件发光。

[0009] 在一个实施例中,其中当所述驱动晶体管配置成在所述第一节点的电位控制下使得所述驱动晶体管导通时,通过下式确定所述驱动晶体管输出的驱动电流:

$$[0010] \quad I_{\text{OLED}} = \frac{W}{L} \mu(T) C_{\text{ox}} V_{\text{ds}} \left[\frac{2k_B T}{q} + V_{\text{gs}} + V_{\text{fb}} + \frac{1}{2} V_{\text{ds}} \right]$$

[0011] 其中W是所述驱动晶体管沟道宽度,L是所述驱动晶体管沟道长度, $\mu(T)$ 是所述驱动晶体管载流子迁移率, k_B 是玻尔兹曼常数,q是单位电荷的电量,T是所述驱动晶体管工作温度, C_{ox} 是所述驱动晶体管绝缘层单位面积电容、 V_{fb} 是所述驱动晶体管的阈值电压,以及

$$[0012] \quad V_{\text{gs}} = -\left(\frac{C_2}{C_1 + C_2} (V_{\text{ref}} - V_{\text{data}}) + |V_{\text{fb}}| \right)$$

[0013] 其中, V_{ref} 是参考电压, C_1 是所述第一电容的电容值, C_2 是所述第二电容的电容值, V_{data} 是驱动晶体管工作所需的数据电压。

[0014] 在一个实施例中,所述第一开关子电路包括第一开关晶体管,其第一端连接数据信号线,第二端连接第一节点,控制端连接第一控制信号线,所述第一开关晶体管配置成在所述第一控制信号线的控制下使得所述第一开关晶体管导通,并将所述数据信号线的数据信号输入到所述第一节点。

[0015] 在一个实施例中,所述第二开关子电路包括第二开关晶体管,其第一端连接第一信号线,第二端连接第二节点,控制端连接第二控制信号线,所述第二开关晶体管配置成在所述第二控制信号线的控制下使得所述第二开关晶体管导通,并将所述第一信号线的第一信号输入到所述第二节点。

[0016] 在一个实施例中,所述驱动晶体管是有机薄膜晶体管。

[0017] 在一个实施例中,所述第一开关晶体管是有机薄膜晶体管。

[0018] 在一个实施例中,所述第二开关晶体管是有机薄膜晶体管。

[0019] 在一个实施例中,所述发光元件是有机发光二极管。

[0020] 根据本公开的另一方面,提出了一种显示基板,包括如前所述的像素电路。

[0021] 根据本公开的另一方面,提出了一种用于如前所述的像素电路的驱动方法,包括:补偿阶段,其中所述第一开关电路在所述第一控制信号线的控制下导通,所述第二开关电路在所述第二控制信号的控制下关断,所述存储子电路存储所述驱动子电路的阈值电压;写入阶段,其中所述第一开关电路在所述第一控制信号线的控制下导通,所述第二开关电路在所述第二控制信号的控制下关断,经由导通的所述第一开关电路将所述数据信号线输入的数据信号输入到第一节点,并将数据电压存储至所述第一电容;发光阶段,其中所述第一开关电路在所述第一控制信号线的控制下关断,所述第二开关电路在所述第二控制信号的控制下导通,所述驱动子电路在所述第一电容的第一端的电位控制下,将驱动电流输出至发光元件,使得发光元件正常工作。

[0022] 在一个实施例中,其中所述存储子电路进一步包括第一电容,其第一端连接所述第一节点,第二端连接所述第二节点,配置成在每个周期内所述第二开关子电路导通之前,存储所述驱动子电路的阈值电压,以及第二电容,其第一端连接所述第二节点,第二端连接所述第二信号线,所述存储子电路存储所述驱动子电路的阈值电压进一步包括:当所述第二开关电路在所述第二控制信号的控制下关断后,所述第一电容经所述驱动子电路进行放电,当所述第一电容的第一端和第二端的电压差降至所述驱动子电路的阈值电压时,所述驱动子电路关断。

[0023] 利用本公开提供的像素电路及其驱动方法,根据基于高斯无序跳跃理论的晶体管

输出电流与控制电压之间的关系,可以在制作集成电路之前使用计算机仿真的方法预测驱动晶体管输出到发光元件的驱动电流。根据上述像素电路的驱动方法能够向发光元件提供不受驱动晶体管阈值电压变化影响的驱动电流。

附图说明

[0024] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员而言,在没有做出创造性劳动的前提下,还可以根据这些附图获得其他的附图。以下附图并未刻意按实际尺寸等比例缩放绘制,重点在于示出本公开的主旨。

[0025] 图1示出了晶体管中绝缘层与半导体材料接触面处的能带结构;

[0026] 图2A示出了本公开实施例提供的一种像素电路的示意性框图;

[0027] 图2B示出了本公开实施例提供的一种像素电路的电路结构图;

[0028] 图3示出了本公开实施例提供的一种像素电路的时序图;

[0029] 图4示出了本公开实施例提供的一种像素电路的电路结构图;

[0030] 图5A示出了本公开实施例提供的一种像素电路的示意性框图;

[0031] 图5B示出了本公开实施例提供的一种像素电路的电路结构图;

[0032] 图6示出了本公开实施例提供的一种像素电路的时序图;

[0033] 图7A-7C本公开实施例提供的一种像素电路的等效电路图;

[0034] 图8示出了本公开实施例提供的一种显示基板的示意性框图;以及

[0035] 图9示出了本公开实施例提供的一种像素电路的驱动方法的流程图。

具体实施方式

[0036] 下面将结合附图对本公开实施例中的技术方案进行清楚、完整地描述,显而易见地,所描述的实施例仅仅是本公开的部分实施例,而不是全部的实施例。基于本公开实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,也属于本公开保护的范围。

[0037] 本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0038] 本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中,每个晶体管的漏极和源极的连接方式可以互换,因此,本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里,仅仅是为了区分晶体管除栅极之外的两极,而将其中一极称为漏极,另一极称为源极。本公开实施例中采用的薄膜晶体管可以为N型晶体管,也可以为P型晶体管。在本公开实施例中,当采用N型薄膜晶体管时,其第一极可以是源极,第二极可以是漏极。在以下实施例中,以薄膜晶体管为P型晶体管为例进行的说明,即栅极的信号是高电平时,薄膜晶体管关断。可以想到,当采用N型晶体管时,需要

相应调整驱动信号的时序。具体细节不在此赘述,但也应该在本发明的保护范围内。

[0039] 下面介绍根据本公开的基于高斯无序跳跃理论确定晶体管电学特性的方法。

[0040] 在晶体管工作温度为室温及室温以上的条件下,晶体管沟道内的载流子的场迁移率满足式(1):

$$[0041] \quad \mu(T) = \mu_0 \times \exp \left[-E_a \left(\frac{1}{k_B T} - \frac{1}{k_B T_0} \right) \right] \quad (1)$$

[0042] 其中 μ_0 为静态载流子迁移率, E_a 为激活能。

[0043] 在一些实施例中,激活能可以由式(2)确定:

$$[0044] \quad E_a = \left[\frac{3}{40} C - \frac{1}{15} C \ln \left(\frac{n}{N} \right) \right] \sigma \quad (2)$$

[0045] 其中 n 代表晶体管沟道内载流子浓度, N 代表能隙内总的陷阱态密度, σ 代表半导体材料的能量无序程度, C 是与晶体管有源层材料局域态半径相关的参数。

[0046] 图1示出了晶体管中绝缘层与半导体材料接触面处的能带结构。如图1所示,接触面左侧是绝缘层,右侧是半导体材料层。在半导体材料层中,上方的 E_c 是导带能级,下方的 E_v 是价带能级。在导带能级 E_c 和价带能级 E_v 之间的短横线是分离的陷阱态,其中靠近中间的为深陷阱态,靠近导带或价带的为浅陷阱态。在低温条件下,随着温度的升高,深陷阱态被逐渐占据。当温度上升至晶体管工作温度条件下时,载流子主要在浅陷阱态之间以跳跃的形式进行电荷传输。晶体管工作温度范围内半导体材料中的陷阱态符合高斯分布。也就是说,在晶体管工作温度条件下,半导体材料中的电荷传输符合高斯无序跳跃理论。基于高斯无序跳跃理论,晶体管沟道内的载流子浓度满足式(3):

$$[0047] \quad n = \int_{-\infty}^{+\infty} \frac{N}{\sqrt{2\pi\sigma^2}} \exp \left(\frac{-E^2}{2\sigma^2} \right) f(E) dE \quad (3)$$

[0048] 其中 n 代表晶体管沟道内载流子浓度, N 代表能隙内总的陷阱态密度, $f(E)$ 代表载流子在能量 E 处的占据几率, σ 代表半导体材料的能量无序程度,如果半导体材料的结构无序度越高,则 σ 的值越大。

[0049] 在一些实施例中,载流子在能量 E 处的占据几率可以由费米-狄拉克分布近似,则晶体管沟道内的载流子浓度满足式(4):

$$[0050] \quad n = \int_{-\infty}^{+\infty} \frac{N}{\sqrt{2\pi\sigma^2}} \exp \left(\frac{-E^2}{2\sigma^2} \right) f(E) dE \approx n_0 \exp \left[\frac{q(\phi - V_{ch})}{k_B T} \right] \quad (4)$$

[0051] 其中 ϕ 是垂直于沟道方向(即 x 方向)上的电势分布, V_{ch} 是沟道方向(即 y 方向)上的电势分布, k_B 是玻尔兹曼常数, T 是温度。在一些示例中,在晶体管工作温度条件下 T 的取值是300K。当晶体管工作温度发生变化时,式(4)中温度 T 的取值随之发生改变。

[0052] 根据泊松方程(式(5))可以确定沟道内 x 方向上的电场 F_x (式(6)):

$$[0053] \quad \frac{d^2 \phi}{dx^2} = -\frac{dF_x}{dx} = -\frac{qn}{\epsilon_s} \quad (5)$$

$$[0054] \quad F_x(\phi_x, V_{ch}) = \sqrt{\frac{2k_B T}{\epsilon_s}} n_0 \left[\exp \left(-\frac{qV_{ch}}{k_B T} \right) \left(\exp \left(\frac{q\phi_x}{k_B T} \right) - 1 \right) \right]^{1/2} \quad (6)$$

[0055] 其中 k_B 是玻尔兹曼常数, T 是温度, ϵ_s 是半导体层介电常数, q 是单位电荷的电量, φ_x 是垂直于沟道方向的电势分布, V_{ch} 是沿沟道方向的电势分布。

[0056] 根据式(6)可以确定晶体管半导体-绝缘层接触面的电场分布 F_s ,如式(7)所示:

$$[0057] \quad F_s = F(x=0) \quad (7)$$

[0058] 基于高斯定理及晶体管沟道内半导体-绝缘层接触面的电场分布,可以基于式(8)确定晶体管沟道内的电荷分布:

$$[0059] \quad Q_s = -\epsilon_s F_s = -\sqrt{2k_B T \epsilon_s n_0} \left[\exp\left(-\frac{qV_{ch}}{k_B T}\right) \left(\exp\left(\frac{q\varphi_s}{k_B T}\right) - 1 \right) \right]^{1/2} \quad (8)$$

[0060] 根据晶体管逐渐沟道近似理论,当晶体管的栅极电压处于线性区和饱和区时,晶体管沟道内电流 I_{above} 可以由式(9)确定:

$$[0061] \quad I_{above} = \frac{W}{L} \int_{V_s}^{V_d} \mu |Q_s| dV_{ch} \quad (9)$$

[0062] 其中, W 为沟道宽度, L 为沟道长度, V_s 为源极电压, V_d 为漏极电压。

[0063] 基于式(1)-(9),可以确定晶体管漏极电流 I_{above} 随栅极电压 V_g 变化的关系:

$$[0064] \quad I_{above} = \frac{W}{L} \int_{V_s}^{V_d} \mu |Q_s| dV_{ch} = \frac{W}{L} \mu(T) \left[-\frac{2k_B T}{q} (Q_{sd} - Q_{ss}) + \frac{1}{2C_{ox}} (Q_{sd}^2 - Q_{ss}^2) \right] \quad (10)$$

[0065] 其中 W 是沟道宽度, L 是沟道长度, V_d 是漏极电压, V_s 是源极电压,以及其中 $Q_{ss} = -C_{ox}(V_g - V_{fb} - V_s)$ 、 $Q_{sd} = -C_{ox}(V_g - V_{fb} - V_d)$, C_{ox} 是晶体管绝缘层单位面积电容、 V_{fb} 是晶体管的阈值电压。

[0066] 在本申请中将参考式(10)中确定的晶体管输出电流与控制电压之间的关系解释本申请提供的像素电路的原理。

[0067] 利用前述方法能够确定晶体管输出电流与控制电压之间的关系。通过晶体管输出电流与控制电压之间的关系能够在使用晶体管的集成电路制造之前,利用计算机仿真的方法验证设计电路的可行性。

[0068] 图2A示出了本公开实施例提供的一种像素电路的示意性框图。像素电路200包括第一开关子电路210、驱动子电路220、存储子电路230以及发光元件240。

[0069] 如图2A所示,第一开关子电路210的第一端连接数据信号线 V_{data} ,第二端连接第一控制信号线 V_{scan} ,第三端连接第一节点a1。第一开关子电路210配置成在第一控制信号线 V_{scan} 的控制下将数据信号线 V_{data} 的数据信号输入到第一节点a1。驱动子电路220的第一端连接第一信号线VDD、第二端连接第一节点a1、第三端连接第二节点b1。驱动子电路220配置成在第一节点a1的控制下向发光元件输出驱动电流。存储子电路230的第一端连接第一节点a1、第二端连接第二节点b1。存储子电路230配置成存储数据信号线 V_{data} 输入的数据信号。发光元件240的第一端连接第二节点b1,第二端连接第二信号线VGL1。第二信号线VGL1可以输入低电平信号。

[0070] 图2B示出了本公开实施例提供的一种像素电路的电路结构图。以下结合图2A和图2B对该像素电路结构进行详细说明。

[0071] 如图2B所示,在一些实施例中,第一开关子电路210可以包括第一开关晶体管T1,其第一端连接数据信号线 V_{data} ,第二端连接第一节点a1,控制端连接第一控制信号线 V_{scan} 。

第一开关晶体管T1配置成在第一控制信号线 V_{scan} 将数据信号线 V_{data} 输入的数据信号输入到第一节点a1。其中第一开关晶体管T1可以是有机薄膜晶体管。第一开关晶体管T1在工作状态下符合如前所述的高斯无序跳跃理论。有机薄膜晶体管的有源层为有机材料,具体可以是并五苯、并四苯、并五噻吩、联四苯、联五苯、联六苯等或其它衍生物。

[0072] 驱动子电路220可以包括驱动晶体管T2,其第一端连接第一信号线VDD、第二端连接第一节点a1、第三端连接第二节点b1。驱动晶体管T2配置成在第一节点a1的控制下向发光元件输出驱动电流。其中驱动晶体管T2可以是有机薄膜晶体管。驱动晶体管T2在工作状态下符合如前所述的高斯无序跳跃理论。

[0073] 存储子电路230可以包括第一电容C1,其第一端连接第一节点a1、第二端连接第二节点b1。第一电容C1配置成存储数据信号线 V_{data} 输入的数据信号。

[0074] 发光元件240可以是有机发光二极管OLED。其第一端连接第二节点b1,第二端连接第二信号线。第二信号线可以输入低电平信号。

[0075] 图3示出了本公开实施例提供的一种像素电路的时序图。如图3所示的时序图可以用于如图2A和图2B所示的像素电路。

[0076] 根据图3所示的时序图,在选通阶段A,第一控制信号线 V_{scan} 输入低电平,第一开关晶体管T1在第一控制信号的控制下导通。此时,数据信号线输入的信号 V_{data} 经由第一开关晶体管T1输入到第一节点a1,并对第一电容C1进行充电。此时,驱动晶体管T2的控制端受到数据信号线输入的信号 V_{data} 的控制。根据如前所述的确定晶体管输出电流的方法,利用式(10),将驱动晶体管的栅极电压、源极电压以及漏极电压代入式(10)后,可以通过下式确定驱动晶体管T2的输出电流:

$$[0077] \quad I_{OLED} = \frac{W}{L} \mu(T) C_{ox} V_{ds} \left[\frac{2k_B T}{q} - V_{data} + VDD + V_{fb} + \frac{1}{2} V_{ds} \right] \quad (11)$$

[0078] 其中, I_{OLED} 为驱动晶体管输出到发光元件(如OLED)的驱动电流,W是驱动晶体管沟道宽度,L是驱动晶体管沟道长度, $\mu(T)$ 是驱动晶体管载流子迁移率, k_B 是玻尔兹曼常数,q是单位电荷的电量,T是驱动晶体管工作温度, C_{ox} 为驱动晶体管T2绝缘层单位面积电容, V_{fb} 为驱动晶体管T2的阈值电压, V_{data} 是数据信号线输入的数据信号, V_{ds} 为驱动晶体管漏极和源极的电压差,VDD为第一信号线输入的高电平信号。

[0079] 在保持阶段B,第一控制信号 V_{scan} 输入高电平,第一开关晶体管T1在高电平的控制下关断。由于第一电容C1在选通阶段A期间充电至数据电压 V_{data} ,因此驱动晶体管控制端的电压在第一电容C1的控制下保持为 V_{data} 。在上述像素电路以及时序控制下,驱动晶体管T2在选通阶段A与保持阶段B期间均向发光元件输出稳定的驱动电流 I_{OLED} 。

[0080] 利用上述像素电路及其控制时序,可以利用前述基于高斯无序跳跃理论的晶体管输出电流与控制电压之间的关系,能够在制作集成电路之前,使用计算机仿真的方法预测驱动晶体管输出到发光元件的驱动电流,并向发光元件输出稳定的驱动电流。

[0081] 图4示出了本公开实施例提供的另一种像素电路的电路结构图。在目前常用的用于显示装置的像素电路中,一般使用电容存储用于驱动晶体管的数据信号。

[0082] 如图4所示,像素电路400包括驱动晶体管M1、开关晶体管M2、存储电容Cst以及发光元件OLED。开关晶体管M2在控制线SCAN的控制下导通或关断。经由开关晶体管M2将数据线输入的信号传输到存储电容Cst以及驱动晶体管M1。驱动晶体管M1输出的驱动电流由数

据线输入的数据信号决定。驱动晶体管M1可以是有机薄膜晶体管。驱动晶体管M2在工作状态下符合如前所述的高斯无序跳跃理论。

[0083] 由于在工作过程中驱动晶体管的阈值电压 V_{fb} 会发生变化,因此OLED的发光亮度会随 V_{fb} 发生变化。

[0084] 图5A示出了本公开实施例提供的又一种像素电路的示意性框图。像素电路500包括第一开关子电路510、第二开关子电路520、存储子电路530、驱动子电路540以及发光元件550。

[0085] 如图5A所示,第一开关子电路510的第一端连接数据信号线 V_{data} ,第二端连接第一控制信号线 V_{scan1} ,第三端连接第一节点c1。第一开关子电路510配置成在第一控制信号线 V_{scan1} 的控制下将数据信号线 V_{data} 的数据信号输入到第一节点c1。

[0086] 第二开关子电路520的第一端连接第一信号线VDD,第二端连接第二控制信号线 V_{scan2} ,第三端连接第二节点d1。第二开关子电路520配置成在第二控制信号线 V_{scan2} 的控制下将第一信号线VDD的第一信号输入到第二节点d1。

[0087] 驱动子电路530的第一端连接第一节点c1,第二端连接第二节点d1,第三端连接发光元件550的输入端。驱动子电路530配置成在第一节点c1的电位控制下驱动发光元件550发光。

[0088] 存储子电路540连接第一节点c1,第二端连接第二节点d1。存储子电路540配置成在每个周期内第二开关子电路520导通之前,存储驱动子电路530的阈值电压。

[0089] 发光元件550可以包括发光二极管LED、有机发光二极管OLED等。其第一端连接第二节点d1,第二端连接第二信号线。第二信号线可以输入低电平信号。

[0090] 图5B示出了本公开实施例提供的又一种像素电路的电路结构图。以下结合图5A和图5B对该像素电路结构进行详细说明。

[0091] 如图5B所示,在一些实施例中,第一开关子电路510可以包括第一开关晶体管T1,其第一端连接数据信号线 V_{data} ,第二端连接第一节点c1,控制端连接第一控制信号线 V_{scan1} 。其中第一开关晶体管T1可以是有机薄膜晶体管,也可以是非晶硅晶体管。第一开关晶体管T1在工作状态下符合如前所述的高斯无序跳跃理论。

[0092] 第二开关子电路520可以包括第二开关晶体管T2,其第一端连接第一信号线VDD,第二端连接第二节点d1,控制端连接第二控制信号线 V_{scan2} 。其中第二开关晶体管T2可以是有机薄膜晶体管,也可以是非晶硅晶体管。第二开关晶体管T2在工作状态下符合如前所述的高斯无序跳跃理论。

[0093] 驱动子电路530可以包括驱动晶体管T3,其第一端连接发光元件550的输入端,第二端连接第二节点d1,控制端连接第一节点c1。其中驱动晶体管T3可以是有机薄膜晶体管。驱动晶体管T3在工作状态下符合如前所述的高斯无序跳跃理论。

[0094] 存储子电路540可以包括第一电容C1,其第一端连接第一节点c1,第二端连接第二节点d1,配置成在每个周期内第二开关子电路520导通之前,存储驱动子电路530的阈值电压。存储子电路540还可以包括第二电容C2,其第一端连接第二节点d1,第二端连接第三信号线VGL2。第三信号线VGL2可以输入低电平信号。其中第一电容C1和第二电容C2的电容值可以是相同的,也可以是不同的。

[0095] 发光元件550可以是有机发光二极管OLED。其第一端连接驱动晶体管T3,第二端连

接第二信号线VGL1。第二信号线VGL1可以输入低电平信号。

[0096] 图6示出了本公开实施例提供的一种像素电路的时序图。如图6所示的时序图可以用于如图5A和图5B所示的像素电路。

[0097] 图7A示出了像素电路500在图6示出的补偿阶段A期间的等效电路图。第一控制信号线V_{scan1}输入低电平,第二控制信号线V_{scan2}输入高电平。第一开关晶体管T1在低电平的第一控制信号的控制下导通,第二开关晶体管T2在高电平的第二控制信号的控制下关断。此时,数据信号线V_{data}输入高电平的参考电压V_{ref}。可以理解的是,在补偿阶段A之前,第二控制信号线V_{scan2}输入的是低电平,此时第二开关晶体管T2在低电平信号的控制下导通。也就是说,此时第二节点d1的电位与第一信号线VDD输入的高电平相同。当进入补偿阶段A之后,由于第二开关晶体管T2关断,第二节点d1的电位不能再维持为VDD,而是通过驱动晶体管T3进行放电,直至第一电容C1两端的电压降至驱动晶体管的阈值电压。当第一电容C1两端的电压降至驱动晶体管的阈值电压时,驱动晶体管T3关断。也就是说,在补偿阶段A期间,将驱动晶体管T3的阈值电压存储在第一电容C1中。

[0098] 图7B示出了像素电路500在图6示出的写入阶段B期间的等效电路图。第一控制信号线V_{scan1}输入低电平,第二控制信号线V_{scan2}输入高电平。第一开关晶体管T1在低电平的第一控制信号的控制下导通,第二开关晶体管T2在高电平的第二控制信号的控制下关断。数据信号线输入的信号从高电平的参考电压V_{ref}降至用于驱动晶体管T3所需的低电平的数据电压V_{data}。此时,由于第一电容C1和第二电容C2之间存在耦合作用,并且先前在补偿阶段存储在第一电容C1中的阈值电压不能立即释放,因此此时第二节点处的电位由下式表示:

$$[0099] \quad V_{d1} = V_{ref} + |V_{fb}| + \frac{C_1}{C_1 + C_2} (V_{data} + V_{ref}) \quad (12)$$

[0100] 由于在写入阶段B期间第二开关晶体管T2保持关断,因此发光元件在此期间不发光。

[0101] 图7C示出了像素电路500在图6示出的发光阶段C期间的等效电路图。第一控制信号线V_{scan1}输入高电平,第二控制信号线V_{scan2}输入低电平。第一开关晶体管T1高低电平的第一控制信号的控制下关断,第二开关晶体管T2在低电平的第二控制信号的控制下导通。利用式(10),将驱动晶体管的栅极电压、源极电压以及漏极电压代入式(10)后,可以通过下式确定驱动晶体管T3向发光元件提供的驱动电流:

$$[0102] \quad I_{OLED} = \frac{W}{L} \mu(T) C_{ox} V_{ds} \left[\frac{2k_B T}{q} + V_{gs} + V_{fb} + \frac{1}{2} V_{ds} \right] \quad (13)$$

[0103] 其中W是驱动晶体管沟道宽度,L是驱动晶体管沟道长度, $\mu(T)$ 是驱动晶体管载流子迁移率, k_B 是玻尔兹曼常数,q是单位电荷的电量,T是驱动晶体管T3的工作温度, C_{ox} 是驱动晶体管绝缘层单位面积电容、 V_{fb} 是驱动晶体管的阈值电压,以及利用式(12),可以通过下式确定驱动晶体管T3的栅源电压:

$$[0104] \quad V_{gs} = -\left(\frac{C_2}{C_1 + C_2} (V_{ref} - V_{data}) + |V_{fb}| \right) \quad (14)$$

[0105] 其中,V_{ref}是参考电压,C₁是第一电容的电容值,C₂是第二电容的电容值,V_{data}是驱动晶体管工作所需的数据电压。

[0106] 结合式(12)-(14)可以看出,根据图5A、图5B、图6所示的像素电路及其时序控制方法,可以通过驱动晶体管T3向发光元件提供去除了阈值电压变化所带来的影响的驱动电

流。

[0107] 利用上述像素电路及其控制时序,可以利用前述的基于高斯无序跳跃理论确定晶体管输出电流的方法,在制作集成电路之前使用计算机仿真的方法预测驱动晶体管输出到发光元件的驱动电流。当仅将驱动晶体管设置为有机薄膜晶体管时,可以简化计算机仿真的工作量。

[0108] 根据基于高斯无序跳跃理论的晶体管输出电流与控制电压之间的关系,上述像素电路能够向发光元件提供不受驱动晶体管阈值电压变化影响的驱动电流。

[0109] 图8示出了本公开实施例提供的一种显示基板的示意性框图。如图8所示,显示基板800可以包括多个像素电路,该多个像素电路可以是本公开任一实施例提供的像素电路。该多个像素电路可以按阵列布置,但本公开的实施例不限于此。

[0110] 例如,显示基板800还可以包括相互交叉(例如,垂直)设置的多条控制信号线(例如,栅线)和多条数据线,以及与控制信号线平行设置的多条电压控制线。例如,每个像素电路与对应控制信号线和对应的数据线相连接,例如,每个像素电路的扫描控制端可以与对应的扫描信号线相连接,每个像素电路的数据电源端可以与对应的数据线相连接,每个像素电路的电压控制端可以与对应的电压控制线相连接。例如,在多个像素电路按阵列布置的情况下,位于像素电路阵列的每一行的像素电路可以与同一控制信号线相连接位于像素电路阵列的每一列的像素电路可以与同一数据线相连接,但本公开的实施例不限于此。

[0111] 利用上述显示装置能够向发光元件提供不受驱动晶体管阈值电压变化影响的驱动电流。

[0112] 图9示出了本公开实施例提供的一种像素电路的驱动方法的流程图。

[0113] 根据如图9所示的驱动方法900,步骤902是补偿阶段,其中第一开关电路在第一控制信号线的控制下导通,第二开关电路在第二控制信号的控制下关断,存储子电路存储驱动子电路的阈值电压。

[0114] 步骤904是写入阶段,其中第一开关电路在第一控制信号线的控制下导通,第二开关电路在第二控制信号的控制下关断,经由导通的第一开关电路将数据信号线输入的数据信号输入到第一节点,并将数据电压存储至第一电容。

[0115] 在步骤904中,将数据电压存储至第一电容进一步包括:当第二开关电路在第二控制信号的控制下关断后,第一电容经驱动子电路进行放电,当第一电容的第一端和第二端的电压差降至驱动子电路的阈值电压时,驱动子电路关断。

[0116] 步骤906是发光阶段,其中第一开关电路在第一控制信号线的控制下关断,第二开关电路在第二控制信号的控制下导通,驱动子电路在第一电容的第一端的电位控制下,将驱动电流输出至发光元件,使得发光元件正常工作。

[0117] 利用上述像素电路及其驱动方法,可以利用基于高斯无序跳跃理论确定晶体管输出电流的方法,在制作集成电路之前使用计算机仿真的方法预测驱动晶体管输出到发光元件的驱动电流。根据基于高斯无序跳跃理论的晶体管输出电流与控制电压之间的关系,根据上述像素电路的驱动方法能够向发光元件提供不受驱动晶体管阈值电压变化影响的驱动电流。

[0118] 除非另有定义,这里使用的所有术语(包括技术和科学术语)具有与本发明所属领域的普通技术人员共同理解的相同含义。还应当理解,诸如在通常字典里定义的那些术语

应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义,而不应用理想化或极度形式化的意义来解释,除非这里明确地这样定义。

[0119] 上面是对本发明的说明,而不应被认为是对其的限制。尽管描述了本发明的若干示例性实施例,但本领域技术人员将容易地理解,在不背离本发明的新颖教学和优点的前提下可以对示例性实施例进行许多修改。因此,所有这些修改都意图包含在权利要求书所限定的本发明范围内。应当理解,上面是对本发明的说明,而不应被认为是限于所公开的特定实施例,并且对所公开的实施例以及其他实施例的修改意图包含在所附权利要求书的范围内。本发明由权利要求书及其等效物限定。

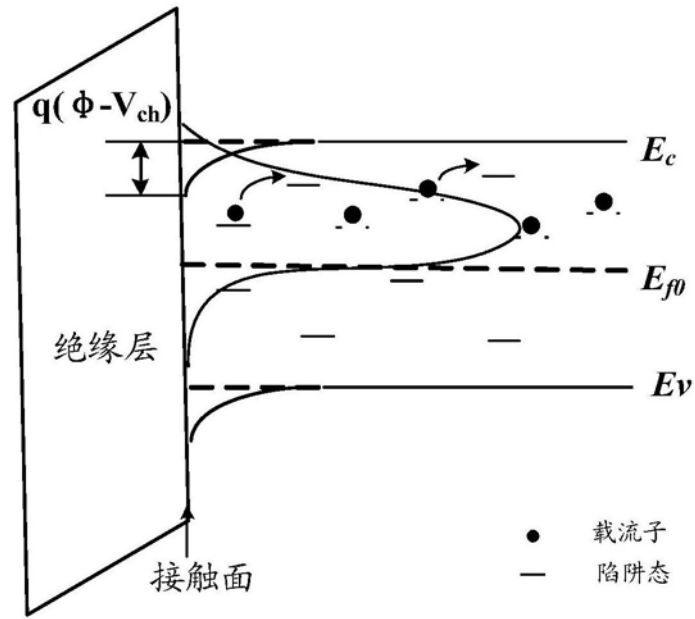


图1

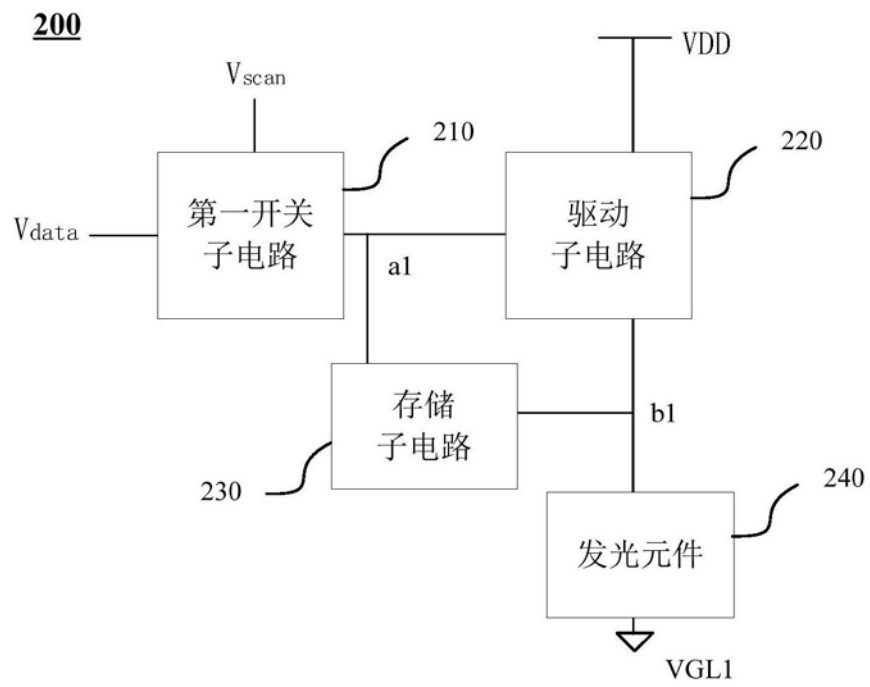


图2A

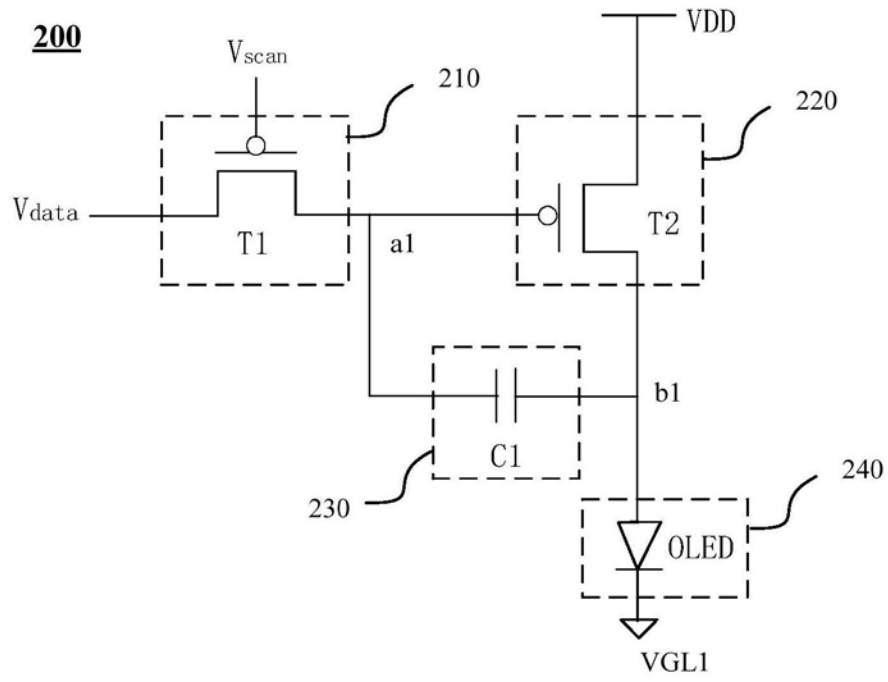


图2B

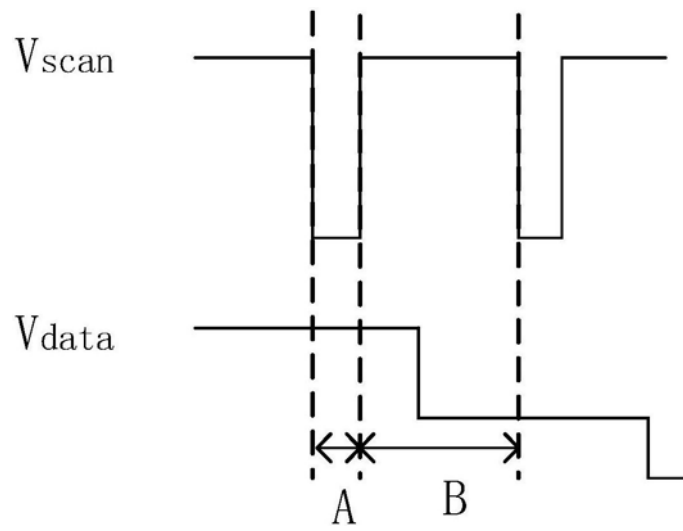


图3

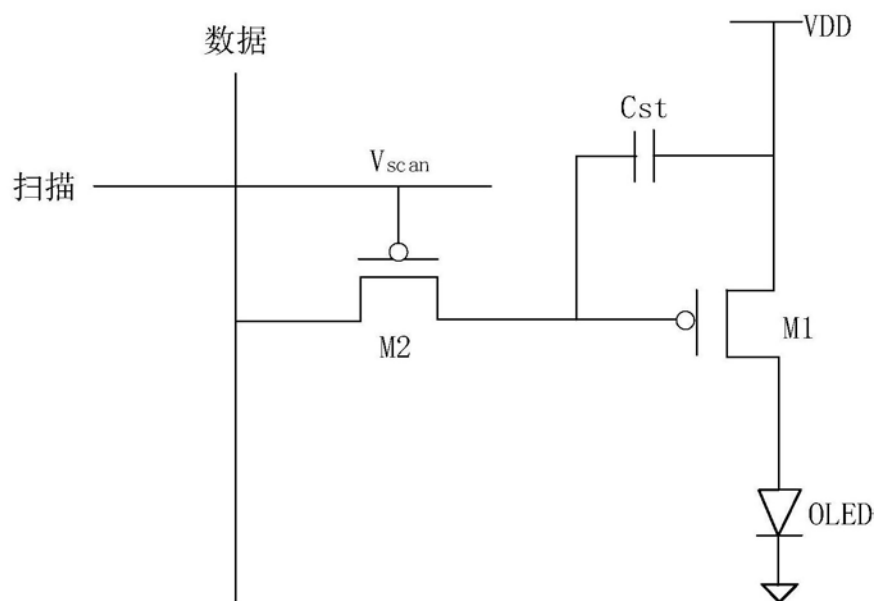
400

图4

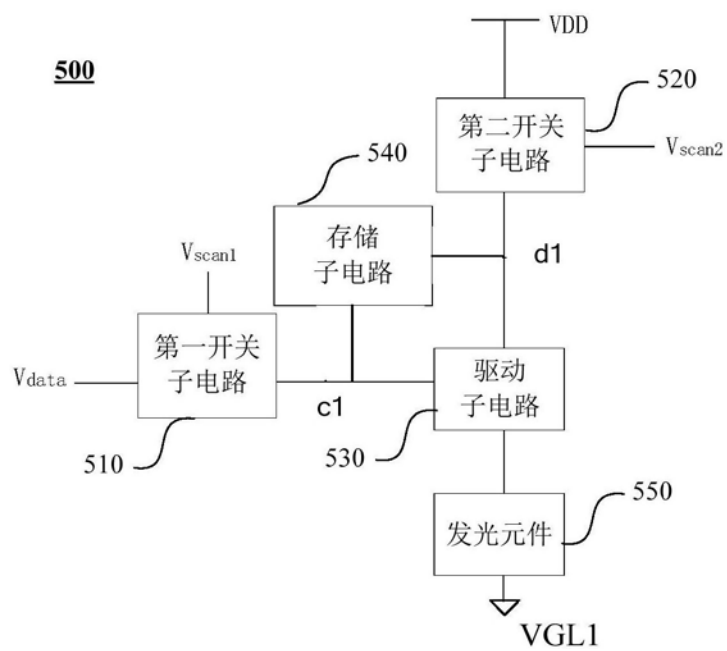
500

图5A

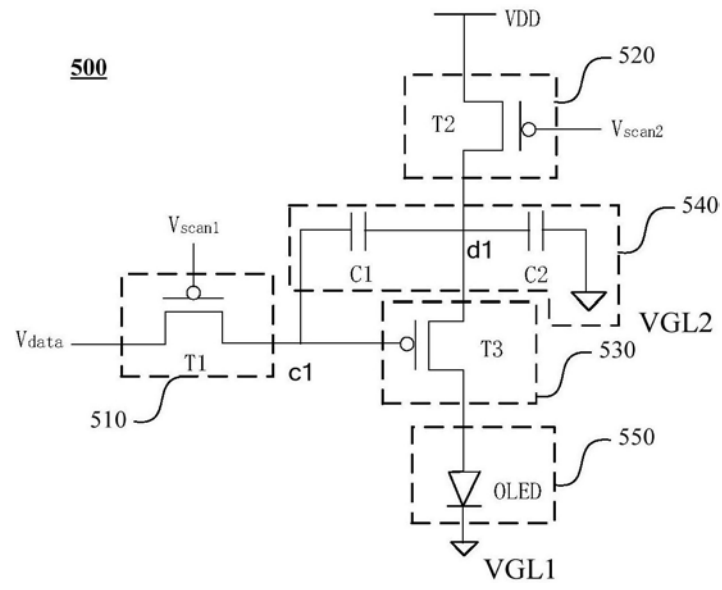


图5B

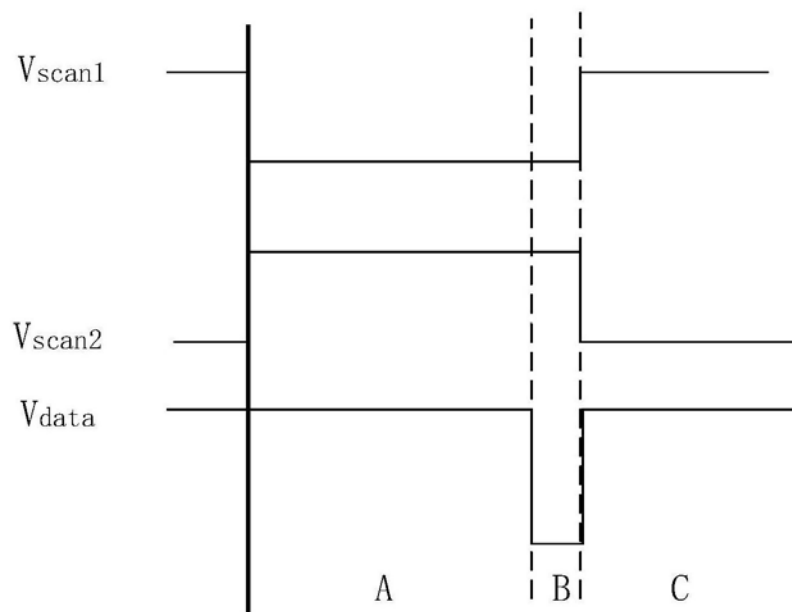


图6

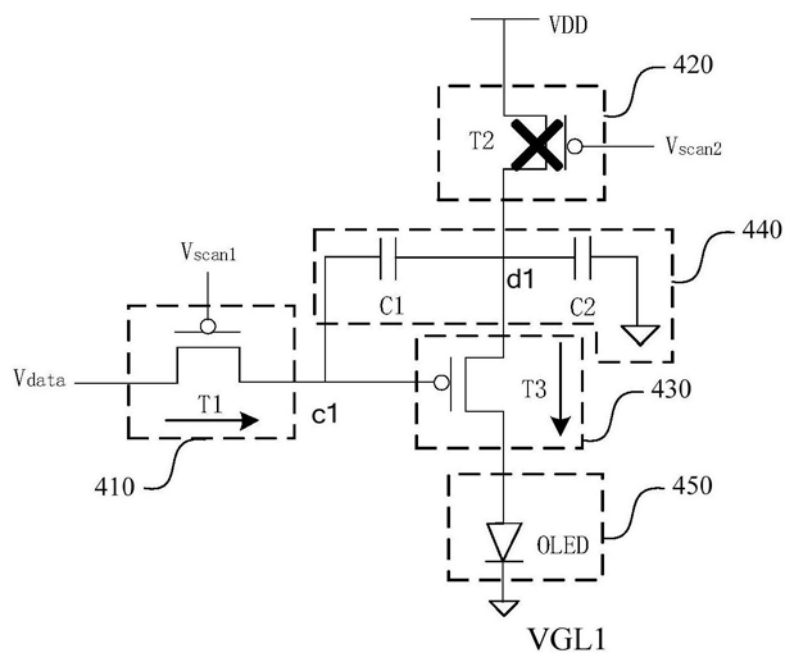


图7A

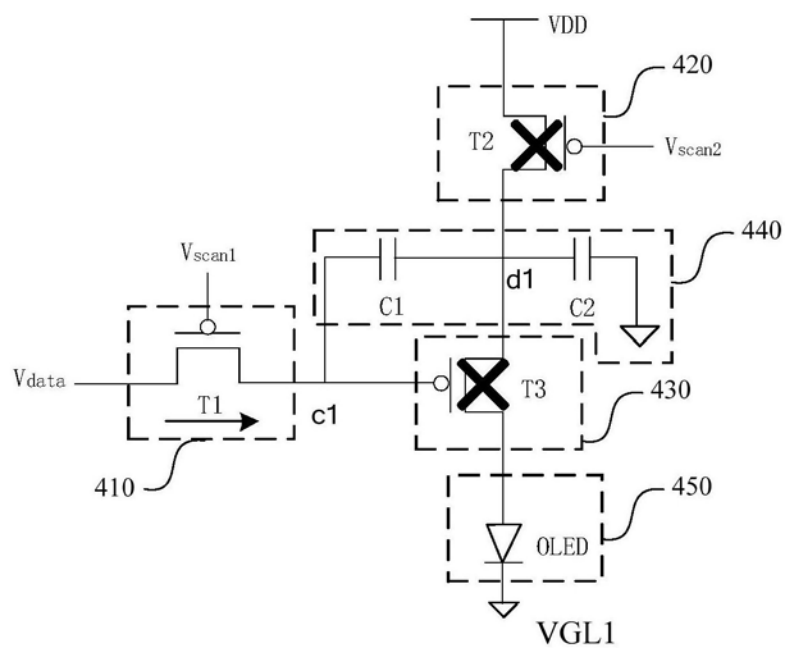


图7B

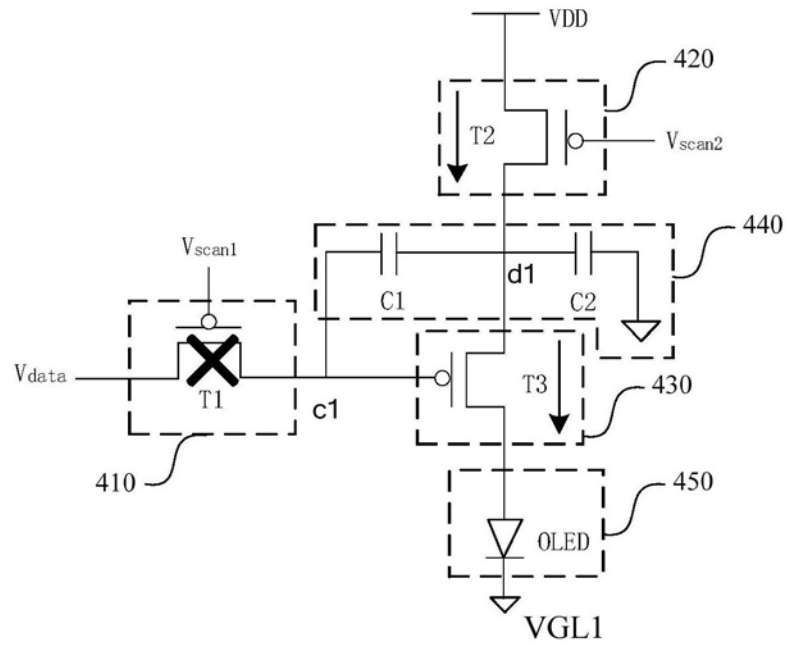


图7C

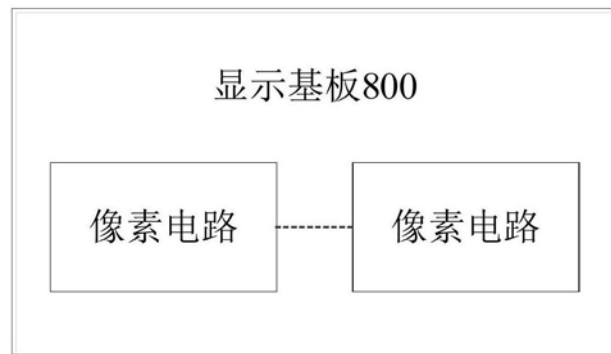


图8

900

补偿阶段，其中第一开关电路在第一控制信号线的控制下导通，第二开关电路在第二控制信号的控制下关断，存储子电路存储驱动子电路的阈值电压

902

写入阶段，其中第一开关电路在第一控制信号线的控制下导通，第二开关电路在第二控制信号的控制下关断，经由导通的第一开关电路将数据信号线输入的数据信号输入到第一节点，并将数据电压存储至第一电容

904

发光阶段，其中第一开关电路在第一控制信号线的控制下关断，第二开关电路在第二控制信号的控制下导通，驱动子电路在第一电容的第一端的电位控制下，将驱动电流输出至发光元件，使得发光元件正常工作

906

图9

专利名称(译)	一种有机薄膜晶体管构造的像素电路		
公开(公告)号	CN108062932A	公开(公告)日	2018-05-22
申请号	CN2017111385569.4	申请日	2017-12-20
[标]申请(专利权)人(译)	北京航空航天大学 京东方科技集团股份有限公司		
申请(专利权)人(译)	北京航空航天大学 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	北京航空航天大学 京东方科技集团股份有限公司		
[标]发明人	李洪革 李玉亮 卢江楠		
发明人	李洪革 李玉亮 卢江楠		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2320/043		
代理人(译)	王娟		
其他公开文献	CN108062932B		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种配置为驱动发光元件的像素电路，所述像素电路还包括：第一开关子电路，配置成在所述第一控制信号线的控制下将所述数据信号线的数据信号输入到所述第一节点；第二开关子电路，配置成在所述第二控制信号线的控制下将所述第一信号线的第一信号输入到所述第二节点；驱动子电路，其第一端连接所述第一节点，第二端连接所述第二节点，第三端连接所述发光元件的输入端；所述驱动子电路配置成在所述第一节点的电位控制下驱动所述发光元件发光；存储子电路，其第一端连接所述第一节点，第二端连接所述第二节点，所述存储子电路配置成在每个周期内所述第二开关子电路导通之前，存储所述驱动子电路的阈值电压。

