



(12) 发明专利申请

(10) 申请公布号 CN 104036724 A

(43) 申请公布日 2014. 09. 10

(21) 申请号 201410226754. 9

(22) 申请日 2014. 05. 26

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 成都京东方光电科技有限公司

(72) 发明人 谭文 祁小敬

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 许静 黄灿

(51) Int. Cl.
G09G 3/32 (2006. 01)

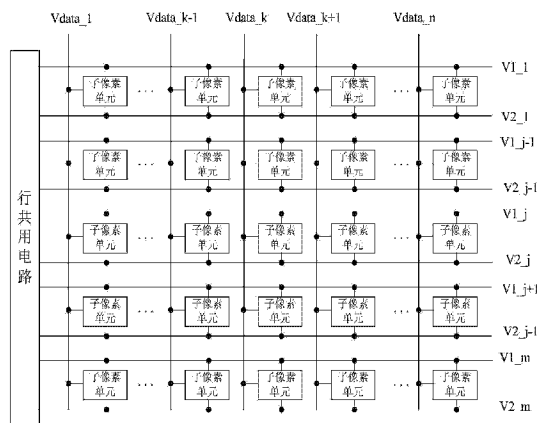
权利要求书2页 说明书7页 附图3页

(54) 发明名称

像素电路、像素电路的驱动方法和显示装置

(57) 摘要

本发明提供了一种像素电路、像素电路的驱动方法和显示装置。所述像素电路,包括多行像素单元,每一行像素单元包括多个子像素单元;每一子像素单元包括子像素驱动电路和发光元件,每一行像素单元还包括行共用单元;多个子像素单元均与第一信号线和第二信号线连接;该行共用单元与该行像素单元包括的每一子像素单元通过第一信号线和第二信号线连接,以具有阈值补偿功能。本发明的主要目的在于提供一种像素电路、像素电路的驱动方法和显示装置,本发明增加像素的开口率,在获得均匀显示的同时,降低有机发光层的电流密度。



1. 一种像素电路,包括多行像素单元,每一行像素单元包括多个子像素单元;每一所述子像素单元包括子像素驱动电路和发光元件,该子像素驱动电路包括与所述发光元件连接的驱动晶体管和分别与一数据线和该驱动晶体管连接的驱动控制模块;其特征在于,每一行像素单元还包括行共用单元;

所述多个子像素单元均与第一信号线和第二信号线连接;

所述行共用单元与该行像素单元包括的每一子像素单元通过所述第一信号线和所述第二信号线连接,以具有阈值补偿功能。

2. 如权利要求 1 所述的像素电路,其特征在于,

所述子像素单元设置于有效显示区内,所述行共用单元设置于有效显示区外。

3. 如权利要求 1 所述的像素电路,其特征在于,

所述驱动晶体管,第一极与所述发光元件的第一端连接,第二极与所述第一信号线连接;所述发光元件的第二端与所述第二信号线连接;

所述驱动控制模块分别与该驱动晶体管的栅极、第一极和第二极连接;

所述驱动控制模块还与一扫描线连接;

所述行共用单元包括接入初始控制信号的初始模块和接入发光控制信号的发光控制模块;

所述初始模块,与所述第一信号线连接,用于当所述初始控制信号和所述扫描线上的扫描信号同时有效时通过所述驱动控制模块将所述驱动晶体管的栅极电位设置为初始电平;

所述发光控制模块,用于在发光控制信号有效时控制所述第一信号线接入第一电平并所述第二信号线接入第二电平;

所述驱动控制模块,用于当所述扫描信号有效时,控制所述数据线上的数据电压写入所述驱动晶体管,当所述发光控制信号有效时控制所述驱动晶体管驱动所述发光元件发光并补偿该驱动晶体管的阈值。

4. 如权利要求 3 所述的像素电路,其特征在于,所述驱动控制模块包括数据写入晶体管、驱动控制晶体管和存储电容,其中,

所述数据写入晶体管,栅极与所述扫描线连接,第一极与所述数据线连接,第二极与所述驱动晶体管的第一极连接;

所述驱动控制晶体管,栅极与所述扫描线连接,第一极与所述驱动晶体管的栅极连接,第二极与所述驱动晶体的第二极连接;

所述存储电容,第一端与所述驱动晶体管的第一极连接,第二端与所述驱动晶体管的栅极连接。

5. 如权利要求 4 所述的像素电路,其特征在于,所述初始模块包括:

初始化晶体管,栅极接入所述初始控制信号,第一极与所述第二信号线连接,第二极接入初始电平。

6. 如权利要求 5 所述的像素电路,其特征在于,所述发光控制模块包括:

第一发光控制晶体管,栅极接入所述发光控制信号,第一极接入第一电平,第二极与所述第一信号线连接;

第二发光控制晶体管,栅极接入所述发光控制信号,第一极与所述第二信号线连接,第

二极管接入所述第二电平。

7. 一种像素电路的驱动方法,应用于如权利要求 4 至 6 中任一权利要求所述的像素电路,其特征在于,所述像素电路的驱动方法包括:

初始化步骤:在初始化阶段,初始控制信号和扫描线上的扫描信号同时有效,驱动控制晶体管开启,数据电压写入驱动晶体管的第一极,初始模块通过所述驱动控制晶体管将所述驱动晶体管的栅极电位设置为初始电平;

补偿步骤:在补偿阶段,所述扫描信号有效,数据写入晶体管和驱动控制晶体管开启,数据电压写入驱动晶体管的第一极,所述驱动晶体管的栅极的电位通过存储电容放电,以补偿驱动晶体管的阈值电压;

发光步骤:在发光阶段,发光控制信号有效,第一信号线接入第一电平,第二信号线接入第二电平,驱动控制晶体管关闭以控制存储电容的第二端浮空,以维持所述驱动晶体管的栅极的电位不变,所述驱动晶体管开启从而驱动发光元件发光。

8. 一种显示装置,其特征在于,包括如权利要求 1 至 6 中任一权利要求所述的像素电路。

像素电路、像素电路的驱动方法和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及像素电路、像素电路的驱动方法和显示装置。

背景技术

[0002] 基本的 AMOLED(Active Matrix/Organic Light Emitting Diode,有源矩阵有机发光二极管)像素驱动电路为 2T1C 像素驱动电路,结构简单。但是基于 LTPS(Low Temperature Poly-silicon,低温多晶硅技术)的 AMOLED 像素驱动电路,由于 LTPS 存在阈值电压均一性差等问题,所以在 AMOLED 的像素设计中需要增加驱动 TFT(Thin Film Transistor,薄膜场效应晶体管)阈值电压补偿的电路。具有阈值电压补偿的 AMOLED 像素驱动电路的常见设计需要 6T1C 像素驱动电路或者 5T2C 像素驱动电路,或者需要更多的 TFT 和 / 电容。TFT 和 / 或电容数量的增加,将占用较大的布局空间,不利于 AMOLED 像素尺寸的缩小,即限制了高 PPI(Pixel Per Inch,每英寸所拥有的像素数目)的 AMOLED 像素驱动电路的发展。

发明内容

[0003] 本发明的主要目的在于提供一种像素电路、像素电路的驱动方法和显示装置,增加像素的开口率,从而在获得均匀显示的同时,降低有机发光层的电流密度。

[0004] 为了达到上述目的,本发明提供了一种像素电路,包括多行像素单元,每一行像素单元包括多个子像素单元;每一所述子像素单元包括子像素驱动电路和发光元件,该子像素驱动电路包括与所述发光元件连接的驱动晶体管和分别与一数据线和该驱动晶体管连接的驱动控制模块;每一行像素单元还包括行共用单元;

[0005] 所述多个子像素单元均与第一信号线和第二信号线连接;

[0006] 所述行共用单元与该行像素单元包括的每一子像素单元通过所述第一信号线和所述第二信号线连接,以具有阈值补偿功能。

[0007] 实施时,所述子像素单元设置于有效显示区内,所述行共用单元设置于有效显示区外。

[0008] 实施时,所述驱动晶体管,第一极与所述发光元件的第一端连接,第二极与所述第一信号线连接;所述发光元件的第二端与所述第二信号线连接;

[0009] 所述驱动控制模块分别与该驱动晶体管的栅极、第一极和第二极连接;

[0010] 所述驱动控制模块还与一扫描线连接;

[0011] 所述行共用单元包括接入初始控制信号的初始模块和接入发光控制信号的发光控制模块;

[0012] 所述初始模块,与所述第一信号线连接,用于当所述初始控制信号和所述扫描线上的扫描信号同时有效时通过所述驱动控制模块将所述驱动晶体管的栅极电位设置为初始电平;

[0013] 所述发光控制模块,用于在发光控制信号有效时控制所述第一信号线接入第一电

平并所述第二信号线接入第二电平；

[0014] 所述驱动控制模块,用于当所述扫描信号有效时,控制所述数据线上的数据电压写入所述驱动晶体管,当所述发光控制信号有效时控制所述驱动晶体管驱动所述发光元件发光并补偿该驱动晶体管的阈值。

[0015] 实施时,所述驱动控制模块包括数据写入晶体管、驱动控制晶体管和存储电容,其中,

[0016] 所述数据写入晶体管,栅极与所述扫描线连接,第一极与所述数据线连接,第二极与所述驱动晶体管的第一极连接；

[0017] 所述驱动控制晶体管,栅极与所述扫描线连接,第一极与所述驱动晶体管的栅极连接,第二极与所述驱动晶体的第二极连接；

[0018] 所述存储电容,第一端与所述驱动晶体管的第一极连接,第二端与所述驱动晶体管的栅极连接。

[0019] 实施时,所述初始模块包括：

[0020] 初始化晶体管,栅极接入所述初始控制信号,第一极与所述第二信号线连接,第二极接入初始电平。

[0021] 实施时,所述发光控制模块包括：

[0022] 第一发光控制晶体管,栅极接入所述发光控制信号,第一极接入第一电平,第二极与所述第一信号线连接；

[0023] 第二发光控制晶体管,栅极接入所述发光控制信号,第一极与所述第二信号线连接,第二极接入所述第二电平。

[0024] 本发明还提供了一种像素电路的驱动方法,应用于上述的像素电路,所述像素电路的驱动方法包括：

[0025] 初始化步骤:在初始化阶段,初始控制信号和扫描线上的扫描信号同时有效,驱动控制晶体管开启,数据电压写入驱动晶体管的第一极,初始模块通过所述驱动控制晶体管将所述驱动晶体管的栅极电位设置为初始电平；

[0026] 补偿步骤:在补偿阶段,所述扫描信号有效,数据写入晶体管和驱动控制晶体管开启,数据电压写入驱动晶体管的第一极,所述驱动晶体管的栅极的电位通过存储电容放电,以补偿驱动晶体管的阈值电压；

[0027] 发光步骤:在发光阶段,发光控制信号有效,第一信号线接入第一电平,第二信号线接入第二电平,驱动控制晶体管关闭以控制存储电容的第二端浮空,以维持所述驱动晶体管的栅极的电位不变,所述驱动晶体管开启从而驱动发光元件发光。

[0028] 本发明还提供了一种显示装置,其特征在于,包括上述的像素电路。

[0029] 与现有技术相比,本发明所述的像素电路采用行共用单元,以使得在能够补偿驱动晶体管的阈值的同时使得有效显示区内的 TFT 数目减少,使得像素的开口率增加,从而在均匀显示的同时,降低了有机发光层的电流密度,延长了 AMOLED 面板的使用寿命。

附图说明

[0030] 图 1 是本发明实施例所述的像素电路的结构图；

[0031] 图 2 是本发明实施例所述的像素电路包括的子像素单元和行共用单元的结构框

图；

[0032] 图 3 是本发明实施例所述的像素电路包括的子像素单元和行共用单元的电路图；

[0033] 图 4 是包括如图 3 所示的子像素单元和行共用单元的工作时序图；

[0034] 图 5 是本发明实施例所述的像素电路的电路图。

具体实施方式

[0035] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0036] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中，为区分晶体管除栅极之外的两极，其中第一极可以为源极或漏极，第二极可以为漏极或源极。此外，按照晶体管的特性区分可以将晶体管分为 n 型晶体管或 p 型晶体管。在本发明实施例提供的驱动电路中，所有晶体管均是以 n 型晶体管为例进行的说明，可以想到的是在采用 p 型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的，因此也是在本发明的实施例保护范围内的。

[0037] 本发明实施例所述的像素电路，包括多行像素单元，每一行像素单元包括多个子像素单元；每一所述子像素单元包括子像素驱动电路和发光元件，该子像素驱动电路包括与所述发光元件连接的驱动晶体管和分别与一数据线和该驱动晶体管连接的驱动控制模块；每一行像素单元还包括行共用单元；

[0038] 所述多个子像素单元均与第一信号线和第二信号线连接；

[0039] 该行共用单元与该行像素单元包括的每一子像素单元通过所述第一信号线和所述第二信号线连接，以具有阈值补偿功能。

[0040] 在本发明该实施例所述的像素电路中，子像素单元中除了包括子像素驱动电路之外还包括发光元件，子像素驱动电路和发光元件一起组成子像素单元，该发光元件例如可以为 OLED（有机发光二极管）。

[0041] 本发明该实施例所述的像素电路采用行共用单元，以使得在能够补偿驱动晶体管的阈值的同时使得有效显示区内的 TFT 数目减少，使得像素的开口率增加，从而在均匀显示的同时，降低了有机发光层的电流密度，延长了 AMOLED 面板的使用寿命。

[0042] 优选的，所述子像素单元设置于有效显示区内，所述行共用单元设置于有效显示区外，将每一行像素单元中的具有共性的电路设置于有效显示区外，以进一步减小有效显示区内的 TFT 数目，增加开口率。

[0043] 具体的，本发明实施例所述的像素电路，包括 m 行像素单元，每一行像素单元包括 n 个子像素单元；第 j 行像素单元包括的 n 个子像素单元都与第 j 扫描线连接（图 1 中未示）；每一行像素单元包括的第 k 子像素单元都与第 k 数据线连接；m 和 n 为大于 1 的整数，j 为小于或等于 m 的正整数，k 为小于或等于 n 的正整数；

[0044] 如图 1 所示，Vdata_1 是第一数据线输出的数据电压，Vdata_k-1 是第 k-1 数据线输出的数据电压，Vdata_k 是第 k 数据线输出的数据电压，Vdata_k+1 数据线输出的数据电压，Vdata_n 是第 n 数据线输出的数据电压；

[0045] 每一所述子像素单元包括子像素驱动电路和发光元件,该子像素驱动电路包括与所述发光元件连接的驱动晶体管和分别与一数据线和该驱动晶体管连接的驱动控制模块;

[0046] 每一行像素单元还包括行共用单元;m个行共用单元构成行共用电路;

[0047] 每一行像素电路包括的多个子像素单元均与第一信号线和第二信号线连接;

[0048] 该行共用单元与该行像素单元包括的每一子像素单元通过所述第一信号线和所述第二信号线连接,以具有阈值补偿功能;

[0049] 所述子像素单元设置于有效显示区内,所述行共用单元设置于有效显示区外;

[0050] 在图1中,V1_1是第一行像素电路的第一信号线,V2_1是第一行像素电路的第二信号线,V1_j-1是第j-1行像素电路的第一信号线,V2_j-1是第j-1行像素电路的第二信号线,V1_j是第j行像素电路的第一信号线,V2_j是第j行像素电路的第二信号线,V1_j+1是第j+1行像素电路的第一信号线,V2_j+1是第j+1行像素电路的第二信号线,V1_m是第m行像素电路的第一信号线,V2_m是第m行像素电路的第二信号线。

[0051] 优选的,所述驱动晶体管,第一极与所述发光元件的第一端连接,第二极与所述第一信号线连接;所述发光元件的第二端与所述第二信号线连接;

[0052] 所述驱动控制模块分别与该驱动晶体管的栅极、第一极和第二极连接;

[0053] 所述驱动控制模块还与一扫描线连接;

[0054] 所述行共用单元包括接入初始控制信号的初始模块和接入发光控制信号的发光控制模块;

[0055] 所述初始模块,与所述第一信号线连接,用于当所述初始控制信号和所述扫描线上的扫描信号同时有效时通过所述驱动控制模块将所述驱动晶体管的栅极电位设置为初始电平;

[0056] 所述发光控制模块,用于在发光控制信号有效时控制所述第一信号线接入第一电平并所述第二信号线接入第二电平;

[0057] 所述驱动控制模块,用于当所述扫描信号有效时,控制所述数据线上的数据电压写入所述驱动晶体管,当所述发光控制信号有效时控制所述驱动晶体管驱动所述发光元件发光并补偿该驱动晶体管的阈值。

[0058] 优选的,所述驱动控制模块包括数据写入晶体管、驱动控制晶体管和存储电容,其中,

[0059] 所述数据写入晶体管,栅极与所述扫描线连接,第一极与所述数据线连接,第二极与所述驱动晶体管的第一极连接;

[0060] 所述驱动控制晶体管,栅极与所述扫描线连接,第一极与所述驱动晶体管的栅极连接,第二极与所述驱动晶体的第二极连接;

[0061] 所述存储电容,第一端与所述驱动晶体管的第一极连接,第二端与所述驱动晶体管的栅极连接。

[0062] 优选的,所述初始模块包括:

[0063] 初始化晶体管,栅极接入所述初始控制信号,第一极与所述第二信号线连接,第二极接入初始电平。

[0064] 优选的,所述发光控制模块包括:

[0065] 第一发光控制晶体管,栅极接入所述发光控制信号,第一极接入第一电平,第二极与所述第一信号线连接;

[0066] 第二发光控制晶体管,栅极接入所述发光控制信号,第一极与所述第二信号线连接,第二极接入所述第二电平。

[0067] 具体的,以一子像素单元与行共用单元的连接为例说明如下:

[0068] 如图 2 所示,所述子像素单元包括子像素驱动电路和有机发光二极管 OLED,该子像素驱动电路包括与 OLED 连接的驱动晶体管 DTFT 和分别与一数据线 Data、该驱动晶体管 DTFT 的栅极、该驱动晶体管 DTFT 的第一极和该驱动晶体管 DTFT 的第二极连接的驱动控制模块 21;

[0069] 所述驱动晶体管 DTFT,第一极与 OLED 的阳极连接,第二极与第一信号线 V1 连接;

[0070] OLED 的阴极与所述第二信号线 V2 连接;

[0071] 所述驱动控制模块 21 还接入一扫描线上的扫描信号 Vscan;

[0072] 所述行共用单元包括接入初始控制信号 CN 的初始模块 22 和接入发光控制信号 EM 的发光控制模块 23;

[0073] 所述初始模块 22,与所述第一信号线 V1 连接,用于当所述初始控制信号 CN 和所述扫描线上的扫描信号 Vscan 同时有效时通过所述驱动控制模块 21 将所述驱动晶体管 DTFT 的栅极电位设置为初始电平 VINI;

[0074] 所述发光控制模块 23,用于在发光控制信号 CN 有效时控制所述第一信号线 V1 接入高电平 VDD 并所述第二信号线 V2 接入低电平 VSS,即第一电平为高电平 VDD,第二电平为低电平 VSS;

[0075] 所述驱动控制模块 21,用于当所述扫描信号 Vscan 有效时,控制所述数据线上的数据电压 Vdata 写入所述驱动晶体管 DTFT,当所述发光控制信号 EM 有效时控制所述驱动晶体管 DTFT 驱动 OLED 发光并补偿该驱动晶体管 DTFT 的阈值。

[0076] 具体的,如图 3 所示,所述驱动控制模块可以包括数据写入晶体管 TI、驱动控制晶体管 TC 和存储电容 Cs,其中,

[0077] 所述数据写入晶体管 TI,栅极接入所述扫描信号 Vscan,第一极接入所述数据线上的数据电压 Vdata,第二极与所述驱动晶体管 DTFT 的第一极连接;

[0078] 所述驱动控制晶体管 DTFT,栅极接入所述扫描信号 Vscan,第一极与所述驱动晶体管 DTFT 的栅极连接,第二极与所述驱动晶体管 DTFT 的第二极连接;

[0079] 所述存储电容 Cs,第一端与所述驱动晶体管 DTFT 的第一极连接,第二端与所述驱动晶体管 DTFT 的栅极连接;

[0080] 所述初始模块包括:

[0081] 初始化晶体管 TINI,栅极接入所述初始控制信号 CN,第一极与所述第二信号线 V2 连接,第二极接入初始电平 VINI;

[0082] 所述发光控制模块包括:

[0083] 第一发光控制晶体管 TEC1,栅极接入所述发光控制信号 EM,第一极接入高电平 VDD,第二极与所述第一信号线 V1 连接;

[0084] 第二发光控制晶体管 TEC2,栅极接入所述发光控制信号 EM,第一极与所述第二信号线 V2 连接,第二极接入低电平 VSS;

[0085] DTFT、TI、TC、TINI、TEC1 和 TEC2 都为 n 型 TFT。

[0086] 在如图 3 所示的实施例中,包括 DTFT、TI、TC、Cs 和 OLED 的子像素单元设置于有效显示区内,包括 TEC1、TEC2 和 TINI 的行共用单元设置与有效显示区外,并且同一行像素单元的多个子像素单元都与所述行共用单元连接,以具有阈值补偿功能。

[0087] 在具体实施时,并不仅限于以上的实施例,只需采用行共用单元即可达到减少有效显示区内的 TFT 的目的,可以使得像素尺寸缩小。

[0088] 如图 3 所示的实施例的操作时序如图 4 所示 (Vdata 为数据电压,表示的是图像的信息,输出的电压与即将显示的图像有关,图像不确定,数据也就不确定,因此 Vdata 的输出电平是以格状填充表示的),分成三个阶段:

[0089] 阶段 A(初始化阶段):Vscan 和 CN 为高电平,EM 为低电平,TI、TC 和 TINI 导通,TEC1 和 TEC2 截止,Vdata 通过 TI 写入,V1 上的电压为 VINI,V2 上的电压为浮空电压,DTFT 的漏极(第二极)与 DTFT 的栅极连接,且 DTFT 的栅极电位为初始化电平 VINI,DTFT 的源极(第一极)电位为 Vdata;

[0090] 阶段 B(补偿阶段):Vscan 为高电平,CN 和 EM 为低电平,TI 和 TC 导通,TINI、TEC1 和 TEC2 截止,DTFT 的漏极(第二极)与 DTFT 的栅极连接,DTFT 的源极(第一极)接入 Vdata,DTFT 形成二极管连接,DTFT 的栅极电位从初始化电平 VINI 放电至 $Vdata+V_{th}$ (V_{th} 为 DTFT 的阈值),即 Cs 的第二端的电位为 $Vdata+V_{th}$,并且此时 V1 上的电压为 $Vdata+V_{th}$,V2 上的电压为浮空电压;

[0091] 阶段 C(发光阶段),Vscan 和 CN 为低电平,EM 为高电平,即 TI、TC 和 TINI 截止,TEC1 和 TEC2 导通,V1 上的电压变为高电平 VDD,V2 由上的电压由浮空电压变为低电平 VSS,DTFT 的栅极电位由在存储电容 Cs 保持为 $Vdata+V_{th}$ (由于此时 Cs 的第二端浮空,所以 Cs 的放电通路被关断,因此 Cs 的第二端的电位即 DTFT 的栅极电位被 Cs 保持),此时 DTFT 的源极(第一极)电位为 VSS,因此流过 DTFT 的源漏电流 $I_{DS} = K \times (V_{data}+V_{th}-VSS-V_{th})^2 = K \times (V_{data}-VSS)^2$,K 为与工艺和设计相关的常数,则最后驱动 OLED 的电流与 DTFT 的阈值电压无关,仅与 Vdata 有关。

[0092] 图 5 是应用了图 3 所示的子像素单元和行共用单元的像素电路的电路图,由图 5 可知,每一行像素单元共用左侧的行共用单元,m 个行共用单元组成行共用电路,第一行像素电路的行共用单元的初始控制信号为 CN₁,扫描信号 Vscan₁,发光控制信号 EM₁,第 j 行像素电路的行共用单元的初始控制信号为 CN_j,扫描信号 Vscan_j,发光控制信号 EM_j,第 j+1 行像素电路的行共用单元的初始控制信号为 CN_{j+1},扫描信号 Vscan_{j+1},发光控制信号 EM_{j+1},第 m 行像素电路的行共用单元的初始控制信号为 CN_m,扫描信号 Vscan_m,发光控制信号 EM_m,其中 j 为小于等于 m 的正整数。

[0093] 本发明还提供了一种像素电路的驱动方法,应用于上述的像素电路,所述像素电路的驱动方法包括:

[0094] 初始化步骤:在初始化阶段,初始控制信号和扫描线上的扫描信号同时有效,驱动控制晶体管开启,数据电压 Vdata 写入驱动晶体管的第一极,初始模块通过所述驱动控制晶体管将所述驱动晶体管的栅极电位设置为初始电平;

[0095] 补偿步骤:在补偿阶段,所述扫描信号有效,数据写入晶体管和驱动控制晶体管开启,数据电压写入驱动晶体管的第一极,所述驱动晶体管的栅极的电位通过存储电容放电

至 $V_{data}+V_{th}$, 以补偿驱动晶体管的阈值电压, V_{th} 为所述驱动晶体管的阈值电压;

[0096] 发光步骤:在发光阶段,发光控制信号有效,第一信号线接入第一电平,第二信号线接入第二电平,驱动控制晶体管关闭以控制存储电容的第二端浮空,以维持所述驱动晶体管的栅极的电位不变,所述驱动晶体管开启从而驱动发光元件发光。

[0097] 本发明实施例所述的显示装置包括上述的像素电路。所述显示装置可以包括液晶显示装置,例如液晶面板、液晶电视、手机、液晶显示器。除了液晶显示装置外,所述显示装置还可以包括有机发光显示器或者其他类型的显示装置,比如电子阅读器等。

[0098] 以上说明对本发明而言只是说明性的,而非限制性的,本领域普通技术人员理解,在不脱离所附权利要求所限定的精神和范围的情况下,可做出许多修改、变化或等效,但都将落入本发明的保护范围内。

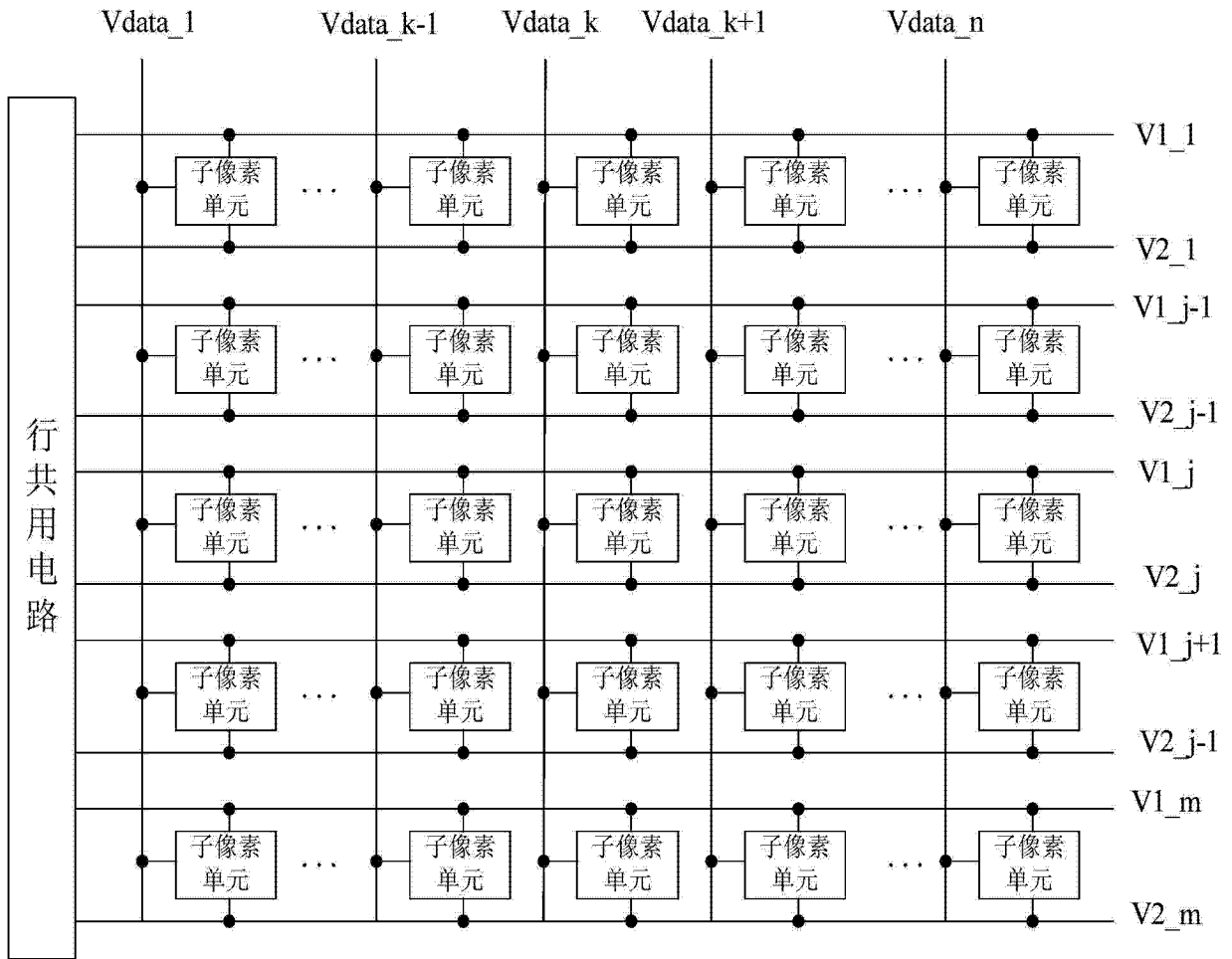


图 1

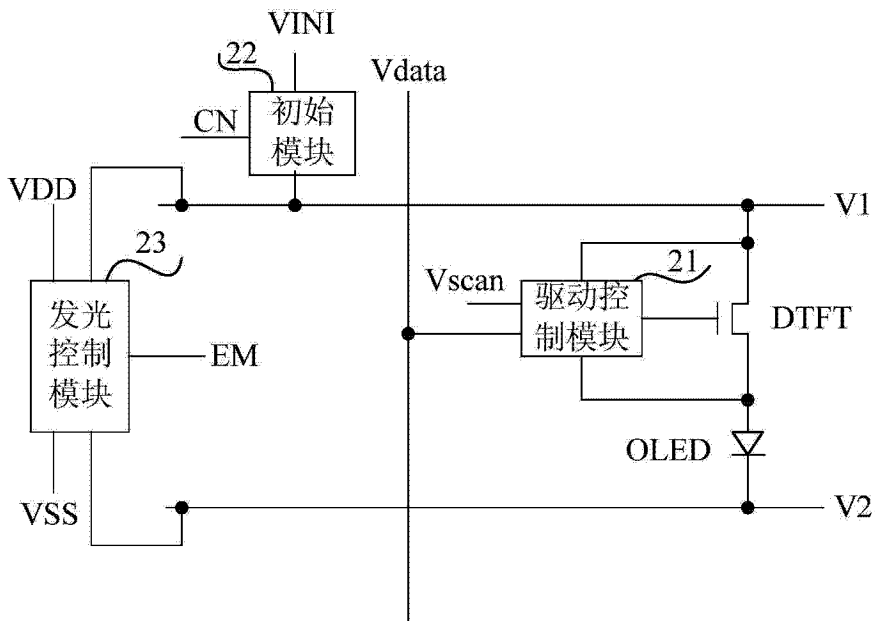


图 2

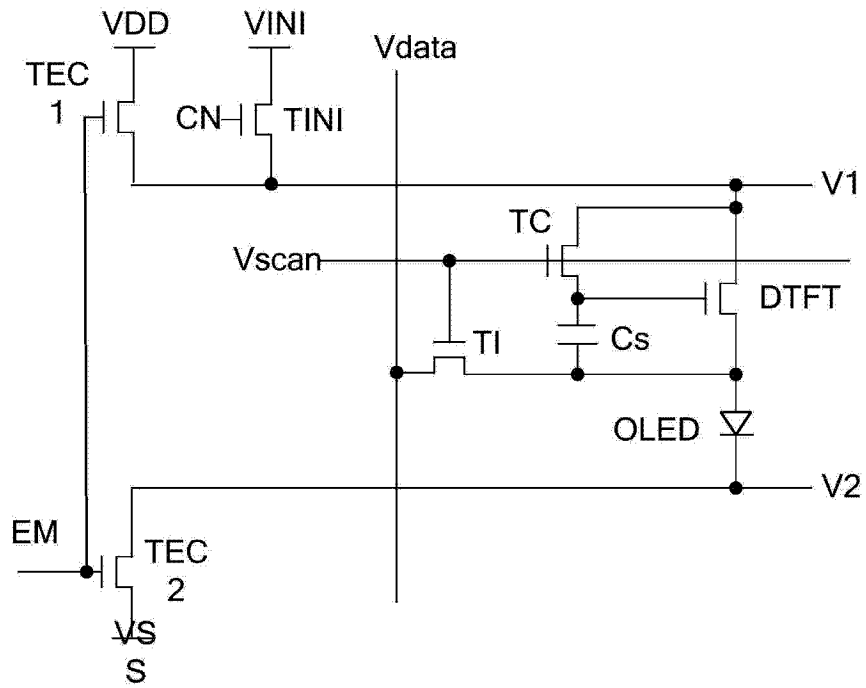


图 3

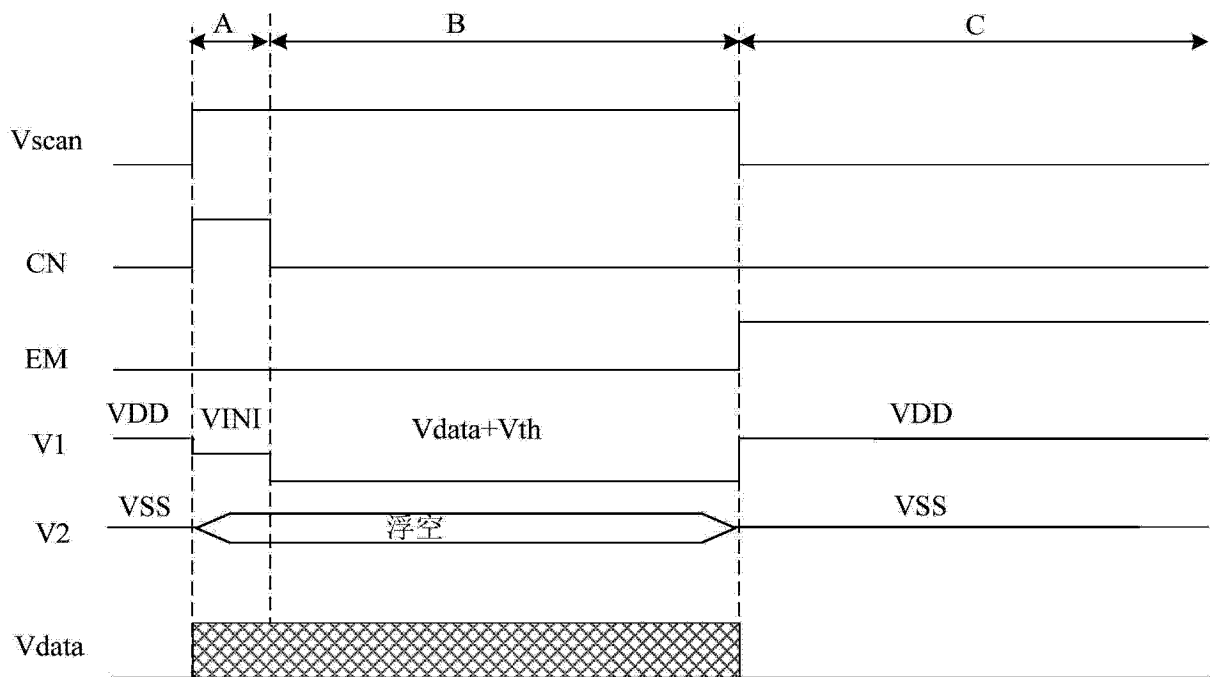


图 4

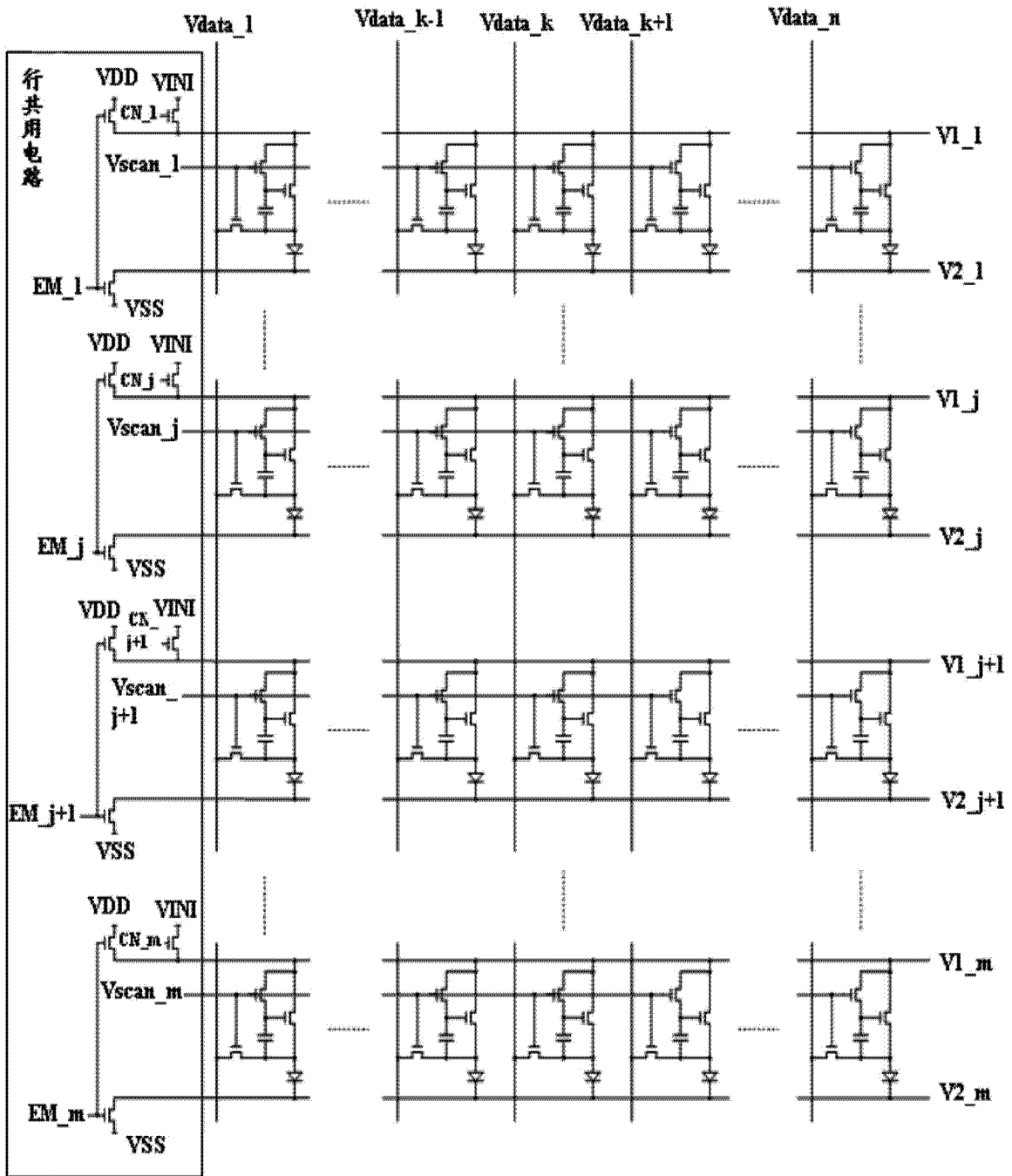


图 5

专利名称(译)	像素电路、像素电路的驱动方法和显示装置		
公开(公告)号	CN104036724A	公开(公告)日	2014-09-10
申请号	CN201410226754.9	申请日	2014-05-26
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	谭文 祁小敬		
发明人	谭文 祁小敬		
IPC分类号	G09G3/32 G09G3/3225		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043		
代理人(译)	许静 黄灿		
其他公开文献	CN104036724B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素电路、像素电路的驱动方法和显示装置。所述像素电路，包括多行像素单元，每一行像素单元包括多个子像素单元；每一子像素单元包括子像素驱动电路和发光元件，每一行像素单元还包括行共用单元；多个子像素单元均与第一信号线和第二信号线连接；该行共用单元与该行像素单元包括的每一子像素单元通过第一信号线和第二信号线连接，以具有阈值补偿功能。本发明的主要目的在于提供一种像素电路、像素电路的驱动方法和显示装置，本发明增加像素的开口率，在获得均匀显示的同时，降低有机发光层的电流密度。

