



(12)发明专利申请

(10)申请公布号 CN 111145696 A

(43)申请公布日 2020.05.12

(21)申请号 201911073248.X

(22)申请日 2019.11.05

(30)优先权数据

10-2018-0135422 2018.11.06 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 金成焕 姜哲圭 吴秀姬 李东鲜

(74)专利代理机构 北京钲霖知识产权代理有限公司 11722

代理人 冯志云 李英艳

(51)Int.Cl.

G09G 3/3233(2016.01)

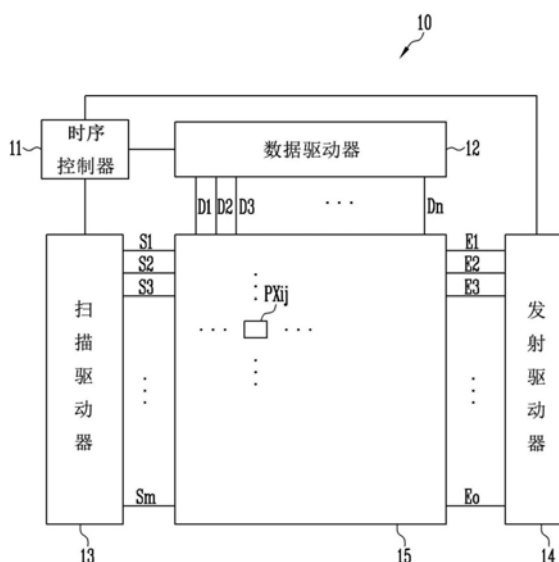
权利要求书2页 说明书9页 附图9页

(54)发明名称

像素电路

(57)摘要

一种像素电路,包括:有机发光二极管;耦接在第二节点和第三节点之间的第一晶体管,其中第一晶体管的栅极电极耦接到第一节点;耦接在数据线和第二节点之间的第二晶体管,其中第二晶体管的栅极电极耦接到第一扫描线;耦接在第一节点和初始化电源之间的第四晶体管,其中第四晶体管的栅极电极耦接到第二扫描线;耦接在第一电源和第二节点之间的第五晶体管,其中第五晶体管的栅极电极耦接到第一发射线;以及串联耦接在第三节点和有机发光二极管之间的第六晶体管和第八晶体管。



1. 一种像素电路,其中,所述像素电路包括:

有机发光二极管;

耦接在第二节点和第三节点之间的第一晶体管,其中所述第一晶体管的栅极电极耦接到第一节点;

耦接在数据线和所述第二节点之间的第二晶体管,其中所述第二晶体管的栅极电极耦接到第一扫描线;

耦接在所述第一节点和初始化电源之间的第四晶体管,其中所述第四晶体管的栅极电极耦接到第二扫描线;

耦接在第一电源和所述第二节点之间的第五晶体管,其中所述第五晶体管的栅极电极耦接到第一发射线;和

串联耦接在所述第三节点和所述有机发光二极管之间的第六晶体管和第八晶体管,其中所述第六晶体管的栅极电极耦接到所述第一发射线并且所述第八晶体管的栅极电极耦接到第二发射线,

其中施加到所述第一发射线的第一发射信号的相位相对于施加到所述第二发射线的第二发射信号的相位被延迟。

2. 根据权利要求1所述的像素电路,其中:

所述第六晶体管耦接在所述第三节点和所述第八晶体管的一个电极之间,和
所述第八晶体管耦接在所述第六晶体管的一个电极和所述有机发光二极管之间。

3. 根据权利要求1所述的像素电路,其中:

所述第八晶体管耦接在所述第三节点和所述第六晶体管的一个电极之间,和
所述第六晶体管耦接在所述第八晶体管的一个电极和所述有机发光二极管之间。

4. 根据权利要求1所述的像素电路,其中,所述像素电路还包括:

第三晶体管,所述第三晶体管耦接在所述第一节点和所述第三节点之间,并且被配置为使得其栅极电极耦接到所述第一扫描线。

5. 根据权利要求4所述的像素电路,其中:

所述第三晶体管包括串联耦接在所述第一节点和所述第三节点之间的多个第三子晶体管,和

所述第四晶体管包括串联耦接在所述第一节点和所述初始化电源之间的多个第四子晶体管。

6. 根据权利要求1所述的像素电路,其中施加到所述第一扫描线的第一扫描信号的相位相对于施加到所述第二扫描线的第二扫描信号的相位被延迟。

7. 根据权利要求6所述的像素电路,其中:

所述第一扫描信号的导通电平脉冲与所述第一发射信号的截止电平脉冲重叠,以及
所述第二扫描信号的导通电平脉冲与所述第二发射信号的截止电平脉冲重叠。

8. 根据权利要求7所述的像素电路,其中当所述第一发射信号处于导通电平时,生成所述第二扫描信号的导通电平脉冲。

9. 根据权利要求1所述的像素电路,其中,所述像素电路还包括:

耦接在所述初始化电源和所述有机发光二极管之间的第七晶体管,其中所述第七晶体管的栅极电极耦接到第三扫描线。

10. 根据权利要求9所述的像素电路,其中施加到所述第三扫描线的第三扫描信号的相位与施加到所述第二扫描线的第二扫描信号的相位相同。

11. 根据权利要求9所述的像素电路,其中施加到所述第三扫描线的第三扫描信号的相位相对于施加到所述第二扫描线的第二扫描信号的相位被延迟。

12. 根据权利要求9所述的像素电路,其中施加到所述第三扫描线的第三扫描信号的相位相对于施加到所述第二扫描线的第二扫描信号的相位被延迟。

13. 根据权利要求1所述的像素电路,其中,所述像素电路还包括:
耦接在所述第一电源和所述第一节点之间的存储电容器。

14. 根据权利要求9所述的像素电路,其中,所述像素电路还包括:
第一栅极绝缘层,所述第一栅极绝缘层覆盖所述第一晶体管、所述第二晶体管、所述第四晶体管至所述第六晶体管和所述第八晶体管的源极电极、漏极电极和沟道,
其中所述第一晶体管、所述第二晶体管、所述第四晶体管至所述第六晶体管和所述第八晶体管的所述栅极电极、所述第一扫描线和所述第二扫描线以及所述第一发射线和所述第二发射线位于所述第一栅极绝缘层上。

15. 根据权利要求14所述的像素电路,其中所述第二扫描线、所述第一扫描线、所述第一发射线和所述第二发射线在第一方向上顺序地布置在同一平面上。

16. 根据权利要求15所述的像素电路,其中所述第二发射线与所述第八晶体管的所述源极电极和所述漏极电极垂直地重叠。

像素电路

[0001] 相关申请的交叉引用

[0002] 本申请要求2018年11月6日提交的韩国专利申请号10-2018-0135422的优先权和权益,其全部公开内容通过引用整体并入本文。

技术领域

[0003] 本公开的一些示例实施例的各方面涉及像素电路。

背景技术

[0004] 随着信息技术的发展,作为信息和用户之间的连接媒介的显示设备的重要性正越来越被强调。因此,诸如液晶显示设备、有机发光显示设备和等离子显示设备等显示设备的使用正在增加。

[0005] 有机发光显示设备被配置为使用有机发光二极管来显示图像,所述有机发光二极管通过电子和空穴的重新结合来生成光,并且通常具有相对快的响应时间并且可以以相对低的功耗而被驱动。

[0006] 在一种方法中驱动有机发光二极管的像素电路的驱动晶体管被预先设置为导通偏置状态,该方法可以被用作解决滞后问题和步进效率问题的方法。

[0007] 本说明书的背景技术部分包括旨在为示例实施例提供上下文的信息,并且本背景技术部分中的信息不一定构成现有技术。

发明内容

[0008] 本公开的一些示例实施例的各方面涉及一种像素电路,其能够通过将其驱动晶体管设置为导通偏置状态来防止或减少非预期的发光和过电流的生成并降低功耗。

[0009] 根据本公开的一些示例实施例,像素电路可以包括:有机发光二极管;第一晶体管,其耦接在第二节点和第三节点之间并且被配置为使得其栅极电极耦接到第一节点;第二晶体管,其耦接在数据线和第二节点之间并且被配置为使得其栅极电极耦接到第一扫描线;第四晶体管,其耦接在第一节点和初始化电源之间并且被配置为使得其栅极电极耦接到第二扫描线;第五晶体管,其耦接在第一电源和第二节点之间并且被配置为使得其栅极电极耦接到第一发射线;以及串联耦接在第三节点和有机发光二极管之间的第六晶体管和第八晶体管,第六晶体管被配置为使得其栅极电极耦接到第一发射线上,并且第八晶体管被配置为使得其栅极电极耦接到第二发射线。这里,施加到第一发射线的第一发射信号的相位可以相对于施加到第二发射线的第二发射信号的相位被延迟。

[0010] 第六晶体管可以耦接在第三节点和第八晶体管的一个电极之间,并且第八晶体管可以耦接在第六晶体管的一个电极和有机发光二极管之间。

[0011] 第八晶体管可以耦接在第三节点和第六晶体管的一个电极之间,并且第六晶体管可以耦接在第八晶体管的一个电极和有机发光二极管之间。

[0012] 像素电路还可以包括第三晶体管,其耦接在第一节点和第三节点之间并且被配置

为使得其栅极电极耦接到第一扫描线。

[0013] 第三晶体管可以包括串联耦接在第一节点和第三节点之间的多个第三子晶体管，并且第四晶体管可以包括串联耦接在第一节点和初始化电源之间的多个第四子晶体管。

[0014] 施加到第一扫描线的第一扫描信号的相位可以相对于施加到第二扫描线的第二扫描信号的相位被延迟。

[0015] 第一扫描信号的导通电平脉冲可以与第一发射信号的截止电平脉冲重叠，并且第二扫描信号的导通电平脉冲可以与第二发射信号的截止电平脉冲重叠。

[0016] 当第一发射信号处于导通电平时，可以生成第二扫描信号的导通电平脉冲。

[0017] 像素电路还可以包括第七晶体管，其耦接在初始化电源和有机发光二极管之间，并且被配置为使得其栅极电极耦接到第三扫描线。

[0018] 施加到第三扫描线的第三扫描信号的相位可以与施加到第二扫描线的第二扫描信号的相位相同。

[0019] 施加到第二扫描线的第二扫描信号的相位可以相对于施加到第三扫描线的第三扫描信号的相位被延迟。

[0020] 施加到第三扫描线的第三扫描信号的相位可以相对于施加到第二扫描线的第二扫描信号的相位被延迟。

[0021] 像素电路还可以包括耦接在第一电源和第一节点之间的存储电容器。

[0022] 像素电路还可以包括：第一栅极绝缘层，其被配置为覆盖第一晶体管、第二晶体管、第四晶体管至第六晶体管和第八晶体管的源极电极、漏极电极和沟道，并且第一晶体管、第二晶体管、第四晶体管至第六晶体管和第八晶体管的栅极电极、第一扫描线和第二扫描线以及第一发射线和第二发射线可以位于第一栅极绝缘层上。

[0023] 第二扫描线、第一扫描线、第一发射线和第二发射线可以在第一方向上顺序地布置在同一平面上。

[0024] 第二发射线可以与第八晶体管的源极电极和漏极电极垂直地重叠。

附图说明

[0025] 图1是示出根据本公开的一些示例实施例的显示设备的图。

[0026] 图2是示出根据本公开的一些示例实施例的像素电路的图。

[0027] 图3是示出根据本公开的一些示例实施例的像素电路的图。

[0028] 图4是示出根据本公开的一些示例实施例的像素电路的图。

[0029] 图5是示出根据本公开的一些示例实施例的用于驱动像素电路的方法的图。

[0030] 图6是示出根据本公开的一些示例实施例的用于驱动像素电路的方法的图。

[0031] 图7是示出根据图6的实施例的扫描驱动器和发射驱动器之间的耦接关系的图。

[0032] 图8是用于解释根据本公开的一些示例实施例的像素电路的示例布局的视图。

[0033] 图9是沿图8中的线I-I'截取的剖视图。

具体实施方式

[0034] 在详细描述和附图中示出并描述了一些示例实施例的各方面。

[0035] 从将参考附图更详细地描述的以下示例实施例，本公开的一些示例实施例的特性

和特征以及实现它们的方法将更加明显。然而,应该注意,本公开不限于以下示例实施例,并且可以以各种形式来实现。还应注意,在本说明书中,“连接/耦接”是指一个组件直接耦接另一个组件或通过中间组件电耦接另一个组件。此外,在附图中,将省略与本公开无关的部分以便阐明本公开的描述,并且相同的附图标记始终指代相同的元件。

[0036] 图1是示出根据本公开的一些示例实施例的显示设备的视图。

[0037] 参见图1,显示设备10可以包括时序控制器11、数据驱动器12、扫描驱动器13、发射驱动器14和像素单元15。

[0038] 时序控制器11可以向数据驱动器12提供灰阶值和控制信号,以便适合于数据驱动器12的规格。此外,时序控制器11可以向扫描驱动器13提供时钟信号和扫描开始信号等,以便适合于扫描驱动器13的规格。此外,时序控制器11可以向发射驱动器14提供时钟信号和发射停止信号等,以便适合于发射驱动器14的规格。

[0039] 数据驱动器12可以使用从时序控制器11接收的灰阶值和控制信号来生成要提供给数据线D1、D2、D3至Dn的数据信号。例如,数据驱动器12可以使用时钟信号对灰阶值进行采样并将对应于灰阶值的数据电压施加到数据线D1至Dn作为数据信号。这里,n可以是大于零的自然数。

[0040] 扫描驱动器13可以从时序控制器11接收时钟信号和扫描开始信号等,并且生成要提供给扫描线S1、S2、S3至Sm的扫描信号。例如,扫描驱动器13可以顺序地向扫描线S1至Sm提供扫描信号,每个扫描信号具有导通电平脉冲。例如,扫描驱动器13可以采取移位寄存器的形式,并且可以生成扫描信号,使得以导通电平脉冲形式的扫描开始信号在时钟信号的控制下被顺序地递送到下一级电路。这里,m可以是大于零的自然数。

[0041] 发射驱动器14可以从时序控制器11接收时钟信号和发射停止信号等,并且生成要提供给发射线E1、E2、E3至Eo的发射信号。例如,发射驱动器14可以顺序地向发射线E1至Eo提供发射信号,每个发射信号具有截止电平脉冲。例如,发射驱动器14可以采取移位寄存器的形式,并且可以生成发射信号,使得以截止电平脉冲形式的发射停止信号在时钟信号的控制下被顺序地递送到下一级电路。这里,o可以是大于零的自然数。

[0042] 像素单元15包括像素电路PX_{ij}。每个像素电路PX_{ij}可以耦接到数据线、扫描线和与其对应的发射线。下面将详细描述像素电路PX_{ij}的配置和驱动方法。这里,i和j可以是大于零的自然数。

[0043] 图2是示出根据本公开的一些示例实施例的像素电路的图。图3是示出根据本公开的一些示例实施例的像素电路的图,并且图4是示出根据本公开的一些示例实施例的像素电路的图。

[0044] 参见图2至图4,像素电路PX_{ij}包括第一晶体管M1至第八晶体管M8、存储电容器C_{st}和有机发光二极管OLED。

[0045] 第一晶体管M1耦接在第二节点N2和第三节点N3之间。第一晶体管M1的栅极电极耦接到第一节点N1。响应于第一节点N1的电压,第一晶体管M1可以导通或截止。第一晶体管M1可以被称为驱动晶体管。

[0046] 第二晶体管M2耦接在数据线D_j和第二节点N2之间。第二晶体管M2的栅极电极耦接到第一扫描线S_i。响应于供应给第一扫描线S_i的第一扫描信号,第二晶体管M2可以导通或截止。第二晶体管M2可以被称为扫描晶体管或开关晶体管。

[0047] 第三晶体管M3耦接在第一节点N1和第三节点N3之间。第三晶体管M3的栅极电极耦接到第一扫描线Si。响应于供应给第一扫描线Si的第一扫描信号,第三晶体管M3可以导通或截止。根据一些示例实施例,第三晶体管M3可以包括串联耦接的多个子晶体管M3_1和M3_2,以防止漏电流,如图3中所示。

[0048] 第四晶体管M4耦接在第一节点N1和初始化电源VINT之间。第四晶体管M4的栅极电极耦接到第二扫描线S(i-1)或第三扫描线S(i-2)。响应于供应给第二扫描线S(i-1)的第二扫描信号或供应给第三扫描线S(i-2)的第三扫描信号,第四晶体管M4可以导通或截止。而且,根据实施例,第四晶体管M4可以包括串联耦接的多个子晶体管M4_1和M4_2,以防止漏电流,如图3中所示。

[0049] 第五晶体管M5耦接在第一电源ELVDD和第二节点N2之间。第五晶体管M5的栅极电极耦接到第一发射线Ei。响应于供应给第一发射线Ei的第一发射信号,第五晶体管M5可以导通或截止。

[0050] 第六晶体管M6耦接在第三节点N3和有机发光二极管OLED的阳极电极之间。第六晶体管M6的栅极电极耦接到第一发射线Ei。响应于供应给第一发射线Ei的第一发射信号,第六晶体管M6可以导通或截止。

[0051] 第七晶体管M7耦接在初始化电源VINT和有机发光二极管OLED的阳极电极之间。第七晶体管M7的栅极电极耦接到第三扫描线S(i-2)。响应于供应给第三扫描线S(i-2)的第三扫描信号,第七晶体管M7可以导通或截止。根据一些示例实施例,第七晶体管M7的栅极电极可以替代地耦接到第二扫描线S(i-1)。

[0052] 第八晶体管M8耦接在第三节点N3和有机发光二极管OLED的阳极电极之间。在本公开的一些示例实施例中,第八晶体管M8可以耦接在第六晶体管M6和有机发光二极管OLED的阳极电极之间,如图2中所示。替代地,在本发明的一些示例实施例中,第八晶体管M8可以耦接在第三节点N3和第六晶体管M6之间,如图4中所示。

[0053] 第八晶体管M8的栅极电极耦接到第二发射线。响应于供应给第二发射线的第二发射信号,第八晶体管M8可以导通或截止。这里,第二发射线可以是例如第(i-1)发射线E(i-1)或第(i-2)发射线E(i-2)。

[0054] 存储电容器Cst耦接在第一电源ELVDD和第一节点N1之间。

[0055] 有机发光二极管OLED可以被配置为使得其阳极电极耦接到第七晶体管M7的一个电极和第八晶体管M8的一个电极(如图2和图3中所示)或耦接到第七晶体管M7的一个电极和第六晶体管M6的一个电极(如图4中所示),并且使得其阴极电极耦接到第二电源ELVSS。

[0056] 施加到第一发射线Ei的第一发射信号可以不同于施加到第二发射线E(i-1)或E(i-2)的第二发射信号。例如,第一发射线Ei可以是第i发射线E(i),并且第二发射线可以是第(i-2)发射线E(i-2)。

[0057] 施加到第一扫描线Si的第一扫描信号可以不同于施加到第二扫描线S(i-1)的第二扫描信号。例如,第一扫描线Si可以是第i扫描线,第二扫描线S(i-1)可以是第(i-1)扫描线。

[0058] 施加到第三扫描线S(i-2)的第三扫描信号可以不同于第一扫描信号和第二扫描信号。例如,第三扫描线S(i-2)可以是第(i-2)扫描线。

[0059] 图5是示出根据本公开的一些示例实施例的用于驱动像素电路的方法的图。在图5

中,示出了一种用于驱动像素电路的方法,其中图2的第二发射线是第(i-1)发射线E(i-1),并且其中第四晶体管M4的栅极电极耦接到第二扫描线S(i-1)。

[0060] 参见图2和图5,示出了施加到第一发射线E_i的第一发射信号、施加到第二发射线E(i-1)的第二发射信号、施加到第一扫描线S_i的第一扫描信号、施加到第二扫描线S(i-1)的第二扫描信号和施加到第三扫描线S(i-2)的第三扫描信号。

[0061] 第一发射信号的相位可以相对于第二发射信号的相位被延迟。第一扫描信号的相位可以相对于第二扫描信号的相位被延迟,并且第二扫描信号的相位可以相对于第三扫描信号的相位被延迟。

[0062] 第三扫描信号的脉冲具有导通电平所在期间的时段可以与第一发射信号的脉冲具有截止电平所在期间的时段重叠。第三扫描信号的脉冲具有导通电平所在期间的时段可以与第二发射信号的脉冲具有截止电平所在期间的时段重叠。当第二发射信号处于截止电平时,可以生成第二扫描信号的导通电平脉冲。当第一发射信号和第二发射信号处于截止电平时,可以生成第一扫描信号的导通电平脉冲。

[0063] 首先,在第一时间点t₁处将第三扫描信号切换到导通电平。

[0064] 响应于第三扫描信号,第七晶体管M7导通。因此,有机发光二极管OLED的阳极电极耦接到初始化电源V_{INT},并且存储在阳极电极中的电荷被初始化为初始化电源V_{INT}的电压。

[0065] 同时,因为第一发射信号和第二发射信号在第一时间点t₁处处于导通电平,所以第五晶体管M5、第六晶体管M6和第八晶体管M8保持导通状态。因此,可以生成连接第一电源ELVDD、第五晶体管M5、第一晶体管M1、第六晶体管M6、第八晶体管M8和第七晶体管M7以及初始化电源V_{INT}的电流路径。然而,因为处于截止状态的第四晶体管M4防止初始化电源V_{INT}的电压在第一时间点t₁处被施加到第一晶体管M1的栅极电极,所以过电流不在电流路径中流动。也就是说,因为对应于相关灰阶的数据电压正被施加到第一晶体管M1的栅极电极,所以对应于灰阶的电流在其中流动,从而不会增加所消耗的电流。

[0066] 在第二时间点t₂处,将第二扫描信号切换到导通电平,并且第二发射信号处于截止电平。

[0067] 响应于第二扫描信号和第二发射信号,第四晶体管M4导通,并且第八晶体管M8截止。因为第四晶体管M4导通,所以初始化电源V_{INT}的电压被施加到第一节点N₁,即第一晶体管M1的栅极电极。因为初始化电源V_{INT}的电压被设置为低于导通电平,所以第一晶体管M1可以导通。这里,第五晶体管M5和第六晶体管M6通过处于导通电平的第一发射信号而处于导通状态。因此,第一晶体管M1的一个电极耦接到第一电源ELVDD,并且其栅极电极耦接到初始化电源V_{INT},由此第一晶体管M1被设置为导通偏置状态。

[0068] 同时,因为处于截止状态的第八晶体管M8中断连接第五晶体管M5、第一晶体管M1、第六晶体管M6和第七晶体管M7以及初始化电源V_{INT}的电流路径,所以可以防止或减少所消耗的电流的增加的发生率。

[0069] 此外,因为第八晶体管M8截止,所以有机发光二极管OLED不发光,从而防止在导通偏置状态期间有机发光二极管OLED中的非预期发光。例如,当像素电路P_{Xij}必须在对应的帧中显示黑色灰阶时,有机发光二极管OLED可以发光以适合于目标亮度。

[0070] 此外,不是将改变每一帧的前一步骤的数据电压、而是将初始化电源V_{INT}的相同

电压施加到第一晶体管M1的栅极电极,由此第一晶体管M1可以被稳定地设置为导通偏置状态。

[0071] 在第三时间点t3处,将第一扫描信号切换到导通电平,并且第一发射信号和第二发射信号处于截止电平。

[0072] 响应于第一扫描信号以及第一发射信号和第二发射信号,第二晶体管M2和第三晶体管M3导通,并且第五晶体管M5、第六晶体管M6和第八晶体管M8截止。因为第二晶体管M2和第三晶体管M3导通,所以数据信号经由数据线Dj和第二晶体管M2、第一晶体管M1和第三晶体管M3施加到存储电容器Cst的一个电极,并且存储电容器Cst存储数据信号的电压和第一电源ELVDD的电压之间的差。这里,第一晶体管M1的降低的阈值电压可以反映在存储的电压中。

[0073] 随后,当在第四时间点t4处将第二发射信号和第一发射信号顺序地设置为导通状态时,第八晶体管M8导通,然后第五晶体管M5和第六晶体管M6导通。因此,生成连接第一电源ELVDD、第五晶体管M5、第六晶体管M6和第八晶体管M8、有机发光二极管OLED和第二电源ELVSS的电流路径。电流路径中流动的电流量可以依据存储在耦接到第一晶体管M1的栅极电极的存储电容器Cst中的电压来设置。

[0074] 图6是示出根据本公开的一些示例实施例的用于驱动像素电路的方法的图。在图6中,示出了一种用于驱动像素电路的方法,其中图2的第二发射线是第(i-2)发射线E(i-2),并且其中第四晶体管M4的栅极电极耦接到第三扫描线S(i-2)。

[0075] 参见图2和图6,示出了施加到第一发射线Ei的第一发射信号、施加到第二发射线E(i-2)的第二发射信号、施加到第一扫描线Si的第一扫描信号、和施加到第三扫描线S(i-2)的第三扫描信号。示出了施加到第二扫描线S(i-1)的第二扫描信号,以便将其相位与第一扫描信号和第三扫描信号的相位进行比较。

[0076] 第一发射信号的相位可以相对于第二发射信号的相位被延迟。第一扫描信号的相位可以相对于第二扫描信号的相位被延迟。

[0077] 第三扫描信号的脉冲具有导通电平所在期间的时段可以与第二发射信号的脉冲具有截止电平所在期间的时段重叠。第二扫描信号的脉冲具有导通电平所在期间的时段可以与第二发射信号的脉冲具有截止电平所在期间的时段重叠。当第一发射信号处于导通电平时,可以生成第三扫描信号和第二扫描信号的导通电平脉冲。当第一发射信号和第二发射信号处于截止电平时,可以生成第一扫描信号的导通电平脉冲。

[0078] 首先,在第一时间点t1处,将第三扫描信号切换到导通电平,并且第二发射信号处于截止电平。

[0079] 响应于第三扫描信号,第七晶体管M7导通。因此,有机发光二极管OLED的阳极电极耦接到初始化电源VINT,并且存储在阳极电极中的电荷被初始化为初始化电源VINT的电压。

[0080] 此外,响应于第三扫描信号和第二发射信号,第四晶体管M4导通,第八晶体管M8截止。因为第四晶体管M4导通,所以初始化电源VINT的电压被施加到第一节点N1,即第一晶体管M1的栅极电极。因为初始化电源VINT的电压被设置为低于导通电平,所以第一晶体管M1可以导通。这里,第五晶体管M5和第六晶体管M6通过处于导通电平的第一发射信号而处于导通状态。第一晶体管M1的一个电极耦接到第一电源ELVDD,并且其栅极电极耦接到初始化

电源VINT,由此第一晶体管M1被设置为导通偏置状态。

[0081] 同时,处于截止状态的第八晶体管M8中断连接第五晶体管M5、第一晶体管M1、第六晶体管M6和第七晶体管M7以及初始化电源VINT的电流路径,从而可以防止或减少所消耗的电流量的增加的发生率。

[0082] 此外,因为第八晶体管M8截止,所以有机发光二极管OLED不发光,由此防止在导通偏置状态期间有机发光二极管OLED中的非预期发光。例如,当像素电路PX_{i,j}需要在对应的帧中显示黑色灰阶时,有机发光二极管OLED可以发光以适合于目标亮度。

[0083] 此外,不是将改变每一帧的前一步骤的数据电压、而是将初始化电源VINT的相同电压施加到第一晶体管M1的栅极电极,由此第一晶体管M1可以被稳定地设置为导通偏置状态。

[0084] 在第二时间点t₂处,将第一扫描信号切换到导通电平,并且第一发射信号和第二发射信号处于截止电平。

[0085] 响应于第一扫描信号以及第一发射信号和第二发射信号,第二晶体管M2和第三晶体管M3导通,并且第五晶体管M5、第六晶体管M6和第八晶体管M8截止。因为第二晶体管M2和第三晶体管M3导通,所以经由数据线D_j和第二晶体管M2、第一晶体管M1和第三晶体管M3将数据信号施加到存储电容器C_{st}的一个电极,并且存储电容器C_{st}存储数据信号的电压和第一电源ELVDD的电压之间的差。这里,第一晶体管M1的降低的阈值电压可以反映在存储的电压中。

[0086] 随后,当在第三时间点t₃处将第二发射信号和第一发射信号顺序地设置为导通状态时,第八晶体管M8导通,然后第五晶体管M5和第六晶体管M6导通。因此,生成连接第一电源ELVDD、第五晶体管M5、第六晶体管M6和第八晶体管M8、有机发光二极管OLED和第二电源ELVSS的电流路径。电流路径中流动的电流可以依据存储在耦接到第一晶体管M1的栅极电极的存储电容器C_{st}中的电压来设置。

[0087] 图7是示出根据图6的实施例的扫描驱动器和发射驱动器之间的耦接关系的图。

[0088] 参见图7,在本公开的一些示例实施例中,扫描驱动器13可以包括多个级SST_i、SST_(i+1)、SST_(i+2)、SST_(i+3)、……,其耦接到像素行PX_i、PX_(i+1)、PX_(i+2)、PX_(i+3)、……中的对应一个。级SST_i、SST_(i+1)、SST_(i+2)、SST_(i+3)、……中的每一个可以操作为移位寄存器。通过各自的扫描线S_i、S_(i+1)、S_(i+2)、S_(i+3)、……,各自的级SST_i、SST_(i+1)、SST_(i+2)、SST_(i+3)、……可以向与其相对应的像素行PX_i、PX_(i+1)、PX_(i+2)、PX_(i+3)、……供应扫描信号。

[0089] 在本公开的一些示例实施例中,通过扫描线S_i、S_(i+1)、S_(i+2)、S_(i+3)、……中的对应一个,可以向像素行PX_i、PX_(i+1)、PX_(i+2)、PX_(i+3)、……中的每一个供应来自级SST_i、SST_(i+1)、SST_(i+2)、SST_(i+3)、……中的对应一个的第一扫描信号。此外,可以向像素行PX_i、PX_(i+1)、PX_(i+2)、PX_(i+3)、……中的每一个供应来自前一级的第二扫描信号和/或第三扫描信号。在图7的实施例中,通过耦接到前一级之前的级的扫描线,可以向像素行PX_i、PX_(i+1)、PX_(i+2)、PX_(i+3)、……中的每一个供应第(i-2)扫描信号作为第三扫描信号。

[0090] 在本公开的一些示例实施例中,发射驱动器14可以包括耦接到像素行PX_i、PX_(i+1)、PX_(i+2)、PX_(i+3)、……的多个级EST_i、EST_(i+2)……。在本公开中,级EST_i、EST_(i+1)、

2)、……中的每一个耦接到从像素行 PX_i 、 $PX(i+1)$ 、 $PX(i+2)$ 、 $PX(i+3)$ 、……中选择的一个像素行。通过发射线 E_i 、 $E(i+1)$ 、 $E(i+2)$ 、 $E(i+3)$ 、……之中与其相对应的发射线,级 EST_i 、 $EST(i+2)$ 、……中的每一个可以向像素行 PX_i 、 $PX(i+1)$ 、 $PX(i+2)$ 、 $PX(i+3)$ 、……之中与其相对应的像素行供应发射信号。在该实施例中,供应给耦接到同一级的两个像素行的发射信号可以具有相同的波形。

[0091] 在本公开的一些示例实施例中,通过发射线 E_i 、 $E(i+1)$ 、 $E(i+2)$ 、 $E(i+3)$ 、……之中与其相对应的发射线,可以向像素行 PX_i 、 $PX(i+1)$ 、 $PX(i+2)$ 、 $PX(i+3)$ 、……中的每一个供应来自级 EST_i 、 $EST(i+2)$ 、……之中与其相对应的级的第一发射信号。而且,可以向像素行 PX_i 、 $PX(i+1)$ 、 $PX(i+2)$ 、 $PX(i+3)$ 、……中的每一个供应来自前一级的第二发射信号。

[0092] 在图7的实施例中,像素行 PX_i 、 $PX(i+1)$ 、 $PX(i+2)$ 、 $PX(i+3)$ 、……中的每一个可以通过耦接到前一级的发射线或前一级之前的级而被供应第二发射信号。例如,在图7中,第 $(i+2)$ 像素行 $PX(i+2)$ 通过耦接到第二发射线 $E(i+1)$ 而被供应第 $(i-1)$ 发射信号,并且第 $(i+3)$ 像素行 $PX(i+3)$ 可以通过耦接到第二发射线 $E(i+1)$ 而被供应第 $(i-2)$ 发射信号。

[0093] 图8是用于解释根据本公开的一些示例实施例的像素电路的示例布局的视图。特别地,图8示出了像素电路的布局,其中第三晶体管M3配置有子晶体管M3_1和M3_2,并且其中第四晶体管M4配置有子晶体管M4_1和M4_2,如图3中所示。图9是沿图8中的线I-I'截取的剖视图。

[0094] 参见图8和图9,基板SUB可以是刚性基板或柔性基板。

[0095] 刚性基板可以包括玻璃基板、石英基板、玻璃陶瓷基板和结晶玻璃基板。

[0096] 柔性基板可以包括:包括聚合物有机材料的薄膜基板和包括聚合物有机材料的塑料基板。例如,柔性基板可以包括聚醚砜(PES)、聚丙烯酸酯、聚醚酰亚胺(PEI)、聚萘二甲酸乙二醇酯(PEN)、聚对苯二甲酸乙二醇酯(PET)、聚苯硫醚(PPS)、聚芳酯(PAR)、聚酰亚胺(PI)、聚碳酸酯(PC)、三乙酸纤维素(TAC)和乙酸丙酸纤维素(CAP)中之一。而且,柔性基板可以包括玻璃纤维增强塑料(FRP)。

[0097] 缓冲层BUF可以覆盖基板SUB。缓冲层BUF可以防止杂质从基板SUB扩散到有源层ACT中。缓冲层BUF可以是无机绝缘层。例如,缓冲层BUF可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其组合制成,并且可以依据基板SUB的材料和工艺条件而被省略。

[0098] 可以在缓冲层BUF上提供有源层ACT。有源层ACT可以由半导体材料制成。例如,有源层ACT可以包括多晶硅、非晶硅和氧化物半导体等。在有源层ACT中未掺杂杂质的部分构成第一晶体管M1至第七晶体管M7的沟道CH1至CH7(包括图8所示的沟道CH2、CH3_1、CH3_2、CH4_1、CH4_2、CH5、CH6),并且在有源层ACT中掺杂有杂质的部分可以构成源极电极SE1至SE7(包括图8所示的源极电极SE2、SE3_1、SE3_2、SE4_1、SE4_2、SE5、SE6)和漏极电极DE1至DE7(包括图8所示的漏极电极DE2、DE3_1、DE3_2、DE4_1、DE4_2、DE5、DE6)或线。杂质可以是p型杂质。根据一些示例实施例,杂质可以是p型杂质、n型杂质或金属中的至少一种。

[0099] 第一栅极绝缘层GI1可以覆盖基板SUB和有源层ACT。第一栅极绝缘层GI1可以覆盖晶体管M1至M7的源极电极SE1至SE7、其漏极电极DE1至DE7以及其沟道CH1至CH7。第一栅极绝缘层GI1可以是无机绝缘层。例如,第一栅极绝缘层GI1可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其组合制成。

[0100] 第一晶体管M1至第七晶体管M7的栅极电极GE1至GE7(包括图8所示的栅极电极

GE2、GE3_1、GE3_2、GE4_1、GE4_2、GE5、GE6)、第一扫描线Si、第二扫描线S(i-1)和第三扫描线S(i-2)、第一发射线Ei和第二发射线E(i-1)、初始化电源VINT和存储电容器Cst的第一电极LE可以位于第一栅极绝缘层GI1上。第一栅极绝缘层GI1上的电极和线可以由相同的导电材料制成。例如,第一栅极绝缘层GI1上的电极和线可以由钼(Mo)、钛(Ti)、铝(Al)、银(Ag)、金(Au)、铜(Cu)或其组合制成。

[0101] 第二栅极绝缘层GI2可以覆盖第一栅极绝缘层GI1、第一晶体管M1至第七晶体管M7的栅极电极GE1至GE7、第一扫描线Si、第二扫描线S(i-1)和第三扫描线S(i-2)、第一发射线Ei和第二发射线E(i-1)、初始化电源VINT和存储电容器Cst的第一电极LE。第二栅极绝缘层GI2可以是无机绝缘层。例如,第二栅极绝缘层GI2可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其组合制成。

[0102] 存储电容器Cst的第二电极UE可以位于第二栅极绝缘层GI2上。例如,存储电容器Cst的第二电极UE可以由钼(Mo)、钛(Ti)、铝(Al)、银(Ag)、金(Au)、铜(Cu)或其组合制成。

[0103] 层间绝缘层ILD可以覆盖第二栅极绝缘层GI2和存储电容器Cst的第二电极UE。层间绝缘层ILD可以是无机绝缘层。例如,层间绝缘层ILD可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其组合制成。

[0104] 数据线Dj和第一电源ELVDD的电源线可以位于层间绝缘层ILD上。层间绝缘层ILD上的电极和线可以由相同的材料制成。例如,层间绝缘层ILD上的电极和线可以由钼(Mo)、钛(Ti)、铝(Al)、银(Ag)、金(Au)、铜(Cu)或其组合制成。

[0105] 通孔层VIA可以覆盖层间绝缘层ILD、数据线Dj和第一电源ELVDD的电源线。通孔层VIA可以是有机绝缘层。例如,通孔层VIA可以包括聚苯乙烯、聚甲基丙烯酸甲酯(PMMA)、聚丙烯腈(PAN)、聚酰胺(PA)、聚酰亚胺(PI)、聚芳醚(PAE)、杂环聚合物、聚对二甲苯、环氧树脂、苯并环丁烯(BCB)、硅氧烷基树脂或硅烷基树脂中的至少一种。在一些示例实施例中,通孔层VIA可以是无机绝缘层,或者是其中有机绝缘层和无机绝缘层交替堆叠的多层结构。

[0106] 第二扫描线S(i-1)、第一扫描线Si、第一发射线Ei和第二发射线E(i-2)可以在第一方向DR1上顺序地布置在同一平面上。第二扫描线S(i-1)、第一扫描线Si、第一发射线Ei和第二发射线E(i-2)可以在第二方向DR2上延伸。

[0107] 第二发射线E(i-2)可以与第八晶体管M8的源极电极SE8和漏极电极DE8垂直地重叠。换句话说,第二发射线E(i-2)可以与接触第八晶体管M8的源极电极SE8和漏极电极DE8的部分垂直地重叠。

[0108] 根据本公开的一些示例实施例的像素电路被配置为将其驱动晶体管设置为导通偏置状态,从而防止非预期的光发射和过电流的生成并且降低功耗。

[0109] 尽管已经参考附图更详细地描述了本公开的一些示例实施例的各方面,但是本领域技术人员将理解,本公开能以其他特定形式来实现而不改变本公开的技术精神或基本特征。因此,应该注意,前述实施例在所有方面仅仅是说明性的,并且不应被解释为限制本公开。在本公开的含义和范围内做出的所有改变或修改或其等同物应被解释为落入本公开的范围。

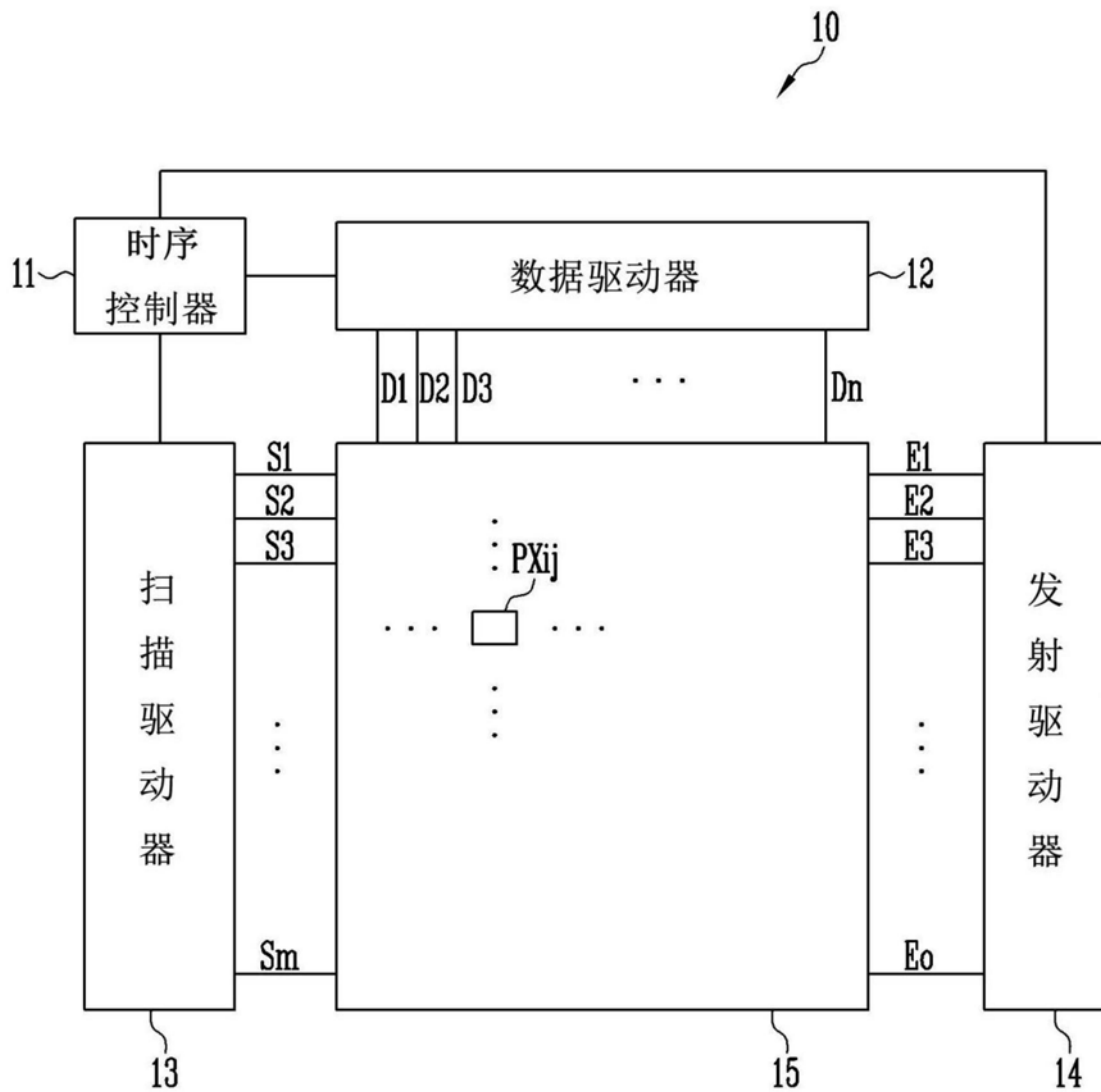


图1

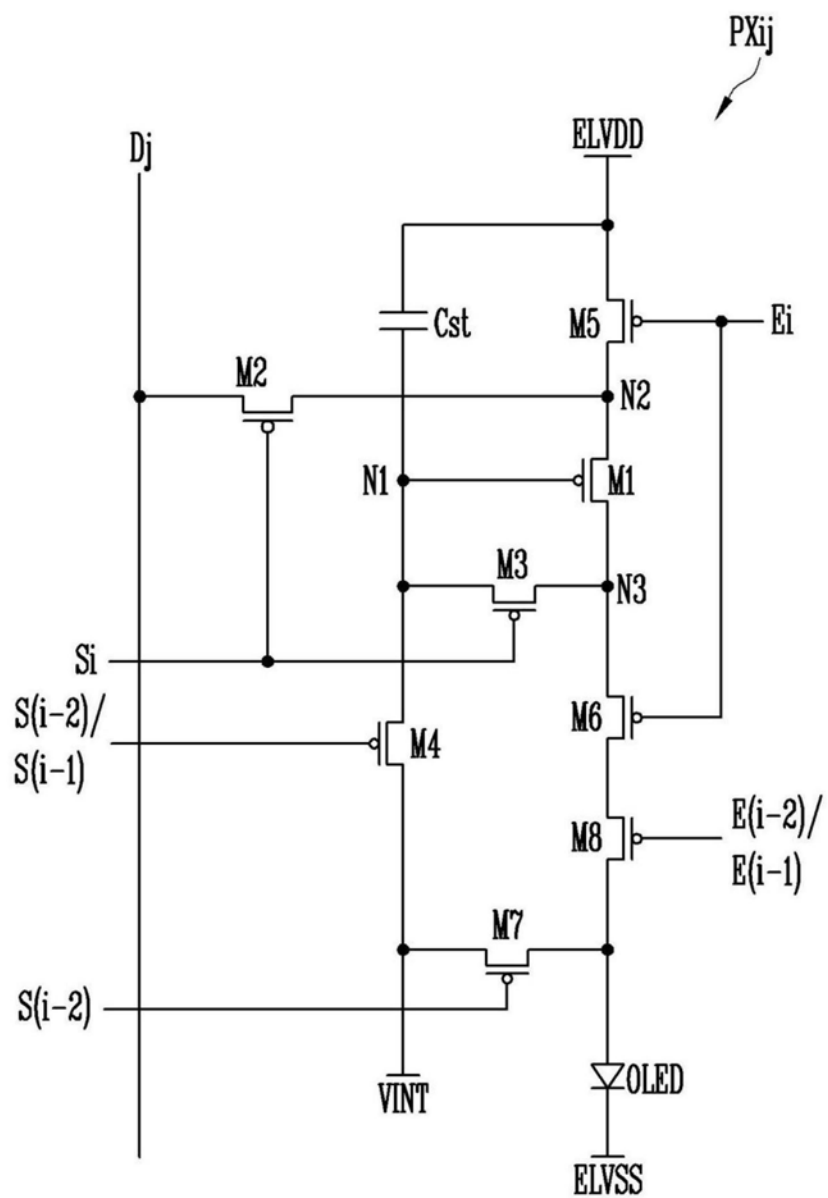


图2

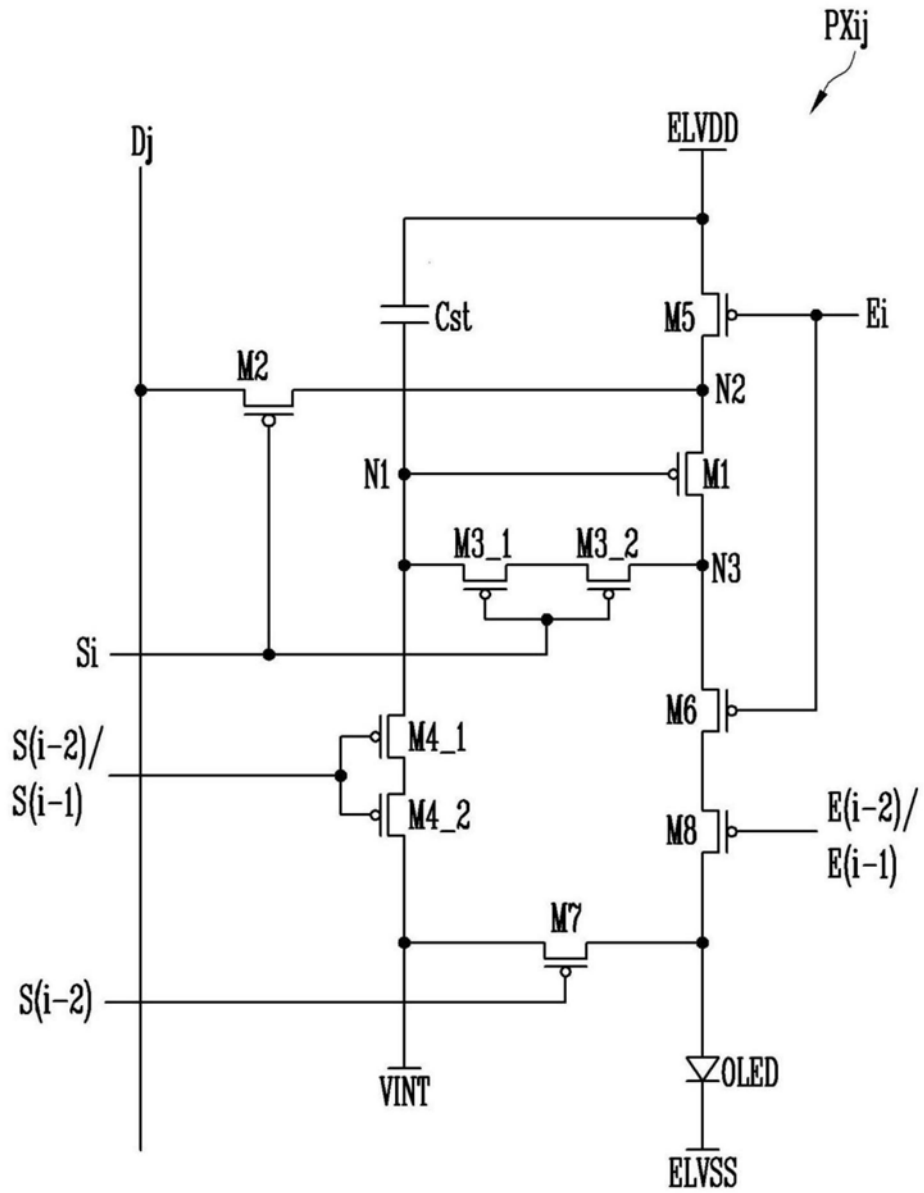


图3

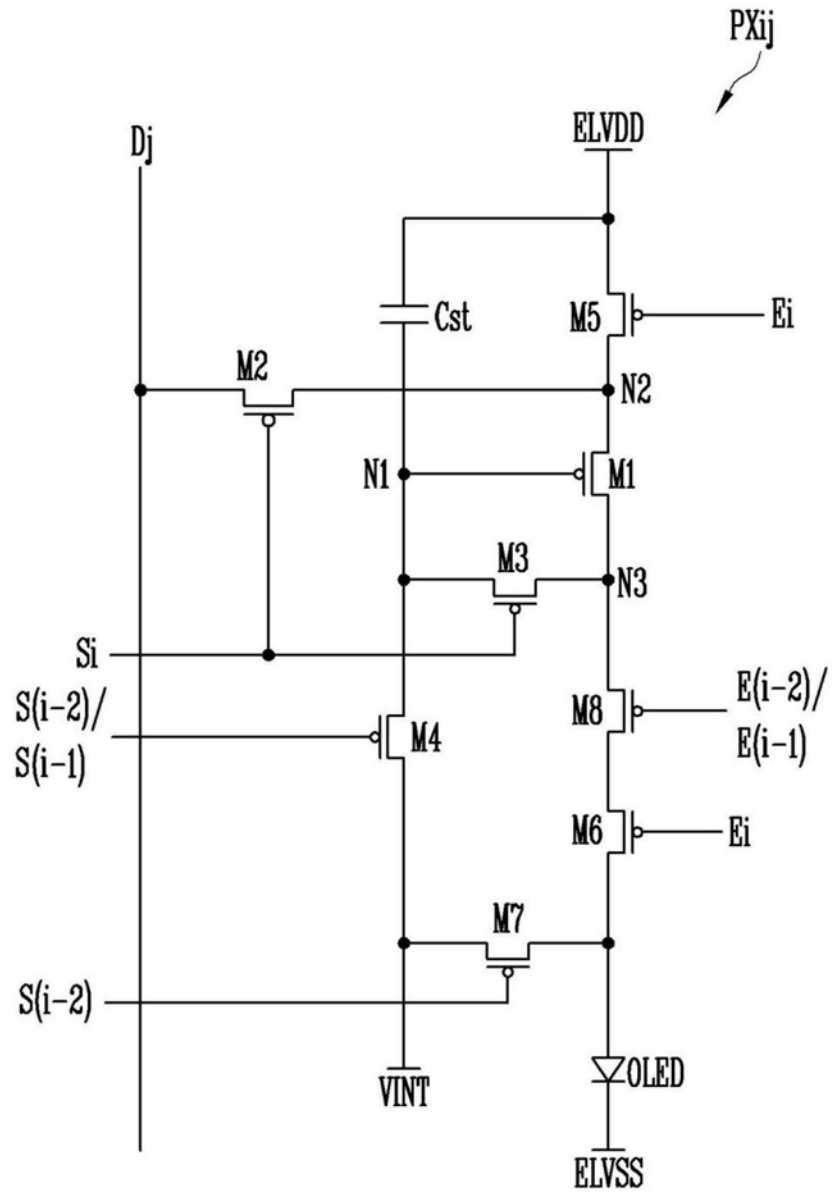


图4

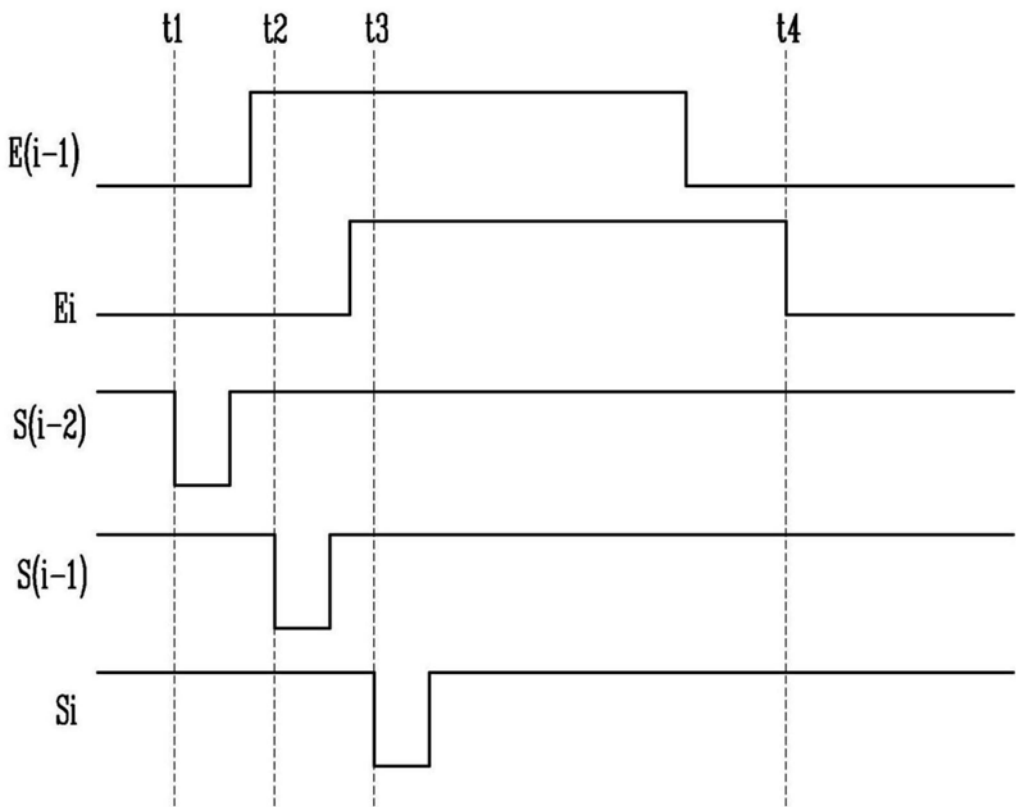


图5

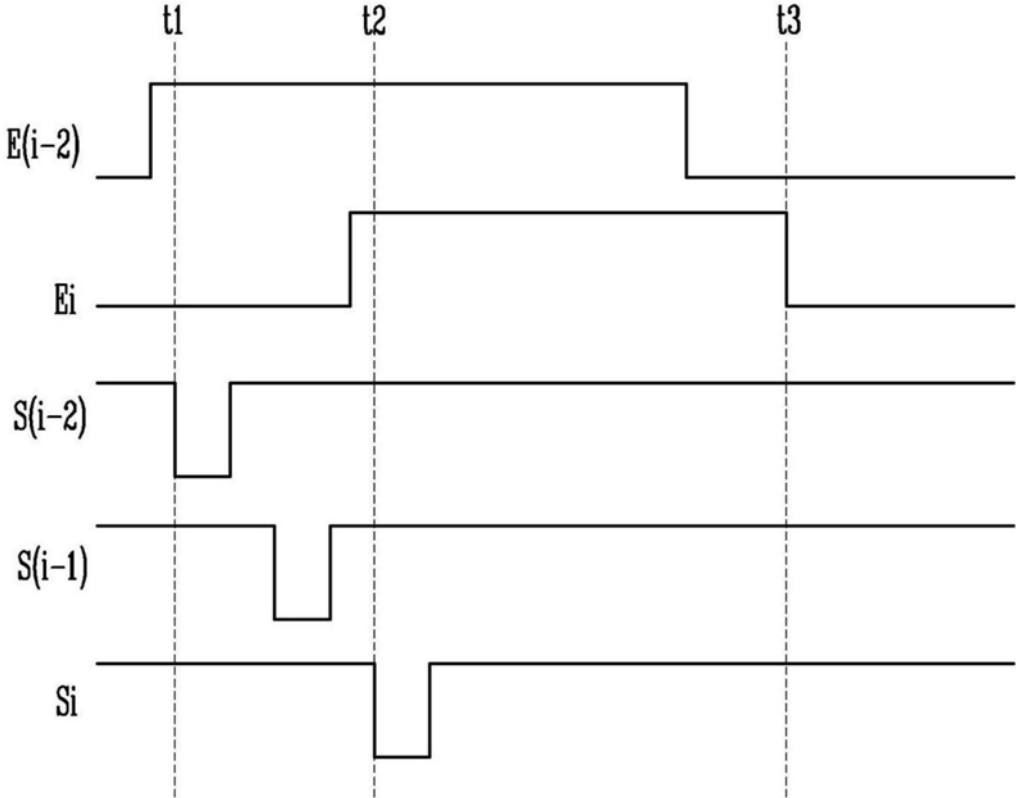


图6

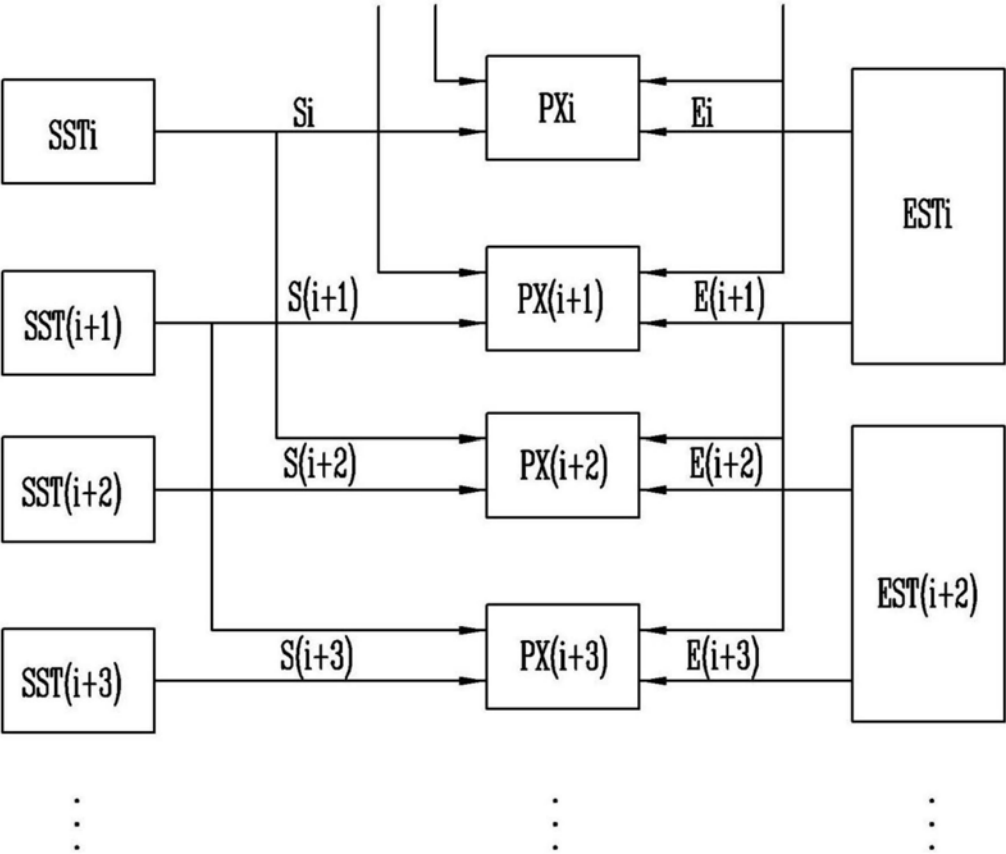


图7

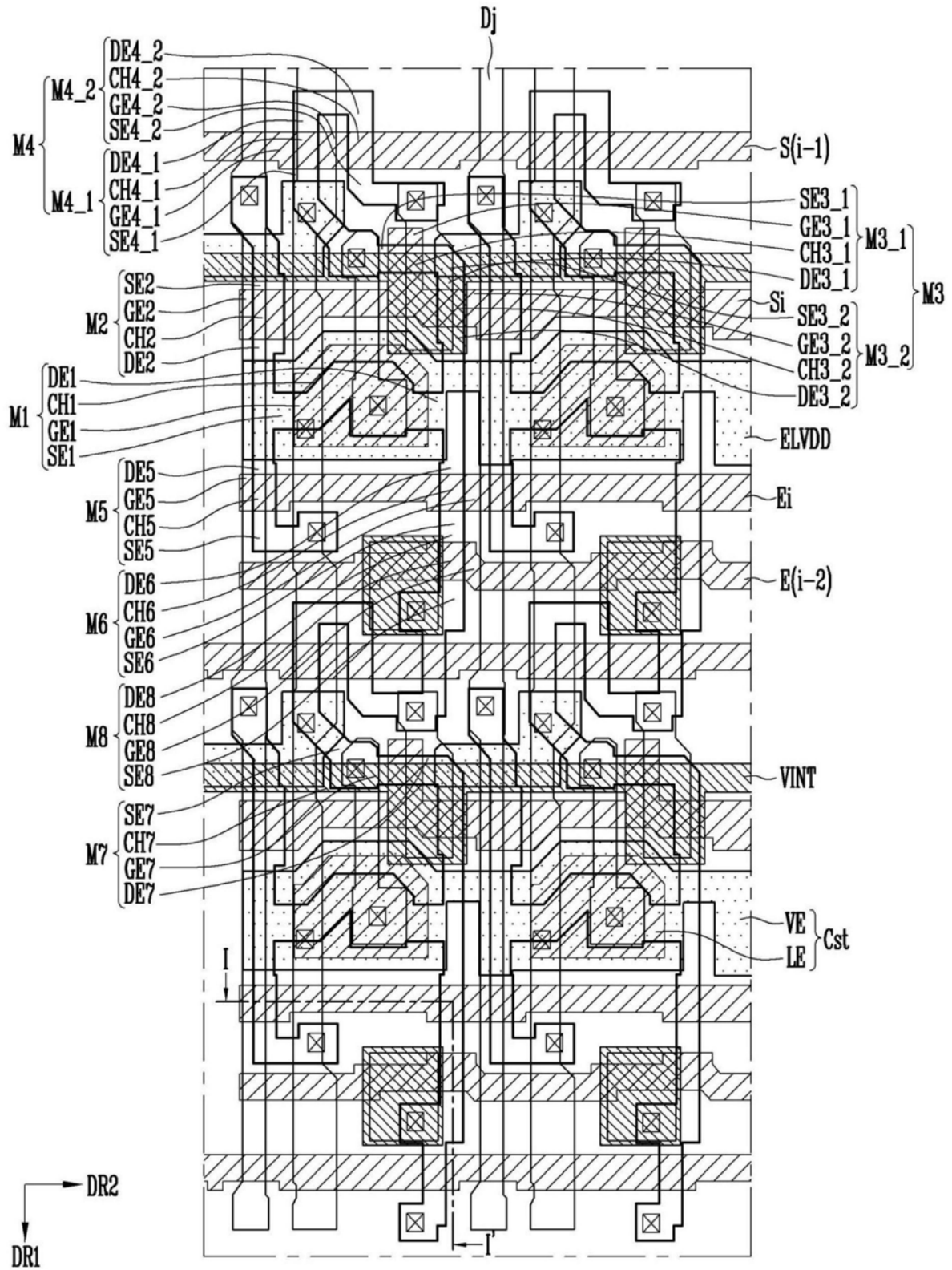


图8

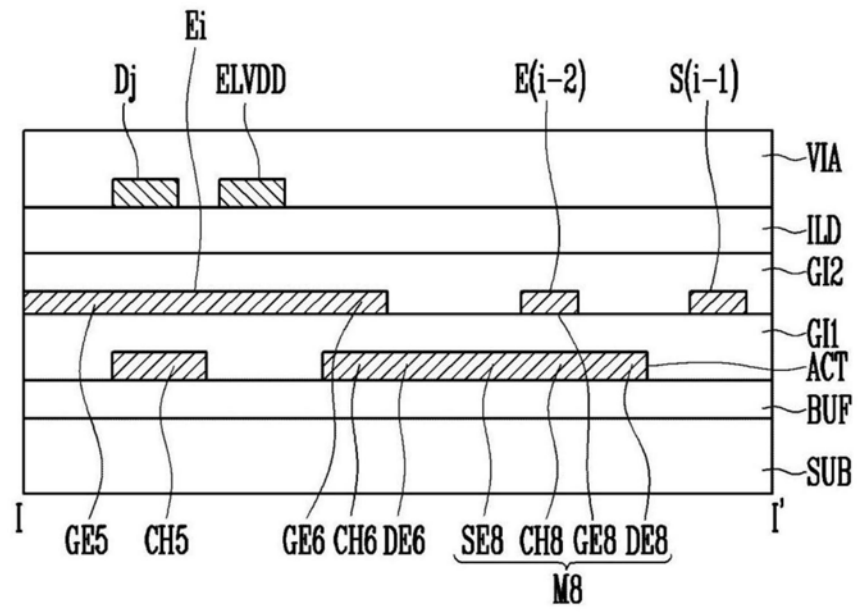


图9

专利名称(译)	像素电路		
公开(公告)号	CN111145696A	公开(公告)日	2020-05-12
申请号	CN201911073248.X	申请日	2019-11-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	金成焕 姜哲圭 吴秀姬 李东鲜		
发明人	金成焕 姜哲圭 吴秀姬 李东鲜		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G3/3266 G09G3/3291 G09G2310/027		
代理人(译)	冯志云		
优先权	1020180135422 2018-11-06 KR		
外部链接	Espacenet SIPO		

摘要(译)

一种像素电路，包括：有机发光二极管；耦接在第二节点和第三节点之间的第一晶体管，其中第一晶体管的栅极电极耦接到第一节点；耦接在数据线和第二节点之间的第二晶体管，其中第二晶体管的栅极电极耦接到第一扫描线；耦接在第一节点和初始化电源之间的第四晶体管，其中第四晶体管的栅极电极耦接到第二扫描线；耦接在第一电源和第二节点之间的第五晶体管，其中第五晶体管的栅极电极耦接到第一发射线；以及串联耦接在第三节点和有机发光二极管之间的第六晶体管和第八晶体管。

