



(12)发明专利申请

(10)申请公布号 CN 110858471 A

(43)申请公布日 2020.03.03

(21)申请号 201910778314.7

(22)申请日 2019.08.22

(30)优先权数据

10-2018-0098582 2018.08.23 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 金成焕 崔相武 金大铉 吴秀姬
李东鲜

(74)专利代理机构 北京铭硕知识产权代理有限
公司 11286

代理人 韩芳 尹淑梅

(51)Int.Cl.

G09G 3/3233(2016.01)

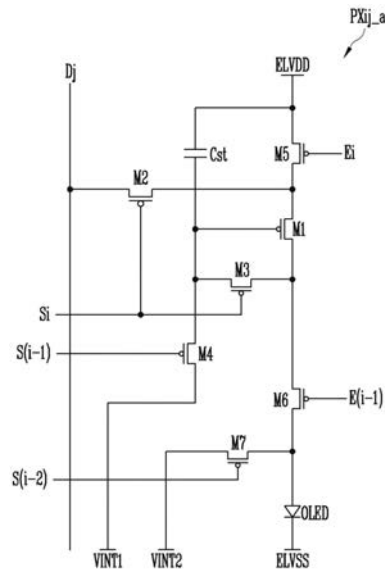
权利要求书2页 说明书14页 附图9页

(54)发明名称

像素电路

(57)摘要

提供了一种像素电路,所述像素电路包括:有机发光二极管(OLED);第一晶体管,具有第一电极和第二电极以及第一栅电极;第二晶体管,连接在数据线与所述第一电极之间,通过第一扫描线控制;第三晶体管,连接在所述第一晶体管的所述第二电极与所述第一栅电极之间,通过所述第一扫描线控制;第四晶体管,连接在所述第一栅电极与第一初始化电压线之间,通过第二扫描线控制;第五晶体管,连接在电力线与所述第一电极之间,通过第一发射线控制;第六晶体管,连接在所述第二电极与所述OLED之间,并且通过第二发射线控制;以及存储电容器,连接在所述第一栅电极与所述电力线之间,其中,所述第一发射线和所述第二发射线位于不同的节点处。



CN 110858471 A

1. 一种像素电路,所述像素电路包括:

有机发光二极管;

第一晶体管,包括源电极、漏电极和栅电极;

第二晶体管,具有连接到数据线的源电极、连接到所述第一晶体管的所述源电极的漏电极和连接到第一扫描线的栅电极;

第三晶体管,具有连接到所述第一晶体管的所述漏电极的源电极、连接到所述第一晶体管的所述栅电极的漏电极和连接到所述第一扫描线的栅电极;

第四晶体管,具有连接到所述第一晶体管的所述栅电极的源电极、连接到第一初始化电压线的漏电极和连接到第二扫描线的栅电极;

第五晶体管,具有连接到第一电力电压线的源电极、连接到所述第一晶体管的所述源电极的漏电极和连接到第一发射线的栅电极;

第六晶体管,具有连接到所述第一晶体管的所述漏电极的源电极、连接到所述有机发光二极管的阳极电极的漏电极和连接到第二发射线的栅电极;以及

存储电容器,具有连接到所述第一晶体管的所述栅电极的第一电极和连接到所述第一电力电压线的第二电极,

其中,所述第一发射线和所述第二发射线位于不同的节点处。

2. 如权利要求1所述的像素电路,其中,所述第一发射线和所述第二发射线被构造为分别发送第一发射信号和第二发射信号,并且

其中,所述第一发射信号具有与所述第二发射信号的相位相比延迟的相位。

3. 如权利要求2所述的像素电路,其中,所述第一扫描线和所述第二扫描线位于不同的节点处,

其中,所述第一扫描线和所述第二扫描线被构造为分别发送第一扫描信号和第二扫描信号,

其中,所述第一扫描信号具有与所述第二扫描信号的相位相比延迟的相位,并且

其中,所述第一扫描信号的导通电平脉冲与所述第一发射信号的截止电平脉冲暂时地叠置。

4. 如权利要求3所述的像素电路,其中,所述第二扫描信号的导通电平脉冲与所述第二发射信号的截止电平脉冲暂时地叠置。

5. 如权利要求4所述的像素电路,其中,所述第二扫描信号的所述导通电平脉冲的产生与具有导通电平的所述第一发射信号叠置。

6. 如权利要求4所述的像素电路,其中,所述第二扫描信号的所述导通电平脉冲与所述第一发射信号的所述截止电平脉冲的转变时间部分叠置。

7. 如权利要求1所述的像素电路,所述像素电路还包括第七晶体管,所述第七晶体管具有连接到所述有机发光二极管的所述阳极电极的源电极、连接到第二初始化电压线的漏电极以及连接到第三扫描线的栅电极,

其中,施加到所述第三扫描线的第三扫描信号的导通电平脉冲与施加到所述第二发射线的第二发射信号的截止电平脉冲的转换时间部分叠置。

8. 如权利要求7所述的像素电路,所述像素电路还包括:第一栅极绝缘层,覆盖所述第一晶体管至所述第七晶体管的所述源电极、所述漏电极和沟道,

其中,所述第一晶体管至所述第七晶体管的所述栅电极、所述第一扫描线至所述第三扫描线、所述第一发射线和所述第二发射线、所述第一初始化电压线和所述第二初始化电压线以及所述存储电容器的所述第一电极位于所述第一栅极绝缘层上。

9.如权利要求8所述的像素电路,所述像素电路还包括:第二栅极绝缘层,覆盖所述第一栅极绝缘层、所述第一晶体管至所述第七晶体管的所述栅电极、所述第一扫描线至所述第三扫描线、所述第一发射线和所述第二发射线、所述第一初始化电压线和所述第二初始化电压线以及所述存储电容器的所述第一电极,

其中,所述存储电容器的所述第二电极位于所述第二栅极绝缘层上。

10.如权利要求9所述的像素电路,所述像素电路还包括:

层间绝缘层,覆盖所述第二栅极绝缘层和所述存储电容器的所述第二电极;以及第一接触电极,位于所述层间绝缘层上,所述第一接触电极连接到所述第七晶体管的所述源电极,

其中,所述数据线和所述第一电力电压线位于所述层间绝缘层上,

所述像素电路还包括:通孔层,覆盖所述层间绝缘层、所述第一接触电极、所述数据线以及所述第一电力电压线,

其中,所述有机发光二极管的所述阳极电极位于所述通孔层上,并且通过所述第一接触电极连接到所述第七晶体管的所述源电极,

其中,所述第三扫描线、所述第二发射线、所述第二初始化电压线、所述第一扫描线、所述第二扫描线、所述第一发射线和所述第一初始化电压线在第一方向上顺序地位于同一层上,

其中,所述第二初始化电压线与所述第六晶体管的所述源电极和所述第一晶体管的所述漏电极彼此接触的点垂直地叠置,

其中,所述第二初始化电压线与所述第六晶体管的所述源电极和所述第三晶体管的所述漏电极彼此接触的点垂直地叠置,

其中,所述第二初始化电压线连接到前一级像素电路的第四晶体管的漏电极,

其中,所述第三扫描线连接到所述前一级像素电路的所述第四晶体管的栅电极,并且

其中,所述第一初始化电压线连接到下一级像素电路的第七晶体管的漏电极。

像素电路

[0001] 本申请要求于2018年8月23号提交的第10-2018-0098582号韩国专利申请的优先权和权益,所述韩国专利申请出于所有目的通过引用被包含于此,如同在此充分地阐述一样。

技术领域

[0002] 发明的示例性实施例总体上涉及一种像素电路。

背景技术

[0003] 随着信息技术的发展,作为用户与信息之间的连接媒介的显示装置的重要性已经增大。因此,诸如液晶显示装置、有机发光显示装置和等离子体显示装置的显示装置越来越多地被使用。

[0004] 有机发光显示装置使用通过电子和空穴的复合而产生光的有机发光二极管来显示图像。有机发光显示装置具有高响应速度,并且以低功耗驱动。

[0005] 近来,已经进行研究以通过允许用于驱动有机发光二极管的像素电路的驱动晶体管被预先导通偏置来解决滞后问题和阶跃效率(step efficiency)问题。

[0006] 在此背景部分公开的以上信息仅用于理解发明构思的背景,因此,它可能包含不构成现有技术的信息。

发明内容

[0007] 根据发明的示例性实施方式构造的装置提供一种能够通过使驱动晶体管被导通偏置来防止或减少非期望的发射和过电流的发生并且降低功耗的像素电路。

[0008] 发明构思的附加特征将在以下描述中被阐述,并且部分将通过描述是明显的,或者可以通过发明构思的实践来习得。

[0009] 根据发明的一个或更多个示例性实施例,像素电路包括:有机发光二极管;第一晶体管,包括源电极、漏电极和栅电极;第二晶体管,具有连接到数据线的源电极、连接到第一晶体管的源电极的漏电极和连接到第一扫描线的栅电极;第三晶体管,具有连接到第一晶体管的漏电极的源电极、连接到第一晶体管的栅电极的漏电极和连接到第一扫描线的栅电极;第四晶体管,具有连接到第一晶体管的栅电极的源电极、连接到第一初始化电压线的漏电极和连接到第二扫描线的栅电极;第五晶体管,具有连接到第一电力电压线的源电极、连接到第一晶体管的源电极的漏电极和连接到第一发射线的栅电极;第六晶体管,具有连接到第一晶体管的漏电极的源电极、连接到有机发光二极管的阳极电极的漏电极和连接到第二发射线的栅电极;以及存储电容器,具有连接到第一晶体管的栅电极的第一电极和连接到第一电力电压线的第二电极,其中,第一发射线和第二发射线位于不同的节点处。

[0010] 第一发射线和第二发射线可以被构造为分别发送第一发射信号和第二发射信号,并且第一发射信号可以具有与第二发射信号的相位相比延迟的相位。

[0011] 第一扫描线和第二扫描线可以位于不同的节点处。

[0012] 第一扫描线和第二扫描线可以被构造为分别发送第一扫描信号和第二扫描信号，并且第一扫描信号可以具有与第二扫描信号的相位相比延迟的相位。

[0013] 第一扫描信号的导通电平脉冲可以与第一发射信号的截止电平脉冲部分地叠置。

[0014] 第二扫描信号的导通电平脉冲可以与第二发射信号的截止电平脉冲部分地叠置。

[0015] 第二扫描信号的导通电平脉冲的产生可以与具有导通电平的第一发射信号叠置。

[0016] 第二扫描信号的导通电平脉冲可以与第一发射信号的截止电平脉冲的转变时间部分叠置。

[0017] 像素电路还可以包括第七晶体管，所述第七晶体管具有连接到有机发光二极管的阳极电极的源电极、连接到第二初始化电压线的漏电极以及连接到第三扫描线的栅电极。

[0018] 施加到第三扫描线的第三扫描信号的导通电平脉冲可以与施加到第二发射线的第二发射信号的截止电平脉冲的转变时间部分地叠置。

[0019] 像素电路还可以包括：第一栅极绝缘层，覆盖第一晶体管至第七晶体管的源电极、漏电极以及沟道。第一晶体管至第七晶体管的栅电极、第一扫描线至第三扫描线、第一发射线和第二发射线、第一初始化电压线和第二初始化电压线以及存储电容器的一个电极可以位于第一栅极绝缘层上。

[0020] 像素电路还可以包括：第二栅极绝缘层，覆盖第一栅极绝缘层、第一晶体管至第七晶体管的栅电极、第一扫描线至第三扫描线、第一发射线和第二发射线、第一初始化电压线和第二初始化电压线以及存储电容器的一个电极。存储电容器的另一电极可以位于第二栅极绝缘层上。

[0021] 像素电路还可以包括：层间绝缘层，覆盖第二栅极绝缘层和存储电容器的另一电极；以及第一接触电极，位于层间绝缘层上，第一接触电极连接到第七晶体管的源电极。数据线和第一电力电压线可以位于层间绝缘层上。

[0022] 像素电路还可以包括：通孔层，覆盖层间绝缘层、第一接触电极、数据线以及第一电力电压线。有机发光二极管的阳极电极可以位于通孔层上，并且通过第一接触电极连接到第七晶体管的源电极。

[0023] 第三扫描线、第二发射线、第二初始化电压线、第一扫描线、第二扫描线、第一发射线和第一初始化电压线可以在第一方向上顺序地位于同一层上。

[0024] 第二初始化电压线可以与第六晶体管的源电极和第一晶体管的漏电极彼此接触的点垂直地叠置。

[0025] 第二初始化电压线可以与第六晶体管的源电极和第三晶体管的漏电极彼此接触的点垂直地叠置。

[0026] 第二初始化电压线可以连接到前一级像素电路的第四晶体管的漏电极。

[0027] 第三扫描线可以连接到前一级像素电路的第四晶体管的栅电极。

[0028] 第一初始化电压线可以连接到下一级像素电路的第七晶体管的漏电极。

[0029] 将理解的是，前面的一般性描述和以下的详细描述都是示例性的和说明性的，并且意在提供对要求保护的发明的进一步说明。

附图说明

[0030] 附图示出了发明的示例性实施例，并且与描述一起用于解释发明构思，其中，附图

被包括以提供对发明的进一步理解,并且被并入本说明书中且构成本说明书的一部分。

[0031] 图1是示出根据示例性实施例的显示装置的图。

[0032] 图2、图3和图4是示出根据现有技术的像素电路及其驱动方法的图。

[0033] 图5是示出根据示例性实施例的像素电路的图。

[0034] 图6是示出根据示例性实施例的像素电路的驱动方法的图。

[0035] 图7是示出根据另一示例性实施例的像素电路的驱动方法的图。

[0036] 图8、图9和图10是示出根据示例性实施例的像素电路的示例性布局的图。

[0037] 图11是示出根据另一示例性实施例的像素电路的图。

具体实施方式

[0038] 在以下的描述中,出于解释的目的,阐述了许多具体细节,以提供对发明的各种示例性实施例或实施方式的彻底理解。如在此使用的,“实施例”和“实施方式”是采用在此公开的一个或更多个发明构思的装置或方法的非限制性示例的可交换的词。然而,明显的是,可以在没有这些具体细节或利用一个或更多个等同的布置的情况下来实践各种示例性实施例。在其他情况下,为了避免不必要地使各种示例性实施例模糊,以框图形式示出公知的结构和装置。此外,各种示例性实施例可以是不同的,但不必是排他的。例如,在不脱离发明构思的情况下,示例性实施例的具体形状、构造和特性可以在另一示例性实施例中使用或实施。

[0039] 除非另有说明,否则所示出的示例性实施例将被理解为提供可以在实践中实施发明构思的一些方式的变化的细节的示例性特征。因此,除非另有说明,否则在不脱离发明构思的情况下,各种实施例的特征、组件、模块、层、膜、面板、区域和/或方面等(下文中单独地或统称为“元件”)可以被另外结合、分开、互换和/或重新布置。

[0040] 通常提供在附图中使用交叉影线和/或阴影来阐明相邻元件之间的边界。如此,除非指明,否则交叉影线或阴影的存在与否都不表达或表示对元件的具体材料、材料特性、尺寸、比例、示出元件之间的共性和/或任何其他特性、属性、性质等的任何偏好或要求。此外,在附图中,为了清楚和/或描述的目的,可夸大元件的尺寸和相对尺寸。当可以不同地实施示例性实施例时,可以与所描述的顺序不同地执行具体的工艺顺序。例如,可以基本上同时执行或者以与所描述的顺序相反的顺序执行两个连续描述的工艺。另外,同样的附图标记表示同样的元件。

[0041] 当元件或层被称为“在”另一元件或层“上”、“连接到”或“结合到”另一元件或层时,该元件或层可以直接在所述另一元件或层上、直接连接到或直接结合到所述另一元件或层,或者可以存在中间元件或层。然而,当元件或层被称为“直接在”另一元件或层“上”、“直接连接到”或“直接结合到”另一元件或层时,不存在中间元件或层。为此,术语“连接”可以表示在有或者没有中间元件的情况下的物理连接、电气连接和/或流体连接。此外,D1轴、D2轴和D3轴不限于诸如x轴、y轴和z轴的直角坐标系的三个轴,并且可以在更广泛的意义上解释。例如,D1轴、D2轴和D3轴可以彼此垂直,或者可以表示彼此不垂直的不同方向。出于本公开的目的,“X、Y和Z中的至少一个(种、者)”和“选自由X、Y和Z组成的组中的至少一个(种、者)”可以被解释为仅X、仅Y、仅Z,或者X、Y和Z中的两个(种、者)或更多个(种、者)的任何组合,诸如以XYZ、XYX、YZ和ZZ为例。如在此所使用的,术语“和/或”包括一个或多个相关所列

项目的任何和所有组合。

[0042] 虽然术语“第一”、“第二”等可在此用于描述各种类型的元件,但是这些元件不应受这些术语限制。这些术语是用于将一个元件与另一元件区分开来。因此,在不脱离本公开的教导的情况下,下面讨论的第一元件可以被命名为第二元件。

[0043] 诸如“在……之下”、“在……下方”、“在……下”、“下面的”、“在……上方”、“上面的”、“在……之上”、“较高的”、“侧”(例如,如在“侧壁”中)等空间相对术语在此可以用于描述的目的,从而来描述如附图中所示的一个元件与另一元件的关系。除了附图中描绘的方位之外,空间相对术语意在包含使用、操作和/或制造中的装置的不同方位。例如,如果附图中的设备被翻转,则被描述为在其它元件或特征“下方”或“之下”的元件或特征随后将位于所述其它元件或特征“上方”。因此,示例性术语“在……下方”可包括上方和下方两种方位。此外,设备可被另外定位(例如,旋转90度或在其它方位),因此,相应地解释这里使用的空间相对描述语。

[0044] 在此使用的术语是为了描述具体实施例的目的,并且意不在限制。如在此使用的,除非上下文另外明确地指示,否则单数形式“一个”、“一种”和“该(所述)”也旨在包括复数形式。此外,当在本说明书中使用术语“包括”和/或“包含”时,说明存在所陈述的特征、整体、步骤、操作、元件、组件和/或它们的组,但是不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组。还应注意的是,如在此使用的,术语“基本”、“大约”和其他类似术语被用作近似术语而不是程度术语,并且如此,被用于解释本领域普通技术人员将认识到的测量值、计算值和/或提供值的固有偏差。

[0045] 如本领域中的惯例,按照功能块、单元和/或模块来描述并在附图中示出一些示例性实施例。本领域技术人员将理解的是,这些块、单元和/或模块是通过可以使用半导体类制造技术或其它制造技术形成的诸如逻辑电路的电子(或光学)电路、分立组件、微处理器、硬连线电路、存储器元件、布线连接等来物理地实现。在由微处理器或其他类似硬件实现的块、单元和/或模块的情况下,可以使用软件(例如,微代码)对它们进行编程和控制,以执行在此所讨论的各种功能,并且可以由硬件和/或软件来可选地驱动它们。还可预期的是,每个块、单元和/或模块可以由专用硬件来实现,或者可以实施为执行一些功能的专用硬件与执行其他功能的处理器(例如,一个或更多个编程微处理器和相关电路)的组合。另外,在不脱离发明构思的范围的情况下,一些示例性实施例的每个块、单元和/或模块可以在物理上分成两个或更多个交互且分立的块、单元和/或模块。此外,在不脱离发明构思的范围的情况下,一些示例性实施例的块、单元和/或模块可以在物理上组合成更复杂的块、单元和/或模块。

[0046] 除非另外定义,否则在此使用的所有术语(包括技术术语和科学术语)具有与本公开是其一部分的领域的普通技术人员通常理解的含义相同的含义。除非在此明确地定义,否则诸如在通用词典中定义的术语应当被解释为具有与其在相关领域的上下文中的含义一致的含义,而不应以理想化或过于形式的意义来解释。

[0047] 图1是示出根据示例性实施例的显示装置10的图。

[0048] 参照图1,显示装置10可以包括时序控制器11、数据驱动器12、扫描驱动器13、发射驱动器14和像素单元15。

[0049] 时序控制器11可以将灰度值和控制信号提供给数据驱动器12以适用于数据驱动

器12的规格。另外,时序控制器11可以将时钟信号、扫描起始信号等提供给扫描驱动器13以适用于扫描驱动器13的规格。另外,时序控制器11可以将时钟信号、发射停止信号等提供给发射驱动器14以适用于发射驱动器14的规格。

[0050] 数据驱动器12可以使用从时序控制器11接收到的灰度值和控制信号来产生数据电压,以提供给数据线D1、D2、D3、……、和Dn。例如,数据驱动器12可以使用时钟信号采样灰度值,并且可以将与灰度值对应的数据电压以像素行为单位施加给数据线D1至Dn。这里,n可以是自然数。

[0051] 扫描驱动器13可以通过从时序控制器11接收时钟信号、扫描起始信号等来产生扫描信号,以提供给扫描线S1、S2、S3、……、和Sm。例如,扫描驱动器13可以顺序地将具有导通电平脉冲的扫描信号提供给扫描线S1至Sm。例如,扫描驱动器13可以以移位寄存器的形式构造,并且可以以如下方式产生扫描信号:在时钟信号的控制下将以导通电平脉冲的形式提供的扫描起始信号顺序地传送给下一级电路。这里,m可以是自然数。

[0052] 发射驱动器14可以通过从时序控制器11接收时钟信号、发射停止信号等来产生发射信号,以提供给发射线E1、E2、E3、……、和Eo。例如,发射驱动器14可以将具有截止电平脉冲的发射信号顺序地提供给发射线E1、E2、E3、……、和Eo。例如,发射驱动器14可以以移位寄存器的形式被构造,并且可以以如下方式产生发射信号:在时钟信号的控制下将以截止电平脉冲的形式提供的发射停止信号顺序地传送给下一级电路。这里,o可以是自然数。

[0053] 像素单元15包括多个像素电路。每个像素电路PX_{i j}可以连接到对应的数据线、对应的扫描线和对应的发射线。将参照图5详细描述像素电路PX_{i j}的构造和驱动方法。这里,i和j可以是自然数。像素电路PX_{i j}可以指其中扫描晶体管连接到第i扫描线并且连接到第j数据线的像素电路。

[0054] 在示例性实施例中,时序控制器11、数据驱动器12、扫描驱动器13、发射驱动器14和/或它们的一个或更多个组件可以由诸如一个或更多个分立电路、数字信号处理芯片、集成电路、专用集成电路、微处理器、处理器、可编程阵列、现场可编程阵列、指令集处理器等的一个或更多个通用组件和/或专用组件来实施。

[0055] 根据一个或更多个示例性实施例,在此描述的特征、功能、过程等可以由软件、硬件(例如,通用处理器、数字信号处理(DSP)芯片、专用集成电路(ASIC)、现场可编程门阵列(FPGA)等)、固件或其组合来实施。以这种方式,时序控制器11、数据驱动器12、扫描驱动器13、发射驱动器14和/或它们的一个或更多个组件可以包括一个或更多个存储器(未示出)或另外与一个或更多个存储器(未示出)关联,所述一个或更多个存储器包括代码(例如,指令),该代码被配置为使得时序控制器11、数据驱动器12、扫描驱动器13、发射驱动器14和/或它们的一个或更多个组件执行在此描述的特征、功能、过程等中的一个或更多个。

[0056] 存储器可以是参与将代码提供给一个或更多个软件、硬件和/或固件组件以供执行的任何介质。这样的存储器可以以包括但不限于非易失性介质、易失性介质和传输介质的任何适当的形式来实施。非易失性介质包括例如光盘或者磁盘。易失性介质包括动态内存。传输介质包括同轴电缆、铜线和光纤。传输介质也可以采用声波、光波或电磁波的形式。计算机可读介质的常见形式包括例如软盘(floppy disk)、软磁盘(flexible disk)、硬盘、磁带、任何其他磁介质、致密盘只读存储器(CD-ROM)、可重写致密盘(CD-RW)、数字视频盘(DVD)、可重写DVD(DVD-RW)、任何其他光学介质、穿孔卡、纸带、光学标记片、任何其他具有

孔图案或其他光学可识别标记的物理介质、随机存取存储器 (RAM)、可编程只读存储器 (PROM)、可擦除可编程只读存储器 (EPROM)、FLASH-EPROM、任何其他存储器芯片或盒式磁带、载波或可以由例如控制器/处理器从其读取信息的任何其他介质。

[0057] 图2、图3和图4是示出根据现有技术的像素电路 PX_{ij_r} 及其驱动方法的图。

[0058] 参照图2,像素电路 PX_{ij_r} 包括第一晶体管至第七晶体管 $M1_r$ 、 $M2_r$ 、 $M3_r$ 、 $M4_r$ 、 $M5_r$ 、 $M6_r$ 、和 $M7_r$ 、存储电容器 Cst_r 和有机发光二极管 $OLED_r$ 。

[0059] 第一晶体管 $M1_r$ 可以包括源电极、漏电极和栅电极。第一晶体管 $M1_r$ 可以被称为驱动晶体管。

[0060] 第二晶体管 $M2_r$ 的源电极可以连接到数据线 D_j ,第二晶体管 $M2_r$ 的漏电极可以连接到第一晶体管 $M1_r$ 的源电极,并且第二晶体管 $M2_r$ 的栅电极可以连接到扫描线 S_i 。第二晶体管 $M2_r$ 可以被称为扫描晶体管或开关晶体管。

[0061] 第三晶体管 $M3_r$ 的源电极可以连接到第一晶体管 $M1_r$ 的漏电极,第三晶体管 $M3_r$ 的漏电极可以连接到第一晶体管 $M1_r$ 的栅电极,并且第三晶体管 $M3_r$ 的栅电极可以连接到扫描线 S_i 。

[0062] 第四晶体管 $M4_r$ 的源电极可以连接到第一晶体管 $M1_r$ 的栅电极,第四晶体管 $M4_r$ 的漏电极可以连接到初始化电压线 $VINT$,并且第四晶体管 $M4_r$ 的栅电极可以连接到前一级扫描线 $S(i-1)$ 。

[0063] 第五晶体管 $M5_r$ 的源电极可以连接到第一电力电压线 $ELVDD$,第五晶体管 $M5_r$ 的漏电极可以连接到第一晶体管 $M1_r$ 的源电极,并且第五晶体管 $M5_r$ 的栅电极可以连接到发射线 E_i 。

[0064] 第六晶体管 $M6_r$ 的源电极可以连接到第一晶体管 $M1_r$ 的漏电极,第六晶体管 $M6_r$ 的漏电极可以连接到有机发光二极管 $OLED_r$ 的阳极电极,并且第六晶体管 $M6_r$ 的栅电极可以连接到发射线 E_i 。

[0065] 第七晶体管 $M7_r$ 的源电极可以连接到有机发光二极管 $OLED_r$ 的阳极电极,第七晶体管 $M7_r$ 的漏电极可以连接到初始化电压线 $VINT$,并且第七晶体管 $M7_r$ 的栅电极可以连接到前一级扫描线 $S(i-1)$ 。

[0066] 存储电容器 Cst_r 的一个电极可以连接到第一晶体管 $M1_r$ 的栅电极,并且存储电容器 Cst_r 的另一个电极可以连接到第一电力电压线 $ELVDD$ 。

[0067] 有机发光二极管 $OLED_r$ 的阳极电极可以连接到第七晶体管 $M7_r$ 的源电极,并且有机发光二极管 $OLED_r$ 的阴极电极可以连接到第二电力电压线 $ELVSS$ 。

[0068] 首先,将描述使用图3的驱动方法驱动像素电路 PX_{ij_r} 的情况。

[0069] 参照图3,将发射信号 E_{ir} 施加到发射线 E_i ,将前一级扫描信号 $S(i-1)_r$ 施加到前一级扫描线 $S(i-1)$,并且将扫描信号 S_{ir} 施加到扫描线 S_i 。

[0070] 在时段 t_{1r} 至 t_{2r} 期间,发射信号 E_{ir} 为导通电平,并且前一级扫描信号 $S(i-1)_r$ 变为导通电平。因为像素电路 PX_{ij_r} 的第一晶体管至第七晶体管 $M1_r$ 、 $M2_r$ 、 $M3_r$ 、 $M4_r$ 、 $M5_r$ 、 $M6_r$ 和 $M7_r$ 是P型晶体管,所以导通电平可以是低电平电压,并且截止电平可以是高电平电压。

[0071] 因此,晶体管 $M4_r$ 、 $M5_r$ 、 $M6_r$ 和 $M7_r$ 处于导通状态。此外,第一晶体管 $M1_r$ 的栅电极通过第四晶体管 $M4_r$ 连接到初始化电压线 $VINT$,因此第一晶体管 $M1_r$ 也处于导通状态。

例如,被施加到初始化电压线VINT的初始化电压的电压电平可以等于或小于被施加到第二电力电压线ELVSS的第二电力电压的电压电平。被施加到第一电力电压线ELVDD的第一电力电压的电压电平可以高于第二电力电压的电压电平。

[0072] 因此,第一晶体管M1_r的源电极通过第五晶体管M5_r连接到第一电力电压线ELVDD,并且第一晶体管M1_r的栅电极通过第四晶体管M4_r连接到初始化电压线VINT。因此,在时段t1_r至t2_r期间,被施加高栅-源电压的第一晶体管M1_r处于导通偏置状态。

[0073] 当第一晶体管M1_r处于导通偏置状态时,随后输入的当前帧的数据电压总是小于导通偏置电压。因此,当前帧的数据电压与前一帧的数据电压的大小无关。因此,可以解决滞后问题和阶跃效率问题。

[0074] 滞后问题指当前帧的数据电压比前一帧的数据电压高时的晶体管的栅-源电压与源-漏电流的曲线不同于当前帧的数据电压比前一帧的数据电压低时的晶体管的栅-源电压与源-漏电流的曲线的问题。阶跃效率问题指这样的问题,当灰度以帧为单位快速地改变时(例如,当前一帧的黑灰度在当前帧中被改变为白灰度时),由于在这样的曲线之间的不同,展示出与中间灰度对应的亮度而不是与目标灰度对应的亮度。

[0075] 在时段t2_r至t3_r期间,晶体管M5_r和M6_r截止。因为晶体管M4_r和M7_r保持导通状态,所以存储在存储电容器Cst_r中的电荷和存储在有机发光二极管OLED_r中的电荷根据初始化电压而被初始化。

[0076] 接下来,晶体管M2_r和M3_r被扫描信号Sir的导通电平脉冲导通,并且数据电压通过数据线Dj以及晶体管M2_r、M1_r和M3_r写入存储电容器Cst_r。

[0077] 接下来,发射信号Eir的电平改变为导通电平,使得晶体管M5_r和M6_r导通。因此,当驱动电流流过连接第一电力电压线ELVDD、晶体管M5_r、晶体管M1_r和晶体管M6_r、有机发光二极管OLED_r和第二电力电压线ELVSS的驱动电流路径时,有机发光二极管OLED_r发光。基于写入存储电容器Cst_r的电压,驱动电流的量通过第一晶体管M1_r来确定。

[0078] 然而,图3的驱动方法有几个问题。

[0079] 首先,一个问题在于:在时段t1_r至t3_r产生的前一级扫描信号S(i-1)_r的脉冲与发射信号Eir的转变时间部分叠置。术语“转变”指信号的逻辑电平被改变。例如,信号的逻辑电平从低电平改变为高电平的情况可以被表示为上升转变,并且信号的逻辑电平从高电平改变为低电平的情况可以被表示为下降转变。在实际产品中,所需的叠置时间约1μs,因此,可能难以使前一级扫描信号S(i-1)_r的脉冲与发射信号Eir的转变时间精确地叠置。

[0080] 此外,因为时段t1_r至t2_r是有机发光二极管OLED_r发光的时段,所以有机发光二极管OLED_r会发射具有非预期的亮度水平的光。为了最大地抑制这种情况,可以通过使第七晶体管M7_r导通来改变驱动电流流过的路径。然而,因为初始化电压被施加到第一晶体管M1_r的栅电极,所以过电流从第一电力电压线ELVDD流到初始化电压线VINT,因此线可能被烧坏。因此,可能出现过功耗的问题。

[0081] 此外,当在正表示黑灰度的同时将初始化电压施加到第一晶体管M1_r的栅电极时,电流瞬间流过有机发光二极管OLED_r,因此,会出现不能保持黑灰度的问题。

[0082] 接下来,将描述使用图4的驱动方法驱动像素电路PXij_r的情况。

[0083] 参照图4,将发射信号Eir' 施加到发射线Ei,将前一级扫描信号S(i-1)_r' 施加到前一级扫描线S(i-1),并且将扫描信号Sir' 施加到扫描线Si。

[0084] 在图4的驱动方法中,前一级像素行和前一级像素行之前的像素行的数据电压通过扫描信号 S_{ir}' 的第一脉冲 P_{1r}' 和第二脉冲 P_{2r}' 被施加到第一晶体管 M_{1_r} 的栅电极,使得第一晶体管 M_{1_r} 被导通偏置。通过扫描信号 S_{ir}' 的第三脉冲 P_{3r}' 写入当前级像素行的数据电压。随后,当发射信号 E_{ir}' 的电平变为导通电平时,有机发光二极管 $OLED_r$ 可以利用当前级像素行的数据电压发光。

[0085] 与图3的驱动方法类似,图4的驱动方法还具有第一晶体管 M_{1_r} 被导通偏置的优点。然而,图4的驱动方法也会具有几个缺点。

[0086] 首先,多个脉冲将被施加到扫描线 S_1 、 S_2 、 S_3 、……、和 S_m 中的每条,因此,发射信号 E_{ir}' 的截止电平脉冲将被长时间地保持。因此,存在有机发光二极管 $OLED_r$ 的发射时间减少的问题,并且因为在发射驱动器14的内置电路中上升/下降操作的次数增加,所以功耗增大。

[0087] 此外,因为前一级像素行和前一级像素行之前的像素行的数据电压未被确保为白灰度,所以对于每一帧,导通偏置电压会改变,因此,存在不能确保通过导通偏置电压获得的效果的问题。

[0088] 图5是示出根据示例性实施例的像素电路的图。

[0089] 参照图5,像素电路 PX_{ij_a} 包括第一晶体管至第七晶体管 M_1 、 M_2 、 M_3 、 M_4 、 M_5 、 M_6 、和 M_7 、存储电容器 C_{st} 以及有机发光二极管 $OLED$ 。

[0090] 第一晶体管 M_1 可以包括源电极、漏电极和栅电极。第一晶体管 M_1 可以被称为驱动晶体管。

[0091] 第二晶体管 M_2 的源电极可以连接到数据线 D_j ,第二晶体管 M_2 的漏电极可以连接到第一晶体管 M_1 的源电极,并且第二晶体管 M_2 的栅电极可以连接到第一扫描线 S_i 。第二晶体管 M_2 可以被称为扫描晶体管或开关晶体管。

[0092] 第三晶体管 M_3 的源电极可以连接到第一晶体管 M_1 的漏电极,第三晶体管 M_3 的漏电极可以连接到第一晶体管 M_1 的栅电极,并且第三晶体管 M_3 的栅电极可以连接到第一扫描线 S_i 。在一些实施例中,第三晶体管 M_3 可以包括多个串联连接的子晶体管以防止或减小漏电流。

[0093] 第四晶体管 M_4 的源电极可以连接到第一晶体管 M_1 的栅电极,第四晶体管 M_4 的漏电极可以连接到第一初始化电压线 V_{INT1} ,并且第四晶体管 M_4 的栅电极可以连接到第二扫描线 $S(i-1)$ 。在一些实施例中,第四晶体管 M_4 可以包括多个串联连接的子晶体管以防止或减小漏电流。

[0094] 第五晶体管 M_5 的源电极可以连接到第一电力电压线 $ELVDD$,第五晶体管 M_5 的漏电极可以连接到第一晶体管 M_1 的源电极,并且第五晶体管 M_5 的栅电极可以连接到第一发射线 E_i 。

[0095] 第六晶体管 M_6 的源电极可以连接到第一晶体管 M_1 的漏电极,第六晶体管 M_6 的漏电极可以连接到有机发光二极管 $OLED$ 的阳极电极,第六晶体管 M_6 的栅电极可以连接到第二发射线 $E(i-1)$ 。

[0096] 第七晶体管 M_7 的源电极可以连接到有机发光二极管 $OLED$ 的阳极电极,第七晶体管 M_7 的漏电极可以连接到第二初始化电压线 V_{INT2} ,并且第七晶体管 M_7 的栅电极可以连接到第三扫描线 $S(i-2)$ 。

[0097] 存储电容器Cst的一个电极可以连接到第一晶体管M1的栅电极,并且存储电容器Cst的另一个电极可以连接到第一电力电压线ELVDD。

[0098] 有机发光二极管OLED的阳极电极可以连接到第七晶体管M7的源电极,并且有机发光二极管OLED的阴极电极可以连接到第二电力电压线ELVSS。

[0099] 第一发射线E_i和第二发射线E_(i-1)可以位于不同的节点处。即,被施加到第一发射线E_i的第一发射信号和被施加到第二发射线E_(i-1)的第二发射信号可以彼此不同。例如,第一发射线E_i可以是第i发射线,第二发射线E_(i-1)可以是第i-1发射线。这里,i是等于或大于3并且等于或小于o的自然数。

[0100] 第一扫描线S_i和第二扫描线S_(i-1)可以位于不同的节点处。即,被施加到第一扫描线S_i的第一扫描信号和被施加到第二扫描线S_(i-1)的第二扫描信号可以彼此不同。例如,第一扫描线S_i可以是第i扫描线,以及第二扫描线S_(i-1)可以是第i-1扫描线。

[0101] 根据实施例,第三扫描线S_(i-2)可以位于与第一扫描线S_i和第二扫描线S_(i-1)的节点不同的节点处。即,被施加到第三扫描线S_(i-2)的第三扫描信号可以与第一扫描信号和第二扫描信号不同。例如,第三扫描线S_(i-2)可以是第i-2扫描线。

[0102] 根据另一示例性实施例,第三扫描线S_(i-2)可以位于与第一扫描线S_i或第二扫描线S_(i-1)相同的节点处。例如,第三扫描线S_(i-2)是与第一扫描线S_i和第二扫描线S_(i-1)在物理上不同的线,但是可以位于与第一扫描线S_i或第二扫描线S_(i-1)的节点电性相同的节点处。在另一层中的电极可以用作桥电极,从而将第三扫描线S_(i-2)电连接到第一扫描线S_i或第二扫描线S_(i-1)。

[0103] 在下文中,为了便于描述起见,描述了第三扫描线S_(i-2)位于与第一扫描线S_i和第二扫描线S_(i-1)的节点不同的节点处的情况。

[0104] 第一初始化电压线VINT1和第二初始化电压线VINT2可以是物理上不同的线。在一些实施例中,第一初始化电压线VINT1和第二初始化电压线VINT2位于不同的节点处,因此,第一初始化电压和第二初始化电压可以彼此不同。在另一示例性实施例中,第一初始化电压线VINT1和第二初始化电压线VINT2位于相同节点处,因此,第一初始化电压和第二初始化电压可以相同。使用另一层中的电极作为桥电极,第一初始化电压线VINT1和第二初始化电压线VINT2可以彼此连接。

[0105] 根据示例性实施例,在分别在第一行和第二行上的像素电路PX1_{j_a}和像素电路PX2_{j_a}中,除了与第二扫描线S_(i-1)和第三扫描线S_(i-2)连接外,每个组件以与像素电路PXi_{j_a}基本相同的方式连接。根据示例性实施例,在第一行的像素电路PX1_{j_a}中,可以连接第m扫描线S_m和第m-1扫描线S_(m-1)来代替第二扫描线S_(i-1)和第三扫描线S_(i-2)。具体地,在像素电路PX1_{j_a}中,第四晶体管M4的栅电极可以连接到第m扫描线S_m,并且第七晶体管M7的栅电极可以连接到第m-1扫描线S_(m-1)。根据示例性实施例,在第二行的像素电路PX2_{j_a}中,可以连接第m扫描线S_m来代替第三扫描线S_(i-2)。具体地,在像素电路PX2_{j_a}中,第七晶体管M7的栅电极可以连接到第m扫描线S_m。

[0106] 图6是示出根据示例性实施例的像素电路的驱动方法的图。

[0107] 参照图6,示出了被施加到第一发射线E_i的第一发射信号E_{i_s}、被施加到第二发射线E_(i-1)的第二发射信号E_{(i-1)_s}、被施加到第一扫描线S_i的第一扫描信号S_{i_s}、被施加到第二扫描线S_(i-1)的第二扫描信号S_{(i-1)_s}以及被施加到第三扫描线S_(i-2)的第三扫描信

号S(i-2)s。

[0108] 与第二发射信号E(i-1)s的相位相比,第一发射信号E_is的相位可以延迟。与第二扫描信号S(i-1)s的相位相比,第一扫描信号S_is的相位可以延迟。与第三扫描信号S(i-2)s的相位相比,第二扫描信号S(i-1)s的相位可以延迟。

[0109] 第一扫描信号S_is的导通电平脉冲可以与第一发射信号E_is的截止电平脉冲部分叠置。第二扫描信号S(i-1)s的导通电平脉冲可以与第二发射信号E(i-1)s的截止电平脉冲部分叠置。当第一发射信号E_is为导通电平时,可以产生第二扫描信号S(i-1)s的导通电平脉冲。当第一发射信号E_is和第二发射信号E(i-1)s变为导通电平时,可以产生第三扫描信号S(i-2)s的导通电平脉冲。

[0110] 首先,当第三扫描信号S(i-2)s变为导通电平时,第七晶体管M7被导通。因此,有机发光二极管OLED的阳极电极连接到第二初始化电压线VINT2,并且存储在阳极电极中的电荷被初始化为第二初始化电压。

[0111] 形成了连接第一电力电压线ELVDD、晶体管M5、晶体管M1、晶体管M6和晶体管M7以及第二初始化电压线VINT2的电流路径。然而,与图3的情况相比,初始化电压未被施加到第一晶体管M1的栅电极,因此过电流不会在形成的电流路径中流动。即,因为与对应的灰度对应的数据电压被施加到第一晶体管M1的栅电极,所以与对应的灰度对应的电流量流过,并且因此功耗不增大。

[0112] 接下来,第二发射信号E(i-1)s变为截止电平,因此第六晶体管M6被截止。此外,第二扫描信号S(i-1)s变为导通电平,因此第四晶体管M4被导通。第五晶体管M5由于为导通电平的第一发射信号E_is而处于导通状态。因此,第一晶体管M1的源电极连接到第一电力电压线ELVDD,并且第一晶体管M1的栅电极连接到第一初始化电压线VINT1。因此,第一晶体管M1被导通偏置。

[0113] 与图3的驱动方法相比,第六晶体管M6处于截止状态,并且有机发光二极管OLED不会发光。因此,不出现非预期的发射。因此,当表示黑灰度时,可以很好地表示黑灰度,并且没有异常。

[0114] 与图4的驱动方法相比,每一帧可以改变的前一级像素行和前一级像素行之前的像素行的数据电压不施加到第一晶体管M1的栅电极,但是第一初始化电压总是被施加到第一晶体管M1的栅电极。因此,第一晶体管M1可以被稳定地导通偏置。

[0115] 接下来,第一发射信号E_is变为截止电平,因此第五晶体管M5被截止。此外,第一扫描信号S_is变为导通电平,因此晶体管M2和M3被导通。因此,数据电压通过据线D_j以及晶体管M2、晶体管M1和晶体管M3被施加到存储电容器C_{st}的一个电极,并且存储电容器C_{st}记录数据电压与第一电力电压之间的差。第一晶体管M1的阈值电压减量能够被反映到记录的数据电压。

[0116] 接下来,因为第二发射信号E(i-1)s和第一发射信号E_is顺序地变为导通电平,第六晶体管M6和第五晶体管M5顺序地被导通。因此,形成了连接第一电力电压线ELVDD、晶体管M5、晶体管M1和晶体管M6、有机发光二极管OLED以及第二电力电压线ELVSS的驱动电流路径。流过驱动电流路径的驱动电流量可以根据存储在存储电容器C_{st}中被施加到第一晶体管M1的栅电极的电压量来确定。

[0117] 根据示例性实施例,除了第二扫描信号S(i-1)s和第三扫描信号S(i-2)s的应用

外,分别在第一行和第二行上的像素电路PX1j_a和像素电路PX2j_a以与像素电路PXij_a基本相同的方式操作;即,可以应用直接在当前帧之前的前一帧的第m扫描信号Sms和第m-1扫描信号S(m-1)s来替代第二扫描信号S(i-1)s和第三扫描信号S(i-2)s,并且可以应用前一帧的第m发射信号Ems来替代第二发射信号E(i-1)。

[0118] 与图4的驱动方法相比,扫描信号S(i-2)s、扫描信号S(i-1)s和扫描信号Sis不必包括多个脉冲,因此,发射信号E(i-1)s和发射信号Eis的截止电平脉冲不必长时间地保持。因此,有机发光二极管OLED的发射时间不会减少,并且发射驱动器14的功耗不会增大。

[0119] 图7是示出根据另一示例性实施例的像素电路的驱动方法的图。

[0120] 参照图7,示出了被施加到第一发射线Ei的第一发射信号Eis'、被施加到第二发射线E(i-1)的第二发射信号E(i-1)s'、被施加到第一扫描线Si的第一扫描信号Sis'、被施加到第二扫描线S(i-1)的第二扫描信号S(i-1)s'和被施加到第三扫描线S(i-2)的第三扫描信号S(i-2)s'。

[0121] 第二扫描信号S(i-1)s'的导通电平脉冲可以与第一发射信号Eis'的截止电平脉冲的转变时间部分叠置。例如,在时间t5处,第二扫描信号S(i-1)s'的导通电平脉冲可以与第一发射信号Eis'的上升转变时间部分叠置。

[0122] 第三扫描信号S(i-2)s'的导通电平脉冲可以与第二发射信号E(i-1)s'的截止电平脉冲的转变时间部分叠置。例如,在时间t2处,第三扫描信号S(i-2)s'的导通电平脉冲可以与第二发射信号E(i-1)s'的上升转变时间部分叠置。

[0123] 首先,在时段t1至t2期间,第三扫描信号S(i-2)s'、第一发射信号Eis'和第二发射信号E(i-1)s'为导通电平,因此驱动电流流过第二初始化电压线VINT2或有机发光二极管OLED。可以根据每个电压的条件改变流动的电流。初始化电压未被施加到第一晶体管M1的栅电极,而是与灰度对应的数据电压被施加到第一晶体管M1的栅电极。因此,不会增大电流消耗。

[0124] 接下来,在时段t2至t3期间,第二发射信号E(i-1)s'变为截止电平,第六晶体管M6被截止。因此,有机发光二极管OLED的发射停止,并且存储在有机发光二极管OLED中的电荷被初始化。

[0125] 接下来,在时段t4至t5期间,第二扫描信号S(i-1)s'变为导通电平,因此第四晶体管M4被导通。第一晶体管M1的源电极通过第五晶体管M5连接到第一电力电压线ELVDD,并且第一晶体管M1的栅电极通过第四晶体管M4连接到第一初始化电压线VINT1。因此,第一晶体管M1被导通偏置。

[0126] 接下来,在时段t5至t6期间,第一发射信号Eis'变为截止电平,因此第五晶体管M5被截止。在时段t5至t6期间,存储在存储电容器Cst中的电荷被初始化。

[0127] 在后续时段期间的驱动方法参照图6的描述。另外,在图7的实施例中的效果参照图6的描述。

[0128] 根据示例性实施例,除了第二扫描信号S(i-1)s'和第三扫描信号S(i-2)s'的应用外,分别在第一行和第二行上的像素电路PX1j_a和PX2j_a以与像素电路PXij_a基本相同的方式操作;即,可以应用直接在当前帧之前的前一帧的第m扫描信号Sms'和第m-1扫描信号S(m-1)s'来代替第二扫描信号S(i-1)s'和第三扫描信号S(i-2)s'。

[0129] 图8、图9和图10是示出根据示例性实施例的像素电路的示例性布局的图。

[0130] 图8是图5的像素电路PX_{i j_a}的示例性平面图,图9是沿着图8的剖面线I-I' 截取的剖面图,图10是沿着图8的剖面线II-II' 截取的剖面图。

[0131] 基底SUB是刚性基底或柔性基底。

[0132] 刚性基底可以包括玻璃基底、石英基底、玻璃陶瓷基底和结晶玻璃基底。

[0133] 柔性基底可以包括包含聚合物有机材料的膜基底和塑料基底。例如,柔性基底可以包括聚醚砜(PES)、聚丙烯酸酯(PA)、聚醚酰亚胺(PEI)、聚萘二甲酸乙二醇酯(PEN)、聚对苯二甲酸乙二醇酯(PET)、聚苯硫醚(PPS)、聚芳酯(PAR)、聚酰亚胺(PI)、聚碳酸酯(PC)、三乙酸纤维素(TAC)和醋酸丙酸纤维素(CAP)中的一种。另外,柔性基底可以包括玻璃纤维增强塑料(FRP)。

[0134] 缓冲层BUF可以覆盖基底SUB。缓冲层BUF可以防止或限制杂质从基底SUB扩散到有源层ACT中。缓冲层BUF可以是无机绝缘层。例如,缓冲层BUF可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其任何组合形成。根据基底SUB的材料和工艺条件,可以省略缓冲层BUF。

[0135] 有源层ACT可以覆盖缓冲层BUF。有源层ACT可以由半导体材料形成。例如,有源层ACT可以由多晶硅、非晶硅、氧化物半导体等制成。有源层ACT的未掺杂杂质的部分可以构成第一晶体管至第七晶体管M1、M2、M3、M4、M5、M6和M7的沟道CH1至沟道CH7,有源层ACT的掺杂杂质的部分可以构成电极SE1、SE2、SE3、SE4、SE5、SE6和SE7以及DE1、DE2、DE3、DE4、DE5、DE6和DE7或线。杂质可以是p型杂质。在一些实施例中,杂质可以是p型杂质、n型杂质和其他金属中的至少一种。

[0136] 第一栅极绝缘层GI1可以覆盖基底SUB和有源层ACT。第一栅极绝缘层GI1可以覆盖第一晶体管至第七晶体管M1、M2、M3、M4、M5、M6和M7的源电极SE1、SE2、SE3、SE4、SE5、SE6和SE7、漏电极DE1、DE2、DE3、DE4、DE5、DE6和DE7以及沟道CH1至CH7。第一栅极绝缘层GI1可以是无机绝缘层。例如,第一栅极绝缘层GI1可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其任何组合形成。

[0137] 第一晶体管至第七晶体管M1、M2、M3、M4、M5、M6和M7的栅电极GE1、GE2、GE3、GE4、GE5、GE6和GE7、第一扫描线至第三扫描线Si、S(i-1)和S(i-2)、第一发射线E_i和第二发射线E(i-1)、第一初始化电压线VINT1和第二初始化电压线VINT2、以及存储电容器C_{st}的一个电极LE可以位于第一栅极绝缘层GI1上。在第一栅极绝缘层GI1上的电极和线可以由相同的导电材料制成。在第一栅极绝缘层GI1上的电极和线可以由钼(Mo)、钛(Ti)、铝(Al)、银(Ag)、金(Au)、铜(Cu)或其任何组合制成。

[0138] 第二栅极绝缘层GI2可以覆盖:第一栅极绝缘层GI1;第一晶体管至第七晶体管M1、M2、M3、M4、M5、M6和M7的栅电极GE1、GE2、GE3、GE4、GE5、GE6和GE7;第一扫描线至第三扫描线Si、S(i-1)和S(i-2);第一发射线E_i和第二发射线E(i-1);第一初始化电压线VINT1和第二初始化电压线VINT2;以及存储电容器C_{st}的一个电极LE。第二栅极绝缘层GI2可以是无机绝缘层。例如,第二栅极绝缘层GI2可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其任何组合形成。

[0139] 存储电容器C_{st}的另一个电极UE可以位于第二栅极绝缘层GI2上。例如,存储电容器C_{st}的另一个电极UE可以由钼(Mo)、钛(Ti)、铝(Al)、银(Ag)、金(Au)、铜(Cu)或其任何组合制成。

[0140] 层间绝缘层ILD可以覆盖第二栅极绝缘层GI2和存储电容器Cst的另一个电极UE。层间绝缘层ILD可以是无机绝缘层。例如,层间绝缘层ILD可以由氮化硅(SiN_x)、氧化硅(SiO_x)、氮氧化硅(SiO_xN_y)或其任何组合形成。

[0141] 第一接触电极CNT1可以位于层间绝缘层ILD上,并且连接到第七晶体管M7的源电极SE7。数据线Dj和第一电力电压线ELVDD可以位于层间绝缘层ILD上。在层间绝缘层ILD上的电极和线可以由相同的导电材料制成。例如,在层间绝缘层ILD上的电极和线可以由钼(Mo)、钛(Ti)、铝(Al)、银(Ag)、金(Au)、铜(Cu)或其任何组合制成。

[0142] 通孔层VIA可以覆盖层间绝缘层ILD、第一接触电极CNT1、数据线Dj和第一电力电压线ELVDD。通孔层VIA可以是有机绝缘层。例如,通孔层VIA可以包括聚苯乙烯、聚甲基丙烯酸甲酯(PMMA)、聚丙烯腈(PAN)、聚酰胺(PA)、聚酰亚胺(PI)、聚芳醚(PAE)、杂环聚合物、聚对二甲苯、环氧树脂、苯并环丁烯(BCB)、硅氧烷类树脂和硅烷类树脂中的至少一种。在另一示例性实施例中,通孔层VIA可以是无机绝缘层,并且具有有机绝缘层和无机绝缘层重复堆叠的多层结构。

[0143] 有机发光二极管OLED的阳极电极AE可以位于通孔层VIA上。阳极电极AE可以通过第一接触电极CNT1连接到第七晶体管M7的源电极SE7。例如,阳极电极AE可以具有其中银(Ag)和氧化铟锡(ITO)堆叠的结构。

[0144] 限定发射区域的发射区域限定层、覆盖发射区域限定层的开口的有机发光二极管的发射层以及覆盖发射区域限定层和发射层的阴极电极可以形成在阳极电极AE上。有机发光二极管OLED的发射区域可以根据具有RGB条纹结构、pentile结构等的产品适当地选择,因此,在此实施例中省略对其的说明。

[0145] 第三扫描线S(i-2)、第二发射线E(i-1)、第二初始化电压线VINT2、第一扫描线Si、第二扫描线S(i-1)、第一发射线Ei和第一初始化电压线VINT1可以在第一方向DR1上顺序地位于同一层上。第三扫描线S(i-2)、第二发射线E(i-1)、第二初始化电压线VINT2、第一扫描线Si、第二扫描线S(i-1)、第一发射线Ei和第一初始化电压线VINT1可以大致地在第二方向DR2上延伸。

[0146] 第二初始化电压线VINT2可以与第六晶体管M6的源电极SE6和第一晶体管M1的漏电极DE1彼此接触的点垂直地叠置。换句话说,第二初始化电压线VINT2可以与第六晶体管M6的源电极SE6和第三晶体管M3的漏电极DE3-2彼此接触的点垂直地叠置。另外,第二初始化电压线VINT2可以连接到前一级像素电路的第四晶体管的漏电极。前一级像素电路指位于与第一方向DR1相反的方向上的最邻近的像素电路。此外,第三扫描线S(i-2)可以连接到前一级像素电路的第四晶体管的栅电极。

[0147] 第一初始化电压线VINT1可以连接到下一级像素电路的第七晶体管的漏电极。下一级像素电路指位于第一方向DR1上的最邻近的像素电路。

[0148] 第三晶体管M3可以包括串联连接的子晶体管M3-1和子晶体管M3-2。子晶体管M3-1可以包括漏电极DE3-1、源电极SE3-1、栅电极GE3-1和沟道CH3-1。子晶体管M3-2可以包括漏电极DE3-2、源电极SE3-2、栅电极GE3-2和沟道CH3-2。

[0149] 第四晶体管M4可以包括串联连接的子晶体管M4-1和子晶体管M4-2。子晶体管M4-1可以包括漏电极DE4-1、源电极SE4-1、栅电极GE4-1和沟道CH4-1。子晶体管M4-2可以包括漏电极DE4-2、源电极SE4-2、栅电极GE4-2和沟道CH4-2。

[0150] 参照图10的布局,与现有技术相比,像素电路PXij_a可在不增加单独的导电层或绝缘层的情况下被构造。

[0151] 图11是示出根据另一示例性实施例的像素电路的图。

[0152] 与图5的像素电路PXij_a相比,在图11的像素电路PXij_b中省略了第七晶体管M7。

[0153] 当图6和图7的驱动方法被应用到像素电路PXij_b时,即使晶体管M5和晶体管M6被导通时,也不形成连接第一电力电压线ELVDD、晶体管M5、M1、M6和M7以及图5中示出的第二初始化电压线VINT2的电流路径。因此,可以减小电流消耗。

[0154] 根据本公开,像素电路可以通过使驱动晶体管导通偏置来防止或减少非期望的发射和过电流的发生,并且可以降低功耗。

[0155] 尽管在此已描述了某些示例性实施例和实施方式,但通过该描述,其他实施例和变型将是明显的。因此,发明构思不限于这些实施例,而是限于所附权利要求的更宽范围,并且各种明显的变型和等同布置对于本领域普通技术人员将是明显的。

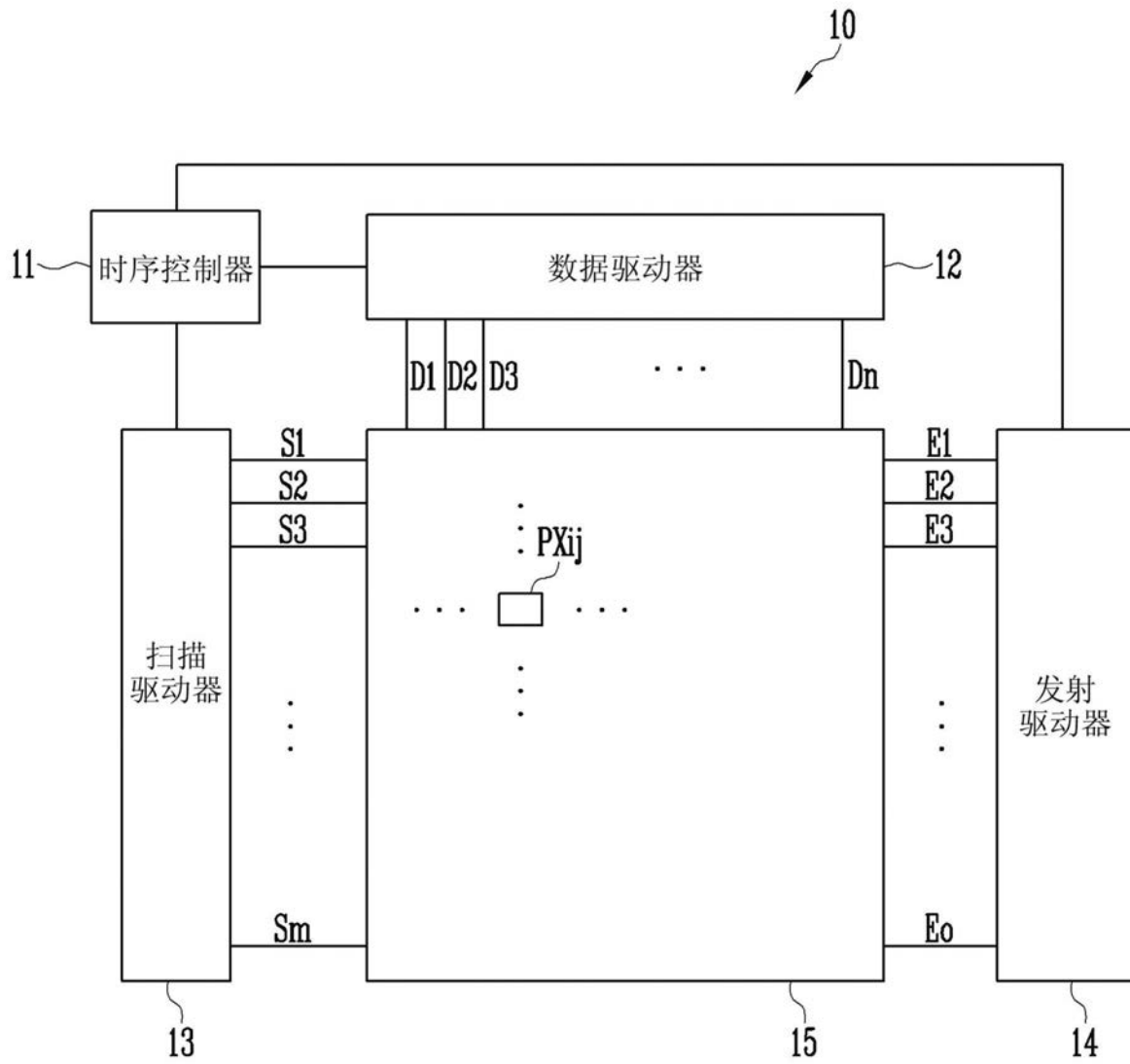


图1

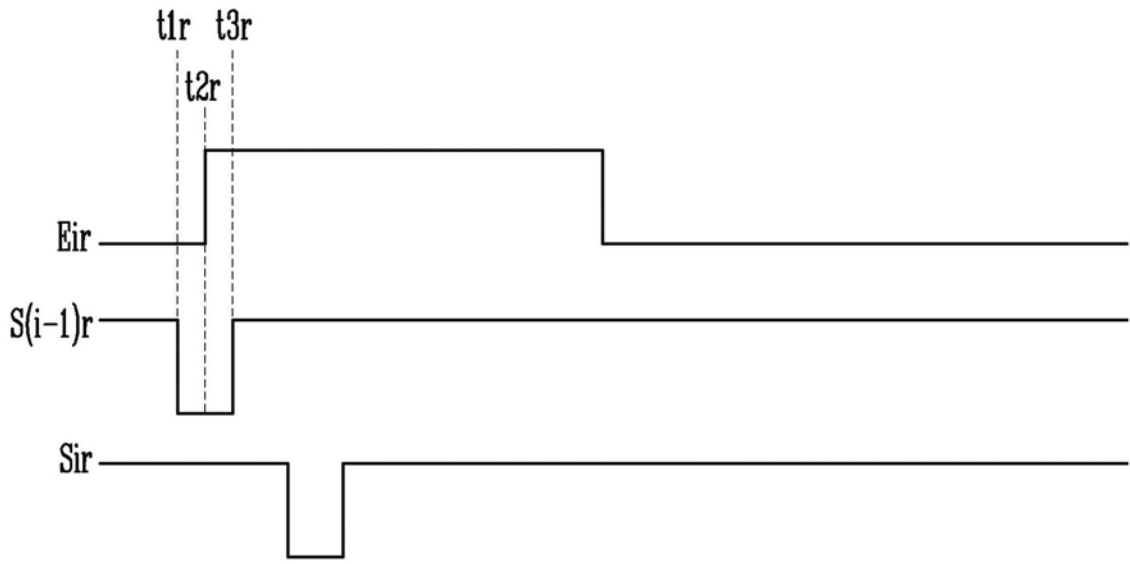


图3

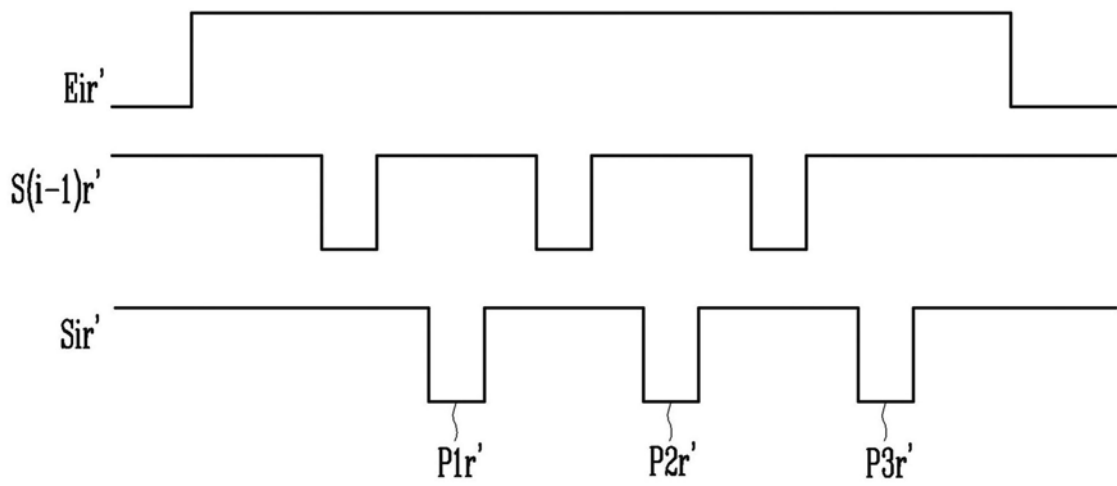


图4

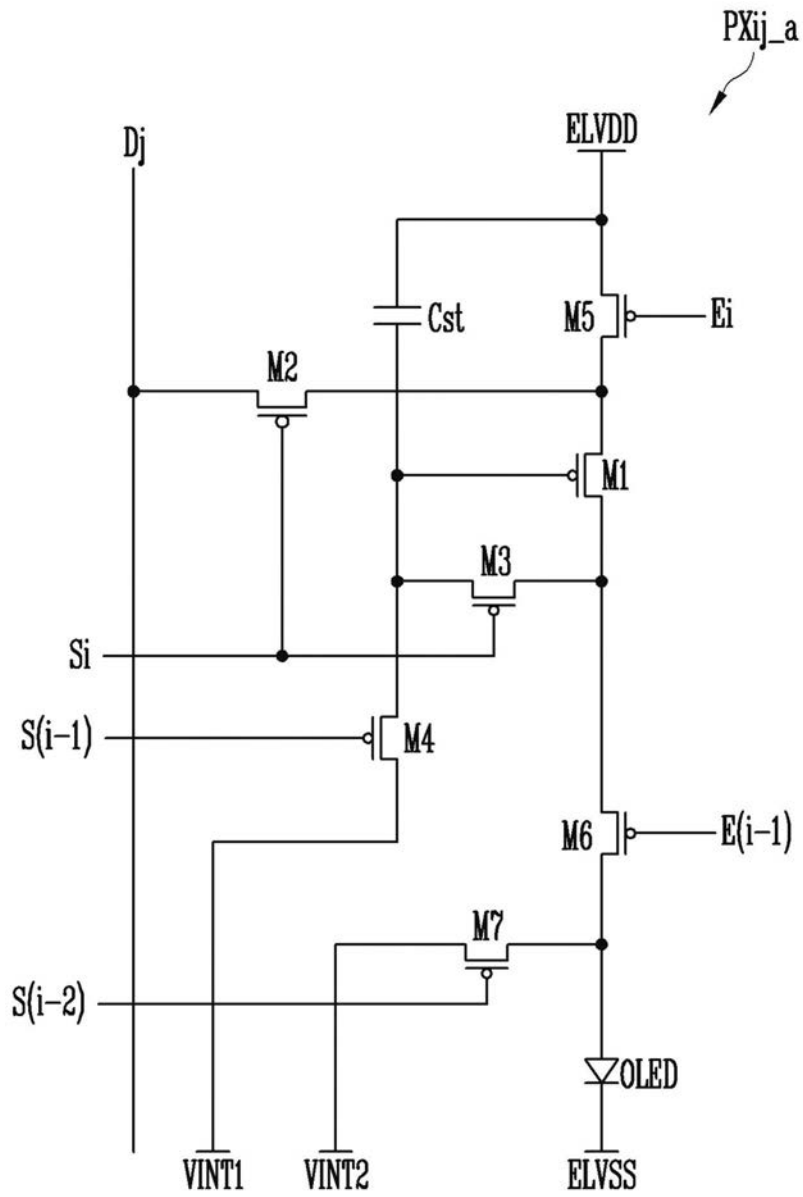


图5

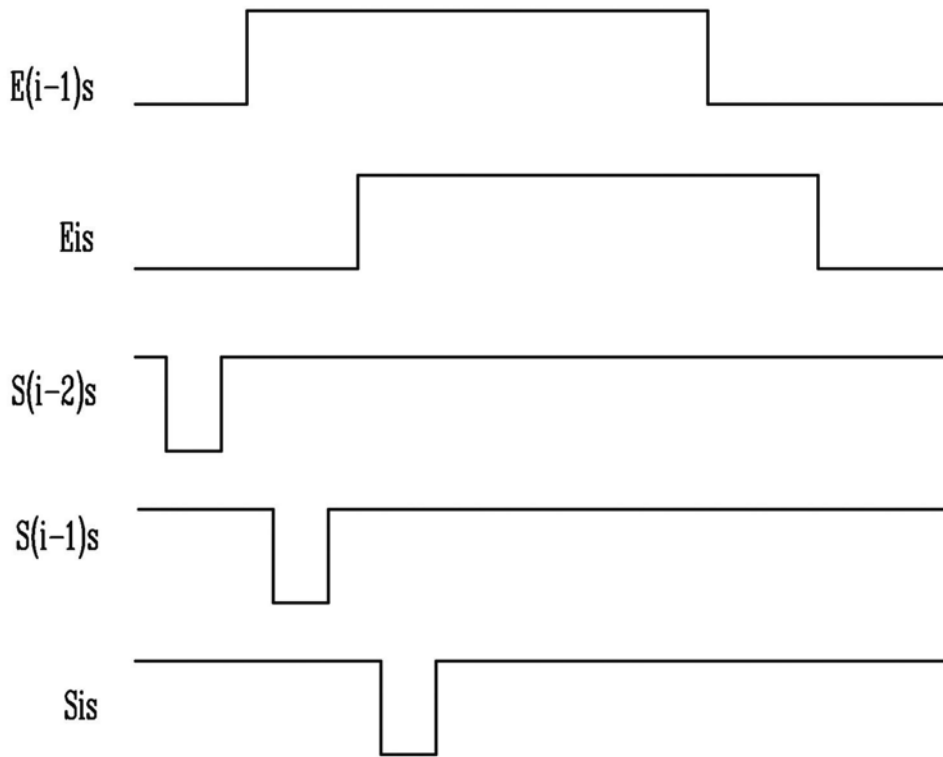


图6

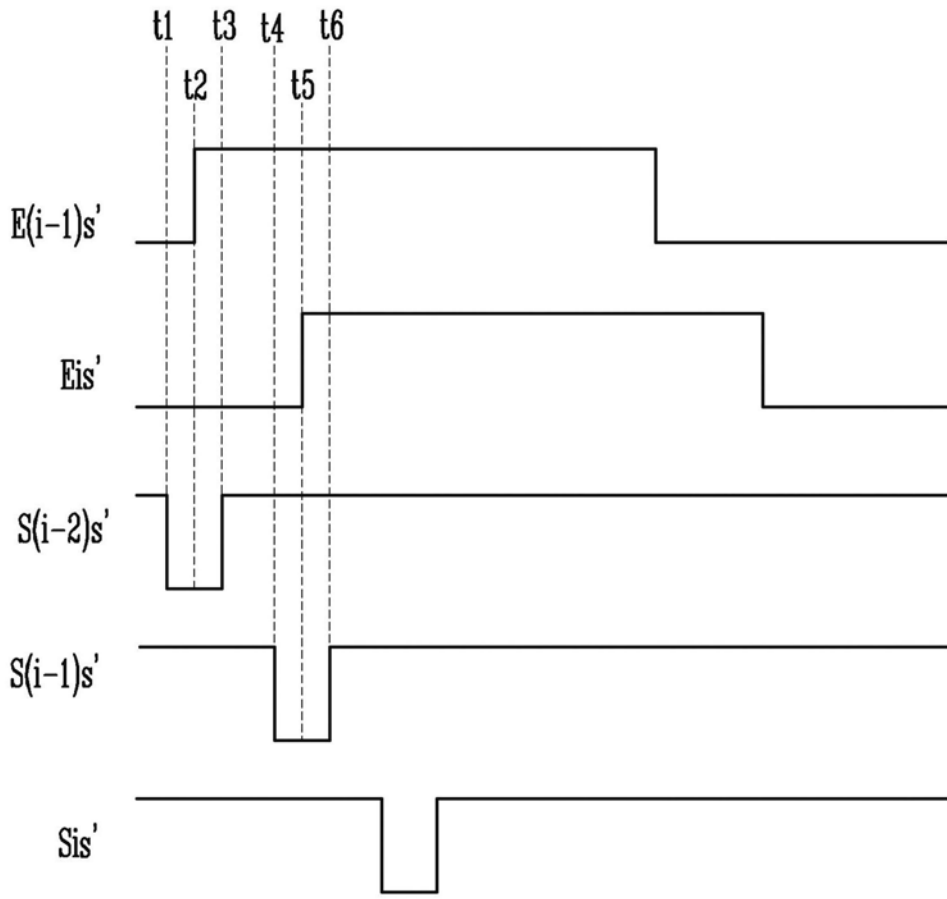


图7

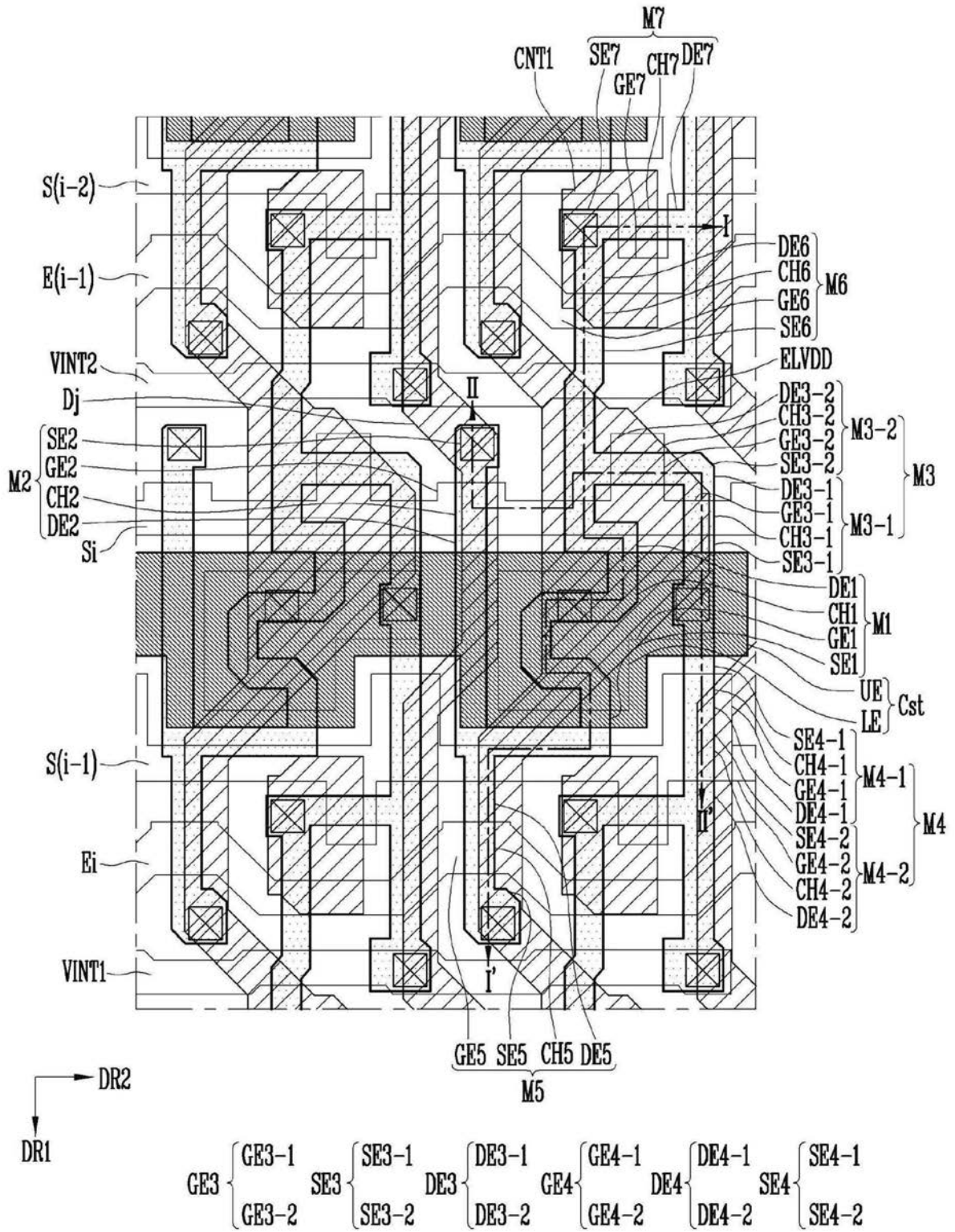


图8

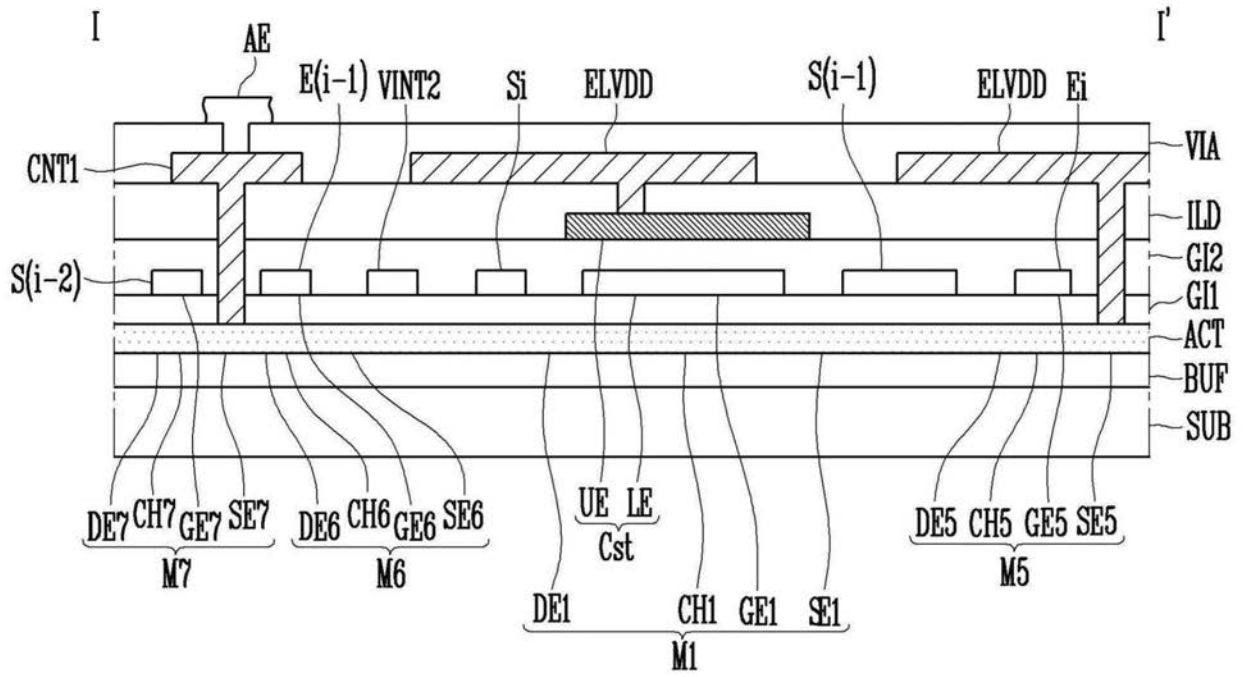


图9

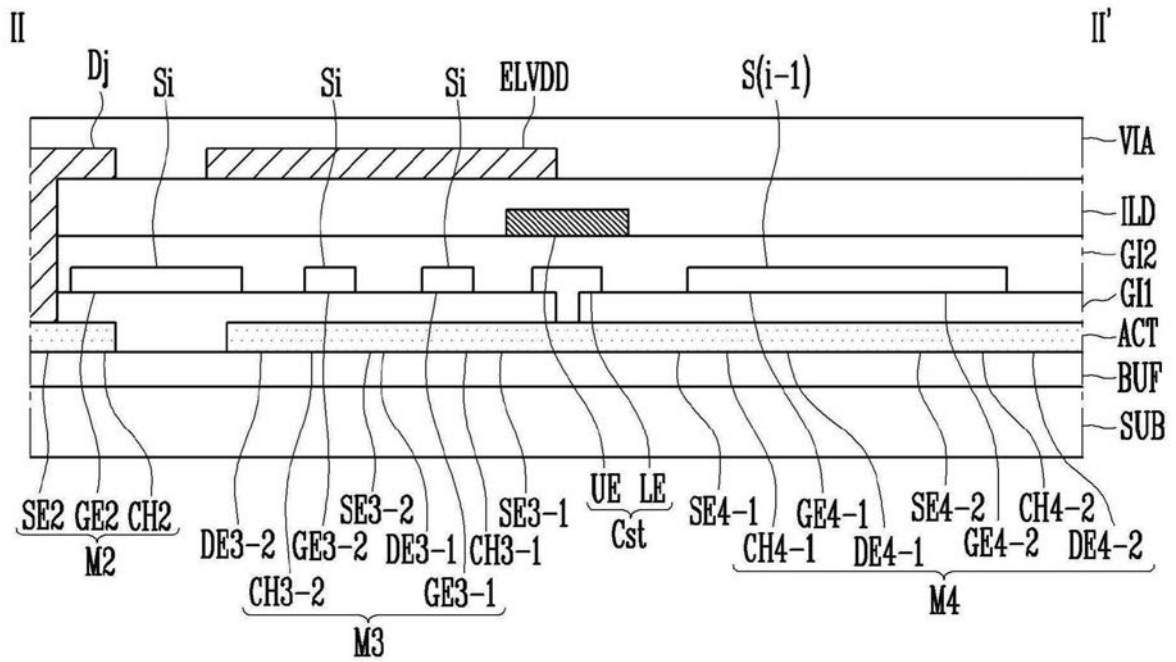


图10

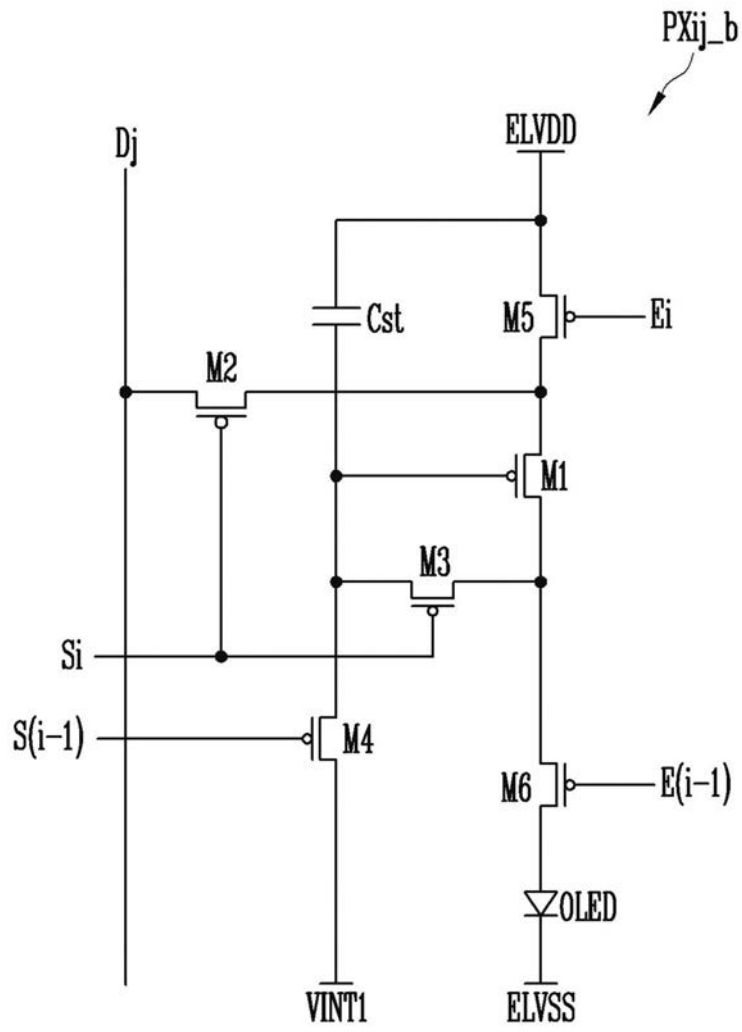


图11

专利名称(译)	像素电路		
公开(公告)号	CN110858471A	公开(公告)日	2020-03-03
申请号	CN201910778314.7	申请日	2019-08-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	金成焕 崔相武 金大铉 吴秀姬 李东鲜		
发明人	金成焕 崔相武 金大铉 吴秀姬 李东鲜		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2330/021 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/0233 G09G2320/045 G09G3/3266 G09G2320/0214		
代理人(译)	韩芳		
优先权	1020180098582 2018-08-23 KR		
外部链接	Espacenet SIPO		

摘要(译)

提供了一种像素电路，所述像素电路包括：有机发光二极管(OLED)；第一晶体管，具有第一电极和第二电极以及第一栅电极；第二晶体管，连接在数据线与所述第一电极之间，通过第一扫描线控制；第三晶体管，连接在所述第一晶体管的所述第二电极与所述第一栅电极之间，通过所述第一扫描线控制；第四晶体管，连接在所述第一栅电极与第一初始化电压线之间，通过第二扫描线控制；第五晶体管，连接在电力线与所述第一电极之间，通过第一发射线控制；第六晶体管，连接在所述第二电极与所述OLED之间，并且通过第二发射线控制；以及存储电容器，连接在所述第一栅电极与所述电力线之间，其中，所述第一发射线和所述第二发射线位于不同的节点处。

