



(12)发明专利申请

(10)申请公布号 CN 107564469 A

(43)申请公布日 2018.01.09

(21)申请号 201710980993.7

(22)申请日 2017.10.19

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

(72)发明人 向东旭 李玥 朱仁远 高娅娜
陈泽源

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 王宝筠

(51)Int.Cl.

G09G 3/3208(2016.01)

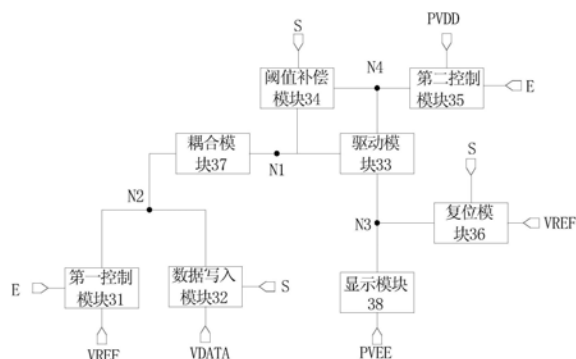
权利要求书2页 说明书10页 附图5页

(54)发明名称

一种像素电路、像素电路的驱动方法及有机发光显示面板

(57)摘要

本申请实施例公开了一种像素电路、像素电路的驱动方法及有机发光显示面板,用于使有机发光显示器的显示更均匀。该像素电路包括:第一控制模块、数据写入模块、驱动模块、阈值补偿模块、第二控制模块、复位模块、耦合模块以及显示模块;其中,数据写入模块连接数据电压端、第二控制节点以及扫描信号端,用于在扫描信号端的电压的控制下将所述数据电压端的电压输出至所述第二控制节点;阈值补偿模块连接第一控制节点、第四控制节点以及控制信号端,用于在第一控制节点、第四控制节点以及扫描信号端的电压的控制下补偿驱动模块的阈值电压。



1. 一种像素电路,其特征在于,包括:

第一控制模块、数据写入模块、驱动模块、阈值补偿模块、第二控制模块、复位模块、耦合模块以及显示模块;

所述第一控制模块连接基准电压端、第二控制节点以及控制信号端,用于在所述控制信号端的电压的控制下将所述基准电压端的电压输出至所述第二控制节点;

所述数据写入模块连接数据电压端、所述第二控制节点以及扫描信号端,用于在所述扫描信号端的电压的控制下将所述数据电压端的电压输出至所述第二控制节点;

所述驱动模块连接第一控制节点、第四控制节点以及第三控制节点,用于在所述驱动模块的输入端的电压和所述第一控制节点的电压、所述第四控制节点的电压以及所述第三控制节点的电压的控制下在所述驱动模块的输出端输出驱动电流至所述第三控制节点;

所述阈值补偿模块连接所述第一控制节点、所述第四控制节点以及所述控制信号端,用于在所述第一控制节点、所述第四控制节点以及所述扫描信号端的电压的控制下补偿所述驱动模块的阈值电压;

所述第二控制模块连接第一电压端以及所述控制信号端,用于在所述控制信号端的电压的控制下将所述第一电压端的电压输出至所述第四控制节点;

所述复位模块连接所述基准电压端、所述第三控制节点以及所述扫描信号端,用于在所述扫描信号端的电压的控制下,将所述基准电压端的电压输出至所述第三控制节点;

所述耦合模块连接于所述第一控制节点以及第二控制节点之间,用于将所述第二控制节点的电压耦合至所述第一控制节点;

所述显示模块连接第二电压端以及所述第三控制节点,用于在所述第三控制节点的驱动电流的控制下显示灰阶。

2. 根据权利要求1所述的像素电路,其特征在于,所述第一控制模块包括:

第一晶体管;

所述第一晶体管的第一极连接所述基准电压端,所述第一晶体管的第二极连接所述第二控制节点,所述第一晶体管的栅极连接所述控制信号端。

3. 根据权利要求1所述的像素电路,其特征在于,所述数据写入模块包括:

第二晶体管;

所述第二晶体管的第二极连接所述第二控制节点,所述第二晶体管的第一极连接所述数据电压端,所述第二晶体管的栅极连接所述扫描信号端。

4. 根据权利要求1所述的像素电路,其特征在于,所述驱动模块包括:

第三晶体管;

所述第三晶体管的第一极连接所述第四控制节点,所述第三晶体管的第二极连接所述第三控制节点,所述第三晶体管的栅极连接所述第一控制节点。

5. 根据权利要求1所述的像素电路,其特征在于,所述阈值补偿模块包括:

第四晶体管;

所述第四晶体管的栅极连接所述扫描信号端,所述第四晶体管的第一极连接所述第四控制节点,所述第四晶体管的第二极连接所述第二控制节点。

6. 根据权利要求1所述的像素电路,其特征在于,所述第二控制模块包括:

第五晶体管;

所述第五晶体管的第一极连接所述第一电压端,所述第五晶体管的第二极连接所述第四控制节点,所述第五晶体管的栅极连接所述控制信号端。

7. 根据权利要求1所述的像素电路,其特征在于,所述复位模块包括:

第六晶体管;

所述第六晶体管的第一极连接所述基准电压端,所述第六晶体管的第二极连接所述第三控制节点,所述第六晶体管的栅极连接所述扫描信号端。

8. 根据权利要求1所述的像素电路,其特征在于,所述耦合模块包括:

电容;

所述电容用于将所述第二控制节点的电压耦合至所述第一控制节点。

9. 根据权利要求1所述的像素电路,其特征在于,所述显示模块包括:

有机发光二极管;

所述有机发光二极管的阳极连接所述第三控制节点,所述有机发光二极管的阴极连接所述第二电压端。

10. 一种像素电路的驱动方法,其特征在于,用于驱动权利要求1至9中任一项所述的像素电路,所述方法包括:

数据写入阶段,所述数据写入模块将数据电压端的电压输出至第一控制节点;

阈值抓取阶段,所述阈值补偿模块根据所述第三控制节点的电压调整所述第一控制节点的电压;

发光阶段,所述第二控制模块将第一电压端的电压输出至所述第四控制节点;所述耦合模块将所述数据电压端的数据信号传输至所述第一控制节点;所述驱动模块驱动所述显示模块发光。

11. 根据权利要求10所述的驱动方法,其特征在于,所述方法还包括初始化阶段,所述初始化阶段包括:

所述第二控制模块在所述控制信号端的电压的控制下将所述第一电压端的电压输出至第四控制节点;

所述阈值补偿模块在所述扫描信号端的电压的控制下将所述第四控制节点的电压输出至所述第一控制节点;

所述复位模块在所述扫描信号端的电压的控制下将基准电压端的电压输出至所述第三控制节点。

12. 根据权利要求11所述的驱动方法,其特征在于,所述数据写入阶段还包括:

提供数据信号至所述数据写入模块所连接的所述数据电压端,提供基准电压信号至所述复位模块所连接的所述基准电压端。

13. 根据权利要求10所述的驱动方法,其特征在于,所述阈值抓取阶段还包括:

提供所述数据信号至所述数据写入模块所连接的所述数据电压端,提供所述基准电压信号至所述复位模块所连接的所述基准电压端。

14. 根据权利要求10所述的驱动方法,其特征在于,所述发光阶段还包括:

提供所述基准电压信号至所述第一控制模块所连接的基准电压端。

15. 一种有机发光显示面板,其特征在于,包括:

如权利要求1至9中任一项所述的像素电路。

一种像素电路、像素电路的驱动方法及有机发光显示面板

技术领域

[0001] 本申请涉及显示技术领域,特别涉及一种像素电路、像素电路的驱动方法及有机发光显示面板。

背景技术

[0002] 随着显示技术的发展,有机发光二极管(Organic Light-Emitting Diode)得到了长足的发展,有机发光二极管又称为有机电激光显示(Organic Electroluminescence Display,OELD),具备轻薄、省电等特性。OLED显示技术与传统的LCD显示方式不同,无需背光灯,采用非常薄的有机材料涂层和玻璃基板,当有电流通过时,这些有机材料就会发光。而且OLED显示屏幕可以做得更轻更薄,可视角度更大,并且能够显著节省电能。

[0003] OLED像素电路结构是一种通过驱动晶体管来控制流过OLED的电流的电路结构,主要应用在显示装置中。相关技术中,驱动晶体管能够将数据信号端的电压转化为驱动OLED的驱动电流,该驱动电流的大小与驱动晶体管的阈值电压(V_{th})相关。

[0004] 请参阅图1以及图2,图1为一种像素电路,图2为像素电路的驱动信号时序图,该像素电路的驱动方法包括4个阶段,节点初始化阶段,scan1以及scan2输入高电平,emit输入低电平,以使得T3晶体管以及T4晶体管导通,将Vref的电压写入N1节点,将VINIT的电压写入N2节点;阈值检测阶段,scan1以及emit输入高电平,scan2输入低电平,T1晶体管、T3晶体管以及有机发光二极管DT导通,此时Vref的电压写入N1节点,N2节点写入的电压为 $V_{ref}-|V_{th}|$;数据写入阶段,scan1输入高电平,T1晶体管以及有机发光二极管DT导通,Vdata的电压输入N1节点,以起到电容耦合作用,N2节点写入的电压为 $V_{ref}-|V_{th}|+\frac{C1}{C1+C2+Coled}(Vdata-Vref)$;

发光阶段,emit及scan1输入高电平,T3晶体管以及有机发光二极管DT导通,OLED像素开始发光,其中影响OLED发光的是OLED发光电流I,发光电流为:

$$I=k(V_{gs}-|V_{th}|)^2=K[Vdata-Vref+|V_{th}|-\frac{C1}{C1+C2+Coled}(Vdata-Vref)-|V_{th}|]^2 \text{ 最终得出}$$

$$I=k\frac{C2+Coled}{C1+C2+Coled}(Vdata-Vref) \text{ 其中 } V_{gs} \text{ 为 T3 晶体管的栅极与源极的电压差。}$$

[0005] 由上述可以看出,OLED发光电流受到电容C1、C2以及Coled的影响,同时由于Coled是一个不定量,不同的像素Coled会不同,这样即使使用相同的DATA数据下电流也会不同,这样会导致显示不均匀,且需要两个电容,这样不仅会占用大量面积,难以实现高生产者物价指数(Producer Price Index,PPI),而且还会受到工艺能力的影响。

发明内容

[0006] 本申请实施例提供了一种像素电路、像素电路的驱动方法及有机发光显示器,用于使有机发光显示器的显示更均匀。

[0007] 本申请实施例第一方面提供了一种有机发光显示器的像素电路,具体包括:

[0008] 第一控制模块、数据写入模块、驱动模块、阈值补偿模块、第二控制模块、复位模

块、耦合模块以及显示模块；

[0009] 所述第一控制模块连接基准电压端、第二控制节点以及控制信号端，用于在所述控制信号端的电压的控制下将所述基准电压端的电压输出至所述第二控制节点；

[0010] 所述数据写入模块连接数据电压端、所述第二控制节点以及扫描信号端，用于在所述扫描信号端的电压的控制下将所述数据电压端的电压输出至所述第二控制节点；

[0011] 所述驱动模块连接所述第一控制节点、所述第四控制节点以及第三控制节点，用于在所述驱动模块的输入端的电压和所述第一控制节点、所述第四控制节点以及所述第三控制节点的电压的控制下在所述驱动模块的输出端输出驱动电流至所述第三控制节点；

[0012] 所述阈值补偿模块连接所述第一控制节点、所述第四控制节点以及所述控制信号端，用于在所述第一控制节点、所述第四控制节点以及所述扫描信号端的电压的控制下补偿所述驱动模块的阈值电压；

[0013] 所述第二控制模块连接第一电压端以及所述控制信号端，用于在所述控制信号端的电压的控制下将所述第一电压端的电压输出至所述第四控制节点；

[0014] 所述复位模块连接基准电压端以及所述扫描信号端，用于在所述扫描信号端的电压的控制下，将所述基准电压端的电压输出至所述第三控制节点；

[0015] 所述耦合模块连接于所述第一控制节点以及第二控制节点之间，用于将所述第二控制节点的电压耦合至所述第一控制节点；

[0016] 所述显示模块连接第二电压端以及所述第三控制节点，用于在所述第三控制节点的驱动电流的控制下显示灰阶。

[0017] 可选地，所述第一控制模块包括：

[0018] 第一晶体管；

[0019] 所述第一晶体管的第一极连接所述基准电压端，所述第一晶体管的第二极连接所述第二控制节点，所述第一晶体管的栅极连接所述控制信号端。

[0020] 可选地，所述数据写入模块包括：

[0021] 第二晶体管；

[0022] 所述第二晶体管的第一极连接所述第二控制节点，所述第二晶体管的第一极连接所述数据电压端，所述第二晶体管的栅极连接所述扫描信号端。

[0023] 可选地，所述驱动模块包括：

[0024] 第三晶体管；

[0025] 所述第三晶体管的第一极连接所述第三控制节点，所述第三晶体管的第二极连接所述第四控制节点，所述第三晶体管的栅极连接所述第二控制节点。

[0026] 可选地，所述阈值补偿模块包括：

[0027] 第四晶体管；

[0028] 所述第四晶体管的栅极连接所述扫描信号端，所述第四晶体管的第一极连接所述第四控制节点，所述第四晶体管的第二极连接所述第二控制节点。

[0029] 可选地，所述第二控制模块包括：

[0030] 第五晶体管；

[0031] 所述第五晶体管的第一极连接所述第四控制节点，所述第五晶体管的第二极连接所述第一电压端，所述第五晶体管的栅极连接所述控制信号端。

- [0032] 可选地,所述复位模块包括:
- [0033] 第六晶体管;
- [0034] 所述第六晶体管的第一极连接所述基准电压端,所述第六晶体管的第二极连接所述第三控制节点,所述第六晶体管的栅极连接所述扫描信号端。
- [0035] 可选地,所述耦合模块包括:
- [0036] 电容;
- [0037] 所述电容用于将所述第二控制节点的电压耦合至所述第一控制节点。
- [0038] 可选地,所述显示模块包括:
- [0039] 有机发光二极管;
- [0040] 所述有机发光二极管的阳极连接所述第三控制节点,所述有机发光二极管的阴极连接所述第二电压端。
- [0041] 本申请实施例第二方面提供了一种像素电路的驱动方法,用于驱动上述第一方面所述的像素电路,具体包括:
- [0042] 数据写入阶段,所述数据写入模块将数据电压端的电压输出至第一控制节点;
- [0043] 阈值抓取阶段,所述阈值补偿模块根据所述第三控制节点的电压调整所述第一控制节点的电压;
- [0044] 发光阶段,所述第二控制模块将第一电压端的电压输出至所述第四控制节点;所述耦合模块将所述数据电压端的信号传输至所述第一控制节点;所述驱动模块驱动所述显示模块发光。
- [0045] 可选地,所述方法还包括初始化阶段,所述初始化阶段包括:
- [0046] 所述第二控制模块在所述控制信号端的电压的控制下将所述第一电压端的电压输出至第四控制节点;
- [0047] 所述阈值补偿模块在所述扫描信号端的电压的控制下将所述第四控制节点的电压输出至所述第一控制节点;
- [0048] 所述复位模块在所述扫描信号端的电压的控制下将基准电压端的电压输出至所述第三控制节点。
- [0049] 可选地,所述初始化阶段还包括:
- [0050] 提供数据信号至所述数据写入模块所连接的所述数据电压端,提供基准电压信号至所述复位模块所连接的所述基准电压端。
- [0051] 可选地,所述阈值抓取阶段还包括:
- [0052] 提供所述数据信号至所述数据写入模块所连接的所述数据电压端,提供所述基准电压信号至所述复位模块所连接的所述基准电压端;
- [0053] 可选地,所述发光阶段还包括:
- [0054] 提供所述基准电压信号至所述第一控制模块所连接的基准电压端。
- [0055] 本申请实施例第三方面提供了一种有机发光显示面板,具体包括:
- [0056] 如上述各方面任一项所述像素电路。
- [0057] 综上所述,本申请的像素电路中,数据写入模块以及阈值补偿模块是由相同的扫描信号端的电压信号控制,阈值补偿模块在第一控制节点、第四控制节点以及扫描信号端的电压的控制下补偿驱动模块的阈值电压,并在驱动模块的输出端输出驱动电流至第三控

制节点,使得显示模块在第三控制节点的驱动电流的控制下显示灰阶,不仅可以防止阈值漂移,同时还可以在相同的扫描型号端的电压控制下对复位模块来固定显示模块的电压,防止在阈值补偿模块对驱动模块的阈值电压进行补偿时,显示模块显示灰阶。

附图说明

- [0058] 图1为现有技术中一种像素电路的电路图;
- [0059] 图2为图1所示的像素电路的驱动信号时序图;
- [0060] 图3为本申请实施例提供的像素电路的一个电路结构示意图;
- [0061] 图4为本申请实施例提供的像素电路的另一电路结构示意图;
- [0062] 图5为本申请实施例提供的像素电路的另一电路结构示意图;
- [0063] 图6为本申请实施例提供的像素电路的驱动方法的实施例示意图;
- [0064] 图7为本申请实施例图4所示的像素电路的驱动信号时序图;
- [0065] 图8为本申请实施例所提供的有机发光显示面板的电路结构示意图。

具体实施方式

[0066] 本申请实施例提供了一种像素电路、像素电路的驱动方法及有机发光显示面板,用于解决有机发光显示器的显示画面不均匀的问题。

[0067] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。

[0068] 本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等(如果存在)是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的实施例能够以了在这里图示或描述的内容以外的顺序实施。此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排除的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0069] 本申请所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,根据在电路中的作用本申请的实施例所采用的晶体管主要为开关晶体管。由于开关晶体管的源极、漏极是对称的,所以其源极、漏极是可以互换的。在本申请实施例中,为区分晶体管除栅极之外的其他两级,可以将其中的源极称为第一极,漏极称为第二极。按照上述各附图中的形态将晶体管中间端为栅极、信号输入端为源极、信号输出端为漏极。此外,本申请实施例所采用的开关晶体管包括PMOS和NMOS两种,其中PMOS在栅极为低电平时导通,在栅极为高电平时截止,NMOS为在栅极为高电平时导通,在栅极为低电平时截止;驱动晶体(即图4所示的M3)包括PMOS和NMOS,其中当M3为PMOS时,在栅极电压为低电平(栅极电压小于源极电压),且栅极与源极的电压差的绝对值大于阈值电压时处于放大状态或饱和状态;当M3为NMOS时,栅极电压为高电平(栅极电压大于源极电压),且栅极与源极的电压差的绝对值大于阈值电压时处于放大状态或饱和状态。

[0070] 请参阅图3,图3为本申请实施例提供的像素电路的一个电路结构示意图,包括第一控制模块31、数据写入模块32、驱动模块33、阈值补偿模块34、第二控制模块35、复位模块

36、耦合模块37以及显示模块38。

[0071] 第一控制模块31连接基准电压端VREF、第二控制节点N2以及控制信号端E,用于在控制信号端E的电压的控制下将基准电压端VREF的电压输出至第二控制节点N2。

[0072] 数据写入模块32连接数据电压端VDATA、扫描信号端S以及第二控制节点N2,用于在扫描信号端S的电压的控制下将数据电压端VDATA的电压输出至第二控制节点N2。

[0073] 驱动模块33连接第一控制节点N1、第二控制节点N3以及第四控制节点N4,用于在驱动模块33的输入端的电压和第一控制节点N1、第四控制节点以及第三控制节点的电压的控制下在驱动模块33的输出端输出驱动电流。

[0074] 阈值补偿模块34连接扫描信号端S、第一控制节点N1以及第四控制节点N4,用于在第一控制节点N1、第四控制节点N4以及扫描信号端S的电压的控制下补偿驱动模块33的阈值电压。

[0075] 第二控制模块35连接第一电压端PVDD、控制信号端E以及第一控制节点N4,用于在控制信号端E的电压的控制下将第一电压端PVDD的电压输出至第四控制节点N4。

[0076] 复位模块36连接基准电压端VREF、第三控制节点N3以及扫描信号端S,用于在扫描信号端S的电压的控制下将第二基准电压VREF的电压输出至第三控制节点N3。

[0077] 耦合模块37连接第一控制节点N1以及第二控制节点N2,用于将第二控制节点N2的电压耦合至第一控制节点N1。

[0078] 显示模块38连接第二电压端PVEE以及第三控制节点N3,用于在第三控制节点N3的驱动电流的控制下显示灰阶。

[0079] 本申请实施例提供的像素电路,包括:第一控制模块、数据写入模块、驱动模块、预置补偿模块、第二控制模块、复位模块、耦合模块以及显示模块;其中,第一控制模块可以在控制信号端的电压的控制下将基准电压端的电压输出至第二控制节点;数据写入模块可以在扫描信号端的电压的控制下将数据电压端的电压输出至第二控制节点;耦合模块将第二控制节点的电压耦合至第一控制节点;第二控制模块可以在控制信号端电压的控制下将第一电压端的电压输出至第四控制节点,阈值补偿模块可以在扫描信号端的电压的控制下补偿驱动模块的阈值电压,驱动模块可以在驱动模块的输出端输出驱动电流至第三控制节点,复位模块可以在扫描信号端电压的控制下将基准电压端的电压输出至第三控制节点,显示模块可以在第三控制节点的驱动电流的控制下显示灰阶。数据写入模块以及阈值补偿模块是由相同的扫描信号端的电压信号控制,阈值补偿模块在第一控制节点、第四控制节点以及扫描信号端的电压的控制下补偿驱动模块的阈值电压,并在驱动模块的输出端输出驱动电流至第三控制节点,使得显示模块在第三控制节点的驱动电流的控制下显示灰阶,不仅可以防止阈值漂移,同时还可以在相同的扫描信号端的电压控制下对复位模块来固定显示模块的电压,防止在阈值补偿模块对驱动模块的阈值电压进行补偿时,显示模块显示灰阶。

[0080] 为了便于理解,下面结合图3以及图4对本申请的像素电路进行说明,图4为本申请实施例提供的像素电路的另一电路结构示意图。

[0081] 可选地,上述图3所述的像素电路中的第一控制模块31包括:

[0082] 第一晶体管M1;

[0083] 第一晶体管M1的第一极连接基准电压端VREF,第一晶体管M1的第二极连接控制节点N2,第一晶体管的M1的栅极连接控制信号端E。

- [0084] 可选地,上述图3所述的像素电路中的数据写入模块32包括:
- [0085] 第二晶体管M2;
- [0086] 第二晶体管M2的第一极连接数据电压端VDATA,第一晶体管M2的第二极连接第二控制节点,第二晶体管M2的栅极连接扫描信号端S。
- [0087] 可选地,上述图3所述的像素电路中的驱动模块33包括:
- [0088] 第三晶体管M3;
- [0089] 第三晶体管M3的第一极连接第四控制节点N4,第三晶体管M3的第二极连接第三控制节点N3,第三晶体管M3的栅极连第一控制节点N1。
- [0090] 可选地,上述图3所述的像素电路中的阈值补偿模块34包括:
- [0091] 第四晶体管M4;
- [0092] 第四晶体管M4的第一极连接第四控制节点,第四晶体管M4的第二极连接第一控制节点,第四晶体管M4的栅极连接扫描信号端S。
- [0093] 可选地,上述图3所述的像素电路中的第二控制模块35包括:
- [0094] 第五晶体管M5;
- [0095] 第五晶体管M5的第一极连接第一电压端PVDD,第五晶体管M5的第二极连接第四控制节点M4,第五晶体管M5的栅极连接控制信号端。
- [0096] 可选地,上述图3所述的像素电路的复位模块36包括:
- [0097] 第六晶体管M6;
- [0098] 第六晶体管M6的第一极连接基准电压端VREF,第六晶体管M6的第二极连接第三控制节点N3,第六晶体管M6的栅极连接扫描信号端S。
- [0099] 可选地,上述图3所述的像素电路的耦合模块37包括:
- [0100] 电容Cst;
- [0101] 电容Cst第一极连接第二控制节点N2,电容Cst的第二极连接第一控制节点N1。
- [0102] 可选地,上述图3所述的像素电路的显示模块38包括:
- [0103] 有机发光二极管D;
- [0104] 有机发光二极管D的阳极连接第三控制节点N3,有机发光二极管D的阴极连接第二电压端PVEE。
- [0105] 参阅图5,图5为本申请实施例提供的像素电路的另一电路结构示意图,包括:
- [0106] 第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6,电容Cst、有机发光二极管D、基准电压端VREF、复位电压端VINIT、数据电压端VDATA、扫描信号端S以及控制信号端E。
- [0107] 其中,各个电路元件之间的连接关系与图4所示的像素电路中的连接关系类似,仅仅只是第一晶体管M1第一极连接复位电压端VINIT,上述已经进行了详细说明,具体此处不再赘述。
- [0108] 需要说明的是,上述各个晶体管可以为NMOS管,也可以PMOS管,另外,在本申请的其他实施例中,可以根据实际需求将像素电路中的所有晶体管的一部分设置为NMOS管,将相应的其他部分设置为PMOS管,只要像素电路能够实现本申请的目的即可,具体不做限定。
- [0109] 综上所述,可以看出,相比与现有的像素电路(图1所示的像素电路),本申请实施例的图3、图4或图5所示的像素电路中共用一个扫描信号端,也就说本申请实施例中所

像素电路只有一条栅极扫描线,可以节省layout空间,同时,由于只有一个电容Cst,不会占用很大的面积,可以实现高的PPI,且受到工艺能力的影响较小,进而增加像素电路的集成度,增加有机发光显示器所能承载的像素数目。

[0110] 本申请的另一实施例提供了一种像素电路的驱动方法,该像素电路的驱动方法用于驱动上述任一实施例提供的像素电路。

[0111] 请参阅图6,图6为本申请实施例提供的一种像素电路的驱动方法,包括:

[0112] 601、初始化阶段,第二控制模块在控制信号端的电压的控制下将第一电压端的电压输出至第四控制节点;阈值补偿模块在扫描信号端的电压的控制下将第四控制节点的电压输出至第一控制节点;复位模块在扫描信号端的电压的控制下将基准电压端的电压输出至第三控制节点。

[0113] 602、数据写入阶段,数据写入模块将数据电压端的电压输出至第一控制节点;

[0114] 603、阈值抓取阶段,预置补偿模块根据第三控制节点的电压调整第一控制节点的电压;

[0115] 604、发光阶段,第二控制模块将第一电压端的电压输出至第四控制节点;耦合模块将数据电压端的数据信号传输至第二控制节点,驱动模块驱动显示模块发光。

[0116] 其中,步骤601所述的初始化阶段还包括:

[0117] 第二控制模块在控制信号端的电压的控制下将第一电压端的电压输出至第四控制节点;

[0118] 阈值补偿模块在扫描信号端的电压的控制下将第四控制节点的电压输出至第一控制节点;

[0119] 复位模块在所述扫描信号端的电压的控制下将基准电压端的电压输出至所述第三控制节点。

[0120] 需要说明的是,可以在数据写入阶段,提供数据信号至数据写入模块所连接的所述数据电压端,提供基准电压信号至所述复位模块所连接的所述基准电压端;在阈值抓取阶段,提供所述数据信号至所述数据写入模块所连接的所述数据电压端,提供所述基准电压信号至所述复位模块所连接的所述基准电压端;在发光阶段提供基准电压信号至第一控制模块所连接的基准电压端。

[0121] 进一步,下面参阅图7所示的信号时序图,对上述图4中所示的像素电路以及图6中所示的像素电路的驱动方法的工作原理进行说明。其中,以图4所述的像素电路中所有开关晶体管(M1、M2、M3、M4、M5、M6)均为栅极高电位时导通、栅极低电位时截止的N型晶体管为例进行说明。图6中显示出的扫描信号端S以及控制信号端E输出的信号时序状态。此外,基准电压端VREF1、第一电压端PVDD以及第二电压端PVEE提供稳定电压,数据信号端VDATA输出数据信号。示例性的,第二电压端PVEE也可以提供接地电压。

[0122] 为了便于说明理解,将数据写入阶段以及初始化阶段在图7所示时序状态图中统称为初始化阶段T1。

[0123] 结合参阅图4以及图7,在初始化阶段T1,施加具有第一电位值的控制信号E至第一晶体管M1的栅极以及第五晶体管M5的栅极,施加具有第一电位值的扫描信号S至第二晶体管M2的栅极、第四晶体管M4的栅极以及第六晶体管M6的栅极,具有第一电位值的控制信号E使得第一晶体管M1关闭以及所述第五晶体管M5导通,所述具有第一电位值的扫描信号S使

得第二晶体管M2、所述第四晶体管M4以及所述第六晶体管M6导通。

[0124] 在初始化阶段T1中,由于第二晶体管M2导通,数据电压端V_{DATA}的电压在具有第一电位值的扫描信号S的控制下,数据电压端V_{DATA}的电压通过所述第二晶体管M2传输至与电容C_{st}连接的第二控制节点N2,且由于所述第一晶体管M1关闭,此时,第二控制节点N2的电位与数据电压端V_{DATA}的电压相同;

[0125] 第五晶体管M5导通以及第四晶体管M4导通,第五晶体管M5与第四晶体管M4串联,所以第一电压端在控制信号输出的第一电压PVDD通过第五晶体管M5传输至第四控制节点N4,此时,第一控制节点N1的电压会上升,所以第一控制节点N1的电压以及第四控制节点N4的电压与所述第一电压端PVDD的电压相同;

[0126] 由于所述第六晶体管M6导通,基准电压端V_{REF}的第二基准电压V_{ref}通过第六晶体管M6传输至有机发光二极管D1的阳极以及第三晶体管M3,且由于第三晶体管M3也是导通的,所以第三控制节点N3的电压与第二基准电压端V_{REF}的电压相同。

[0127] 继续参考图4以及图7,在阈值抓取阶段T2,施加具有第二电位值的控制信号E至第一晶体管M1的栅极以及所述第五晶体管M5的栅极,施加具有第一电位值的扫描信号S至第二晶体管M2的栅极、第四晶体管M4的栅极以及第六晶体管M6的栅极,具有第二电位值的控制信号E使得第一晶体管M1以及第五晶体管M5关闭,具有所述第一电位值的扫描信号S使得第二晶体管M2、第四晶体管M4以及第六晶体管M6导通。

[0128] 需要说明的是,由于所述第一晶体管M1、所述第二晶体管M2、所述第三晶体管M3、所述第四晶体管M4、所述第五晶体管M5以及所述第六晶体管M6均为NMOS管,则所述第一电位值为高电平的电压值,所述第二电位值为低电平的电压值。进一步,所述第一电位值和所述第二电位值的大小可以根据各晶体管的阈值电压的大小进行自行设定。

[0129] 还需要说明的是,在本申请的其他实施例中,若所述第一晶体管M1、所述第二晶体管M2、所述点晶体管M3、所述第四晶体管M4、所述第五晶体管M5以及所述第六晶体管M6均为PMOS管,则所述第一电位值为低电平的电压值,所述第二电位值为高电平的电压值,且所述第一电位值与所述第二电位值的大小可以根据各晶体管的阈值电压的大小进行自行设定。同样,还可以根据实施驱动像素电路的效果对各个晶体管进行相应变换,例如将像素电路中的一部分晶体管设置为NMOS,将相应的剩余部分的晶体管设置为PMOS管,具体不做限定。

[0130] 需要说明的是,为了便于理解,下面所述的第一电压端PVDD的电压以PVDD表示,第二电压端PVEE的电压以PVEE表示,基准电压端V_{REF}的电压以V_{REF}表示,数据电压端V_{DATA}的电压以V_{DATA}表示,当然也可以有其他的表示方式,此处以上述各中表示方式为例进行说明,具体不限定。

[0131] 由于第六晶体管M6导通,所以第三控制节点N3的电压会被固定为与基准电压端V_{REF}的电位相同,即第三控制节点N3的电压为V_{REF},且由于第五晶体管M5关闭,第四晶体管M4导通,第一控制节点N1的电位与第一电压端PVDD的电位相同,此时第三晶体管M3导通,由于第一控制节点N1与第三晶体管M3的栅极相连接,且由于第三晶体管M3的输出端连接第三控制节点N3,而第三控制节点N3的电压,与基准电压端V_{REF}的电压相同,第一控制节点N1的电位会逐渐下降,当第一控制节点N1的电位下降至V_{REF}+V_{th}时,第三晶体管M3截至,其中,V_{th}为第三晶体管M3的阈值电压。由于第二晶体管M2的第一极与数据电压端V_{DATA}相连,所以电容C_{st}的第一端连接的第二控制节点N2的电压与数据电压端V_{DATA}的电压相同,电容

Cst两端的电压差为 $V_{data} - (V_{ref} + V_{th})$ 。至此,阈值抓取阶段完成。

[0132] 继续参阅图4以及图7,在发光阶段T3,施加具有第一电位值的控制信号E至第一晶体管M1以及第五晶体管M5的栅极,具有第一电位值的控制信号E使得第一晶体管M1以及第五晶体管M5导通,施加具有第二电位值的扫描信号S至第二晶体管M2、第四晶体管M4以及第六晶体管M6的栅极,具有第二电位值的扫描信号S使得第二晶体管M2、所述第四晶体管M4以及第六晶体管M6关闭。

[0133] 在发光阶段T3,第一晶体管M1导通,电容Cst的第一端连接的第二控制节点N2的电压被重置为与基准电压端VREF的电压相同(即电容Cst的第一端连接的第二控制节点N2的电压从阈值抓取阶段的VDATA变为发光阶段的VREF),且由于第四晶体管M4以及第六晶体管M6关闭,则第一控制节点N1处于悬空状态,此时第一控制节点N1的电压会随着第二控制节点N2的变化而变化,所以第一控制节点N1的电压为 $V_{ref} + V_{th} - (V_{ref} - V_{data}) = V_{data} + V_{th}$ 。在发光阶段T3,有机二极管D1导通,此时第三控制节点N3的电压为 $P_{VEE} + V_{oled}$,其中, V_{oled} 为所述有机发光二极管D1的阳极的电位,此时可以根据公式计算出有机发光二极管D1的发光电流即为 $I = K (V_{data} - P_{VEE} - V_{oled})^2$,其中K为结构参数。

[0134] 需要说明的是,在本申请的另一实施例中,当所述第一晶体管M1的第一极与VINIT电压输入端相连接时,在上述所说的各个阶段中只需要将与第一晶体管M1的第一极连接的基准电压端VREF的电压值换成复位电压端VINIT输入的电压值即可,至此,有机发光二极管计算出的发光电流与在第一晶体管M4的第一极连接基准电压端时计算得出的发光电流一致。

[0135] 综上所述,可以看出,本申请中,在相同的Vdata数据下,有机发光二极管发光电流,只与有机发光二极管D1的阳极的电位 V_{oled} 的有关,且由于在相同灰阶的情况下 V_{oled} 属于一个定量,这样在相同的DATA数据下,有机发光二极管D1的发光电流始终是恒定不变的,因此采用本申请像素电路的有机发光显示器,可以有很好的显示效果,发光显示均匀。

[0136] 请参阅图8,图8为本申请提供的一种有机发光显示面板的结构示意图。

[0137] 一种有机发光显示器,包括多个上述任一实施例中所述的像素电路Pnm,其中,该有机发光显示器还包括:扫描驱动单元10、数据驱动单元20、N条扫描线Scn、M条数据线Dm,其中, $1 \leq n \leq N, 1 \leq m \leq M$,所述多个像素电路的结构与上述任意一种像素电路的结构相类似,上述已经进行了详细说明,此处不再赘述。

[0138] 其中,所述多个像素电路分别位于所述N+1条扫描线和M条数据线交叉形成的像素区域内,第n行像素电路的第五晶体管M5的栅极、第二晶体管M2的栅极以及第六晶体管M6的栅极连接至第n条扫描线,第m列像素电路的第五晶体管M5的第一极连接至第m条数据线;

[0139] 所述扫描驱动单元适于向各条扫描线提供相应的扫描信号,所述数据驱动单元适于向各条数据线提供数据信号。

[0140] 由于本申请所提供的有机发光显示器的像素电路中,驱动有机发光二极管的发光电流与电源电压以及晶体管的阈值电压无关,因此有机发光显示器能够均匀发光,并且由于每个像素电路只有一个电容,可以提供像素电路的集成度,从而使得有机发光显示器具有更高的分辨率。

[0141] 以上所述,以上实施例仅用以说明本申请的技术方案,而非对其限制;尽管参照前述实施例对本申请进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前

述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例技术方案的精神和范围。

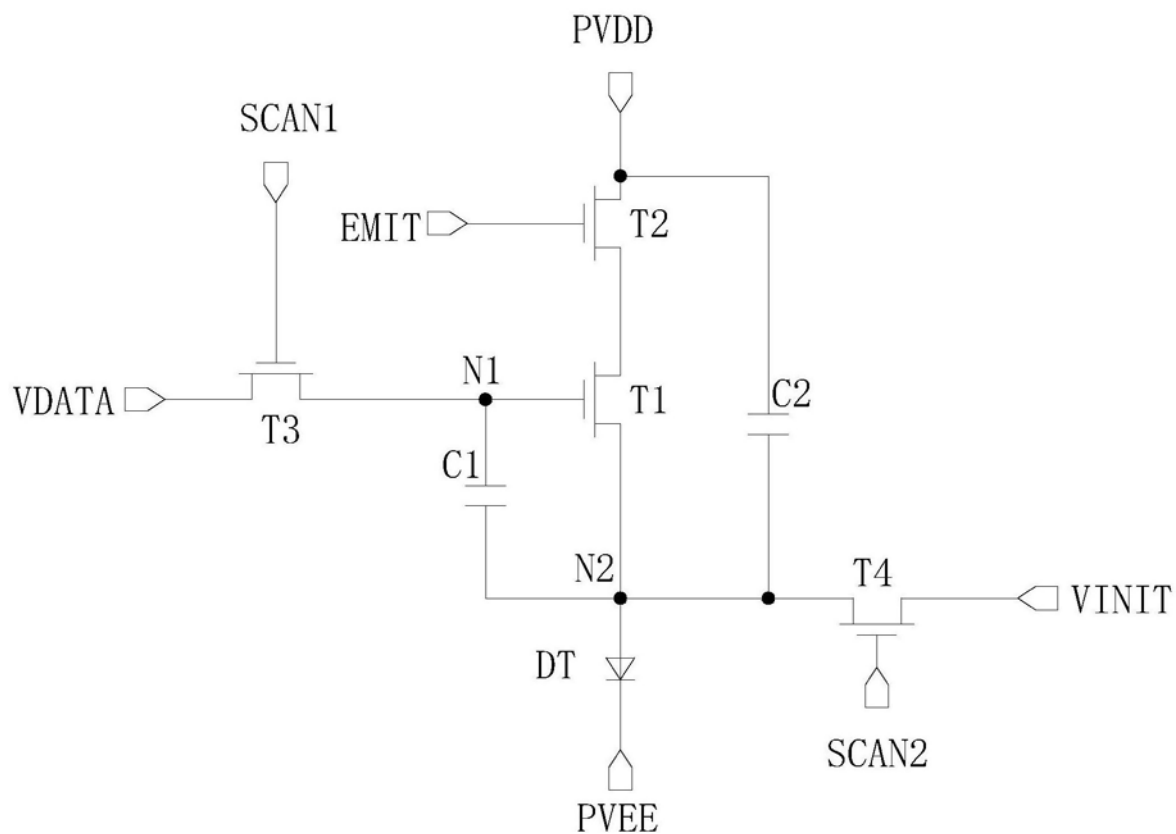


图1

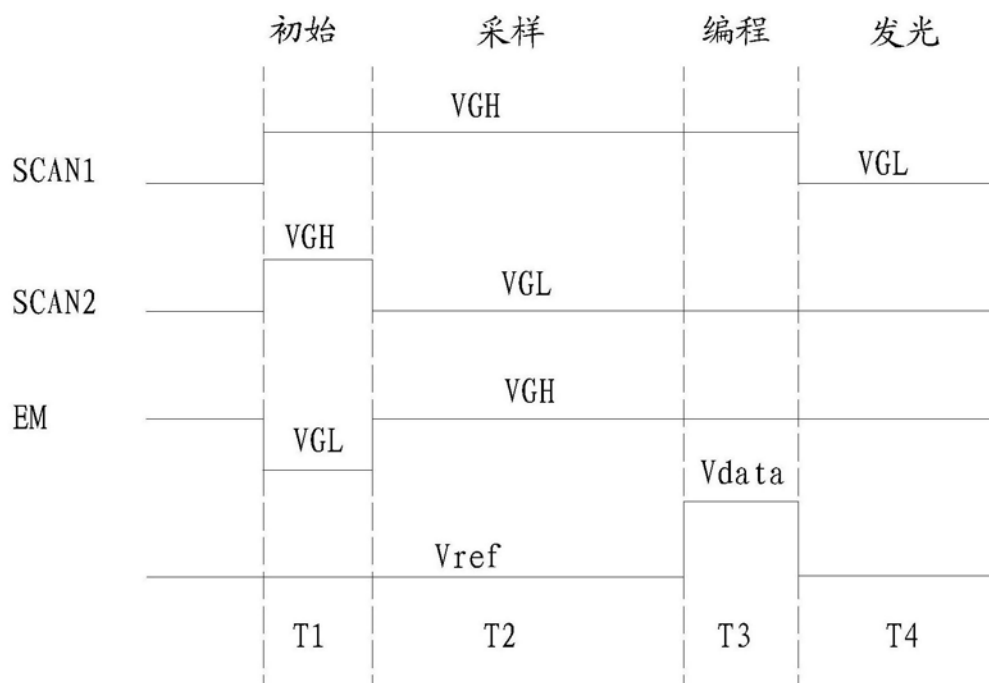


图2

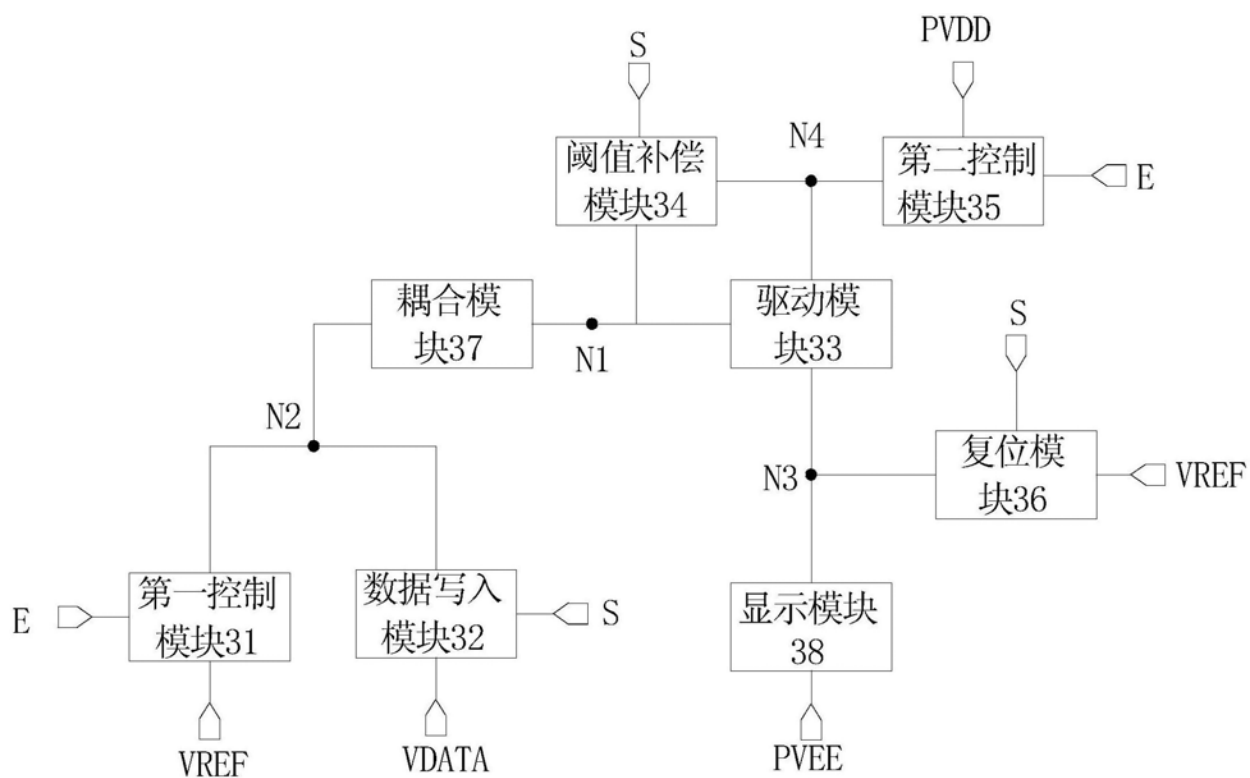


图3

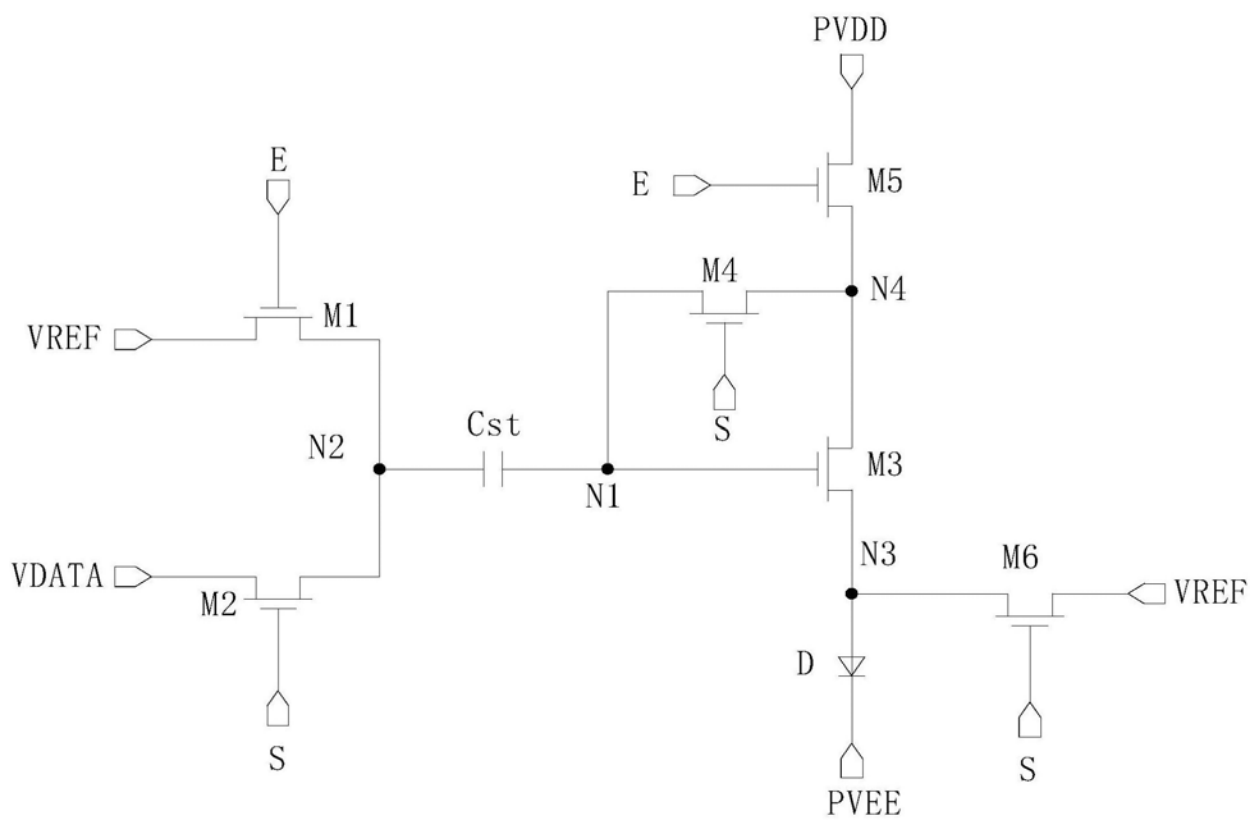


图4

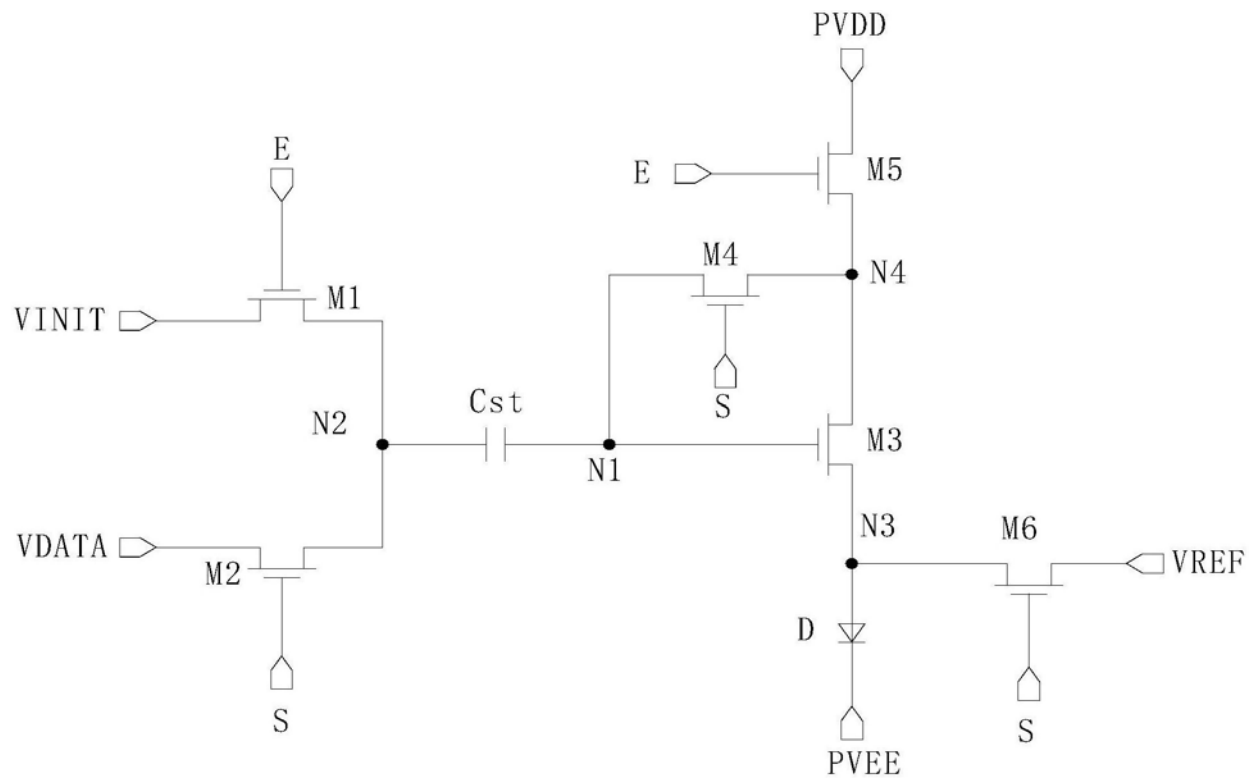


图5

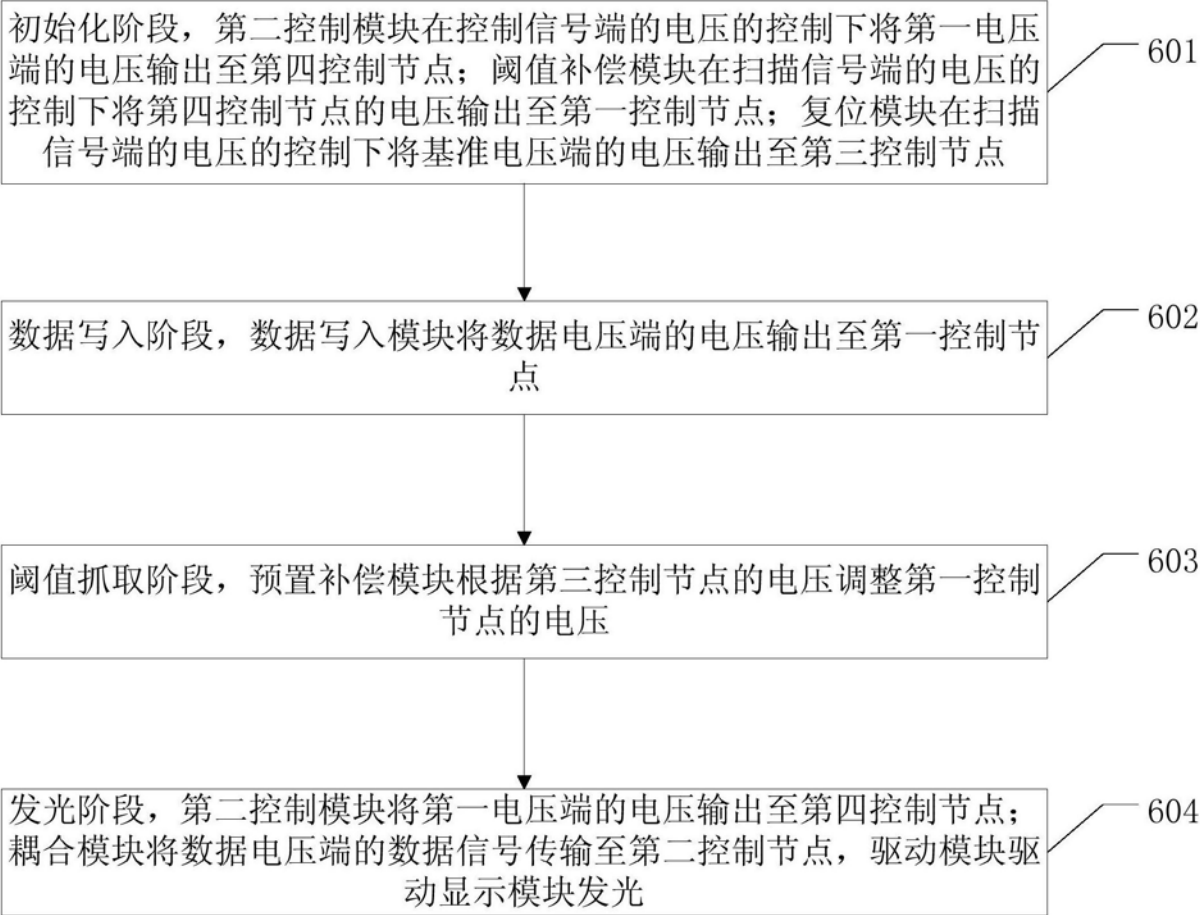


图6

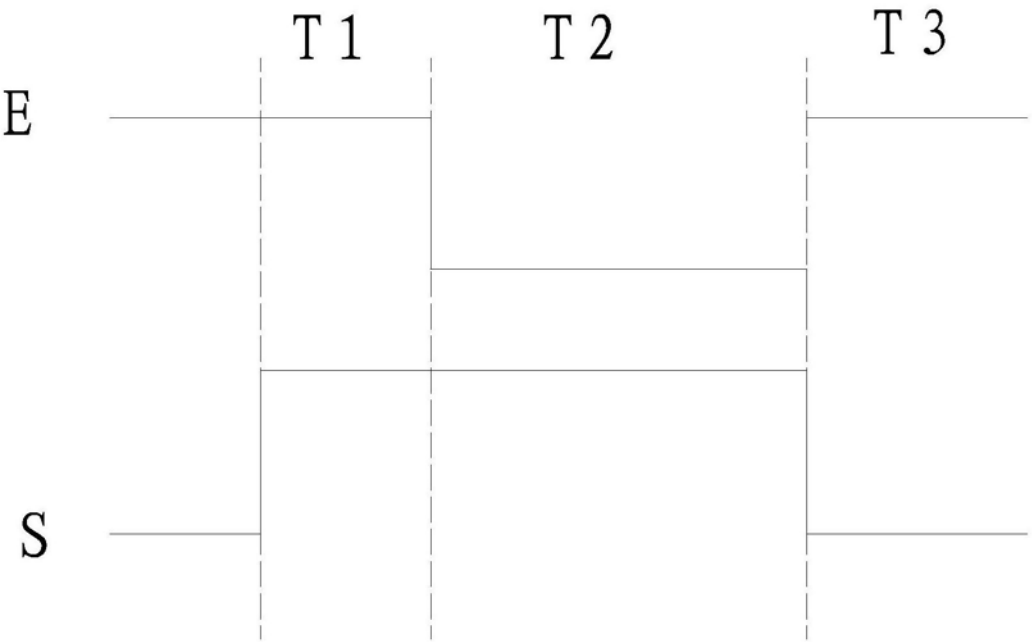


图7

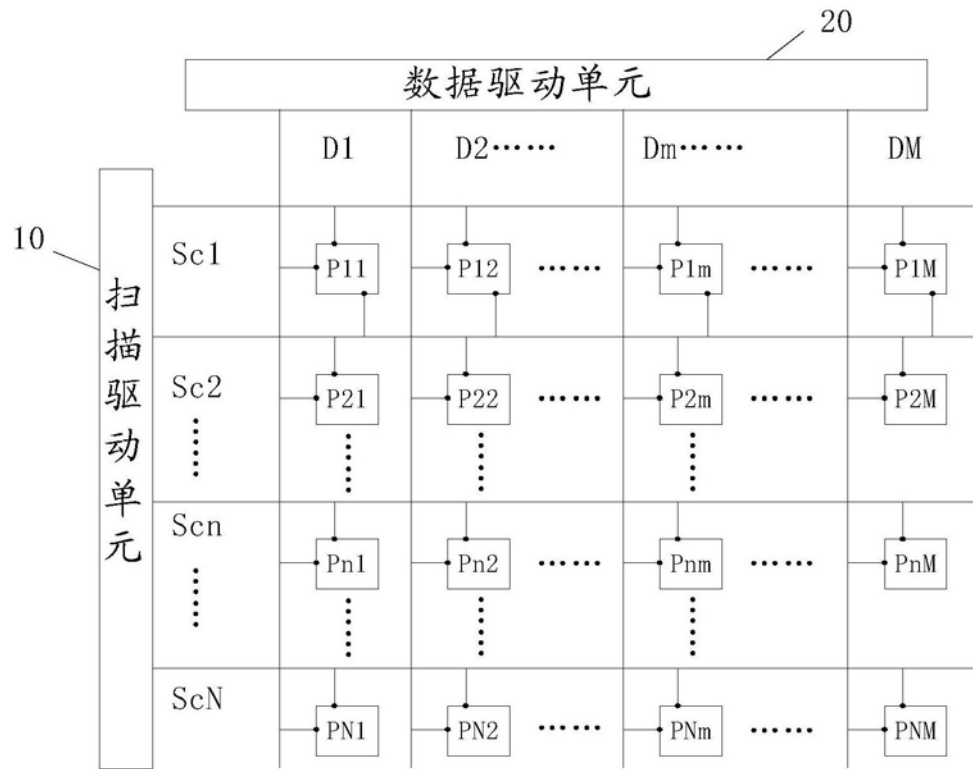


图8

专利名称(译)	一种像素电路、像素电路的驱动方法及有机发光显示面板		
公开(公告)号	CN107564469A	公开(公告)日	2018-01-09
申请号	CN2017110980993.7	申请日	2017-10-19
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	向东旭 李玥 朱仁远 高娅娜 陈泽源		
发明人	向东旭 李玥 朱仁远 高娅娜 陈泽源		
IPC分类号	G09G3/3208		
外部链接	Espacenet SIPO		

摘要(译)

本申请实施例公开了一种像素电路、像素电路的驱动方法及有机发光显示面板，用于使有机发光显示器的显示更均匀。该像素电路包括：第一控制模块、数据写入模块、驱动模块、阈值补偿模块、第二控制模块、复位模块、耦合模块以及显示模块；其中，数据写入模块连接数据电压端、第二控制节点以及扫描信号端，用于在扫描信号端的电压的控制下将所述数据电压端的电压输出至所述第二控制节点；阈值补偿模块连接第一控制节点、第四控制节点以及控制信号端，用于在第一控制节点、第四控制节点以及扫描信号端的电压的控制下补偿驱动模块的阈值电压。

