(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108831377 A
(43)申请公布日 2018.11.16

(21)申请号 201811004189.6

(22)申请日 2018.08.30

(71)申请人 云谷(固安)科技有限公司
地址 065500 河北省廊坊市固安县新兴产业示范区

(72)发明人 谢正芳 楼均辉

(74)专利代理机构 北京国昊天诚知识产权代理有限公司 11315
代理人 许志勇

(51)Int.Cl.
G09G 3/3208(2016.01)

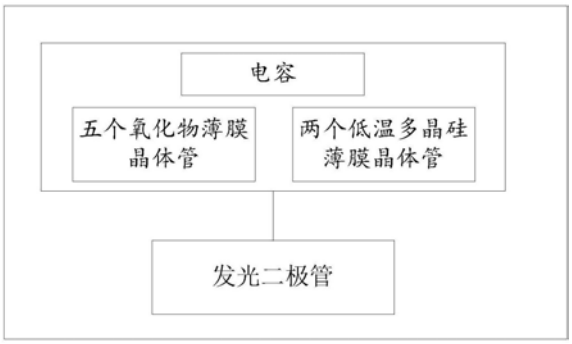
权利要求书3页 说明书6页 附图2页

(54)发明名称

像素结构、驱动方法、像素电路和显示面板

(57)摘要

本申请公开了一种像素结构、像素电路和显示面板，该像素结构包括：发光二极管、七个晶体管和一个电容，该七个晶体管中包括五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管。本发明实施例中的像素结构、像素电路和显示面板中，通过在具有七个晶体管的像素结构采用五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管的组合方案，既可以为更高性能的OLED驱动提供方案，也可以改善现有OLED驱动方式的诸多不足之处，增加电容保持时间。



CN 108831377 A

1.一种像素结构,其特征在于,包括:

发光二极管、七个晶体管和一个电容,

该七个晶体管中包括五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管。

2.如权利要求1所述的像素结构,其特征在于,该七个晶体管包括第一晶体管(M2)、第二晶体管(M3)、第三晶体管(M1)、第四晶体管(M6)、第五晶体管(M4)、第六晶体管(M5)和第七晶体管(M7),其中

第一晶体管(M2),包含:第一端,用来接收像素数据信号;第二端;以及控制端,用来接收第一路信号,并根据该第一路信号使该像素数据信号自该第一端传送至该第二端;

第二晶体管(M3),包含:第一端、第二端及控制端,该第二晶体管(M3)用来根据该第二晶体管(M3)的控制端及该第二晶体管(M3)的第一端的电位差,产生驱动电流以驱动该发光二极管,其中该第二晶体管的第一端电性耦接于该第一晶体管(M2)的第二端;

第三晶体管(M1),包含:第一端,用来接收第一电源电压;第二端,电性耦接于该第二晶体管(M3)的第一端;以及控制端,用来接收第二路信号,并根据该第二路信号使该第一电源电压提供至该第二晶体管(M3);

第四晶体管(M6),包含:第一端,电性耦接于该第二晶体管(M3)的第二端;第二端,电性耦接于该发光二极管;以及控制端,用来接收该第二路信号,并根据该第二路信号使该驱动电流提供至该发光二极管;

第五晶体管(M4),包含:第一端,电性耦接于该第二晶体管(M3)的第二端和第四晶体管(M6)的第一端;第二端,电性耦接于该第二晶体管(M3)的控制端;以及控制端,用来接收第三路信号,并根据该第三路信号使该第五晶体管(M4)的第一端的信号传送至该第五晶体管(M4)的第二端;

第六晶体管(M5),包含:第一端,用来接收第一参考电压;第二端,电性耦接于该第二晶体管(M3)的控制端、该第五晶体管(M4)的第二端;以及控制端,用来接收第四路信号,并根据该第四路信号使该第二参考电压自该第六晶体管(M5)的第一端传送至该第六晶体管(M5)的第二端;

第七晶体管(M7),包含:第一端,用来接收第二参考电压;第二端,电性耦接于该第四晶体管(M6)的第二端及该发光二极管;以及控制端,用来接收第五路信号,并根据该第五路信号使该第二参考电压自该第七晶体管(M7)的第一端传送至该第七晶体管(M7)的第二端;

该电容包含:第一端,电性耦接于该第六晶体管(M5)的第二端、该第二晶体管(M3)的控制端以及该第五晶体管(M4)的第二端;以及第二端,电性耦接于该第七晶体管(M7)的第二端、该第四晶体管(M6)的第二端及该发光二极管。

3.如权利要求1所述的像素结构,其特征在于,该七个晶体管包括第一晶体管(M2)、第二晶体管(M3)、第三晶体管(M1)、第四晶体管(M6)、第五晶体管(M4)、第六晶体管(M5)和第七晶体管(M7),其中

第一晶体管(M2),包含:第一端,用来接收像素数据信号;第二端;以及控制端,用来接收第一路信号,并根据该第一路信号使该像素数据信号自该第一端传送至该第二端;

第二晶体管(M3),包含:第一端、第二端及控制端,该第二晶体管(M3)用来根据该第二晶体管(M3)的控制端及该第二晶体管(M3)的第一端的电位差,产生驱动电流以驱动该发光二极管,其中该第二晶体管的第二端电性耦接于该第一晶体管(M2)的第二端;

第五晶体管(M4),包含:第一端,电性耦接于该第二晶体管(M3)的第二端;第二端,电性耦接于该第二晶体管(M3)的控制端;以及控制端,用来接收第三路信号,并根据该第三路信号使该第五晶体管(M4)的第一端的信号传送至该第五晶体管(M4)的第二端;

第三晶体管(M1),包含:第一端,用来接收第一电源电压;第二端,电性耦接于该第五晶体管(M4)的第一端;以及控制端,用来接收第二路信号,并根据该第二路信号使该第一电源电压提供至该第二晶体管(M3);

第四晶体管(M6),包含:第一端,电性耦接于该第二晶体管(M3)的第二端和第一晶体管(M2)的第二端;第二端,电性耦接于该发光二极管;以及控制端,用来接收该第二路信号,并根据该第二路信号使该驱动电流提供至该发光二极管;

第六晶体管(M5),包含:第一端,用来接收第一参考电压;第二端,电性耦接于该第二晶体管(M3)的控制端、该第五晶体管(M4)的第二端;以及控制端,用来接收第四路信号,并根据该第四路信号使该第二参考电压自该第六晶体管(M5)的第一端传送至该第六晶体管(M5)的第二端;

第七晶体管(M7),包含:第一端,用来接收第二参考电压;第二端,电性耦接于该第四晶体管(M6)的第二端及该发光二极管;以及控制端,用来接收第五路信号,并根据该第五路信号使该第二参考电压自该第七晶体管(M7)的第一端传送至该第七晶体管(M7)的第二端,

该电容包含:第一端,电性耦接于该第六晶体管(M5)的第二端、该第二晶体管(M3)的控制端以及该第五晶体管(M4)的第二端;以及第二端,电性耦接于该第七晶体管(M7)的第二端、该第四晶体管(M6)的第二端及该发光二极管。

4.如权利要求2或3所述的像素结构,其特征在于,

该第一晶体管(M2)、该第二晶体管(M3)、该第五晶体管(M4)、该第六晶体管(M5)和该第七晶体管(M7)为氧化物薄膜晶体管;

该第三晶体管(M1)和该第四晶体管(M6)为低温多晶硅薄膜晶体管。

5.如权利要求4所述的像素结构,其特征在于

该第三路信号和该第一路信号复用同一路信号;

该第五路信号和该第一路信号复用同一路信号。

6.如权利要求4所述的像素结构,其特征在于,第一参考电压的设置范围为0～12V。

7.如权利要求4所述的像素结构,其特征在于

该第一路信号在初始化阶段、补偿阶段、发光阶段的电平信号分别为:低电平、高电平、低电平,其中,该第一路信号为扫描信号之一;

该第二路信号在初始化阶段、补偿阶段、发光阶段的电平信号分别为:低电平、低电平、高电平,其中,该第二路信号为发光控制信号;

该第三路信号在初始化阶段、补偿阶段、发光阶段的电平信号分别为:高电平、低电平、高电平,其中,该第三路信号为扫描信号之一;

该第四路信号在初始化阶段、补偿阶段、发光阶段的电平信号分别为:高电平、低电平、低电平,其中,该第四路信号为扫描信号之一;

该第五路信号在初始化阶段、补偿阶段、发光阶段的电平信号分别为:低电平、低电平、高电平,其中,该第五路信号为发光控制信号。

8.一种像素结构的驱动方法,应用于如权利要求1-7任一项所述的像素结构,其特征在

于，包括：

在初始化阶段，第三晶体管(M1)、第六晶体管(M5)和第四晶体管(M6)、导通，第一晶体管(M2)、第二晶体管(M3)、第五晶体管(M4)、第七晶体管(M7)关断，以写入第一参考电压，并对第二晶体管(M3)的控制端进行初始化；

在补偿阶段，第一晶体管(M2)、第二晶体管(M3)、第三晶体管(M1)、第四晶体管(M6)、第五晶体管(M4)和第七晶体管(M7)导通，第六晶体管(M5)关断，以对该发光二极管的阳极进行初始化，并进行像素数据信号的写入及补偿；

在发光阶段，第二晶体管(M3)和第六晶体管(M5)导通，第一晶体管(M2)、第三晶体管(M1)、第四晶体管(M6)、第五晶体管(M4)和第七晶体管(M7)关断，以对第一电源电压进行锁存，并驱动该发光二极管发光。

9.一种像素电路，其特征在于，包括：

至少一个以如权利要求8所述的驱动方法驱动的，如权利要求1-7任一项所述的像素结构。

10.一种显示面板，包括至少一个如权利要求9所述的像素电路。

像素结构、驱动方法、像素电路和显示面板

技术领域

[0001] 本申请涉及像素电路领域，尤其涉及一种像素结构、驱动方法、像素电路和显示面板。

背景技术

[0002] 随着显示面板技术的不断发展，有机发光二极管(Organic Light Emitting Diode，OLED)显示面板作为一种自发光的显示器件，与传统的薄膜晶体管液晶显示(Thin Film Transistor Liquid Crystal Display，TFT-LCD)面板相比，不仅不需要背光源，还具有重量轻、抗震性好、响应时间快、视角广、能耗低、低温特性好等优点，被广泛地应用在各个领域中。

发明内容

[0003] 本发明实施例提供了一种像素结构、驱动方法、像素电路和显示面板。

[0004] 第一方面，本发明实施例提供了一种像素结构，包括：发光二极管、七个晶体管和一个电容，

[0005] 所述七个晶体管中包括五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管。

[0006] 第二方面，本发明实施例提供了一种像素电路，包括至少一个第一方面的像素结构。

[0007] 第三方面，本发明实施例提供了一种显示面板，包括至少一个第二方面的像素电路。

[0008] 本发明有益效果如下：

[0009] 本发明实施例中的像素结构、像素电路和显示面板中，通过在具有七个晶体管的像素结构采用五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管的组合方案，既可以为更高性能的OLED驱动提供方案，也可以改善现有OLED驱动方式的诸多不足之处，增加电容保持时间。

附图说明

[0010] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简要介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域的普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

[0011] 图1为本发明实施例提供的一种像素结构的示意图；

[0012] 图2为本发明实施例提供的像素结构的电路示意图；

[0013] 图3为本发明图2所示实施例提供的像素结构对应的扫描信号时序图；

[0014] 图4是本发明实施例另一种7T1C方案的电路示意图。

具体实施方式

[0015] 为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请具体实施例及相应的附图对本申请技术方案进行清楚、完整地描述。显然，所描述的实施例仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0016] 应当理解，尽管一些元素用数字术语(例如，第一，第二，第三等)指定，但应该理解，这样的指定仅用于指定来自一组相似元素的一个元素，但不限制任何特定顺序的元素。这样，在不脱离示例性实施例的范围的情况下，被指定为第一元素的元素可以被称为第二元素或第三元素。

[0017] 本发明的各种示例性实施例的各个特征可以部分地或完全地彼此结合或组合，并且如本领域技术人员充分理解的，可以在技术上实现各种互通或驱动，并且各个示例性实施例可以是彼此独立地执行或通过关联关系一起执行。在下文中，将参考附图详细描述本发明的各种实施例。

[0018] 需要说明的是，本公开的实施例中采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在物理结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除作为控制端的栅极，直接描述了其中一极为第一端，另一极为第二端，所以本公开实施例中全部或部分晶体管的第一端和第二端根据需要是可以互换的。例如，本公开实施例的晶体管的第一端可以为源极，第二端可以为漏极；或者，晶体管的第一端为漏极，第二端为源极。

[0019] 图1是本发明的一个实施例提供的一种像素结构的示意图。如图1所示，本发明实施例提供了一种像素结构，该像素结构包括：

[0020] 发光二极管、七个晶体管和一个电容，该七个晶体管中包括五个氧化物薄膜晶体管(Thin Film Transistor，TFT)和两个低温多晶硅(Low Temperature Poly-silicon，LTPS)TFT。

[0021] 本发明实施例中的像素结构、像素电路和显示面板中，通过在具有七个晶体管的像素结构采用五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管的组合方案，既可以为更高性能的OLED驱动提供方案，也可以改善现有OLED驱动方式的诸多不足之处，增加电容保持时间。

[0022] 图2是本发明实施例的具有7T1C的像素结构的电路示意图。

[0023] 可选地，如图2所示，在一个实施例中，该七个晶体管包括第一晶体管M2、第二晶体管M3、第三晶体管M1、第四晶体管M6、第五晶体管M4、第六晶体管M5和第七晶体管M7，其中

[0024] 第一晶体管M2，包含：第一端，用来接收像素数据信号Vdata；第二端；以及控制端，用来接收第一路信号S2，并根据该第一路信号S2使该像素数据信号自该第一端传送至该第二端；

[0025] 第二晶体管M3，包含：第一端、第二端及控制端，该第二晶体管M3用来根据该第二晶体管M3的控制端及该第二晶体管M3的第一端的电位差，产生驱动电流以驱动该发光二极管，其中该第二晶体管的第一端电性耦接于该第一晶体管M2的第二端；

[0026] 第三晶体管M1，包含：第一端，用来接收第一电源电压PVDD；第二端，电性耦接于该

第二晶体管M3的第一端;以及控制端,用来接收第二路信号Emit,并根据该第二路信号Emit使该第一电源电压提供至该第二晶体管M3;

[0027] 第四晶体管M6,包含:第一端,电性耦接于该第二晶体管M3的第二端;第二端,电性耦接于该发光二极管;以及控制端,用来接收该第二路信号Emit,并根据该第二路信号Emit使该驱动电流提供至该发光二极管;

[0028] 第五晶体管M4,包含:第一端,电性耦接于该第二晶体管M3的第二端和第四晶体管M6的第一端;第二端,电性耦接于该第二晶体管M3的控制端;以及控制端,用来接收第三路信号S2,并根据该第三路信号S2使该第五晶体管M4的第一端的信号传送至该第五晶体管M4的第二端;

[0029] 第六晶体管M5,包含:第一端,用来接收第一参考电压;第二端,电性耦接于该第二晶体管M3的控制端、该第五晶体管M4的第二端;以及控制端,用来接收第四路信号S1,并根据该第四路信号S1以使该第二参考电压自该第六晶体管M5的第一端传送至该第六晶体管M5的第二端;

[0030] 第七晶体管M7,包含:第一端,用来接收第二参考电压;第二端,电性耦接于该第四晶体管M6的第二端及该发光二极管;以及控制端,用来接收第五路信号S2,并根据该第五路信号S2以使该第二参考电压自该第七晶体管M7的第一端传送至该第七晶体管M7的第二端;

[0031] 该电容包含:第一端,电性耦接于该第六晶体管M5的第二端、该第二晶体管M3的控制端以及该第五晶体管M4的第二端;以及第二端,电性耦接于该第七晶体管M7的第二端、该第四晶体管M6的第二端及该发光二极管。

[0032] 进一步地,如图2所示,该第一晶体管M2、该第二晶体管M3、该第五晶体管M4、该第六晶体管M5和该第七晶体管M7为氧化物薄膜晶体管;

[0033] 该第三晶体管M1和该第四晶体管M6为低温多晶硅薄膜晶体管。

[0034] 一方面,在本发明实施例中,第五晶体管M4和第六晶体管M5同时采用氧化物薄膜晶体管,能够使得断开电流(IOFF)较低,并减小电容CST,提高PPI,改善补偿效果,减轻显示屏整体的MURA现象(亮度不均匀,造成各种痕迹的现象)。此外,由于M4和M5同时采用氧化物薄膜晶体管,从而能够采用低频驱动第二晶体管M3,以驱动发光二极管发光,降低功耗。

[0035] 另一方面,在本发明实施例中,第一晶体管M2和第七晶体管M7同时采用氧化物薄膜晶体管,从而能够支持信号线S2的复用,以减少信号线。

[0036] 另一方面,在本发明实施例中,第二晶体管M3采用氧化物薄膜晶体管,可以提供合适大小的迁移率,不需要做较大的TFT以进行补偿,缩小空间较小;由于亚阈值摆幅(Subthreshold swing,SS)较大,有利于像素电路的灰阶展开,并使得IOFF较低,黑态亮度较低,且无ELA MURA现象。

[0037] 另一方面,在本发明实施例中,第四晶体管M6和第三晶体管M1同时采用低温多晶硅薄膜晶体管,可以提供较好的稳定性,适合第四晶体管M6和第三晶体管M1维持常开状态;可以提供较高的迁移率,进而降低TFT尺寸;还可以降低Emit信号的负载。

[0038] 综上所述,本发明实施例中,通过将7T1C驱动电路中的部分TFT(在本实施例中为5个)采用为氧化物薄膜晶体管,达到了提高PPI,降低功耗的效果,同时可以增加CST上的电位保持时间,不增加驱动信号数量。

[0039] 优选地,如图2所示,第一路信号、该第三路信号和该第五路信号S2可复用同一路

信号S2。

[0040] 当然，也可不进行扫描信号复用，或只复用该第三路信号和该第一路信号，或只复用该第五路信号和该第一路信号。

[0041] 在本发明实施例中，第一参考电压的设置范围为0～12V。

[0042] 应理解，本发明图2的像素结构的一种驱动方法如下：

[0043] 在初始化阶段T1，第三晶体管M1、第六晶体管M5和第四晶体管M6导通，第一晶体管M2、第二晶体管M3、第五晶体管M4和第七晶体管M7关断，以写入第一参考电压，并对第二晶体管M3的控制端进行初始化。其中，在该阶段中，S1高电平，第一参考电压Vref1写入，对驱动晶体管D-TFT，即第二晶体管M3的控制端进行初始化。

[0044] 在补偿阶段T2，第一晶体管M2、第二晶体管M3、第三晶体管M1、第四晶体管M6、第五晶体管M4和第七晶体管M7导通，第六晶体管M5关断，以对该发光二极管的阳极进行初始化，并进行像素数据信号的写入及补偿；该阶段包括阈值抓取+阳极复位+Vdata写入，其中，S1低电平，S2高电平，对发光二极管OLED的阳极进行初始化，Vdata写入同时进行补偿。

[0045] 在发光阶段T3，第二晶体管M3和第六晶体管M5导通，第一晶体管M2、第三晶体管M1、第四晶体管M6、第五晶体管M4和第七晶体管M7关断，以对第一电源电压进行锁存，并产生驱动电流以驱动该发光二极管发光。其中，该阶段中，Emit高电平，对电压进行锁存，OLED发光。

[0046] 应理解，为了使本发明实施例的像素结构驱动发光二极管发光，在本发明实施例中，各信号在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号如图3所示：

[0047] 该第一路信号S2在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、高电平、低电平；

[0048] 该第二路信号Emit在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、低电平、高电平；

[0049] 该第三路信号S2在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、高电平、低电平；

[0050] 该第四路信号S1在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：高电平、低电平、低电平；

[0051] 该第五路信号S2在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、高电平、低电平。

[0052] 前面介绍了一种7T1C的方案下氧化物薄膜晶体管和低温多晶硅薄膜晶体管的组合方式。下面介绍另一种7T1C的方案下氧化物薄膜晶体管和低温多晶硅薄膜晶体管的组合方式。

[0053] 图4是本发明实施例另一种7T1C方案的电路示意图。

[0054] 可选地，在一个实施例中，该七个晶体管包括第一晶体管M2、第二晶体管M3、第三晶体管M1、第四晶体管M6、第五晶体管M4、第六晶体管M5和第七晶体管M7，其中

[0055] 该七个晶体管包括第一晶体管M2、第二晶体管M3、第三晶体管M1、第四晶体管M6、第五晶体管M4、第六晶体管M5和第七晶体管M7，其中

[0056] 第一晶体管M2，包含：第一端，用来接收像素数据信号；第二端；以及控制端，用来接收第一路信号S2，并根据该第一路信号S2使该像素数据信号自该第一端传送至该第二

端；

[0057] 第二晶体管M3，包含：第一端、第二端及控制端，该第二晶体管M3用来根据该第二晶体管M3的控制端及该第二晶体管M3的第一端的电位差，产生驱动电流以驱动该发光二极管，其中该第二晶体管的第二端电性耦接于该第一晶体管M2的第二端；

[0058] 第五晶体管M4，包含：第一端，电性耦接于该第二晶体管M3的第二端；第二端，电性耦接于该第二晶体管M3的控制端；以及控制端，用来接收第三路信号S2，并根据该第三路信号S2使该第五晶体管M4的第一端的信号传送至该第五晶体管M4的第二端；

[0059] 第三晶体管M1，包含：第一端，用来接收第一电源电压；第二端，电性耦接于该第五晶体管M4的第一端；以及控制端，用来接收第二路信号Emit，并根据该第二路信号Emit使该第一电源电压提供至该第二晶体管M3；

[0060] 第四晶体管M6，包含：第一端，电性耦接于该第二晶体管M3的第二端和第一晶体管M2的第二端；第二端，电性耦接于该发光二极管；以及控制端，用来接收该第二路信号Emit，并根据该第二路信号Emit使该驱动电流提供至该发光二极管；

[0061] 第六晶体管M5，包含：第一端，用来接收第一参考电压；第二端，电性耦接于该第二晶体管M3的控制端、该第五晶体管M4的第二端；以及控制端，用来接收第四路信号S1，并根据该第四路信号S1使该第二参考电压自该第六晶体管M5的第一端传送至该第六晶体管M5的第二端；

[0062] 第七晶体管M7，包含：第一端，用来接收第二参考电压；第二端，电性耦接于该第四晶体管M6的第二端及该发光二极管；以及控制端，用来接收第五路信号S2，并根据该第五路信号S2使该第二参考电压自该第七晶体管M7的第一端传送至该第七晶体管M7的第二端；

[0063] 该电容，包含：第一端，电性耦接于该第六晶体管M5的第二端、该第二晶体管M3的控制端以及该第五晶体管M4的第二端；以及第二端，电性耦接于该第七晶体管M7的第二端、该第四晶体管M6的第二端及该发光二极管。

[0064] 进一步地，如图4所示，在本发明的一个实施例中，该第一晶体管M2、该第二晶体管M3、该第五晶体管M4、该第六晶体管M5和该第七晶体管M7为氧化物薄膜晶体管；

[0065] 该第三晶体管M1和该第四晶体管M6为低温多晶硅薄膜晶体管。

[0066] 一方面，在本发明实施例中，第五晶体管M4和第六晶体管M5同时采用氧化物薄膜晶体管，能够使得断开电流(IOFF)较低，并减小电容CST，提高PPI，改善补偿效果，减轻显示屏整体的MURA现象(亮度不均匀，造成各种痕迹的现象)。此外，由于M4和M5同时采用氧化物薄膜晶体管，从而能够采用低频驱动第二晶体管M3，以驱动发光二极管发光，降低功耗。

[0067] 另一方面，在本发明实施例中，第一晶体管M2和第七晶体管M7同时采用氧化物薄膜晶体管，从而能够支持信号线S2的复用，以减少信号线。

[0068] 另一方面，在本发明实施例中，第二晶体管M3采用氧化物薄膜晶体管，可以提供合适大小的迁移率，不需要做较大的TFT以进行补偿，缩小空间较小；由于亚阈值摆幅(Subthreshold swing，SS)较大，有利于像素电路的灰阶展开，并使得IOFF较低，黑态亮度较低，且无ELA MURA现象。

[0069] 另一方面，在本发明实施例中，第四晶体管M6和第三晶体管M1同时采用低温多晶硅薄膜晶体管，可以提供较好的稳定性，适合第四晶体管M6和第三晶体管M1维持常开状态；可以提供较高的迁移率，进而降低TFT尺寸；还可以降低Emit信号的负载。

[0070] 综上所述，本发明实施例中，通过将7T1C驱动电路中的部分TFT(在本实施例中为5个)采用为氧化物薄膜晶体管，达到了提高PPI，降低功耗的效果，同时可以增加CST上的电位保持时间，不增加驱动信号数量。

[0071] 优选地，如图4所示，该第一路信号、该第三路信号和该第五路信号复用同一路信号S2。

[0072] 当然，也可不进行扫描信号复用，或只复用该第三路信号和该第一路信号，或只复用该第五路信号和该第一路信号。

[0073] 在本发明实施例中，第一参考电压的设置范围为0～12V。

[0074] 当然，应理解，本发明图4所示实施例的驱动方法可包括：

[0075] 在初始化阶段T1，第三晶体管M1、第六晶体管M5和第四晶体管M6导通，第一晶体管M2、第二晶体管M3、第五晶体管M4和第七晶体管M7关断，以写入第一参考电压，并对第二晶体管M3的控制端进行初始化。其中，在该阶段中，S1高电平，第一参考电压Vref1写入，对驱动晶体管D-TFT，即第二晶体管M3的控制端进行初始化。

[0076] 在补偿阶段T2，第一晶体管M2、第二晶体管M3、第三晶体管M1、第四晶体管M6、第五晶体管M4和第七晶体管M7导通，第六晶体管M5关断，以对该发光二极管的阳极进行初始化，并进行像素数据信号的写入及补偿；该阶段包括阈值抓取+阳极复位+Vdata写入，其中，S1低电平，S2高电平，对发光二极管OLED的阳极进行初始化，Vdata写入同时进行补偿。

[0077] 在发光阶段T3，第二晶体管M3和第六晶体管M5导通，第一晶体管M2、第三晶体管M1、第四晶体管M6、第五晶体管M4和第七晶体管M7关断，以对第一电源电压进行锁存，并产生驱动电流以驱动该发光二极管发光。其中，该阶段中，Emit高电平，对电压进行锁存，OLED发光。

[0078] 应理解，为了使本发明实施例的像素结构驱动发光二极管发光，在本发明实施例中，扫描信号在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号如图3所示：

[0079] 该第一路信号S2在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、高电平、低电平；

[0080] 该第二路信号Emit在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、低电平、高电平；

[0081] 该第三路信号S2在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、高电平、低电平；

[0082] 该第四路信号S1在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：高电平、低电平、低电平；

[0083] 该第五路信号S2在初始化阶段T1、补偿阶段T2、发光阶段T3的电平信号分别为：低电平、高电平、低电平。

[0084] 本发明实施例还公开了一种像素电路，包括至少一个如前述图2或图4中任一实施例所示的像素结构。当然应理解，该像素电路还包括像素结构对应的驱动方式。

[0085] 本发明实施例还公开了一种显示面板，包括至少一个前述像素电路。

[0086] 显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

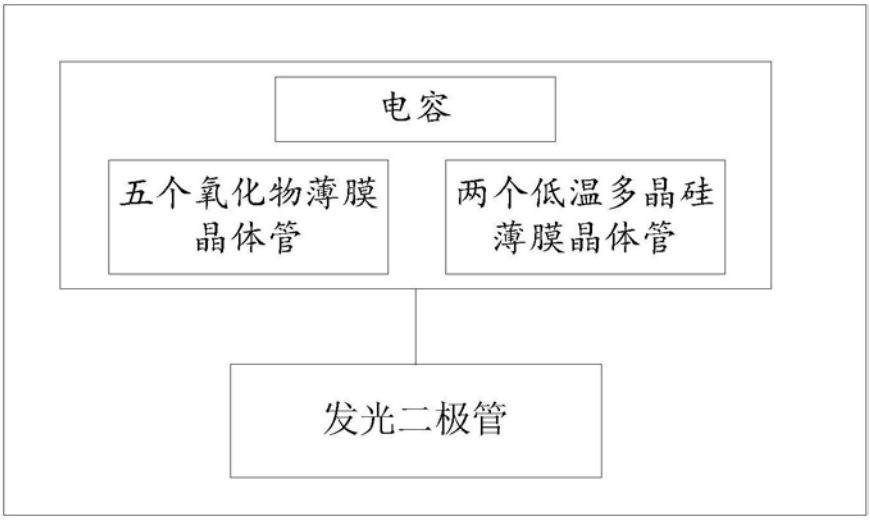

电容
五个氧化物薄膜晶体管
两个低温多晶硅薄膜晶体管
发光二极管

图1

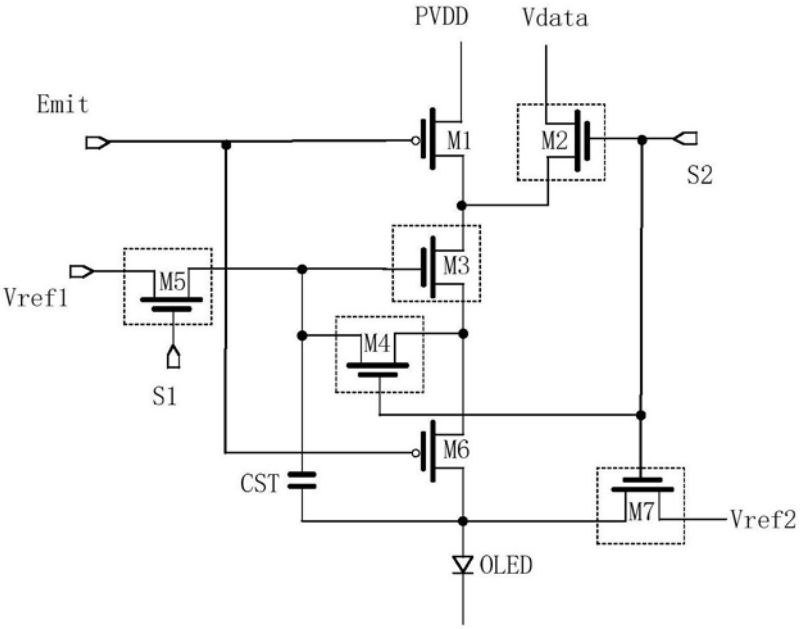

PVDD
Vdata
Emit
M1
M2
S2
M3
Vref1
M5
M4
S1
M6
CST
M7
Vref2
OLED

图2

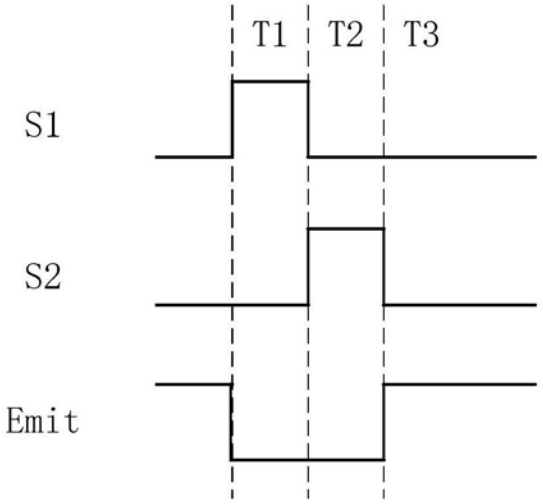

T1
T2
T3
S1
S2
Emit

图3

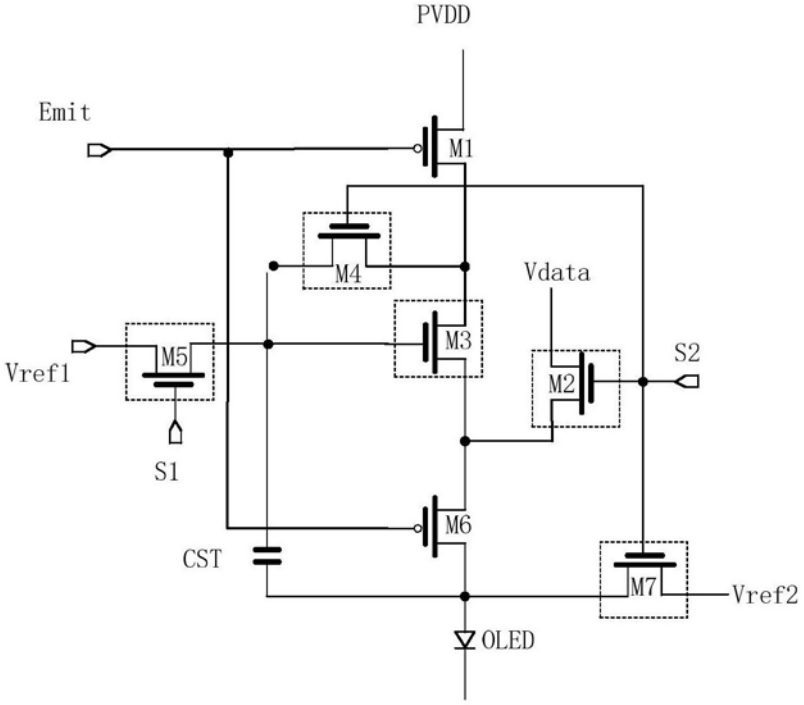
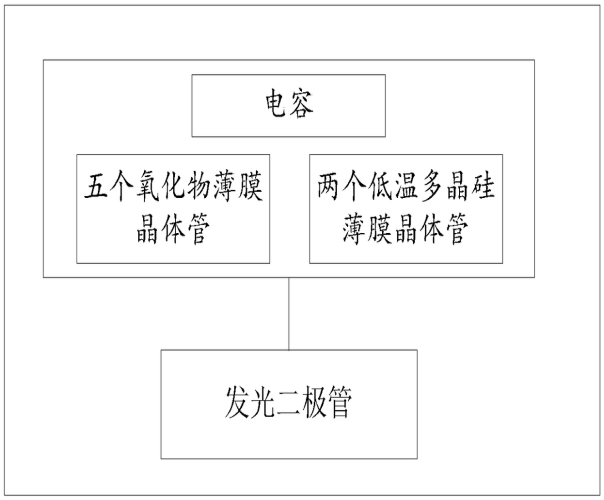

PVDD
Emit
M1
M4
Vdata
M3
Vref1
M5
M2
S2
S1
M6
CST
M7
Vref2
OLED

图4

专利名称(译)	像素结构、驱动方法、像素电路和显示面板		
公开(公告)号	CN108831377A	公开(公告)日	2018-11-16
申请号	CN201811004189.6	申请日	2018-08-30
[标]发明人	谢正芳 楼均辉		
发明人	谢正芳 楼均辉		
IPC分类号	G09G3/3208		
代理人(译)	许志勇		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种像素结构、像素电路和显示面板，该像素结构包括：发光二极管、七个晶体管和一个电容，该七个晶体管中包括五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管。本发明实施例中的像素结构、像素电路和显示面板中，通过在具有七个晶体管的像素结构采用五个氧化物薄膜晶体管和两个低温多晶硅薄膜晶体管的组合方案，既可以为更高性能的OLED驱动提供方案，也可以改善现有OLED驱动方式的诸多不足之处，增加电容保持时间。