



(12)实用新型专利

(10)授权公告号 CN 205910993 U

(45)授权公告日 2017.01.25

(21)申请号 201620913232.0

(22)申请日 2016.08.19

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 何晓龙 李治福 纪智元 姚继开

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 姜春咸 陈源

(51)Int.Cl.

G09G 3/32(2016.01)

(ESM)同样的发明创造已同日申请发明专利

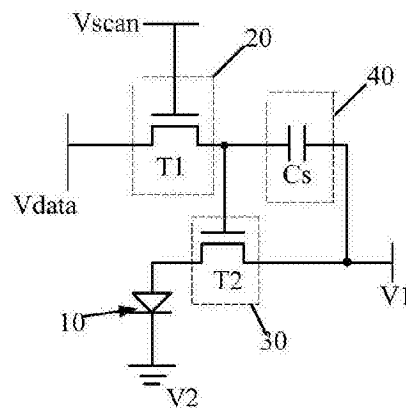
权利要求书1页 说明书5页 附图2页

(54)实用新型名称

像素电路、阵列基板和显示装置

(57)摘要

本实用新型提供一种像素电路、阵列基板、显示装置。所述像素电路包括无机电致发光器件、扫描端、数据写入端、第一电平输入端、第二电平输入端、选通模块、驱动模块和存储模块；所述选通模块的控制端与所述扫描端相连，输入端与所述数据写入端相连，输出端与所述驱动模块的控制端相连；驱动模块的输入端与第一电平输入端相连，输出端与无机电致发光器件的第一极相连；所述驱动模块用于根据数据信号向无机电致发光器件提供相应的驱动电流；无机电致发光器件的第二极与所述第二电平输入端相连；存储模块的第一端与所述第一电平输入端相连，存储模块的第二端与所述驱动模块的控制端相连。本实用新型能够改善无机电致发光显示装置的显示效果。



1. 一种像素电路,包括无机电致发光器件、扫描端、数据写入端,其特征在于,所述像素电路还包括:第一电平输入端、第二电平输入端、选通模块、驱动模块和存储模块;

所述选通模块的控制端与所述扫描端相连,所述选通模块的输入端与所述数据写入端相连,所述选通模块的输出端与所述驱动模块的控制端相连;所述选通模块用于在所述扫描端输入开启信号时导通、并在所述扫描端输入关断信号时断开;

所述驱动模块的输入端与所述第一电平输入端相连,所述驱动模块的输出端与所述无机电致发光器件的第一极相连;所述驱动模块用于根据其控制端接收到的数据信号向所述无机电致发光器件提供相应的驱动电流;所述无机电致发光器件的第二极与所述第二电平输入端相连;

所述存储模块的第一端与所述第一电平输入端相连,所述存储模块的第二端与所述驱动模块的控制端相连,所述存储模块用于在所述扫描端输入开启信号时对所述存储模块两端之间的电压进行存储。

2. 根据权利要求1所述的像素电路,其特征在于,所述选通模块包括选通晶体管,所述选通晶体管的栅极为所述选通模块的控制端,所述选通晶体管的第一极为所述选通模块的输入端,所述选通晶体管的第二极为所述选通模块的输出端。

3. 根据权利要求2所述的像素电路,其特征在于,所述选通晶体管为N型薄膜晶体管,所述开启信号为高电平信号。

4. 根据权利要求1所述的像素电路,其特征在于,所述驱动模块包括驱动晶体管,所述驱动晶体管的栅极为所述驱动模块的控制端,所述驱动晶体管的第一极为所述驱动模块的输入端,所述驱动晶体管的第二极为所述驱动模块的输出端。

5. 根据权利要求4所述的像素电路,其特征在于,所述驱动晶体管为N型薄膜晶体管。

6. 根据权利要求1所述的像素电路,其特征在于,所述存储模块包括存储电容,所述存储电容的第一端为所述存储模块的第一端,所述存储电容的第二端为所述存储模块的第二端。

7. 根据权利要求1至6中任一所述的像素电路,其特征在于,所述第一电平输入端为高电平输入端,所述第二电平输入端为低电平输入端。

8. 一种阵列基板,包括多条栅线和多条数据线,多条栅线和多条数据线将所述阵列基板划分为多个像素单元,其特征在于,每个像素单元内均设置有权利要求1至7中任意一项所述的像素电路,所述像素电路的扫描端与相应的栅线相连,所述像素电路的数据写入端与相应的数据线相连。

9. 一种显示装置,其特征在于,包括权利要求8所述的阵列基板。

像素电路、阵列基板和显示装置

技术领域

[0001] 本实用新型涉及显示技术领域,具体涉及一种像素电路、阵列基板和显示装置。

背景技术

[0002] 与有机电致发光(organic Light Emitting Diode,OLED)显示产品相比,无机电致发光二极管(inorganic Light Emitting Diode,iLED)显示产品具有高度透明(透过率>80%)、柔性、高色域、高信赖性、长寿命、低功耗、无需开模、可异形化、可维修等众多优势,

[0003] 目前,无机电致发光二极管的显示产品是通过无源驱动的方式实现显示的,即,无机电致发光二极管的一端与栅线相连,另一端与数据线相连,栅线提供扫描信号,数据线提供数据信号时,无机电致发光二极管的两端产生电压,从而开始发光。但是由于栅线是逐行进行扫描的,因此,当扫描至第n条栅线时,第n-1条栅线上没有扫描信号,这就导致在每一时刻只有一行显示单元发光,从而使得显示画面的整体亮度较低,显示效果越差,并且显示产品的尺寸越大,显示效果越差。

实用新型内容

[0004] 本实用新型旨在至少解决现有技术中存在的技术问题之一,提出了一种像素电路、阵列基板和显示装置,以改善无机电致发光显示产品的显示效果。

[0005] 为了解决上述技术问题之一,本实用新型提供一种像素电路,包括无机电致发光器件、扫描端、数据写入端,所述像素电路还包括:第一电平输入端、第二电平输入端、选通模块、驱动模块和存储模块;

[0006] 所述选通模块的控制端与所述扫描端相连,所述选通模块的输入端与所述数据写入端相连,所述选通模块的输出端与所述驱动模块的控制端相连;所述选通模块用于在所述扫描端输入开启信号时导通、并在所述扫描端输入关断信号时断开;

[0007] 所述驱动模块的输入端与所述第一电平输入端相连,所述驱动模块的输出端与所述无机电致发光器件的第一极相连;所述驱动模块用于根据其控制端接收到的数据信号向所述无机电致发光器件提供相应的驱动电流;所述无机电致发光器件的第二极与所述第二电平输入端相连;

[0008] 所述存储模块的第一端与所述第一电平输入端相连,所述存储模块的第二端与所述驱动模块的控制端相连,所述存储模块用于在所述扫描端输入开启信号时对所述存储模块两端之间的电压进行存储。

[0009] 优选地,所述选通模块包括选通晶体管,所述选通晶体管的栅极为所述选通模块的控制端,所述选通晶体管的第一极为所述选通模块的输入端,所述选通晶体管的第二极为所述选通模块的输出端。

[0010] 优选地,所述选通晶体管为N型薄膜晶体管,所述开启信号为高电平信号。

[0011] 优选地,所述驱动模块包括驱动晶体管,所述驱动晶体管的栅极为所述驱动模块的控制端,所述驱动晶体管的第一极为所述驱动模块的输入端,所述驱动晶体管的第二极

为所述驱动模块的输出端。

[0012] 优选地,所述驱动晶体管为N型薄膜晶体管。

[0013] 优选地,所述存储模块包括存储电容,所述存储电容的第一端为所述存储模块的第一端,所述存储电容的第二端为所述存储模块的第二端。

[0014] 优选地,所述第一电平输入端为高电平输入端,所述第二电平输入端为低电平输入端。

[0015] 相应地,本实用新型还提供一种阵列基板,包括多条栅线和多条数据线,多条栅线和多条数据线将所述阵列基板划分为多个像素单元,每个像素单元内均设置有本实用新型提供的上述像素电路,所述像素电路的扫描端与相应的栅线相连,所述像素电路的数据写入端与相应的数据线相连。

[0016] 相应地,本实用新型还提供一种显示装置,包括本实用新型提供的上述阵列基板。

[0017] 在本实用新型中,当扫描端输入开启信号时,选通模块导通,数据输入端的数据信号输入至驱动模块的控制端,驱动模块向无机电致发光器件提供与所述数据信号相应的驱动信号,以使得无机电致发光器件发出相应亮度的光;同时,存储模块对其两端之间的电压进行存储,该阶段可以看作选通阶段。当扫描端不再输入开启信号时,选通模块的输入端与输出端之间断开,而由于存储模块存储有第一电平输入端与数据输入端之间的电压,因此,驱动模块的控制端的电压保持与选通阶段相同,从而持续为无机电致发光器件提供与选通阶段相同的驱动电流,以使得无机电致发光器件持续发光。

[0018] 使用所述像素电路的显示装置在显示一帧画面时,逐行向像素电路的扫描端提供开启信号,当向第n行像素电路的扫描端提供开启信号时,相应的无机电致发光器件发光;当向第n行之后的像素电路的扫描端输入开启信号时,第n行像素电路的无机电致发光器件仍然保持发光,从而在保证无机电致发光显示装置的高色域、高透过率、寿命长等优点的前提下,使得无机电致发光显示装置的显示画面整体亮度更高、画面更连贯,进而改善显示效果;并且当无机电致发光器件应用于大尺寸的显示装置时同样可以达到良好的显示效果,从而使无机电致发光器件的应用范围更加广泛。

附图说明

[0019] 附图是用来提供对本实用新型的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本实用新型,但并不构成对本实用新型的限制。在附图中:

[0020] 图1是本实用新型的实施例中提供的像素电路的模块结构示意图;

[0021] 图2是本实用新型的实施例中提供的像素电路的具体结构示意图;

[0022] 图3是本实用新型的实施例中提供的像素电路的信号时序图;

[0023] 图4是图2的像素电路中提供给无机电致发光器件的驱动电流与数据写入端的电压的关系曲线图;

[0024] 图5是图2的像素电路中无机电致发光器件的亮度与驱动电流的关系曲线图。

[0025] 其中,附图标记为:

[0026] 10、无机电致发光器件;20、选通模块;30、驱动模块;40、存储模块;Vscan、扫描端;Vdata、数据写入端;V1、第一电平输入端;V2、第二电平输入端;T1、选通晶体管;T2、驱动晶体管;Cs、存储电容。

具体实施方式

[0027] 以下结合附图对本实用新型的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本实用新型,并不用于限制本实用新型。

[0028] 作为本实用新型的一方面,提供一种像素电路,如图1所示,所述像素电路包括无机电致发光器件10、扫描端Vscan、数据写入端Vdata、第一电平输入端、第二电平输入端V2、选通模块20、驱动模块30和存储模块40。选通模块20的控制端与扫描端Vscan相连,选通模块20的输入端与数据写入端Vdata相连,选通模块20的输出端与驱动模块30的控制端相连;选通模块20用于在扫描端Vscan输入开启信号时导通、并在扫描端Vscan输入关断信号时断开。可以理解的是,选通模块20导通是指其输入端和输出端之间有电流通过。驱动模块30的输入端与第一电平输入端V1相连,驱动模块30的输出端与无机电致发光器件10的第一极相连;驱动模块30用于根据其控制端接收到的数据信号向无机电致发光器件10提供相应的驱动电流。无机电致发光器件10的第二极与第二电平输入端V2相连。存储模块40的第一端与第一电平输入端V1相连,存储模块40的第二端与驱动模块30的控制端相连,存储模块40用于在扫描端Vscan输入开启信号时对存储模块40两端之间的电压进行存储。应当理解的是,第一电平输入端V1持续输入第一电平信号,第二电平输入端V2持续输入第二电平信号。

[0029] 在现有技术中,无机电致发光器件只有在扫描端输入开启信号时才有可能发光。而本实用新型中,当扫描端Vscan输入开启信号时,选通模块20导通,数据输入端Vdata的数据信号输入至驱动模块30的控制端,驱动模块30向无机电致发光器件10提供与所述数据信号相应的驱动信号,以使得无机电致发光器件10发出相应亮度的光;同时,存储模块40对其两端之间的电压(即,第一电平输入端V1与数据写入端Vdata之间的电压)进行存储;该阶段可以看作选通阶段。当扫描端Vscan不再输入开启信号时,选通模块20的输入端与输出端之间断开,而由于存储模块40存储有第一电平输入端V1与数据写入端Vdata之间的电压,因此,驱动模块30的控制端的电压保持与选通阶段相同,从而持续为无机电致发光器件10提供与选通阶段相同的驱动电流,以使得无机电致发光器件10持续发光;该阶段可以看作非选通阶段。因此,使用所述像素电路的显示装置在显示一帧画面时,逐行向像素电路的扫描端Vscan提供开启信号,当向第n行像素电路的扫描端Vscan提供开启信号时,相应的无机电致发光器件10发光;当向第n行之后的像素电路的扫描端Vscan输入开启信号时,第n行像素电路的无机电致发光器件10仍然保持发光,从而在保证无机电致发光显示装置的高色域、高透过率、寿命长等优点的前提下,使得无机电致发光显示装置的显示画面整体亮度更高、画面更连贯,进而改善显示效果;另外,即使显示装置的尺寸较大,通过像素电路的设置也可以达到良好的显示效果,从而使得无机电致发光器件10可以应用于大尺寸的显示装置中,应用范围更加广泛。

[0030] 其中,第一电平输入端V1为高电平输入端,第二电平输入端V2为低电平输入端,如,接地端。相应地,无机电致发光器件10的第一极为正极,第二极为负极。

[0031] 具体地,如图2所示,选通模块20包括选通晶体管T1,选通晶体管T1的栅极为选通模块20的控制端,选通晶体管T1的第一极为选通模块20的输入端,选通晶体管T1的第二极为选通模块20的输出端。即,选通晶体管T1的栅极与扫描端Vscan相连,选通晶体管T1的第一极与数据写入端Vdata相连,选通晶体管T1的第二极与驱动模块30的控制端相连。

[0032] 驱动模块30包括驱动晶体管T2,驱动晶体管T2的栅极为驱动模块30的控制端,驱动晶体管T2的第一极为驱动模块30的输入端,驱动晶体管T2的第二极为驱动模块30的输出端。即,驱动晶体管T2的栅极与选通晶体管T1的第二极相连,驱动晶体管T2的第一极与第一电平输入端V1相连,驱动晶体管T2的第二极与无机电致发光器件10相连。

[0033] 存储模块40包括存储电容Cs,存储电容Cs的第一端为存储模块40的第一端,存储电容Cs的第二端为存储模块40的第二端。

[0034] 在本实用新型中,选通晶体管T1和驱动晶体管T2均为N型薄膜晶体管,相应地,所述开启信号为使所述N型薄膜晶体管导通的高电平信号;所述关断信号为使所述N型薄膜晶体管关断的低电平信号。当然,选通晶体管T1和驱动晶体管T2也可以为P型薄膜晶体管,这时,所述开启信号为低电平信号。

[0035] 当扫描端Vscan输入开启信号时(即,图3中选通阶段①),选通晶体管T1导通,工作在线性区;数据写入端Vdata的数据信号通过选通晶体管T1写入驱动晶体管T2的栅极,驱动晶体管T2为无机电致发光器件10提供驱动电流(即,驱动晶体管T2的漏电流Id);同时,存储电容Cs对其两端的电压进行存储。在此期间,当数据写入端Vdata提供的数据信号的电压达到一定程度时,驱动晶体管T2工作在饱和区,所产生的驱动电流Id与驱动晶体管T2的栅极电压Vg成正比,从而控制无机电致发光器件10产生相应的亮度。驱动电流Id与驱动晶体管T2的栅极电压Vg(即,数据写入端Vdata的电压)关系曲线如图4所示,无机电致发光器件10的亮度(Brightness)与驱动电流Id的关系曲线如图5所示。图4中两条虚线之间的部分为数据信号的电压区,在此范围内,数据写入端Vdata提供的数据信号的电压越高,无机电致发光器件10的亮度越高,从而实现通过数据信号对无机电致发光器件10的亮度调节。当扫描端Vscan提供关断信号时(即,图3中的非选通阶段②),选通晶体管T1断开,而存储电容Cs两端的电压保持与选通阶段相同,从而使得驱动晶体管T2的栅极电压保持与选通阶段相同,进而使得无机电致发光器件10保持发光且亮度与选通阶段相同。

[0036] 下面介绍上述像素电路的驱动方法,所述驱动方法包括:

[0037] 在选通阶段,向所述像素电路的扫描端Vscan提供开启信号、向数据写入端Vdata提供数据信号,以使选通模块20导通,所述数据信号写入驱动模块30的控制端,驱动模块30根据所述数据信号为无机电致发光器件10提供相应的驱动电流;且存储模块40对其两端的电压进行存储。

[0038] 在所述选通阶段之后的非选通阶段,向所述像素电路的扫描端Vscan提供关断信号,以使选通模块20断开,存储模块40两端的电压保持不变,从而使得驱动模块30的控制端的电压保持与所述选通阶段相同,仍等于所述数据信号的电压,因此,在所述非选通阶段,驱动模块30继续为无机电致发光器件10提供与所述选通阶段相同的驱动电流。

[0039] 如上文所述,选通模块20包括选通晶体管T1,驱动模块30包括驱动晶体管T2,存储模块40包括存储电容Cs。这时,在所述选通阶段,选通晶体管T1和驱动晶体管T2均导通,驱动晶体管T2根据其栅极电压产生相应的漏电流;存储电容Cs两端对其两端之间的电压进行存储。在非选通阶段,选通晶体管T1关断,而存储电容Cs两端的电压保持不变,从而使得驱动晶体管T2的栅极电压保持不变,驱动晶体管T2继续为无机电致发光器件10提供与所述选通阶段相同的驱动电流。当选通晶体管T1和驱动晶体管T2为N型薄膜晶体管时,在所述选通阶段,向所述扫描端Vscan提供的开启信号为高电平信号。

[0040] 作为本实用新型的另一方面,提供一种阵列基板,包括多条栅线和多条数据线,多条栅线和多条数据线将所述阵列基板划分为多个像素单元,每个像素单元内均设置有上述像素电路,所述像素电路的扫描端与相应的栅线相连,所述像素电路的数据写入端与相应的数据线相连。当然,阵列基板还可以包括第一电平信号线和第二电平信号线,第一电平信号线用于为各个像素电路的第一电平输入端提供第一电平信号;第二电平信号线用于为各个像素电路的第二电平输入端提供第二电平信号。

[0041] 作为本实用新型的再一方面,提供一种显示装置,包括上述阵列基板。

[0042] 所述显示装置还包括栅极驱动电路和源极驱动电路,其中,所述栅极驱动电路可以设置在阵列基板上,用于向多条栅线逐行提供开启信号,所述源极驱动电路用于向多条数据线分别提供相应的数据信号。所述显示装置在显示一帧图像时,栅极驱动电路向多条栅线逐行提供开启信号。当向第 n 条栅线提供开启信号时,源极驱动电路分别向各数据线提供与第 n 行的各像素单元灰阶相对应的数据信号,此时,第 n 行像素电路处于选通阶段,相应的无机电致发光器件发出相应亮度的光线。当向第 $n+1$ 行像素电路提供开启信号时,源极驱动电路分别向各数据线提供与第 $n+1$ 行的各像素单元灰阶相对应的数据信号,此时,第 $n+1$ 行像素电路处于选通阶段,从而使第 $n+1$ 行的各无机电致发光器件发出相应亮度的光线;同时,第 n 行的像素电路处于非选通阶段,由于所述像素电路的驱动模块在非选通阶段仍然为无机电致发光器件提供与选通阶段相同的驱动电流,因此,当第 $n+1$ 行的各无机电致发光器件发光时,第 n 行的各无机电致发光器件保持原来的亮度,直至显示出完整的画面。

[0043] 以上为对本实用新型提供的像素电路及其驱动方法、阵列基板和显示装置的描述,可以看出,和现有技术中的无机电致发光显示装置相比,本实用新型提供的像素电路的扫描端在选通阶段输入开启信号时,无机电致发光器件发光;而在选通阶段之后,扫描端输入关断信号时,无机电致发光器件仍然可以发光。因此,采用所述像素电路的无机电致发光显示装置中对栅线进行逐行扫描以显示图像时,扫描至下一行时,上一行像素单元仍然保持原来的发光状态,从而在保证无机电致发光显示装置的高色域、高透过率、寿命长等优点的前提下,使得无机电致发光显示装置的显示画面整体亮度更高、画面更连贯,进而改善显示效果。另外,即使显示装置的尺寸较大,通过像素电路的设置也可以达到良好的显示效果,从而使得无机电致发光器件应用于大尺寸的显示装置中,应用范围更加广泛。

[0044] 可以理解的是,以上实施方式仅仅是为了说明本实用新型的原理而采用的示例性实施方式,然而本实用新型并不局限于此。对于本领域内的普通技术人员而言,在不脱离本实用新型的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本实用新型的保护范围。

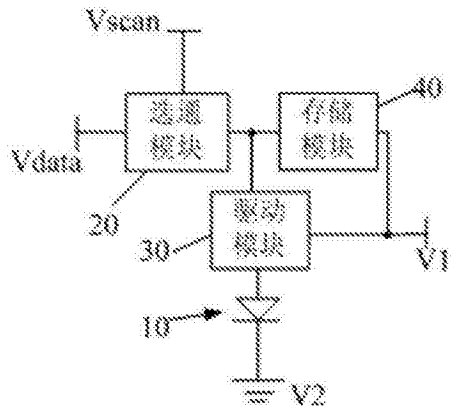


图1

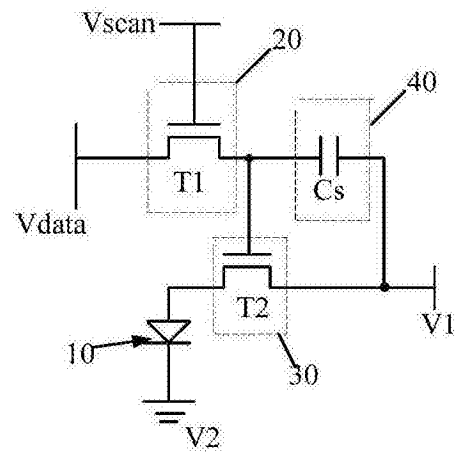


图2

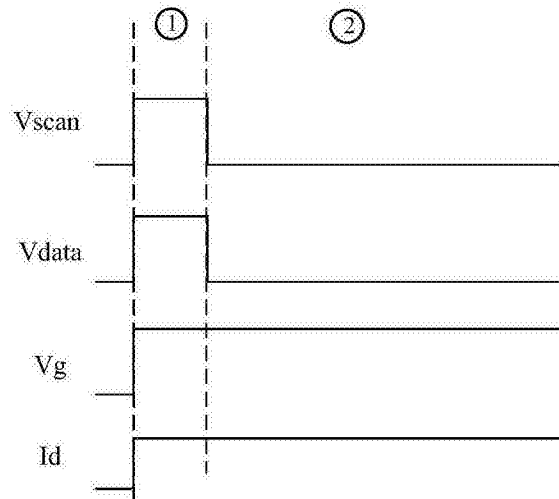


图3

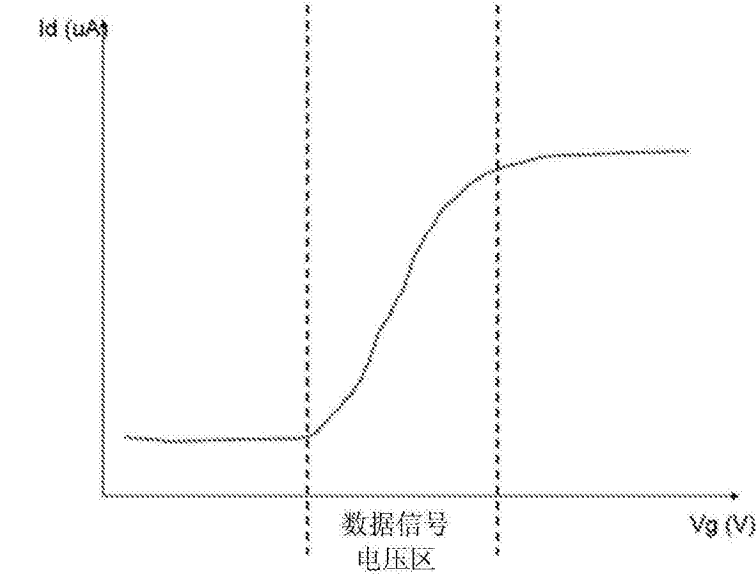


图4

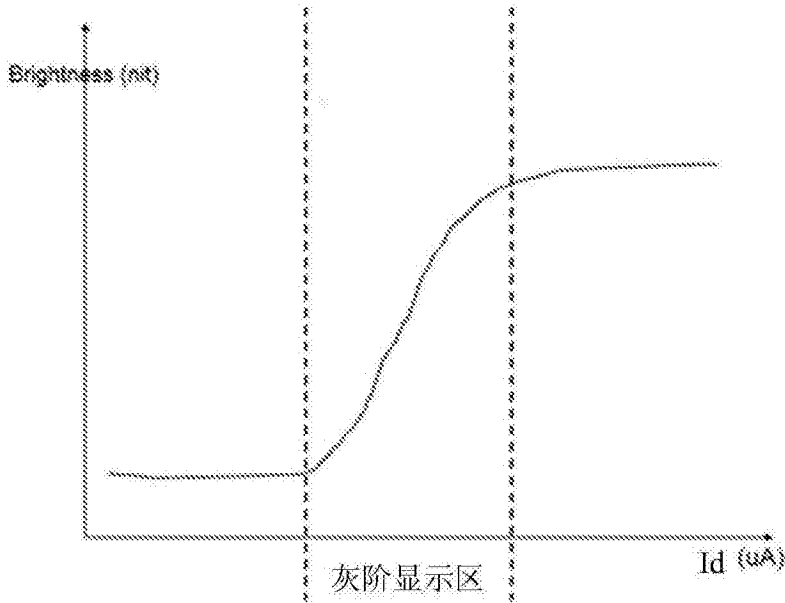


图5

专利名称(译)	像素电路、阵列基板和显示装置		
公开(公告)号	CN205910993U	公开(公告)日	2017-01-25
申请号	CN201620913232.0	申请日	2016-08-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	何晓龙 李治福 纪智元 姚继开		
发明人	何晓龙 李治福 纪智元 姚继开		
IPC分类号	G09G3/32		
代理人(译)	陈源		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提供一种像素电路、阵列基板、显示装置。所述像素电路包括无机电致发光器件、扫描端、数据写入端、第一电平输入端、第二电平输入端、选通模块、驱动模块和存储模块；所述选通模块的控制端与所述扫描端相连，输入端与所述数据写入端相连，输出端与所述驱动模块的控制端相连；驱动模块的输入端与第一电平输入端相连，输出端与无机电致发光器件的第一极相连；所述驱动模块用于根据数据信号向无机电致发光器件提供相应的驱动电流；无机电致发光器件的第二极与所述第二电平输入端相连；存储模块的第一端与所述第一电平输入端相连，存储模块的第二端与所述驱动模块的控制端相连。本实用新型能够改善无机电致发光显示装置的显示效果。

