



(12)发明专利申请

(10)申请公布号 CN 110767160 A
(43)申请公布日 2020. 02. 07

(21)申请号 201911022975.3

(22)申请日 2019.10.25

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 刘世奇

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 黄灵飞

(51)Int.Cl.

G09G 3/3208(2016.01)

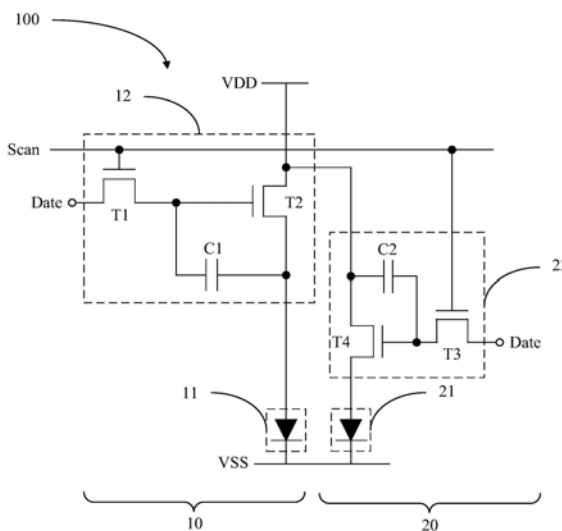
权利要求书2页 说明书7页 附图4页

(54)发明名称

像素单元及显示面板

(57)摘要

本申请提出了一种像素单元及显示面板,该像素单元至少包括第一区和第二区;该第一区至少设置有一第一发光单元,该第二区至少设置有一第二发光单元。当该像素单元处于工作状态时,该第一发光单元、该第二发光单元中的一者处于发光状态。本申请通过在一个像素单元内设置至少两个发光单元,一发光单元对应一驱动电路,通过对该像素单元输入不同的驱动信号,使该第一发光单元及该第二发光单元交互工作,延长了有机发光二极管及薄膜晶体管的使用寿命,避免了显示面板出现残影等技术问题。



1. 一种像素单元,其特征在于,至少包括第一区和第二区;
所述第一区至少设置有一第一发光单元;
所述第二区至少设置有一第二发光单元;
当所述像素单元处于工作状态时,所述第一发光单元、所述第二发光单元中的一者处于发光状态。
2. 根据权利要求1所述的像素单元,其特征在于,
所述第一区还设置有第一驱动电路,所述第一驱动电路与所述第一发光单元电连接;
所述第二区还设置有第二驱动电路,所述第二驱动电路与所述第二发光单元电连接;
当所述像素单元处于工作状态时,所述第一驱动电路用于驱动所述第一发光单元发光、或者所述第二驱动电路用于驱动所述第二发光单元发光。
3. 根据权利要求2所述的像素单元,其特征在于,
所述第一驱动电路至少包括第一薄膜晶体管、第二薄膜晶体管及第一存储电容;
所述第二驱动电路至少包括第三薄膜晶体管、第四薄膜晶体管及第二存储电容;
其中,所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管、及所述第四薄膜晶体管为P型晶体管或N型晶体管中的一种;
所述第四薄膜晶体管的晶体管类型与所述第一薄膜晶体管、所述第二薄膜晶体管、及所述第三薄膜晶体管相异。
4. 根据权利要求3所述的像素单元,其特征在于,
所述第一薄膜晶体管的栅极与扫描信号线电连接,所述第一薄膜晶体管的源极/漏极与数据信号线电连接,所述第一薄膜晶体管的漏极/源极与所述第一存储电容的第一电极板及所述第二薄膜晶体管的栅极电连接;
所述第二薄膜晶体管的源极/漏极与像素单元的输入端电连接,所述第二薄膜晶体管的漏极/源极与所述第一存储电容的第二电极板及所述第一发光单元电连接;
所述第三薄膜晶体管的栅极与所述扫描信号线电连接,所述第三薄膜晶体管的源极/漏极与数据信号线电连接,所述第一薄膜晶体管的漏极/源极与所述第二存储电容的第一电极板及所述第二薄膜晶体管的栅极电连接;
所述第四薄膜晶体管的源极/漏极与像素单元的输入端电连接及所述第二存储电容的第二电极板电连接,所述第四薄膜晶体管的漏极/源极与所述第二发光单元电连接。
5. 根据权利要求1所述的像素单元,其特征在于,
所述第一发光单元和所述第二发光单元的颜色相同。
6. 根据权利要求1所述的像素单元,其特征在于,
所述像素单元还包括第三区;
所述第三区设置有第三驱动电路和第三发光单元,所述第三驱动电路与所述第三发光单元电连接;
所述第三驱动电路的结构与第一驱动电路或第二驱动电路的结构相同。
7. 根据权利要求6所述的像素单元,其特征在于,所述第一发光单元、所述第二发光单元及所述第三发光单元的颜色相同。
8. 根据权利要求1所述的像素单元,其特征在于,
所述像素单元还包括第四发光单元;

所述第四发光单元位于所述第一区或者所述第二区内；

所述第四发光单元的颜色与对应区域内发光单元的颜色相同。

9. 根据权利要求8所述的像素单元,其特征在於,

所述第四发光单元位于所述第一区内；

第一驱动电路与所述第四发光单元电连接,所述第一驱动电路用于驱动所述第一发光单元及所述第四发光单元发光；

或者

所述第四发光单元位于所述第二区内；

第二驱动电路与所述第四发光单元电连接,所述第二驱动电路用于驱动所述第二发光单元及所述第四发光单元发光。

10. 一种显示面板,其特征在於,所述显示面板包括如权利要求1~9任一项所述的像素单元。

像素单元及显示面板

技术领域

[0001] 本申请涉及显示领域,特别涉及一种像素单元及显示面板。

背景技术

[0002] 在显示技术中,有机发光二极管(Organic Light-Emitting Diode,OLED)显示器具有轻薄、主动发光、响应速度快、可视角大、色域宽、亮度高和功耗低等众多优点,逐渐成为继液晶显示器(LCD)后的第三代显示技术。

[0003] 随着屏幕点亮时间变长,OLED显示面板的弊病逐步展现,例如当显示面板长时间点亮时,OLED器件将逐渐衰减或/和TFT器件阈值电压漂移,导致显示面板出现残影,降低显示面板的品质。

[0004] 因此,亟需一种显示面板以解决上述技术问题。

发明内容

[0005] 本申请提供一种像素单元及显示面板,以解决现有显示面板出现残影的技术问题。

[0006] 为解决上述问题,本申请提供的技术方案如下:

[0007] 本申请提供一种像素单元,其中,所述像素单元至少包括第一区和第二区;

[0008] 所述第一区至少设置有一第一发光单元;

[0009] 所述第二区至少设置有一第二发光单元;

[0010] 当所述像素单元处于工作状态时,所述第一发光单元、所述第二发光单元中的一者处于发光状态。

[0011] 在本申请的像素单元中,

[0012] 所述第一区还设置有第一驱动电路,所述第一驱动电路与所述第一发光单元电连接;

[0013] 所述第二区还设置有第二驱动电路,所述第二驱动电路与所述第二发光单元电连接;

[0014] 当所述像素单元处于工作状态时,所述第一驱动电路用于驱动所述第一发光单元发光、或者所述第二驱动电路用于驱动所述第二发光单元发光。

[0015] 在本申请的像素单元中,

[0016] 所述第一驱动电路至少包括第一薄膜晶体管、第二薄膜晶体管及第一存储电容;

[0017] 所述第二驱动电路至少包括第三薄膜晶体管、第四薄膜晶体管及第二存储电容;

[0018] 其中,所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管、及所述第四薄膜晶体管为P型晶体管或N型晶体管中的一种;

[0019] 所述第四薄膜晶体管的晶体管类型与所述第一薄膜晶体管、所述第二薄膜晶体管、及所述第三薄膜晶体管相异。

[0020] 在本申请的像素单元中,

[0021] 所述第一薄膜晶体管的栅极与扫描信号线电连接,所述第一薄膜晶体管的源极/漏极与数据信号线电连接,所述第一薄膜晶体管的漏极/源极与所述第一存储电容的第一电极板及所述第二薄膜晶体管的栅极电连接;

[0022] 所述第二薄膜晶体管的源极/漏极与像素单元的输入端电连接,所述第二薄膜晶体管的漏极/源极与所述第一存储电容的第二电极板及所述第一发光单元电连接;

[0023] 所述第三薄膜晶体管的栅极与所述扫描信号线电连接,所述第三薄膜晶体管的源极/漏极与数据信号线电连接,所述第一薄膜晶体管的漏极/源极与所述第二存储电容的第一电极板及所述第二薄膜晶体管的栅极电连接;

[0024] 所述第四薄膜晶体管的源极/漏极与像素单元的输入端电连接及所述第四存储电容的第二电极板电连接,所述第二薄膜晶体管的漏极/源极与所述第二发光单元电连接。

[0025] 在本申请的像素单元中,

[0026] 所述第一发光单元和所述第二发光单元的颜色相同。

[0027] 在本申请的像素单元中,所述像素单元还包括第三区;

[0028] 所述第三区设置有第三驱动电路和第三发光单元,所述第三驱动电路与所述第三发光单元电连接;

[0029] 所述第三驱动电路的结构与第一驱动电路或第二驱动电路的结构相同。

[0030] 在本申请的像素单元中,所述第一发光单元、所述第二发光单元及所述第三发光单元的颜色相同。

[0031] 在本申请的像素单元中,所述像素单元还包括第四发光单元;

[0032] 所述第四发光单元位于所述第一区或者所述第二区内;

[0033] 所述第四发光单元的颜色与对应区域内发光单元的颜色相同。

[0034] 在本申请的像素单元中,

[0035] 所述第四发光单元位于所述第一区内;

[0036] 第一驱动电路与所述第四发光单元电连接,所述第一驱动电路用于驱动所述第一发光单元及所述第四发光单元发光;

[0037] 或者

[0038] 所述第四发光单元位于所述第二区内;

[0039] 第二驱动电路与所述第四发光单元电连接,所述第二驱动电路用于驱动所述第二发光单元及所述第四发光单元发光。

[0040] 本申请还提出了一种显示面板,其中,所述显示面板包括上述像素单元。

[0041] 有益效果:本申请通过在一个像素单元内设置至少两个发光单元,一发光单元对应一驱动电路,通过对所述像素单元输入不同的驱动信号,使所述第一发光单元及所述第二发光单元交互工作,延长了有机发光二极管及薄膜晶体管的使用寿命,避免了显示面板出现残影等技术问题。

附图说明

[0042] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附

图获得其他的附图。

[0043] 图1为本申请像素单元的第一种电路结构图；

[0044] 图2为本申请像素单元驱动电路的时序控制图；

[0045] 图3为本申请像素单元的第二种电路结构图；

[0046] 图4为本申请像素单元的第三种电路结构图。

具体实施方式

[0047] 以下各实施例的说明是参考附加的图示,用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本申请,而非用以限制本申请。在图中,结构相似的单元是用以相同标号表示。

[0048] 现有显示面板由于长时间的点亮,使得OLED器件将逐渐衰减或/和TFT器件阈值电压漂移,导致显示面板出现残影等技术问题。

[0049] 本申请提供一种像素单元,所述像素单元至少包括第一区和第二区。所述第一区至少设置有一第一发光单元,所述第二区至少设置有一第二发光单元。当所述像素单元处于工作状态时,所述第一发光单元、所述第二发光单元中的一者处于发光状态。

[0050] 本申请通过在一个像素单元内设置至少两个发光单元。两个发光的颜色可以相同或不同,颜色的具体设置可以根据对应驱动电路设置。本申请通过使得位于一个像素单元内的发光单元交互工作,大大延长了发光单元的使用寿命,避免了显示面板残影的发生。

[0051] 请参阅图1,图1为本申请像素单元的第一种电路结构图。

[0052] 所述显示单元包括第一区10和第二区20。

[0053] 所述第一区10内设置有第一驱动电路12及位于所述第一驱动电路12上的第一发光单元11,所述第一驱动电路12与所述第一发光单元11电连接,所述第一驱动电路12用于驱动所述第一发光单元11发光。

[0054] 所述第二区20内设置有第二驱动电路22及位于所述第二驱动电路22上的第二发光单元21,所述第二驱动电路22与所述第二发光单元21电连接,所述第二驱动电路22用于驱动所述第二发光单元21发光。

[0055] 在一种实施例中,当所述像素单元处于工作状态时,所述第一驱动电路12用于驱动所述第一发光单元11发光、或者所述第二驱动电路22用于驱动所述第二发光单元21发光。

[0056] 所述第一发光单元11/所述第二发光单元21通过所述第一驱动电路12/所述第二驱动电路22在所述像素单元内进行交互性工作。延长了所述第一发光单元11、所述第二发光单元21、所述第一驱动电路12、以及所述第二驱动电路22的使用寿命。

[0057] 在一种实施例中,所述第一驱动电路12可以至少包括第一薄膜晶体管T1、第二薄膜晶体管T2及第一存储电容C1。所述第二驱动电路22至少包括第三薄膜晶体管T3、第四薄膜晶体管T4及第二存储电容C2。

[0058] 请参阅图1,本申请的驱动电路以简单的2T1C(2个薄膜晶体管以及1个存储电容)为例进行说明。

[0059] 本申请中所述第一薄膜晶体管T1、所述第二薄膜晶体管T2、所述第三薄膜晶体管

T3、及所述第四薄膜晶体管T4为P型晶体管或N型晶体管中的一种。

[0060] 在一种实施例中,所述第四薄膜晶体管T4的晶体管类型与所述第一薄膜晶体管T1、所述第二薄膜晶体管T2、及所述第三薄膜晶体管T3相异。本申请实施例以所述第一薄膜晶体管T1、所述第二薄膜晶体管T2、所述第三薄膜晶体管T3为N型晶体管,所述第四薄膜晶体管T4为P型晶体管为例进行说明。

[0061] 请参阅图1,所述第一薄膜晶体管T1的栅极与扫描信号线电连接,所述第一薄膜晶体管T1的源极/漏极与数据信号线电连接,所述第一薄膜晶体管T1的漏极/源极与所述第一存储电容C1的第一电极板及所述第二薄膜晶体管T2的栅极电连接。

[0062] 所述第二薄膜晶体管T2的源极/漏极与像素单元的输入端电连接,所述第二薄膜晶体管T2的漏极/源极与所述第一存储电容C1的第二电极板及所述第一发光单元11电连接。

[0063] 所述第三薄膜晶体管T3的栅极与所述扫描信号线电连接,所述第三薄膜晶体管T3的源极/漏极与数据信号线电连接,所述第一薄膜晶体管T1的漏极/源极与所述第二存储电容C2的第一电极板及所述第二薄膜晶体管T2的栅极电连接。

[0064] 所述第四薄膜晶体管T4的源极/漏极与像素单元的输入端电连接及所述第二存储电容C2的第二电极板电连接,所述第四薄膜晶体管T4的漏极/源极与所述第二发光单元21电连接。

[0065] 在一种实施例中,所述第一发光单元11及所述第二发光单元21为有机发光二极管。所述第一发光单元11的阳极与所述第二薄膜晶体管T2的源极/漏极及所述第一存储电容C1的第二电极板电连接,所述第二发光单元21的阳极与所述第四薄膜晶体管T4的源极/漏极电连接,所述第一发光单元11及所述第二发光单元21的阴极与恒压低电平源VSS电连接。

[0066] 在一种实施例中,所述第一发光单元11和所述第二发光单元21的颜色可以相同。

[0067] 请参阅图2,图2为本申请像素单元驱动电路的时序控制图。

[0068] 上述时序控制图中的一个周期包括 $0\sim t_1$ 、 $t_1\sim t_2$ 、 $t_2\sim t_3$ 、 $t_3\sim t_4$ 四个时段,不同时间段数据信号线及扫描信号线输入不同电压信号。

[0069] 在 $0\sim t_1$ 时间段,所述扫描信号线及所述数据信号线输出高电平信号。

[0070] 在本实施例中,所述第一薄膜晶体管T1的栅极与所述扫描信号线电连接,由于所述第一薄膜晶体管T1为N型晶体管,因此所述扫描信号线输入高电平信号将所述第一薄膜晶体管T1的开关打开,所述数据信号线输入的高电平信号从所述第一薄膜晶体管T1的源极输入至所述第一薄膜晶体管T1的漏极,并传输至所述第二薄膜晶体管T2的栅极以及所述第一存储电容C1的第一电极板。

[0071] 由于所述第二薄膜晶体管T2为N型薄膜晶体管,因此所述第一薄膜晶体管T1传输过来的高电平信号使得所述第二薄膜晶体管T2的开关打开,所述像素单元的恒压高电平源VDD通过所述第二薄膜晶体管T2的源极输入至所述第二薄膜晶体管T2的漏极,并传输至所述第一存储电容C1的第二电极板及所述第一发光单元11的阳极。所述第一存储电容C1处于充电状态。所述第一发光单元11的阴极连接恒压低电平源,因此在 $0\sim t_1$ 时间段所述第一发光单元11发光。

[0072] 所述第三薄膜晶体管T3的栅极接收所述扫描信号线输出的高电平信号,由于所述

第三薄膜晶体管T3为N型晶体管,所述第三薄膜晶体管T3的开关打开,所述数据信号线输入的高电平信号从所述第三薄膜晶体管T3的源极输入至所述第三薄膜晶体管T3的漏极,并传输至所述第四薄膜晶体管T4的栅极。由于所述第四薄膜晶体管T4为P型晶体管,因此高电平信号无法将所述第四薄膜晶体管T4的开关打开,因此在 $0\sim t_1$ 时间段所述第二发光单元21不发光。

[0073] 在 $t_1\sim t_2$ 时间段,所述扫描信号线输出低电平信号,所述数据信号线输出高电平信号。

[0074] 在本实施例中,所述第一薄膜晶体管T1的栅极与所述扫描信号线电连接,由于所述第一薄膜晶体管T1为N型晶体管,因此所述扫描信号线输入低电平信号无法将所述第一薄膜晶体管T1的开关打开,所述数据信号线输出的信号无法传输至所述第二薄膜晶体管T2。此时,所述第一存储电容C1处于放电状态,所述第一存储电容C1释放的高电平信号将所述第二薄膜晶体管T2打开,所述像素单元的恒压高电平源VDD通过所述第二薄膜晶体管T2的源极输入至所述第二薄膜晶体管T2的漏极,并传输至所述第一发光单元11的阳极。所述第一发光单元11的阴极连接恒压低电平源,因此在 $t_1\sim t_2$ 时间段所述第一发光单元11发光。

[0075] 由于所述扫描信号线输出低电平信号,因此所述第三薄膜晶体管T3的开关无法打开。而在 $0\sim t_1$ 时间段,所述第二存储电容C2没有进行充电,因此在 $t_1\sim t_2$ 时间段所述第二发光单元21不发光。

[0076] 在 $t_2\sim t_3$ 时间段,所述扫描信号线输出高电平信号,所述数据信号线输出低电平信号。

[0077] 在本实施例中,所述第一薄膜晶体管T1的栅极与所述扫描信号线电连接,由于所述第一薄膜晶体管T1为N型晶体管,因此所述扫描信号线输入低电平信号无法将所述第一薄膜晶体管T1的开关打开,所述数据信号线输出的信号无法传输至所述第二薄膜晶体管T2。而所述第一存储电容C1无电容释放,所述第二薄膜晶体管T2处于关闭状态,因此所述像素单元的恒压高电平源VDD无法传输至所述第一发光单元11的阳极。因此在 $t_2\sim t_3$ 时间段所述第一发光单元11不发光。

[0078] 所述第三薄膜晶体管T3的栅极与所述扫描信号线电连接,由于所述第三薄膜晶体管T3为N型晶体管,因此所述扫描信号线输入高电平信号将所述第三薄膜晶体管T3的开关打开,所述数据信号线输入的低电平信号从所述第三薄膜晶体管T3的源极输入至所述第三薄膜晶体管T3的漏极,并传输至所述第四薄膜晶体管T4的栅极以及所述第二存储电容C2的第一电极板。

[0079] 由于所述第四薄膜晶体管T4为P型薄膜晶体管,因此所述第三薄膜晶体管T3传输过来的低电平信号使得所述第四薄膜晶体管T4的开关打开,所述像素单元的恒压高电平源VDD通过所述第二薄膜晶体管T2的源极输入至所述第二薄膜晶体管T2的漏极,并传输至所述第二存储电容C2的第二电极板及所述第二发光单元21的阳极。所述第二存储电容C2处于充电状态。所述第二发光单元21的阴极连接恒压低电平源,因此在 $t_2\sim t_3$ 时间段所述第二发光单元21发光。

[0080] 在 $t_3\sim t_4$ 时间段,所述扫描信号线及所述数据信号线输出低电平信号。

[0081] 在本实施例中,所述第三薄膜晶体管T3的栅极与所述扫描信号线电连接,由于所

述第三薄膜晶体管T3为N型晶体管,因此所述扫描信号线输入低电平信号无法将所述第一薄膜晶体管T1的开关打开,所述数据信号线输出的信号无法传输至所述第二薄膜晶体管T2。此时,所述第二存储电容C2处于放电状态,所述第二存储电容C2释放的低电平信号将所述第四薄膜晶体管T4打开,所述像素单元的恒压高电平源VDD通过所述第四薄膜晶体管T4的源极输入至所述第四薄膜晶体管T4的漏极,并传输至所述第二发光单元21的阳极。所述第二发光单元21的阴极连接恒压低电平源,因此在 $t_3 \sim t_4$ 时间段所述第二发光单元21发光。

[0082] 由于所述扫描信号线输出低电平信号,因此所述第一薄膜晶体管T1的开关无法打开。而在 $t_2 \sim t_3$ 时间段,所述第一存储电容C1没有进行充电,因此在 $t_3 \sim t_4$ 时间段所述第一发光单元11不发光。

[0083] 在一种实施例中,所述像素单元还可以包括第三区30。

[0084] 所述第三区30设置有第三驱动电路32和第三发光单元31,所述第三驱动电路32与所述第三发光单元31电连接,所述第三驱动电路32用于驱动所述第三发光单元31发光。

[0085] 在一种实施例中,所述第三驱动电路32的结构可以与所述第一驱动电路12或所述第二驱动电路22的结构相同。

[0086] 请参阅图3,图3为本申请像素单元的第二种电路结构图。

[0087] 所述第三驱动电路32的结构与所述第一驱动电路12的结构相同。

[0088] 在 $0 \sim t_1$ 时间段,所述扫描信号线及所述数据信号线输出高电平信号。所述第一发光单元11及所述第三发光单元31发光,所述第二发光单元21不发光。

[0089] 在 $t_1 \sim t_2$ 时间段,所述扫描信号线输出低电平信号,所述数据信号线输出高电平信号。所述第一发光单元11及所述第三发光单元31发光,所述第二发光单元21不发光。

[0090] 在 $t_2 \sim t_3$ 时间段,所述扫描信号线输出高电平信号,所述数据信号线输出低电平信号。所述第一发光单元11及所述第三发光单元31不发光,所述第二发光单元21发光。

[0091] 在 $t_3 \sim t_4$ 时间段,所述扫描信号线及所述数据信号线输出低电平信号。所述第一发光单元11及所述第三发光单元31不发光,所述第二发光单元21发光。

[0092] 在一种实施例中,所述第一发光单元11、所述第二发光单元21及所述第三发光单元31的颜色可以相同。

[0093] 在一种实施例中,所述像素单元还可以包括第四发光单元13。

[0094] 所述第四发光单元13可以位于所述第一区10或者所述第二区20内。

[0095] 所述第四发光单元13位于所述第一区10内,第一驱动电路12与所述第四发光单元13电连接,所述第一驱动电路12用于驱动所述第一发光单元11及所述第四发光单元13发光。或者

[0096] 所述第四发光单元13位于所述第二区20内,第二驱动电路22与所述第四发光单元13电连接,所述第二驱动电路22用于驱动所述第二发光单元21及所述第四发光单元13发光。

[0097] 请参阅图4,图4为本申请像素单元的第三种电路结构图。

[0098] 所述第四发光单元13位于所述第一区10内。所述第一驱动电路12同时控制所述第一发光单元11及所述第四发光单元13。

[0099] 在一种实施例中,所述第四发光单元13的颜色与对应区域内发光单元的颜色相

同。

[0100] 由于在 $0\sim t_1$ 、 $t_1\sim t_2$ 时间段,所述第一发光单元11及所述第四发光单元13发光, $t_2\sim t_3$ 、 $t_3\sim t_4$ 时间段,所述第二发光单元21发光。因此在 $0\sim t_2$ 时间段,对应的显示设备发光亮度大于 $t_2\sim t_4$ 时间段。当显示设备在暗光环境下,可以控制使像素单元处于 $t_2\sim t_4$ 时间段。当显示设备在强光环境下时,可以控制使像素单元处于 $0\sim t_2$ 时间段。

[0101] 本申请还提出了一种显示面板,所述显示面板包括上述像素单元。所述显示面板的工作原理与上述像素单元的相同或相似,本申请不再赘述。

[0102] 本申请提出了一种像素单元及显示面板,该像素单元至少包括第一区和第二区;所述第一区至少设置有一第一发光单元,所述第二区至少设置有一第二发光单元。当所述像素单元处于工作状态时,所述第一发光单元、所述第二发光单元中的一者处于发光状态。本申请通过在一个像素单元内设置至少两个发光单元,一发光单元对应一驱动电路,通过对所述像素单元输入不同的驱动信号,使所述第一发光单元及所述第二发光单元交互工作,延长了有机发光二极管及薄膜晶体管的使用寿命,避免了显示面板出现残影等技术问题。

[0103] 综上所述,虽然本申请已以优选实施例揭露如上,但上述优选实施例并非用以限制本申请,本领域的普通技术人员,在不脱离本申请的精神和范围内,均可作各种更动与润饰,因此本申请的保护范围以权利要求界定的范围为准。

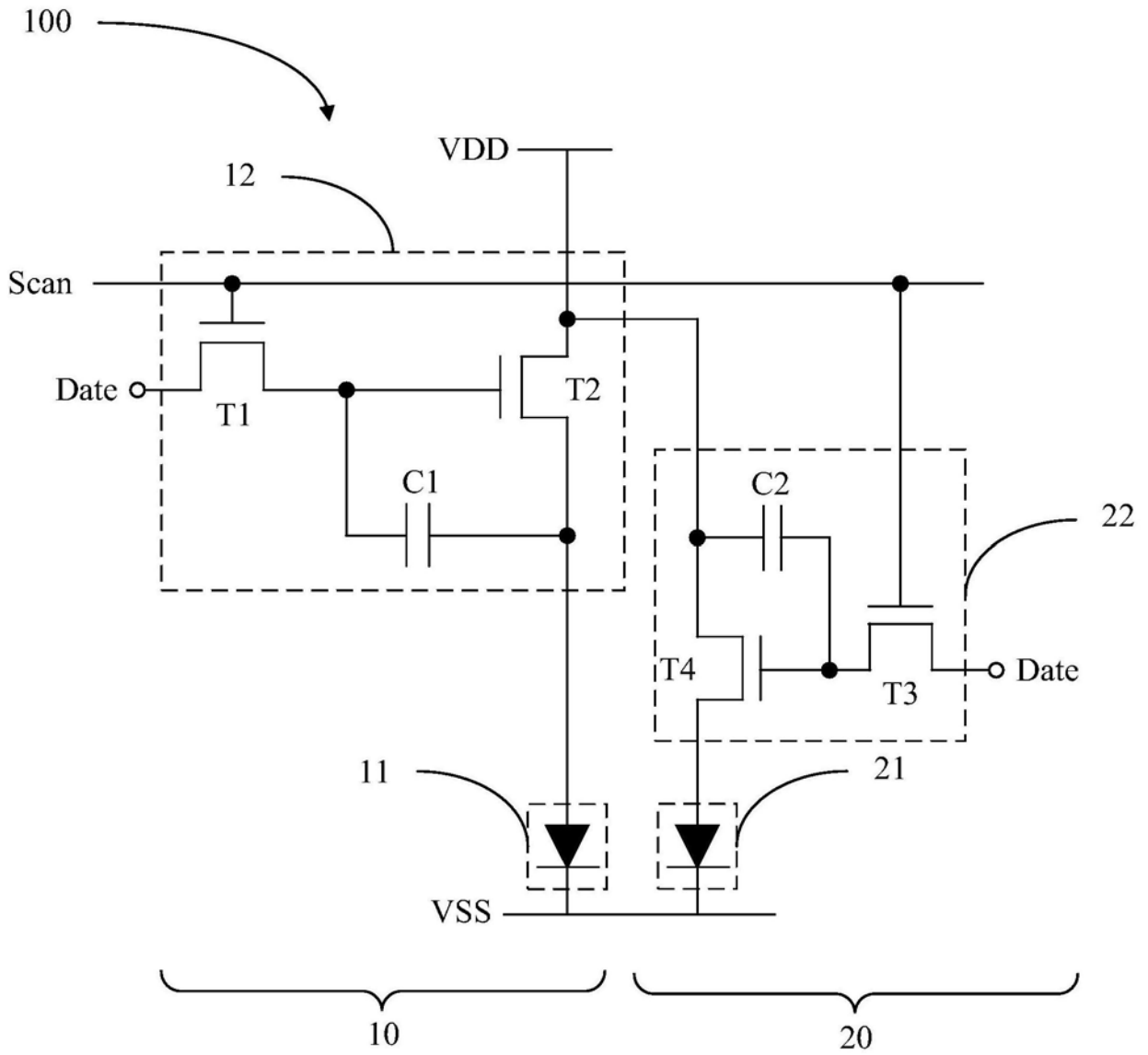


图1

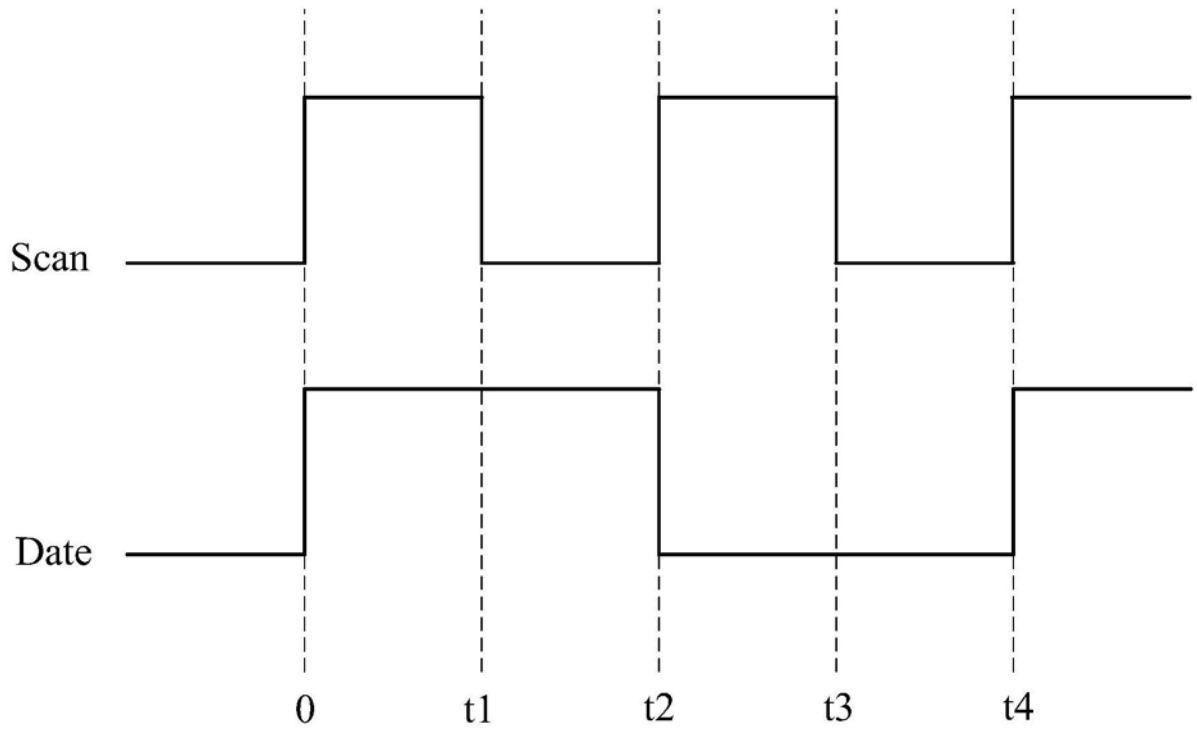


图2

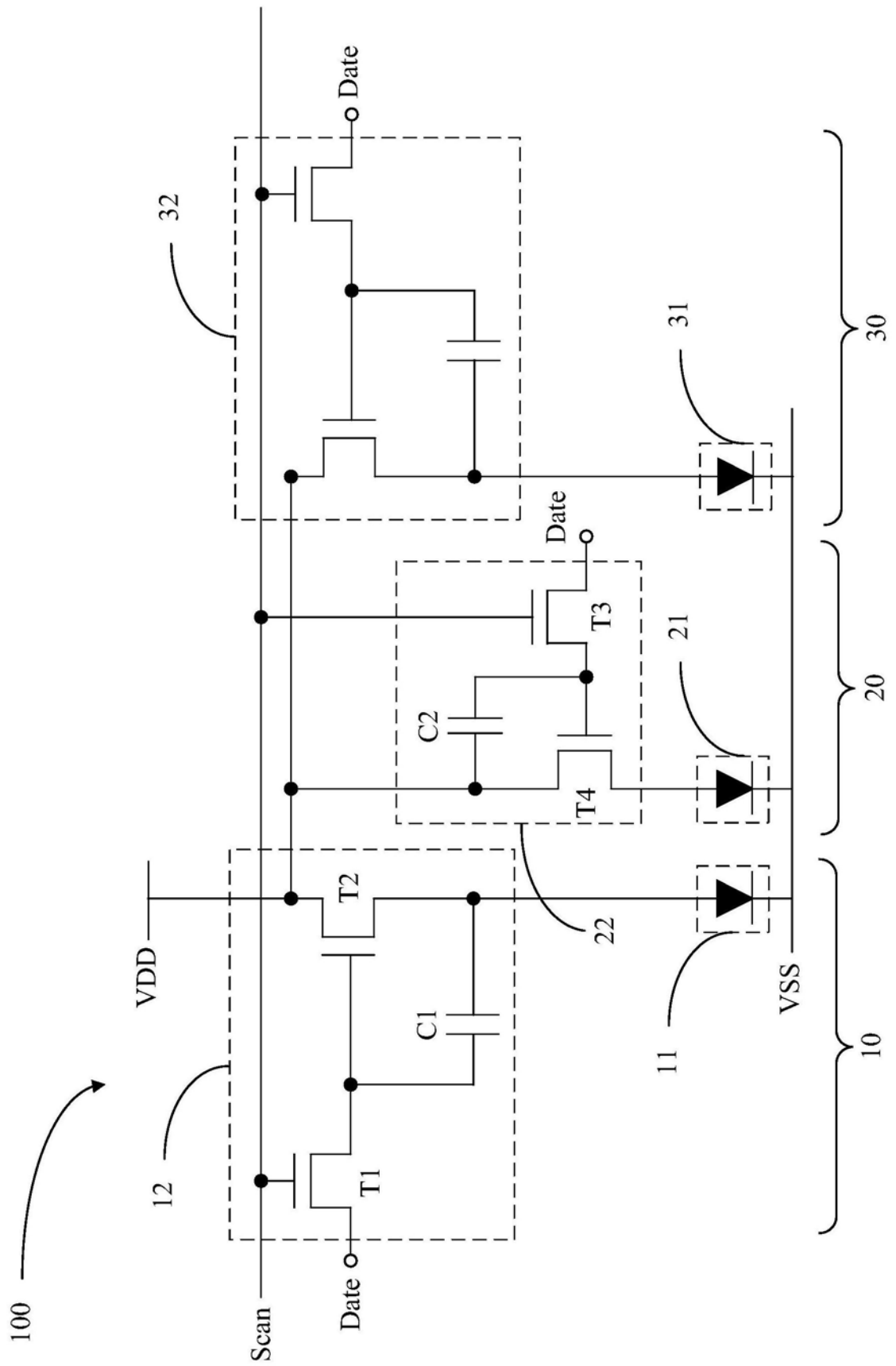


图3

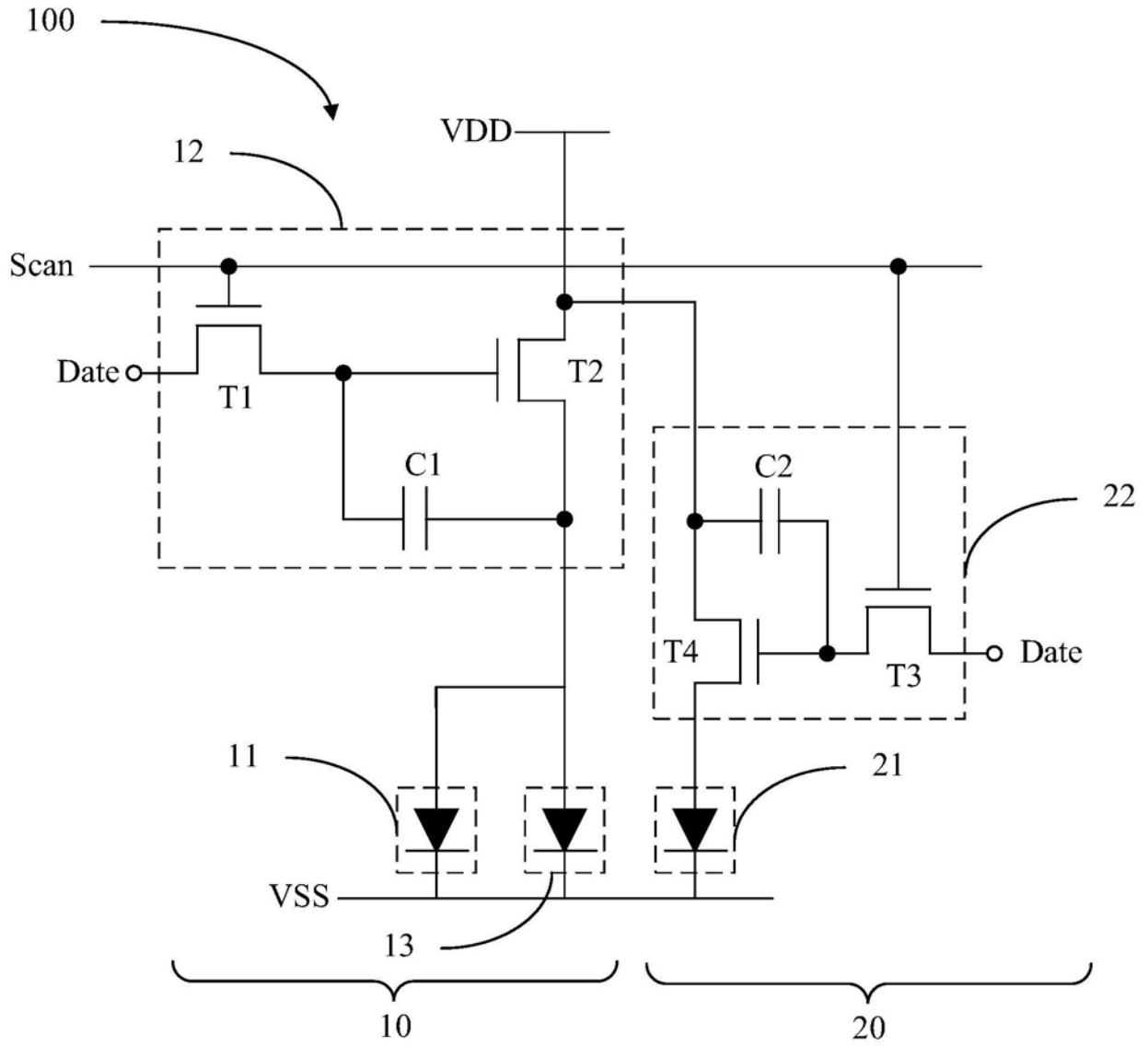


图4

专利名称(译)	像素单元及显示面板		
公开(公告)号	CN110767160A	公开(公告)日	2020-02-07
申请号	CN201911022975.3	申请日	2019-10-25
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	刘世奇		
发明人	刘世奇		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2320/0257		
代理人(译)	黄灵飞		
外部链接	Espacenet SIPO		

摘要(译)

本申请提出了一种像素单元及显示面板，该像素单元至少包括第一区和第二区；该第一区至少设置有一第一发光单元，该第二区至少设置有一第二发光单元。当该像素单元处于工作状态时，该第一发光单元、该第二发光单元中的一者处于发光状态。本申请通过在一个像素单元内设置至少两个发光单元，一发光单元对应一驱动电路，通过对该像素单元输入不同的驱动信号，使该第一发光单元及该第二发光单元交互工作，延长了有机发光二极管及薄膜晶体管的使用寿命，避免了显示面板出现残影等技术问题。

