



(12) 实用新型专利

(10) 授权公告号 CN 204166873 U

(45) 授权公告日 2015. 02. 18

(21) 申请号 201420575092. 1

(ESM) 同样的发明创造已同日申请发明专利

(22) 申请日 2014. 09. 30

(30) 优先权数据

14/469, 513 2014. 08. 26 US

(73) 专利权人 苹果公司

地址 美国加利福尼亚州

(72) 发明人 蔡宗廷 V·格普塔 林敬伟

张世昌 朴英培

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 张宁

(51) Int. Cl.

G09G 3/32(2006. 01)

H01L 27/32(2006. 01)

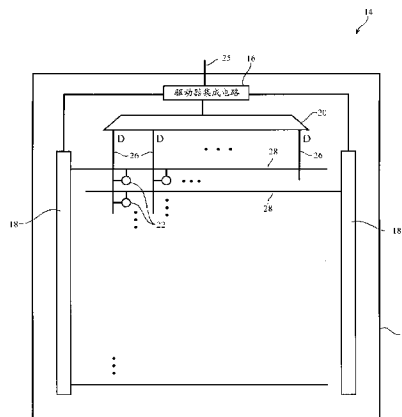
权利要求书2页 说明书10页 附图6页

(54) 实用新型名称

显示器像素和显示器电路

(57) 摘要

本实用新型涉及显示器像素和显示器电路。公开了一种显示器,该显示器可具有有机发光二极管显示器像素的阵列。每个显示器像素可具有在驱动晶体管控制下发射光的发光二极管。每个显示器像素还可具有用于补偿和编程操作的控制晶体管。每个显示器像素可具有六个薄膜晶体管和一个电容器。该六个晶体管中的一者可用作驱动晶体管,并且可使用剩余的五个晶体管和电容器来补偿。电容器可具有耦接至驱动晶体管的栅极的第一端子以及耦接至发光二极管的第二端子。根据本实用新型的方案,能够提供具有改进的阈值电压补偿电路的显示器。



1. 一种显示器像素,其特征在于,包括:  
有机发光二极管,所述有机发光二极管具有相关联的电容;  
多个晶体管,所述多个晶体管中的一者是向所述有机发光二极管提供电流的驱动晶体管;和  
电容器,所述电容器耦接至所述驱动晶体管和所述有机发光二极管,其中所述多个晶体管在所述显示器像素的操作期间接收对所述有机发光二极管的所述电容的变化进行补偿的控制信号。
2. 根据权利要求 1 所述的显示器像素,其特征在于,所述多个晶体管包括 n 型晶体管。
3. 根据权利要求 1 所述的显示器像素,其特征在于,所述电容器包括所述显示器像素中的唯一电容器。
4. 根据权利要求 1 所述的显示器像素,其特征在于,所述多个晶体管包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,并且其中所述第二晶体管为所述驱动晶体管。
5. 根据权利要求 4 所述的显示器像素,其特征在于,还包括:  
第一电源端子;和  
第二电源端子,其中所述第二晶体管、第四晶体管和第五晶体管以及所述有机发光二极管串联耦接在所述第一电源端子与所述第二电源端子之间。
6. 根据权利要求 5 所述的显示器像素,其特征在于,所述驱动晶体管具有栅极端子以及第一源漏端子和第二源漏端子,所述显示器像素还包括:  
数据线,其中所述第一晶体管耦接在所述数据线与所述驱动晶体管的所述第二源漏端子之间。
7. 根据权利要求 6 所述的显示器像素,其特征在于,还包括:  
第三电源线,在所述第三电源线上提供初始化电压,其中所述第三晶体管、所述第六晶体管和所述电容器串联耦接在所述驱动晶体管的所述第一源漏端子与所述第三电源线之间。
8. 根据权利要求 7 所述的显示器像素,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管中的每一者具有栅极端子,所述显示器像素还包括:  
第一扫描线,所述第一扫描线耦接至所述第一晶体管的所述栅极端子;  
第二扫描线,所述第二扫描线不同于所述第一扫描线并耦接至所述第三晶体管和所述第六晶体管的所述栅极端子;  
第一发射控制线,所述第一发射控制线耦接至所述第四晶体管的所述栅极端子;和  
第二发射控制线,所述第二发射控制线不同于所述第一发射控制线并耦接至所述第五晶体管的所述栅极端子。
9. 根据权利要求 7 所述的显示器像素,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管中的每一者具有栅极端子,所述显示器像素还包括:  
扫描线,所述扫描线耦接至所述第一晶体管、第三晶体管和第六晶体管的所述栅极端子;

第一发射控制线,在所述第一发射控制线上提供第一发射控制信号,其中所述第一发射控制线耦接至所述第四晶体管的所述栅极端子;和

第二发射控制线,在所述第二发射控制线上提供第二发射控制信号,其中所述第二发射控制线耦接至所述第五晶体管的所述栅极端子,并且其中所述第一发射控制信号是所述第二发射控制信号的延迟版本。

10. 根据权利要求 1 所述的显示器像素,其特征在于,所述驱动晶体管具有阈值电压,并且其中所述多个晶体管在所述显示器像素的操作期间接收对所述驱动晶体管的所述阈值电压的变化进行补偿的所述控制信号。

11. 显示器电路,其特征在于,包括:

显示器像素阵列,所述显示器像素布置成行和列,其中所述阵列中的每个显示器像素包括有机发光二极管以及第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管;

第一发射控制线,所述第一发射控制线将第一发射控制信号提供至沿所述阵列中的第一行显示器像素布置的显示器像素;和

第二发射控制线,所述第二发射控制线将第二发射控制信号从所述阵列中的第二行显示器像素提供至所述阵列中的所述第一行显示器像素。

12. 根据权利要求 11 所述的显示器电路,其特征在于,每个显示器像素中的所述第二晶体管是向所述显示器像素中的所述有机发光二极管提供电流的驱动晶体管,其中所述有机发光二极管具有相关联的寄生电容,其中所述阵列中的每个显示器像素还包括耦接至所述显示器像素中的所述驱动晶体管和所述有机发光二极管的仅一个电容器,并且其中所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管在所述显示器电路的操作期间接收对所述有机发光二极管的所述电容的变化进行补偿的控制信号。

13. 根据权利要求 12 所述的显示器电路,其特征在于,每个显示器像素中的所述驱动晶体管具有阈值电压,并且其中所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管在所述显示器电路的操作期间接收对所述驱动晶体管的所述阈值电压的变化进行补偿的所述控制信号。

14. 根据权利要求 11 所述的显示器电路,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管包括 n 沟道薄膜晶体管。

15. 根据权利要求 11 所述的显示器电路,其特征在于,所述第一发射控制线上的所述第一发射控制信号是所述第二发射控制线上的所述第二发射控制信号的延迟版本。

16. 根据权利要求 11 所述的显示器电路,其特征在于,还包括:

仅一条扫描控制线,所述扫描控制线将扫描控制信号提供至沿所述阵列中的所述第一行显示器像素布置的所述显示器像素。

## 显示器像素和显示器电路

### 技术领域

[0001] 本实用新型整体涉及具有显示器的电子设备,更具体地,涉及用于显示器诸如有机发光二极管显示器的显示驱动器电路。

### 背景技术

[0002] 电子设备通常包括显示器。例如,蜂窝电话和便携式计算机包括用于向用户呈现信息的显示器。

[0003] 显示器,诸如有机发光二极管显示器,具有基于发光二极管的显示器像素阵列。在这种类型的显示器中,每个显示器像素都包括发光二极管和薄膜晶体管,薄膜晶体管用于控制向发光二极管施加信号以产生光。

[0004] 薄膜晶体管中的阈值电压变化可引起不期望的可见显示伪影。例如,阈值电压滞后可使白色像素依据上下文而以不同方式显示。帧中的白色像素,例如,如果其之前为一帧白色像素,则可被准确地显示,但如果其之前为一帧黑色像素,则可被不准确地显示(即,其可具有灰色外观)。显示器中显示器像素的光输出的这类历史依赖性行为使显示器表现出低响应时间。为解决与阈值电压变化相关联的问题,显示器诸如有机发光二极管显示器提供有阈值电压补偿电路。然而,此类电路可能不会充分地解决所有阈值电压变化,可能不会令人满意地改善响应时间,并且可能具有难以实现的设计。

[0005] 因此,将需要能够提供具有改进的阈值电压补偿电路的显示器。

### 实用新型内容

[0006] 本实用新型的目的就在于,提供一种能够提供具有改进的阈值电压补偿电路的显示器。

[0007] 电子设备可包括具有显示器像素阵列的显示器。显示器像素可以是有机发光二极管显示器像素。每个显示器像素可具有发射光的有机发光二极管以及控制对有机发光二极管施加电流的驱动晶体管。驱动晶体管具有相关联的阈值电压。

[0008] 每个显示器像素可具有用于阈值电压补偿操作和二极电容补偿操作的控制晶体管。在补偿操作期间,控制晶体管受到控制以便针对驱动晶体管的阈值电压变化来补偿驱动晶体管并且补偿与有机发光二极管相关联的寄生电容变化。这就确保发光二极管的输出将响应于加载到显示器像素中且与阈值电压及其电容无关的数据信号的大小。

[0009] 根据一种布置,每个显示器像素具有六个 n 型晶体管和单个电容器。所述六个 n 型晶体管中的一者用作显示器像素的驱动晶体管,并且可使用所述 n 型晶体管中的剩余的五个以及电容器来补偿。在这种布置中,可使用两条扫描控制线和两条发射控制线来控制每行显示器像素。根据另一种布置,显示器像素行中的每一行可仅使用一条扫描控制线、与该行相关联的一条发射控制线以及从紧接的前一行路由的另一条发射控制线来控制。

[0010] 根据本实用新型的一个方面,提供一种显示器像素,其特征在于,包括:有机发光二极管,所述有机发光二极管具有相关联的电容;多个晶体管,所述多个晶体管中的一者是

向所述有机发光二极管提供电流的驱动晶体管 ;和电容器,所述电容器耦接至所述驱动晶体管和所述有机发光二极管,其中所述多个晶体管在所述显示器像素的操作期间接收对所述有机发光二极管的所述电容的变化进行补偿的控制信号。

[0011] 根据本实用新型的实施例,所述多个晶体管包括 n 型晶体管。

[0012] 根据本实用新型的实施例,所述电容器包括所述显示器像素中的唯一电容器。

[0013] 根据本实用新型的实施例,所述多个晶体管包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,并且其中所述第二晶体管为所述驱动晶体管。

[0014] 根据本实用新型的实施例,所述显示器像素还包括:第一电源端子;和第二电源端子,其中所述第二晶体管、第四晶体管和第五晶体管以及所述有机发光二极管串联耦接在所述第一电源端子与所述第二电源端子之间。

[0015] 根据本实用新型的实施例,所述驱动晶体管具有栅极端子以及第一源漏端子和第二源漏端子,所述显示器像素还包括:数据线,其中所述第一晶体管耦接在所述数据线与所述驱动晶体管的所述第二源漏端子之间。

[0016] 根据本实用新型的实施例,所述显示器像素还包括:第三电源线,在所述第三电源线上提供初始化电压,其中所述第三晶体管、所述第六晶体管和所述电容器串联耦接在所述驱动晶体管的所述第一源漏端子与所述第三电源线之间。

[0017] 根据本实用新型的实施例,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管中的每一者具有栅极端子,所述显示器像素还包括:第一扫描线,所述第一扫描线耦接至所述第一晶体管的所述栅极端子;第二扫描线,所述第二扫描线不同于所述第一扫描线并耦接至所述第三晶体管和所述第六晶体管的所述栅极端子;第一发射控制线,所述第一发射控制线耦接至所述第四晶体管的所述栅极端子;和第二发射控制线,所述第二发射控制线不同于所述第一发射控制线并耦接至所述第五晶体管的所述栅极端子。

[0018] 根据本实用新型的实施例,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管中的每一者具有栅极端子,所述显示器像素还包括:扫描线,所述扫描线耦接至所述第一晶体管、第三晶体管和第六晶体管的所述栅极端子;第一发射控制线,在所述第一发射控制线上提供第一发射控制信号,其中所述第一发射控制线耦接至所述第四晶体管的所述栅极端子;和第二发射控制线,在所述第二发射控制线上提供第二发射控制信号,其中所述第二发射控制线耦接至所述第五晶体管的所述栅极端子,并且其中所述第一发射控制信号是所述第二发射控制信号的延迟版本。

[0019] 根据本实用新型的实施例,所述驱动晶体管具有阈值电压,并且其中所述多个晶体管在所述显示器像素的操作期间接收对所述驱动晶体管的所述阈值电压的变化进行补偿的所述控制信号。

[0020] 根据本实用新型的另一方面,提供一种显示器电路,其特征在于,包括:显示器像素阵列,所述显示器像素布置成行和列,其中所述阵列中的每个显示器像素包括有机发光二极管以及第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管;第一发射控制线,所述第一发射控制线将第一发射控制信号提供至沿所述阵列中的第一行显示器像素布置的显示器像素;和第二发射控制线,所述第二发射控制线将第二发射控制

信号从所述阵列中的第二行显示器像素提供至所述阵列中的所述第一行显示器像素。

[0021] 根据本实用新型的实施例,每个显示器像素中的所述第二晶体管是向所述显示器像素中的所述有机发光二极管提供电流的驱动晶体管,其中所述有机发光二极管具有相关联的寄生电容,其中所述阵列中的每个显示器像素还包括耦接至所述显示器像素中的所述驱动晶体管和所述有机发光二极管的仅一个电容器,并且其中所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管在所述显示器电路的操作期间接收对所述有机发光二极管的所述电容的变化进行补偿的控制信号。

[0022] 根据本实用新型的实施例,每个显示器像素中的所述驱动晶体管具有阈值电压,并且其中所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管在所述显示器电路的操作期间接收对所述驱动晶体管的所述阈值电压的变化进行补偿的所述控制信号。

[0023] 根据本实用新型的实施例,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管包括 n 沟道薄膜晶体管。

[0024] 根据本实用新型的实施例,所述第一发射控制线上的所述第一发射控制信号是所述第二发射控制线上的所述第二发射控制信号的延迟版本。

[0025] 根据本实用新型的实施例,所述显示器电路还包括:仅一条扫描控制线,所述扫描控制线将扫描控制信号提供至沿所述阵列中的所述第一行显示器像素布置的所述显示器像素。

[0026] 根据本实用新型的方案,能够提供具有改进的阈值电压补偿电路的显示器。

## 附图说明

[0027] 图 1 是根据一个实施例的例示性显示器诸如具有有机发光二极管显示器像素阵列的有机发光二极管显示器的图示。

[0028] 图 2 是根据本实用新型一个实施例的图像像素阵列以及相关联的驱动器电路的电路图。

[0029] 图 3 是根据一个实施例的可用于显示器中的类型的例示性有机发光二极管显示器像素的图示。

[0030] 图 4 是根据一个实施例的时序图,示出了参与操作图 3 的显示器像素电路的信号。

[0031] 图 5 是根据一个实施例的图 3 所示类型的例示性有机发光二极管显示器像素的图示,该例示性有机发光二极管显示器像素具有减少数目的控制线。

[0032] 图 6 是根据一个实施例的时序图,示出了参与操作图 5 的显示器像素电路的信号。

## 具体实施方式

[0033] 电子设备中的显示器可提供有用于在显示器像素阵列上显示图像的驱动器电路。图 1 中示出了例示性显示器。如图 1 所示,显示器 14 可具有一个或多个层,诸如基板 24。诸如基板 24 的层可由诸如平面玻璃层的材料的平面矩形层形成。显示器 14 可具有显示器像素 22 的阵列以用于为用户显示图像。显示器像素 22 的阵列可由基板 24 上的显示器像素结构的行和列形成。这些结构可包括薄膜晶体管,诸如多晶硅薄膜晶体管、半导体氧化物薄膜晶体管等。在显示器像素 22 的阵列中可以有任意适当数目的行和列(例如,十个或更

多个、一百个或更多个、或者一千个或更多个)。

[0034] 可以利用焊料或导电粘合剂将显示驱动器电路诸如显示驱动器集成电路 16 耦接到导电路径诸如基板 24 上的金属迹线。显示驱动器集成电路 16 (有时称为定时控制器芯片) 可包含用于通过路径 25 与系统控制电路通信的通信电路。路径 25 可由柔性印刷电路上的迹线或其他缆线形成。系统控制电路可位于电子设备中的主逻辑板上, 所述电子设备诸如为蜂窝电话、计算机、电视、机顶盒、媒体播放器、便携式电子设备、或正在使用显示器 14 的其他电子设备。在操作期间, 系统控制电路可以为显示驱动器集成电路 16 提供与要经由路径 25 在显示器 14 上显示的图像有关的信息。为了在显示器像素 22 上显示图像, 显示驱动器集成电路 16 可以向显示驱动器电路, 诸如行驱动器电路 18 和列驱动器电路 20, 提供时钟信号和其他控制信号。行驱动器电路 18 和 / 或列驱动器电路 20 可由基板 24 上的一个或多个集成电路和 / 或一个或多个薄膜晶体管电路形成。

[0035] 行驱动器电路 18 可以位于显示器 14 的左右边缘上, 仅在显示器 14 的单个边缘上, 或显示器 14 中的别处。在操作期间, 行驱动器电路 18 可在水平线 28 (有时称为行线或“扫描”线) 上提供行控制信号。因此, 行驱动器电路 18 可有时称为扫描线驱动器电路。如果需要, 行驱动器电路 18 还可用于提供其他行控制信号。

[0036] 可使用列驱动器电路 20 向多个对应的垂直线 26 上提供来自显示驱动器集成电路 16 的数据信号 D。列驱动器电路 20 有时可以称为数据线驱动器电路或源驱动器电路。垂直线 26 有时称为数据线。在补偿操作期间, 列驱动器电路 20 可使用路径诸如垂直线 26 来提供基准电压。在编程操作期间, 利用线 26 向显示器像素 22 中加载显示数据。

[0037] 每一数据线 26 都与相应列的显示器像素 22 相关联。多组水平信号线 28 通过显示器 14 水平延伸。电源路径及其他线也可将信号提供至像素 22。每组水平信号线 28 都与相应行的显示器像素 22 相关联。每行中的水平信号线的数目可由被水平信号线独立控制的显示器像素 22 中的晶体管数目决定。不同配置的显示器像素可由不同数目的控制线、数据线、电源线等来操作。

[0038] 行驱动器电路 18 可以认定显示器 14 中的行线 28 上的控制信号。例如, 驱动器电路 18 可从显示驱动器集成电路 16 接收时钟信号和其他控制信号, 并可响应于所接收的信号认定每行显示器像素 22 中的控制信号。可以依次处理显示器像素 22 的行, (例如) 针对每帧图像数据的处理开始于显示器像素阵列的顶部, 并结束于阵列的底部。在认定行中的扫描线时, 由电路 16 提供给列驱动器电路 20 的控制信号和数据信号指示电路 20 对关联的数据信号 D 解复用并驱动到数据线 26 上, 从而将利用出现在数据线 D 上的显示数据来对行中的显示器像素进行编程。显示器像素然后能够显示加载的显示数据。

[0039] 列驱动器电路 20 可输出数据线信号, 所述数据线信号包含用于诸如红色、绿色和蓝色通道的多个颜色通道的灰度级信息。解复用电路 54 可将此数据线信号解复用成相应数据线 48 上的相应 R、G 和 B 数据线信号。如图 2 的例子中所示, 显示解复用器控制电路诸如列电路 20 中的显示解复用器控制电路 58, 可用于将数据线解复用器控制信号 R、G、和 B (在此例中对应于红色、绿色和蓝色通道) 提供至解复用晶体管 60 的栅极端子。数据线驱动器 62 可产生数据线路径 64 上的数据线输出信号 S01、S02、... (有时称为源输出信号)。源输出信号包含用于所有三种颜色 (即, 红色、蓝色和绿色) 的图像像素的模拟像素数据。施加于解复用晶体管 60 的栅极的控制信号以将红色通道信息自源输出信号路由至红色数

据线 RDL、将绿色通道信息自源输出信号路由至绿色数据线 GDL 并且将蓝色通道信息自源输出信号路由至蓝色数据线 BDL 的模式开启和关闭晶体管 60。

[0040] 可选加载电路 66 可使用插入线 54 内的一个或多个分立部件（例如，电容器、电感器和电阻器）来实现，或者可使用形成线 54 的结构中的一些或全部以分布式方式来实现。可选加载电路 66 和 / 或列驱动器电路 20 中的电路（例如，电路 58）可用于控制解复用控制信号 R、G 和 B 的形状。诸如这些的信号整形技术可用于平滑显示器控制信号脉冲，诸如解复用器控制信号脉冲，并且从而减少谐波信号产生和射频干扰。

[0041] 在有机发光二极管显示器诸如显示器 14 中，每个显示器像素包含用于发射光的相应有机发光二极管。驱动晶体管控制从有机发光二极管输出的光量。显示器像素中的控制电路被配置为执行阈值电压补偿操作，使得来自有机发光二极管的输出信号的强度与加载到显示器像素中的数据信号的大小成比例，而与驱动晶体管的阈值电压无关。

[0042] 具有阈值电压补偿能力的当前现有技术的显示器像素包括四个薄膜晶体管和具有相关联的电容  $C_{OL\text{ED}}$  的有机发光二极管。四个晶体管由两个扫描控制信号和单个发射控制信号控制。由这类显示器像素产生的所得输出信号可与驱动晶体管的阈值电压无关，但仍对发光二极管的电容  $C_{OL\text{ED}}$  敏感，这可使显示器的亮度随时间变化。与此类显示器像素相关联的其他问题包括显示器的降低的最大亮度、高功率消耗和相邻像素之间的侧向泄漏。因此，可能需要提供解决这些问题的改进的显示器像素。

[0043] 在图 3 中示出了根据本实用新型的一个实施例的显示器 14 中的例示性有机发光二极管显示器像素 22 的示意图。图 3 的显示器像素 22 具有存储电容器 C1 和晶体管，诸如 n 型（即，n 沟道）晶体管 T1、T2、T2、T3、T4、T5 和 T6。像素 22 的晶体管可为由半导体诸如多晶硅、铟镓锌氧化物 (IGZO) 等形成的薄膜晶体管。如果需要，晶体管 T1-T6 中的任何一者或多者可为 p 型（即，p 沟道）薄膜晶体管。

[0044] 如图 3 中所示，显示器像素 22 可包括发光二极管 304。正电源电压 ELVDD 可提供至正电源端子 300，并且接地电源电压 ELVSS（例如，0 伏特或其他合适的电压）可提供至接地电源端子 302。驱动晶体管 T2 的状态控制通过二极管 304 从端子 300 流至端子 302 的电流的量，并且因此控制来自显示器像素 22 的发射光 306 的量。二极管 304 可具有相关联的寄生电容  $C_{OL\text{ED}}$ （未示出）。

[0045] 端子 308 用于提供初始化电压  $V_{ini}$ （例如，诸如 -1V 或 -2V 的负电压或其他合适的电压），以在二极管 304 未使用时帮助关闭二极管 304。来自显示驱动器电路诸如图 1 的行驱动器电路 18 的控制信号被提供至控制端子，诸如端子 312-1、312-2、314-1 和 314-2。端子 312-1 和 312-2 可分别用作第一扫描控制端子和第二扫描控制端子，而端子 314-1 和 314-2 可分别用作第一发射控制端子和第二发射控制端子。扫描控制信号 SCAN1 和 SCAN2 可分别施加于扫描端子 312-1 和 312-2。发射控制信号 EM1 和 EM2 可分别提供至端子 314-1 和 314-2。数据输入端子诸如数据信号端子 310 耦接至图 1 的相应数据线 26，以用于接收用于显示器像素 22 的图像数据。

[0046] 在图 3 的例子中，晶体管 T4、T2、T5 和二极管 304 可串联耦接在电源端子 300 与电源端子 302 之间。特别地，晶体管 T4 可具有耦接至正电源端子 300 的漏端子、接收第一发射控制信号 EM1 的栅极端子，以及源端子。术语晶体管的“源”端子和“漏”端子有时可互换地使用，并且因此在本文中可被称为“源漏”端子。驱动晶体管 T2 可具有耦接至晶体管 T4

的源端子的第一源漏端子 SD1、栅极端子以及第二源漏端子 SD2。晶体管 T5 可具有耦接至晶体管 T2 的第二源漏端子的漏端子、接收第二发射控制信号 EM2 的栅极端子以及经由二极管 304 耦接至接地电源端子 302 的源端子。

[0047] 晶体管 T3、电容器 C1 和晶体管 T6 可串联耦接在驱动晶体管 T2 的第一源漏端子与电源端子 308 之间。晶体管 T3 可具有耦接至晶体管 T2 的第一源漏端子的第一源漏端子、接收第二扫描控制信号 SCAN2 的栅极端子以及耦接至晶体管 T2 的栅极的第二源漏端子。存储电容器 C1 可具有耦接至晶体管 T2 的栅极的第一端子以及耦接至晶体管 T5 的源端子的第二端子。晶体管 T6 可具有耦接至晶体管 T5 的源端子（以及耦接至二极管 304 的 p 型端子）的漏端子、接收第二扫描控制信号 SCAN2 的栅极端子以及经由端子 308 接收电压  $V_{ini}$  的源端子。晶体管 T1 可具有耦接至驱动晶体管 T2 的第二源漏端子的漏端子、接收第一扫描控制信号 SCAN1 的栅极端子以及经由端子 310 接收数据线信号 DL 的源端子。通过以此方式连接，信号 EM1 可被认定为启用晶体管 T4；信号 EM2 可被认定为启动晶体管 T5；信号 SCAN1 可被认定为开启晶体管 T1；以及信号 SCAN2 可被认定为切换至使用晶体管 T3 和 T6。

[0048] 每个显示器像素，诸如图 3 的显示器像素 22，可以至少三个重复阶段来操作—重置/初始化阶段、数据加载和阈值电压补偿阶段和发射阶段。在重置、阈值电压补偿和数据加载操作期间，显示器像素 22 的控制电路用于在驱动晶体管 T2 的栅极上建立控制电压，该控制电压与驱动晶体管 T2 的阈值电压  $V_{th}$  无关、与二极管 304 的电容  $C_{oled}$  无关并且与已从相关联数据线 26 和端子 310 加载到显示器像素中的数据信号 D 的量值成比例。在后续发射阶段期间，驱动晶体管 T2 驱使对应的电流穿过发光二极管 304，使得由显示器像素 22 发射适当量的光 306。整行显示器像素可同时被补偿并被加载数据，并且针对显示器中的每行重复此过程，使得所有行都以这种方式针对每个数据帧而被补偿并被加载，或者可将其他合适的控制方案用于显示器 14 的显示器像素。

[0049] 图 4 是时序图，示出在每个图像帧的三个操作阶段期间可施加于图 3 的每个显示器像素 22 的信号的状态，所述三个操作阶段为：1) 重置（有时称为“初始化”），2) 数据输入和阈值电压补偿以及 3) 发射。

[0050] 在重置期间（例如，从时间  $t_1$  至  $t_2$ ），控制信号 SCAN2 被驱高以开启晶体管 T3 和 T6，控制信号 EM2 被驱低以关闭晶体管 T5，控制信号 SCAN1 保持为低以将晶体管 T1 保持在关闭状态，并且控制信号 EM1 保持为高以将晶体管 T4 保持在打开状态。在这个时间期间，解复用控制信号 R、G 和 B 可均被认定为将最大基准电压水平传递到相应的数据线 RDL、GDL 和 BDL 上（参见图 2）。

[0051] 在这些条件下，晶体管 T4 将使驱动晶体管 T2 的第一源漏端子拉升至电源电压 ELVDD。晶体管 T3 将还使晶体管 T2 的栅极端子拉升至 ELVDD。这又使晶体管 T2 能够将其第二源漏端子拉升至至少  $(ELVDD - V_{th2})$ ，其中  $V_{th2}$  表示驱动晶体管 T2 的阈值电压。晶体管 T5 关闭，因此有机发光二极管 304 与驱动晶体管 T2 隔离并且不发射光 306。为确保有机发光二极管 304 被关闭且不发射光，将初始化电压  $V_{ini}$ （有时称为“悬浮”电压）施加于二极管 304 的 p 型端子（或阳极）以对二极管 304 进行反向偏置。可在重置阶段以及数据加载和补偿阶段将这种反向偏置施加于二极管 304。

[0052] 在重置操作完成之后，执行数据输入和阈值电压补偿操作。在该时间期间（例如，从时间  $t_2$  至  $t_3$ ），控制信号 SCAN1 可被驱高以开启晶体管 T1，控制信号 EM1 可被驱低以关

闭晶体管 T4 (同时信号 SCAN2 保持为高,并且同时信号 EM2 保持为低)。在时间 t2,解复用控制信号可被相继地认定为经由晶体管 T1 将红色数据信号、绿色数据信号和蓝色数据信号加载到相应的显示器像素 22 中。在这些条件下,晶体管 T1 将驱使晶体管 T2 的第二源漏端子达到数据信号水平 Vdata,而同时晶体管 T2 的第一源漏端子和栅极端子均被下拉至 (Vdata+Vth2)。

[0053] 在数据输入和阈值电压补偿操作之后,执行发射操作。在发射操作期间,控制信号 SCAN2 被驱低以关闭晶体管 T3 和 T6,控制信号 EM2 被驱高以开启晶体管 T5,控制信号 SCAN1 被驱低以关闭晶体管 T1,并且控制信号 EM1 被驱动回高以启动晶体管 T4。在晶体管 T6 关闭的情况下,二极管 304 的 p 型端子与电压 Vini 隔离。在晶体管 T1 关闭的情况下,数据端子 310 与驱动晶体管隔离。由于晶体管 T4、T2 和 T5 均被开启,因此电流  $I_{OLED}$  可经由这些串联晶体管和二极管 304 从电源端子 300 流至电源端子 304,从而使二极管 304 产生相应量的光 306。这可导致二极管 306 两端的电压降  $V_{OLED}$ 。

[0054] 在这些条件下,驱动晶体管 T2 的第一源漏端子可被驱使达到 ELVDD,并且晶体管 T5 的源端子可被保持在 ( $V_{OLED}+ELVSS$ ) 处,这将也使晶体管 T2 的第二源漏端子下拉至 ( $V_{OLED}+ELVSS$ )。在时间 3,二极管 304 的 p 型端子处的电压可因此从 Vini 改变至 ( $V_{OLED}+ELVSS$ ),这导致 ( $V_{OLED}+ELVSS-Vini$ ) 的净电压变化。由于电容器 C1 两端的电压不能瞬时改变,因此电容器 C1 的第二端子处的该电压变化将使电容器 C1 的第一端子从 (Vdata+Vth2) 改变至 [(Vdata+Vth2)+( $V_{OLED}+ELVSS-Vini$ )]。由于电容器 C1 的第一端子短接至驱动晶体管 T2 的栅极端子,因此晶体管 T2 的栅极端子将在发射期间表现出 [(Vdata+Vth2)+( $V_{OLED}+ELVSS-Vini$ )] 的电压水平。

[0055] 在这些电压建立于驱动晶体管 T2 的各个端子处的情况下,流过晶体管 T2 的驱动电流  $I_{OLED}$  由  $I_{OLED} = k*(V_{GS}-Vth2)^2$  给出。用晶体管 T2 的栅极端子处的电压 (该电压等于 [(Vdata+Vth2)+( $V_{OLED}+ELVSS-Vini$ )],如上所述) 与晶体管 T2 的第二源漏端子处的电压 (该电压等于 [ $ELVSS-V_{OLED}$ ],如上所述) 之间的差来替代  $V_{GS}$ ,我们得到  $I_{OLED} = k*[Vdata-Vini]^2$ 。如这个方程式所示,驱动电流  $I_{OLED}$  的量值与数据信号 Vdata 的量值成比例,并且与阈值电压 Vth2 和  $V_{OLED}$  无关 (即,已经成功地执行补偿操作,使得光发射既不受 Vth 变化的影响,也不受与二极管 304 相关联的变化的影响)。换句话讲,以图 4 所示的方式操作显示器像素 22 既可帮助提供对阈值电压变化的降低的敏感度,又可帮助提供对与二极管 304 相关联的任何寄生电容  $C_{OLED}$  的降低的敏感度。

[0056] 已执行模拟以评估图 3 的电路的操作。这些模拟指示,发光二极管诸如图 3 的二极管 304 的光输出 306 将不会受到驱动晶体管阈值电压滞后的显著影响,并且显示器 14 的响应时间将因此是令人满意的。无论像素的状态在先前帧中是黑色的还是在先前帧中是白色的,白色像素的输出量值 (作为一个例子) 都将基本上是相同的。此外,可通过在不增加所需数据范围的情况下调节 Vini 来动态地控制显示器像素 22 的亮度。使用晶体管 T5 来隔离二极管 304 的阳极并使用晶体管 T6 来使二极管 304 的阳极在悬浮电压 Vini 下针对大多数像素操作而初始化有助于改善像素响应时间并降低侧向泄漏。

[0057] 图 5 中示出了可用于图 1 的显示器 14 中的显示器像素 22 的另一种合适的布置。图 5 的像素实现针对每行仅需要一条扫描控制线和一条发射控制线。然而,发射控制线可在相邻的行之间共用。类似于图 3 的实施例,图 5 的显示器像素 22 具有存储电容器 C1 和

晶体管,诸如 n 沟道晶体管 T1、T2、T2、T3、T4、T5 和 T6。像素 22 的晶体管可为由半导体诸如多晶硅、铟镓锌氧化物 (IGZO) 等形成的薄膜晶体管。如果需要,晶体管 T1-T6 中的任何一者或多者可为 p 沟道薄膜晶体管。

[0058] 如图 5 所示,显示器像素 22 可包括发光二极管 504。正电源电压 ELVDD 可提供至正电源端子 500,并且接地电源电压 ELVSS(例如,0 伏特或其他合适的电压)可提供至接地电源端子 502。驱动晶体管 T2 的状态控制通过二极管 504 从端子 500 流至端子 502 的电流的量,并且因此控制来自显示器像素 22 的发射光 506 的量。二极管 504 可具有相关联的寄生电容  $C_{OL,ED}$ (未示出)。

[0059] 端子 508 用于提供初始化电压  $V_{ini}$ (例如,诸如 -1V 或 -2V 的负电压或其他合适的电压),以在二极管 504 未使用时帮助关闭二极管 504。来自显示驱动器电路诸如图 1 的行驱动器电路 18 的控制信号被提供至控制端子,诸如端子 512、514[n] 和 514[n-1]。端子 512 可用作接收 SCAN 的扫描控制端子。端子 514[n] 可用作与特定行 n 相关联的发射控制端子,而端子 514[n-1] 可用作与紧接的前一行 (n-1) 相关联的发射控制端子。发射控制信号 EM[n] 和 EM[n-1] 可分别提供至端子 514[n] 和 514[n-1]。数据输入端子,诸如数据信号端子 510,耦接至图 1 的相应数据线 26,以用于接收用于显示器像素 22 的图像数据。

[0060] 在图 5 的例子中,晶体管 T4、T2、T5 和二极管 504 可串联耦接在电源端子 500 和 502 之间。特别地,晶体管 T4 可具有耦接至正电源端子 500 的漏端子、接收发射控制信号 EM[n] 的栅极端子,以及源端子。驱动晶体管 T2 可具有耦接至晶体管 T4 的源端子的第一源漏端子 SD1、栅极端子以及第二源漏端子 SD2。晶体管 T5 可具有耦接至晶体管 T2 的第二源漏端子的漏端子、接收发射控制信号 EM[n-1] 的栅极端子以及经由二极管 504 耦接至接地电源端子 502 的源端子。

[0061] 晶体管 T3 可具有耦接至晶体管 T2 的第一源漏端子的第一源漏端子、接收扫描控制信号 SCAN 的栅极端子以及耦接至晶体管 T2 的栅极的第二源漏端子。存储电容器 C1 可具有耦接至晶体管 T2 的栅极的第一端子以及耦接至晶体管 T5 的源端子的第二端子。晶体管 T6 可具有耦接至晶体管 T5 的源端子(以及耦接至二极管 504 的阳极)的漏端子、接收扫描控制信号 SCAN 的栅极端子以及经由端子 508 接收电压  $V_{ini}$  的源端子。晶体管 T1 可具有耦接至驱动晶体管 T2 的第二源漏端子的漏端子、接收扫描控制信号 SCAN 的栅极端子以及经由端子 510 接收数据线信号 DL 的源端子。通过以此方式连接,信号 EM[n] 可被认定为启用晶体管 T4;信号 EM[n-1] 可被认定为启动晶体管 T5;以及信号 SCAN 可被认定为同时开启晶体管 T1、T3 和 T6。

[0062] 每个显示器像素,诸如图 5 的显示器像素 22,可以至少四个重复阶段来操作 - 重置 / 初始化阶段、数据加载和阈值电压补偿阶段、保持阶段以及发射阶段。图 6 是时序图,示出了在每个图像帧的四个操作阶段期间可施加于图 5 的每个显示器像素 22 的信号的状态。如图 6 所示,信号 EM[n] 可仅为 EM[n-1] 的延迟版本,因为 EM[n-1] 正被有效地借自紧接的前一行。

[0063] 在重置(例如,从时间  $t_1$  至  $t_2$ ) 期间,控制信号 SCAN 被驱高以开启晶体管 T1、T3 和 T6,控制信号 EM[n-1] 保持为低以将晶体管 T5 保持在关闭状态,并且控制信号 EM[n] 保持为高以将晶体管 T4 保持在打开状态。在这个时间期间,解复用控制信号 R、G 和 B 可均被认定为将最大基准电压水平传递到相应的数据线 RDL、GDL 和 BDL 上(参见图 2)。

[0064] 晶体管 T5 关闭,因此有机发光二极管 504 与驱动晶体管 T2 隔离并且不发射光 506。为确保有机发光二极管 504 被关闭且不发射光,将初始化电压  $V_{ini}$  施加于二极管 504 的阳极以对二极管 504 进行反向偏置。可在重置阶段以及数据加载和补偿阶段将这种反向偏置施加于二极管 504。

[0065] 在重置操作完成之后,执行数据输入和阈值电压补偿操作。在这个时间(例如,从时间  $t_2$  至  $t_3$ )期间,控制信号 SCAN 可保持为高以将晶体管 T1、T3 和 T6 保持在打开状态,控制信号  $EM[n-1]$  可保持为低以将晶体管 T5 保持在关闭状态,而控制信号  $EM[n]$  可被驱低以停用晶体管 T4。在时间  $t_2$ ,解复用控制信号可被相继地认定为经由晶体管 T1 将红色数据信号、绿色数据信号和蓝色数据信号加载到相应的显示器像素 22 中。在这些条件下,晶体管 T1 将驱使晶体管 T2 的第二源漏端子达到数据信号水平  $V_{data}$ ,而同时晶体管 T2 的第一源漏端子和栅极端子均被下拉至  $(V_{data}+V_{th2})$ 。

[0066] 在数据输入和阈值电压补偿操作之后,可在从时间  $t_3$  至  $t_5$  的保持阶段期间保持数据。特别地,控制信号 SCAN 可在时间  $t_3$  被驱低以关闭晶体管 T1、T3 和 T6,并且控制信号  $EM[n-1]$  可在时间  $t_4$  被驱高以开启晶体管 T5。

[0067] 在保持阶段结束时,执行发射操作。在发射操作期间,控制信号  $EM[n]$  可被驱高(即,在时间  $t_5$ )以开启晶体管 T4。在晶体管 T6 关闭的情况下,二极管 504 的阳极与电压  $V_{ini}$  隔离。在晶体管 T1 关闭的情况下,数据端子 510 与驱动晶体管 T2 隔离。由于晶体管 T4、T2 和 T5 均被开启,因此电流  $I_{oled}$  可经由这些串联晶体管和二极管 504 从电源端子 500 流至电源端子 504,从而使二极管 504 产生相应量的光 506。类似于图 3 的像素布置,驱动电流  $I_{oled}$  的量值可与数据信号  $V_{data}$  的量值成比例但与阈值电压  $V_{th2}$  和  $V_{oled}$  无关。换句话说,以图 5 所示的方式操作显示器像素 22 既可帮助提供对阈值电压变化的降低的敏感度,又可帮助提供对与二极管 504 相关联的任何寄生电容  $C_{oled}$  的降低的敏感度。

[0068] 已执行模拟以评估图 6 的电路的操作。这些模拟指示,发光二极管诸如图 5 的二极管 504 的光输出 506 将不会受到驱动晶体管阈值电压滞后的显著影响,并且显示器 14 的响应时间将因此是令人满意的。无论像素的状态在先前帧中是黑色的还是在先前帧中是白色的,白色像素的输出量值(作为一个例子)都将基本上是相同的。此外,可通过在不增加所需数据范围的情况下调节  $V_{ini}$  来动态地控制显示器像素 22 的亮度。使用晶体管 T5 来隔离二极管 504 的阳极并使用晶体管 T6 来使二极管 504 的阳极在悬浮电压  $V_{ini}$  下针对大多数像素操作而初始化有助于改善像素响应时间并降低侧向泄漏。

[0069] 根据一个实施例,提供一种显示器像素,该显示器像素包括:有机发光二极管,其具有相关联的电容;多个晶体管,所述多个晶体管中的一者是向有机发光二极管提供电流的驱动晶体管;以及电容器,其耦接至驱动晶体管和有机发光二极管,所述多个晶体管在显示器像素的操作期间接收对有机发光二极管的电容的变化进行补偿的控制信号。

[0070] 根据另一个实施例,所述多个晶体管包括 n 型晶体管。

[0071] 根据另一个实施例,电容器包括显示器像素中的唯一电容器。

[0072] 根据另一个实施例,所述多个晶体管包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,且第二晶体管为驱动晶体管。

[0073] 根据另一个实施例,显示器像素包括第一电源端子和第二电源端子,第二晶体管、第四晶体管和第五晶体管以及有机发光二极管串联耦接在第一电源端子与第二电源端子

之间。

[0074] 根据另一个实施例,驱动晶体管具有栅极端子以及第一源漏端子和第二源漏端子,显示器像素包括数据线,第一晶体管耦接在数据线与驱动晶体管的第二源漏端子之间。

[0075] 根据另一个实施例,显示器像素包括其上提供初始化电压的第三电源线,第三晶体管、第六晶体管和电容器串联耦接在驱动晶体管的第一源漏端子与第三电源线之间。

[0076] 根据另一个实施例,第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管中的每一者均具有栅极端子,显示器像素包括:耦接至第一晶体管的栅极端子的第一扫描线;不同于第一扫描线且耦接至第三晶体管和第六晶体管的栅极端子的第二扫描线;耦接至第四晶体管的栅极端子的第一发射控制线;以及不同于第一发射控制线且耦接至第五晶体管的栅极端子的第二发射控制线。

[0077] 根据另一个实施例,第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管中的每一者均具有栅极端子,显示器像素包括:耦接至第一晶体管、第三晶体管和第六晶体管的栅极端子的扫描线;其上提供第一发射控制信号的第一发射控制线,第一发射控制线耦接至第四晶体管的栅极端子;以及其上提供第二发射控制信号的第二发射控制线,第二发射控制线耦接至第五晶体管的栅极端子,且第一发射控制信号是第二发射控制信号的延迟版本。

[0078] 根据另一个实施例,驱动晶体管具有阈值电压,且所述多个晶体管在显示器像素的操作期间接收对驱动晶体管的阈值电压的变化进行补偿的控制信号。

[0079] 根据一个实施例,提供显示器电路,该显示器电路包括:布置成行和列的显示器像素的阵列,阵列中的每个显示器像素包括有机发光二极管以及第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管;第一发射控制线,其将第一发射控制信号提供至沿阵列中的第一行显示器像素布置的显示器像素;以及第二发射控制线,其将第二发射控制信号从阵列中的第二行显示器像素提供至阵列中的第一行显示器像素。

[0080] 根据另一个实施例,每个显示器像素中的第二晶体管是向该显示器像素中的有机发光二极管提供电流的驱动晶体管,有机发光二极管具有相关联的寄生电容,阵列中的每个显示器像素还包括耦接至该显示器像素中的驱动晶体管和有机发光二极管的仅一个电容器,并且第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管在显示器电路的操作期间接收对有机发光二极管的电容的变化进行补偿的控制信号。

[0081] 根据另一个实施例,每个显示器像素中的驱动晶体管具有阈值电压,且第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管在显示器电路的操作期间接收对驱动晶体管的阈值电压的变化进行补偿的控制信号。

[0082] 根据另一个实施例,第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管包括 n 沟道薄膜晶体管。

[0083] 根据另一个实施例,第一发射控制线上的第一发射控制信号是第二发射控制线上的第二发射控制信号的延迟版本。

[0084] 根据另一个实施例,显示器电路包括仅一条扫描控制线,该扫描控制线将扫描控制信号提供至沿阵列中的第一行显示器像素布置的显示器像素。

[0085] 以上内容仅仅是说明性的,本领域的技术人员可以在不脱离所述实施例的范围和实质的情况下做出各种修改。上述实施例可以单独实施,也可以任意组合实施。

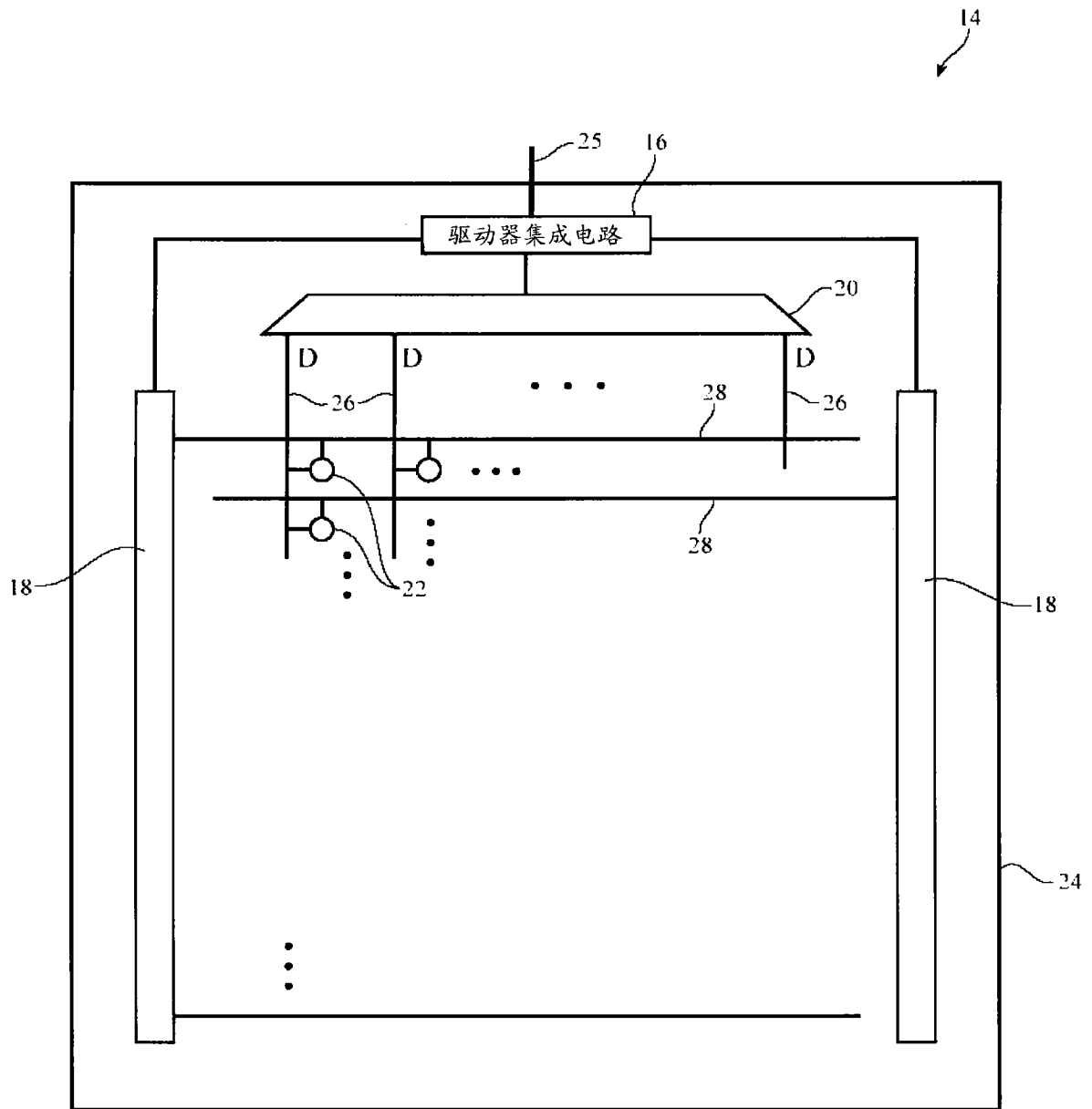


图 1

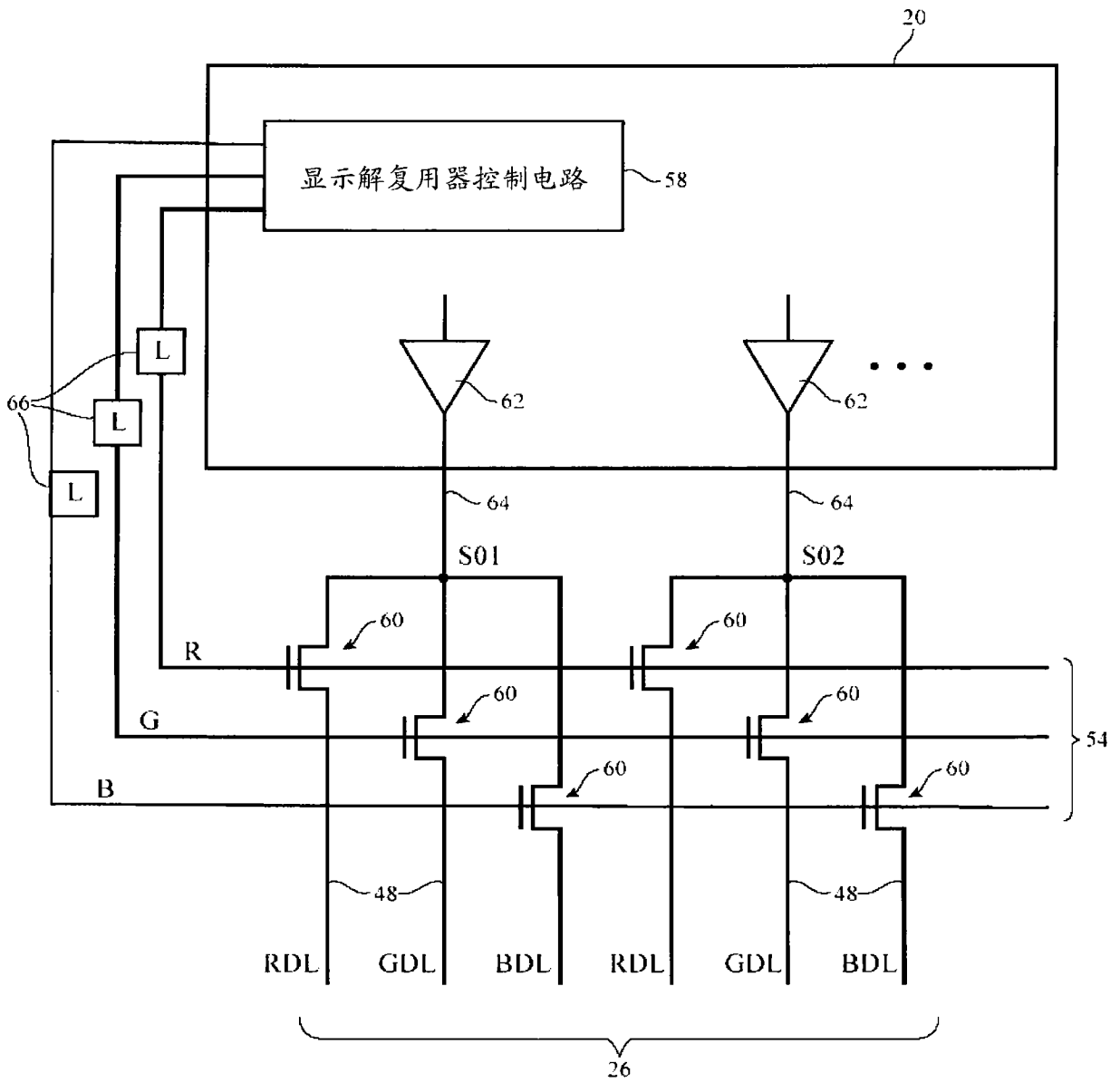


图 2

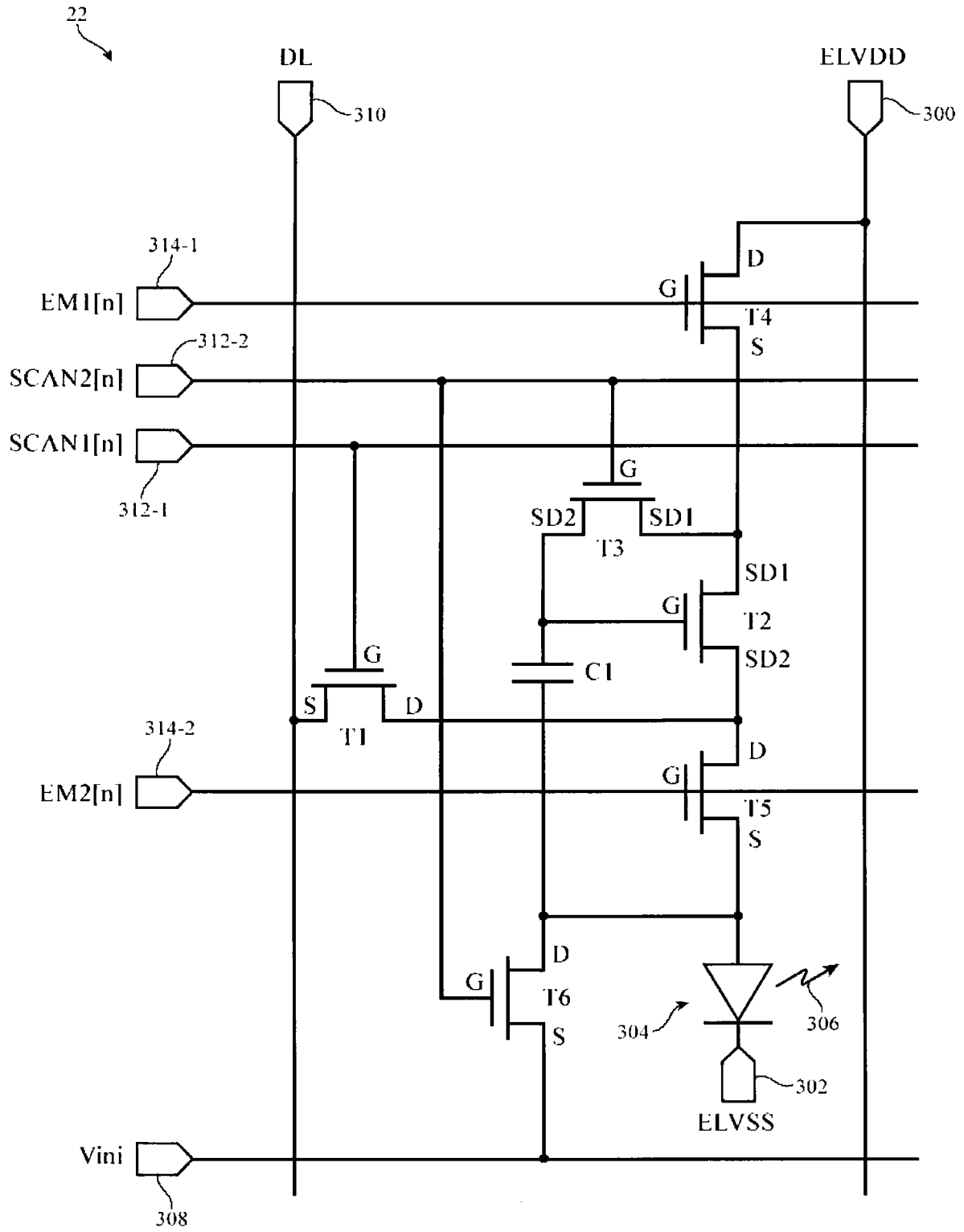


图 3

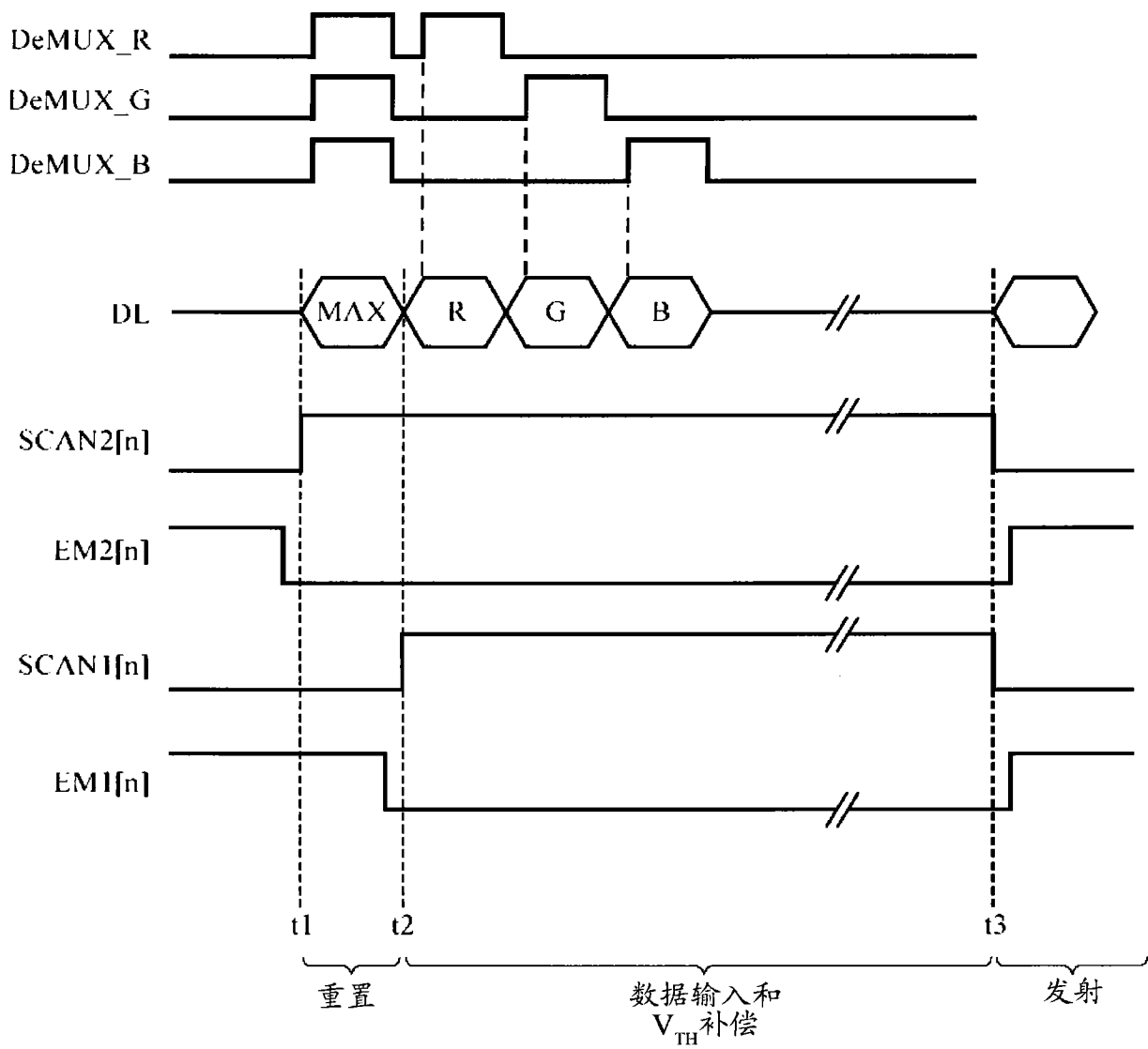


图 4

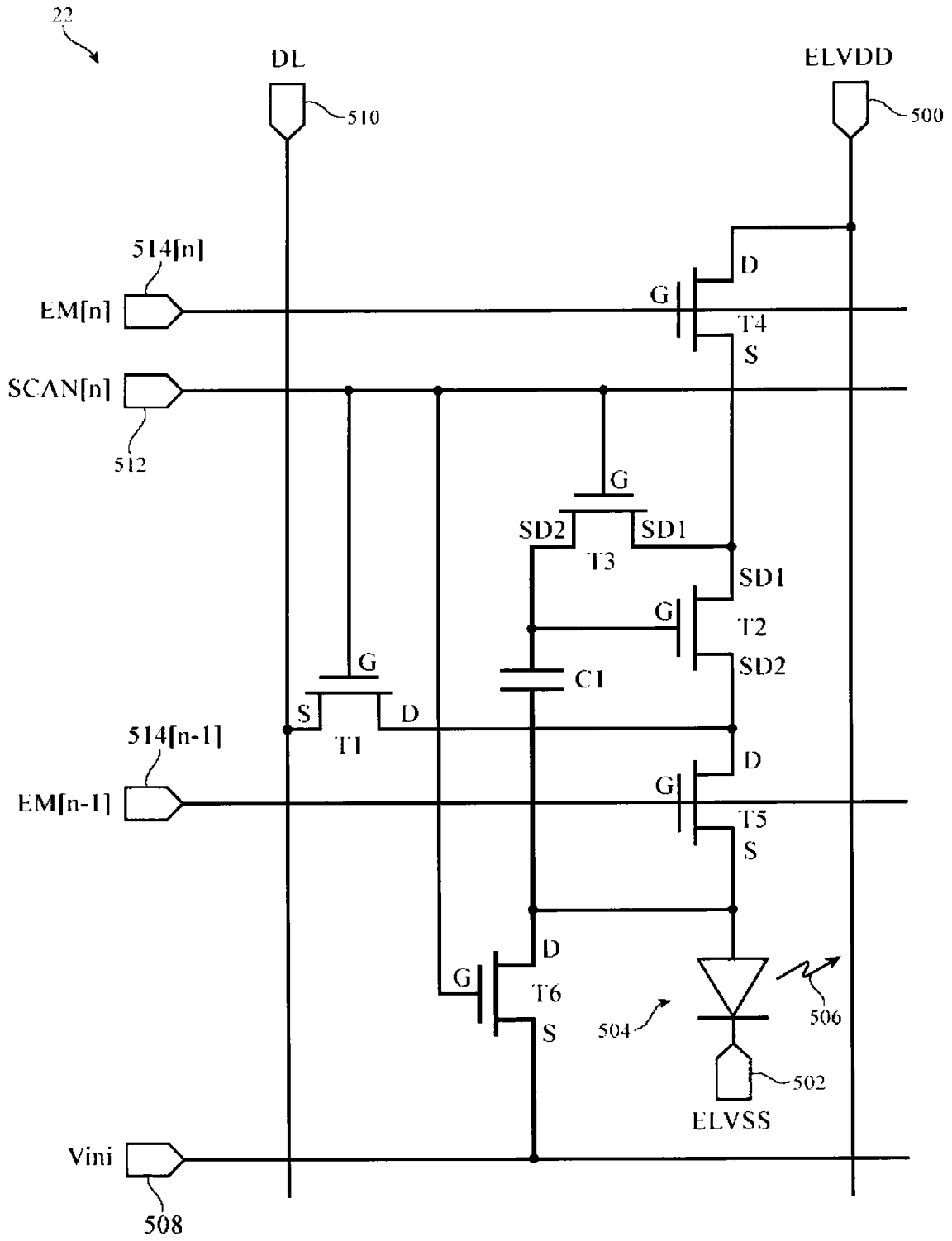


图 5



专利名称(译)	显示器像素和显示器电路		
公开(公告)号	<a href="#">CN204166873U</a>	公开(公告)日	2015-02-18
申请号	CN201420575092.1	申请日	2014-09-30
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	蔡宗廷 V·格普塔 林敬伟 张世昌 朴英培		
发明人	蔡宗廷 V·格普塔 林敬伟 张世昌 朴英培		
IPC分类号	G09G3/32 H01L27/32 G09G3/3258		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G2310/0297 G09G2320/045		
代理人(译)	王茂华 张宁		
优先权	14/469513 2014-08-26 US		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本实用新型涉及显示器像素和显示器电路。公开了一种显示器，该显示器可具有有机发光二极管显示器像素的阵列。每个显示器像素可具有在驱动晶体管控制下发射光的发光二极管。每个显示器像素还可具有用于补偿和编程操作的控制晶体管。每个显示器像素可具有六个薄膜晶体管和一个电容器。该六个晶体管中的一者可用作驱动晶体管，并且可使用剩余的五个晶体管和电容器来补偿。电容器可具有耦接至驱动晶体管的栅极的第一端子以及耦接至发光二极管的第二端子。根据本实用新型的方案，能够提供具有改进的阈值电压补偿电路的显示器。

