



(12)发明专利申请

(10)申请公布号 CN 111129077 A

(43)申请公布日 2020.05.08

(21)申请号 201910739275.X

(22)申请日 2019.08.12

(30)优先权数据

10-2018-0131046 2018.10.30 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 金劲旼 严惠先 尹斗铉

(74)专利代理机构 北京集佳知识产权代理有限公司

11227

代理人 高岩 陈炜

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 23/64(2006.01)

G09G 3/30(2006.01)

G09G 3/3208(2016.01)

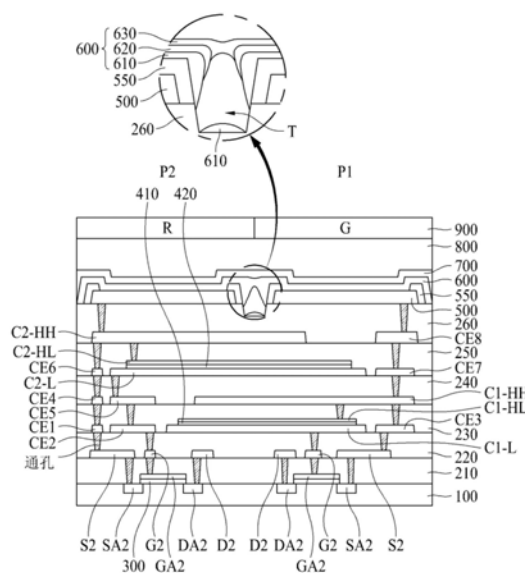
权利要求书2页 说明书21页 附图13页

(54)发明名称

电致发光显示装置

(57)摘要

公开了一种电致发光显示装置,包括:基板,包括彼此相邻的第一子像素和第二子像素;驱动薄膜晶体管,设置在第一子像素和第二子像素中的每一个中,并且被配置成包括栅电极、源电极和漏电极;第一电容器,第一电容器与设置在第一子像素中的驱动薄膜晶体管的栅电极和源电极电连接;以及第二电容器,第二电容器与设置在第二子像素中的驱动薄膜晶体管的栅电极和源电极电连接,其中,第一电容器从第一子像素延伸到第二子像素,并且第二电容器从第二子像素延伸到第一子像素。



1. 一种电致发光显示装置,包括:

基板,所述基板包括彼此相邻的第一子像素和第二子像素;

驱动薄膜晶体管,所述驱动薄膜晶体管设置在所述第一子像素和所述第二子像素中的每一个中,并且被配置成包括栅电极、源电极和漏电极;

第一电容器,所述第一电容器与设置在所述第一子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接;以及

第二电容器,所述第二电容器与设置在所述第二子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接,

其中,所述第一电容器从所述第一子像素延伸到所述第二子像素,并且所述第二电容器从所述第二子像素延伸到所述第一子像素。

2. 根据权利要求1所述的电致发光显示装置,

其中,所述第一电容器包括第一电容器下电极和第一电容器上电极,所述第一电容器下电极与设置在所述第一子像素中的所述驱动薄膜晶体管的所述栅电极和所述源电极中的任一个电连接,所述第一电容器上电极与设置在所述第一子像素中的所述驱动薄膜晶体管的所述栅电极和所述源电极中的另一个电连接,

其中,所述第一电容器下电极与所述第一子像素和所述第二子像素交叠,并且所述第一电容器上电极与所述第一子像素和所述第二子像素交叠。

3. 根据权利要求2所述的电致发光显示装置,其中,所述第一电容器上电极包括彼此电连接的第一下层和第一上层。

4. 根据权利要求3所述的电致发光显示装置,其中,所述第一下层的面积相对地大于所述第一上层的面积。

5. 根据权利要求3所述的电致发光显示装置,其中,所述第一下层与所述第一电容器下电极之间的距离短于所述第一下层与所述第一上层之间的距离。

6. 根据权利要求2所述的电致发光显示装置,其中,设置在所述第一子像素中的所述驱动薄膜晶体管的所述源电极与设置在所述第一子像素中的阳极电极电连接。

7. 根据权利要求6所述的电致发光显示装置,其中,所述第一电容器上电极经由设置在不同层中的两个连接电极与所述阳极电极连接。

8. 根据权利要求2所述的电致发光显示装置,其中,设置在所述第一子像素中的所述驱动薄膜晶体管的所述源电极与布置在第一方向上的高电源线电连接。

9. 根据权利要求8所述的电致发光显示装置,其中,所述第一电容器上电极经由一个连接电极与所述高电源线连接。

10. 一种电致发光显示装置,包括:

基板,所述基板包括彼此相邻的第一子像素和第二子像素;

驱动薄膜晶体管,所述驱动薄膜晶体管设置在所述第一子像素和所述第二子像素中的每一个中,并且被配置成包括栅电极、源电极和漏电极;

第一电容器,所述第一电容器与设置在所述第一子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接;以及

第二电容器,所述第二电容器与设置在所述第二子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接,

其中,所述第一电容器与所述第二电容器在所述第一子像素中交叠,并且所述第一电容器与所述第二电容器在所述第二子像素中交叠。

## 电致发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年10月30日提交的韩国专利申请第10-2018-0131046号的权益,该申请通过引用合并于此,如同在此完全阐述一样。

### 技术领域

[0003] 本公开内容涉及电致发光显示装置。

### 背景技术

[0004] 以如下方式提供电致发光显示装置:在阳极电极与阴极电极之间设置发光层,并且发光层通过在上述两个电极之间生成的电场来发光,从而显示图像。

[0005] 发光层可以由有机材料形成,该有机材料在通过电子和空穴的键合产生激子并且激子从激发态下降到基态时发光,或者发光层可以由无机材料例如量子点形成。

[0006] 电致发光显示装置包括由每个单个子像素提供的发光层。此外,单个子像素包括:驱动薄膜晶体管,被配置成在发光层中生成光发射;以及电容器,被配置成在一个帧周期内维持供应至驱动薄膜晶体管的电压。

[0007] 在这种情况下,需要增加电容器的电容,以便通过每个单个子像素改善电压维持特性。然而,必须增加子像素的面积以提高电容。因此,它对实现超高分辨率显示装置有限制。

### 发明内容

[0008] 因此,本公开内容旨在提供一种电致发光显示装置,其基本上消除由于现有技术的限制和缺点而导致的一个或更多个问题。

[0009] 本公开内容的一方面旨在提供一种电致发光显示装置,其能够在不增加子像素的面积的情况下提高电容器中的电容。

[0010] 本公开内容的其他优点和特征将部分地在下面的描述中阐述,并且对于本领域普通技术人员在研究下文后将部分地变得明显,或者可以从本公开内容的实践中获知。本公开内容的目的和其他优点可以通过书面说明书及其权利要求以及附图中特别指出的结构来实现和获得。

[0011] 为了实现这些和其他优点并且根据本公开内容的目的,如本文所体现和广泛描述地,提供了一种电致发光显示装置,包括:基板,该基板包括彼此相邻的第一子像素和第二子像素;驱动薄膜晶体管,该驱动薄膜晶体管设置在第一子像素和第二子像素中的每一个中,并且被配置成包括栅电极、源电极和漏电极;第一电容器,该第一电容器与设置在第一子像素中的驱动薄膜晶体管的栅电极和源电极电连接;以及第二电容器,该第二电容器与设置在第二子像素中的驱动薄膜晶体管的栅电极和源电极电连接,其中,该第一电容器从第一子像素延伸到第二子像素,并且第二电容器从第二子像素延伸到第一子像素。

[0012] 在本公开内容的另一方面中,提供了一种电致发光显示装置,包括:基板,该基板

包括彼此相邻的第一子像素和第二子像素；驱动薄膜晶体管，该驱动薄膜晶体管设置在第一子像素和第二子像素中的每一个中，并且被配置成包括栅电极、源电极和漏电极；第一电容器，该第一电容器与设置在第一子像素中的驱动薄膜晶体管的栅电极和源电极电连接；以及第二电容器，该第二电容器与设置在第二子像素中的驱动薄膜晶体管的栅电极和源电极电连接，其中，该第一电容器与第二电容器在第一子像素中交叠，并且第一电容器与第二电容器在第二子像素中交叠。

[0013] 根据本公开内容的一种实施方式，第一电容器和第二电容器中的每一个被设置在所有第一子像素和第二子像素中，以使得可以提高第一电容器和第二电容器中的电容，而不增加第一子像素的面积和第二子像素的面积。因此，可以在根据本公开内容的电致发光显示装置中实现超高分辨率。

[0014] 应当理解，本公开内容的前述一般描述和以下详细描述均是示例性和说明性的，并且旨在提供对要求保护的本公开内容的进一步说明。

### 附图说明

[0015] 被包括以提供对本公开内容的进一步理解并且被并入且构成本申请的一部分的附图示出了本公开内容的实施方式，并且与说明书一起用于说明本公开内容的原理。在附图中：

[0016] 图1A是示出根据本公开内容的一个实施方式的电致发光显示装置的单个子像素的电路图，并且图1B是示出根据本公开内容的另一实施方式的电致发光显示装置的单个子像素的电路图；

[0017] 图2至图4是示出根据本公开内容的一个实施方式的电致发光显示装置的平面图，图2示出了除图1B的电路图之外的其余结构，图3示出了通过向图2附加地设置第一电容器而获得的结构，并且图4示出了通过向图3附加地设置第二电容器而获得的结构；

[0018] 图5是示出根据本公开内容的一个实施方式的电致发光显示装置的第一子像素和第二子像素的截面图；

[0019] 图6是示出根据本公开内容的一个实施方式的电致发光显示装置的截面图，其示出了薄膜晶体管的沉积结构；

[0020] 图7A是根据本公开内容的另一实施方式的电致发光显示装置的单个子像素的电路图，并且图7B是根据本公开内容的另一实施方式的电致发光显示装置的单个子像素的电路图；

[0021] 图8至图10是示出根据本公开内容的另一实施方式的电致发光显示装置的平面图，其中，图8示出了除了图7B的电路图之外的其余结构，图9示出了通过向图8附加地设置第一电容器而获得的结构，并且图10示出了通过向图9附加地设置第二电容器而获得的结构；

[0022] 图11是示出根据本公开内容的另一实施方式的电致发光显示装置的第一子像素和第二子像素的截面图；以及

[0023] 图12A至图12C示出了根据本公开内容的另一实施方式的电致发光显示装置，其涉及头戴式显示器(HMD)装置。

## 具体实施方式

[0024] 现在将详细参考本公开内容的示例性实施方式,其示例在附图中示出。只要有可能,贯穿附图中将使用相同的附图标记来指代相同或相似的部分。

[0025] 通过以下参照附图描述的实施方式,将阐明本公开内容的优点和特征及其实现方法。然而,本公开内容可以以不同的形式来实现,并且不应该被解释为限于本文中阐述的实施方式。相反,提供这些实施方式,使得本公开内容是全面和完整的,并且将本公开内容的范围完全传达给本领域的技术人员。此外,本公开内容仅由权利要求的范围限定。

[0026] 用于描述本公开内容的实施方式的附图中公开的形状、尺寸、比率、角度和数量仅仅是示例,因此,本公开内容不限于所示出的细节。遍及全文,相同的附图标记指代相同的要素。在以下描述中,当确定相关已知功能或配置的详细描述会不必要地模糊本公开内容的重点时,将省略详细描述。

[0027] 尽管没有明确的描述,但是在解释要素时,该要素被解释为包括误差范围。

[0028] 在描述位置关系时,例如,当两部分之间的位置关系被描述为“在~上”、“在~上面”、“在~下面”和“在~旁边”时,除非使用“恰好”或“直接”,否则可以在两个部分之间布置一个或更多个其他部分。

[0029] 在描述时间关系时,例如,当时间顺序被描述为“在~之后”、“随后~”、“接下来~”和“在~之前”时,除非使用“恰好”或“直接”,否则可以包括不连续的情况。

[0030] 应当理解,尽管本文中可以使用术语“第一”、“第二”等来描述各种要素,但是这些要素不应受这些术语的限制。这些术语仅用于区分一个要素与另一个要素。例如,在不脱离本公开内容的范围的情况下,第一要素可以被称为第二要素,并且类似地,第二要素可以被称为第一要素。

[0031] 如本领域技术人员可以充分理解的,本公开内容的各种实施方式的特征可以部分地或整体地彼此耦合或组合,并且可以以各种方式彼此互操作以及技术上被驱动。本公开内容的实施方式可以彼此独立地执行,或者可以以互相依赖的关系一起执行。

[0032] 在下文中,将参照附图详细描述本公开内容的示例性实施方式。

[0033] 图1A是示出根据本公开内容的一个实施方式的电致发光显示装置的单个子像素的电路图,并且图1B是示出根据本公开内容的另一实施方式的电致发光显示装置的单个子像素的电路图。为了便于说明,图1A和图1B仅示出了彼此相邻布置的第一子像素和第二子像素(P1,P2)。第一子像素(P1)可以是红色、绿色和蓝色子像素之中的任一个,并且第二子像素(P2)可以是红色、绿色和蓝色子像素之中的另一个。

[0034] 如图1A中所示,根据本公开内容的一个实施方式的电致发光显示装置的每个单个子像素(P1,P2)包括栅极线(GL)、高电源线(VDD)、数据线(DL)和参考线(Ref)。

[0035] 栅极线(GL)和高电源线(VDD)布置在第一方向例如水平方向上,同时彼此分开。数据线(DL)和参考线(Ref)布置在第二方向例如竖直方向上,同时彼此分开,其中,该第二方向与该第一方向不同。

[0036] 第一子像素(P1)和第二子像素(P2)中的每一个被设置在一条数据线(DL)与另一条数据线(DL)之间。因此,一条数据线(DL)与另一条数据线(DL)之间的间隔限定第一子像素(P1)和第二子像素(P2)中的第一方向的宽度。栅极线(GL)和高电源线(VDD)中的每一个可以在第一子像素(P1)和第二子像素(P2)中共享。

[0037] 然而,根据本公开内容的构成单个子像素(P1,P2)的栅极线(GL)、高电源线(VDD)、数据线(DL)和参考线(Ref)不限于图1A的结构。栅极线(GL)、高电源线(VDD)、数据线(DL)和参考线(Ref)的布置结构可以以本领域技术人员所知的各种方式改变。

[0038] 第一子像素(P1)和第二子像素(P2)中的每一个包括开关薄膜晶体管(T1)、驱动薄膜晶体管(T2)、初始化薄膜晶体管(T3)、电容器(C1,C2)和发光器件比如有机发光二极管(OLED)。开关薄膜晶体管(T1)、驱动薄膜晶体管(T2)和初始化薄膜晶体管(T3)中的每一个可以由NMOS晶体管形成。

[0039] 通过提供至栅极线(GL)的栅极信号切换的开关薄膜晶体管(T1)将从数据线(DL)供应的数据电压提供至驱动薄膜晶体管(T2)。

[0040] 通过从开关薄膜晶体管(T1)供应的数据电压切换的驱动薄膜晶体管(T2)从由高电源线(VDD)提供的电源生成数据电流,并且然后将生成的数据电流供应给发光器件(OLED)。

[0041] 初始化薄膜晶体管(T3)对驱动薄膜晶体管(T2)的源极电压进行初始化,并且从发光器件(OLED)移除电荷。初始化薄膜晶体管(T3)响应于从栅极线(GL)提供的初始化控制信号,将从参考线(Ref)供应的初始化电压提供至驱动薄膜晶体管(T2)的源极端子。在附图中,初始化控制信号从栅极线(GL)提供,但不限于该结构。除了栅极线(GL)之外,可以附加地提供用于将初始化控制信号提供至初始化薄膜晶体管(T3)的初始化控制线。初始化薄膜晶体管(T3)可以将基于驱动薄膜晶体管(T2)的特性值的电流提供至参考线(Ref)。

[0042] 电容器(C1,C2)将供应至驱动薄膜晶体管(T2)的数据电压维持一个帧周期。电容器(C1,C2)与驱动薄膜晶体管(T2)的栅极端子和源极端子中的每一个连接。驱动薄膜晶体管(T2)的栅极端子与开关薄膜晶体管(T1)的漏极端子连接,并且驱动薄膜晶体管(T2)的源极端子与发光器件(OLED)的阳极端子连接。

[0043] 电容器(C1,C2)可以包括设置在第一子像素(P1)中的第一电容器(C1)以及设置在第二子像素(P2)中的第二电容器(C2)。

[0044] 根据本公开内容的一个实施方式,从第一子像素(P1)延伸到第二子像素(P2)的第一电容器(C1)与第一子像素(P1)和第二子像素(P2)交叠,并且从第二子像素(P2)延伸到第一子像素(P1)的第二电容器(C2)与第一子像素(P1)和第二子像素(P2)交叠,以使得可以在不增加子像素(P1,P2)的尺寸的情况下增加电容器(C1,C2)的电容,这将在后面详细描述。

[0045] 发光器件(OLED)根据从驱动薄膜晶体管(T2)供应的数据电流发光。发光器件(OLED)可以包括与驱动薄膜晶体管(T2)的源电极连接的阳极电极以及顺序地沉积在阳极电极上的有机发光层和阴极电极。发光器件(OLED)的阴极电极与低电源线(VSS)连接。

[0046] 图1B是示出根据本公开内容的另一实施方式的电致发光显示装置的单个子像素的电路图,其通过在图1A中附加地设置电压保持线(VHL)而获得。如果将诸如硅晶片的半导体基板用于根据本公开内容的电致发光显示装置,则电压保持线(VHL)供应电压以用于恒定地维持半导体基板的电压。因此,图1B的电路图不适于使用玻璃基板或塑料基板的情况。

[0047] 图2至图4是示出根据本公开内容的一个实施方式的电致发光显示装置的平面图,图2示出了除了图1B的电路图之外的其余结构,图3示出了通过向图2附加地设置第一电容器(C1)而获得的结构,并且图4示出了通过向图3附加地设置第二电容器(C2)而获得的结构。

[0048] 首先,将参照图2描述设置在彼此相邻的第一子像素和第二子像素(P1,P2)中的每一个中的薄膜晶体管(T1,T2,T3)的结构,并且将参照图3和图4描述电容器(C1,C2)与第一子像素和第二子像素(P1,P2)中的每一个之间的交叠结构。

[0049] 如图2所示,高电源线(VDD)、栅极线(GL)和电压保持线(VHL)布置在第一方向例如水平方向上,并且数据线(DL)和参考线(Ref)布置在第二方向例如竖直线上。

[0050] 如上所述,高电源线(VDD)将电源提供至单个子像素(P1,P2)的驱动薄膜晶体管(T2),栅极线(GL)将栅极信号提供至单个子像素(P1,P2)的开关薄膜晶体管(T1)并且还将初始化控制信号提供至单个子像素(P1,P2)的初始化薄膜晶体管(T3),数据线(DL)将数据电压提供至单个子像素(P1,P2)的开关薄膜晶体管(T1),并且参考线(Ref)将初始化电压提供至单个子像素(P1,P2)的初始化薄膜晶体管(T3)。

[0051] 如果诸如硅晶片的半导体基板用于根据本公开内容的电致发光显示装置,则电压保持线(VHL)提供电压以用于恒定地保持半导体基板的电压。如果将诸如玻璃或塑料的绝缘基板用于根据本公开内容的电致发光显示装置,则可以省略电压保持线(VHL)。

[0052] 在单个子像素(P1,P2)中,存在开关薄膜晶体管(T1)、驱动薄膜晶体管(T2)和初始化薄膜晶体管(T3)。

[0053] 开关薄膜晶体管(T1)包括第一栅极区域(GA1)、第一源极区域(SA1)和第一漏极区域(DA1)。

[0054] 第一栅极区域(GA1)通过通孔(x)与第一栅电极(G1)连接,并且第一栅电极(G1)通过通孔(x)与栅极线(GL)连接。因此,提供至栅极线(GL)的栅极信号经由第一栅电极(G1)提供至第一栅极区域(GA1)。第一栅电极(G1)在单个子像素(P1,P2)中被图案化,同时与栅极线(GL)交叠。第一栅极区域(GA1)可以从第一子像素(P1)连续地延伸到第二子像素(P2),同时与第一栅电极(G1)和栅极线(GL)交叠。

[0055] 第一源极区域(SA1)可以通过通孔(x)与第一源电极(S1)连接,并且第一源电极(S1)可以从数据线(DL)分叉。因此,提供至数据线(DL)的数据信号可以经由第一源电极(S1)提供至第一源极区域(SA1)。第一源极区域(SA1)可以在单个子像素(P1,P2)中被图案化,同时与第一源电极(S1)交叠。

[0056] 第一漏极区域(DA1)通过通孔(x)与第一漏电极(D1)连接,并且第一漏电极(D1)与驱动薄膜晶体管(T2)的第二栅电极(G2)连接。因此,由开关薄膜晶体管(T1)切换的数据电压经由第一漏极区域(DA1)中的第一漏电极(D1)提供至第二栅电极(G2)。第一漏极区域(DA1)可以在单个子像素(P1,P2)中被图案化,同时与第一漏电极(D1)交叠。

[0057] 驱动薄膜晶体管(T2)可以包括第二栅极区域(GA2)、第二源极区域(SA2)和第二漏极区域(DA2)。

[0058] 第二栅极区域(GA2)通过通孔(x)与第二栅电极(G2)连接,并且第二栅电极(G2)与第一漏电极(D1)连接。因此,第一漏电极(D1)的数据电压经由第二栅电极(G2)被提供为第二栅极区域(GA2)的栅极信号。第二栅电极(G2)可以与第一漏电极(D1)形成为一体,并且第二栅极区域(GA2)可以在单个子像素(P1,P2)中被图案化,同时与第二栅电极(G2)交叠。如附图中所示,第二栅极区域(GA2)可以延伸到相邻子像素(P1,P2)的数据线(DL)。

[0059] 第二源极区域(SA2)通过通孔(x)与第二源电极(S2)连接,并且第二源电极(S2)通过通孔(x)与阳极电极连接。因此,第二源极区域(SA2)的数据电流经由第二源电极(S2)提

供至阳极电极。第二源极区域 (SA2) 和第二源电极 (S2) 可以在单个子像素 (P1, P2) 中被图案化, 同时彼此交叠。

[0060] 第二漏极区域 (DA2) 通过通孔 (x) 与第二漏电极 (D2) 连接, 并且第二漏电极 (D2) 可以通过通孔 (x) 与高电源线 (VDD) 连接。因此, 从高电源线 (VDD) 供应的电源经由第二漏电极 (D2) 被供应至第二漏极区域 (DA2)。第二漏极区域 (DA2) 在单个子像素 (P1, P2) 中被图案化, 同时与第二漏电极 (D2) 交叠, 并且第二漏电极 (D2) 可以在单个子像素 (P1, P2) 中被图案化, 同时与高电源线 (VDD) 交叠。

[0061] 初始化薄膜晶体管 (T3) 包括第三栅极区域 (GA3)、第三源极区域 (SA3) 和第三漏极区域 (DA3)。

[0062] 第三栅极区域 (GA3) 通过通孔 (x) 与第三栅电极 (G3) 连接, 并且第三栅电极 (G3) 通过通孔 (x) 与栅极线 (GL) 连接。因此, 提供至栅极线 (GL) 的初始化控制信号经由第三栅电极 (G3) 提供至第三栅极区域 (GA3)。第三栅极区域 (G3) 与第一栅极区域 (GA1) 形成为一体, 并且第三栅电极 (G3) 可以与第一栅电极 (G1) 形成为一体。因此, 第三栅电极 (G3) 可以在单个子像素 (P1, P2) 中被图案化, 同时与栅极线 (GL) 交叠, 并且第三栅极区域 (GA3) 可以从第一子像素 (P1) 连续地延伸到第二子像素 (P2), 同时与第三栅电极 (G3) 和栅极线 (GL) 交叠。

[0063] 第三源极区域 (SA3) 通过通孔 (x) 与第三源电极 (S3) 连接, 并且第三源电极 (S3) 与第二源电极 (S2) 连接。因此, 第二源电极 (S2) 的数据电流经由第三源电极 (S3) 提供至第三源极区域 (SA3)。第三源极区域 (SA3) 与第二源极区域 (SA2) 形成为一体, 并且第三源电极 (S3) 可以与第二源电极 (S2) 形成为一体。因此, 第三源极区域 (SA3) 和第三源电极 (S3) 可以在单个子像素 (P1, P2) 中被图案化, 同时彼此交叠。

[0064] 第三漏极区域 (DA3) 通过通孔 (x) 与第三漏电极 (D3) 连接, 并且第三漏电极 (D3) 与参考线 (Ref) 连接。因此, 从参考线 (Ref) 提供的电压可以经由第三漏电极 (D3) 提供至第三漏极区域 (DA3)。第三漏极区域 (DA3) 可以在单个子像素 (P1, P2) 中被图案化, 同时与第三漏电极 (D3) 交叠, 并且第三漏电极 (D3) 可以与参考线 (Ref) 形成为一体。即, 参考线 (Ref) 的一部分可以用作第三漏电极 (D3)。

[0065] 此外, 在单个子像素 (P1, P2) 中设置电压保持区域 (VHA), 电压保持区域 (VHA) 通过通孔 (x) 与电压保持电极 (VHE) 连接, 并且电压保持电极 (VHE) 通过通孔 (x) 与电压保持线 (VHL) 连接。因此, 通过电压保持线 (VHL) 提供的电压经由电压保持电极 (VHE) 供应至电压保持区域 (VHA)。电压保持区域 (VHA) 可以从第一子像素 (P1) 延伸到第二子像素 (P2), 同时与电压保持线 (VHL) 平行且与电压保持线 (VHL) 间隔开, 或者可以从第一子像素 (P1) 延伸到第二子像素 (P2), 同时与电压保持线 (VHL) 平行且与电压保持线 (VHL) 交叠, 并且电压保持电极 (VHE) 可以在单个子像素 (P1, P2) 中图案化。

[0066] 如图3中所示, 第一电容器 (C1) 设置在第一子像素 (P1) 中。

[0067] 第一电容器 (C1) 包括第一电容器下电极 (C1-L) 和第一电容器上电极 (C1-HL, C1-HH)。

[0068] 第一电容器下电极 (C1-L) 通过通孔 (x) 与第一子像素 (P1) 的第二栅电极 (G2) 连接。第一电容器下电极 (C1-L) 从第一子像素 (P1) 延伸到第二子像素 (P2), 同时与第一子像素 (P1) 和第二子像素 (P2) 交叠。特别地, 从第一子像素 (P1) 延伸到第二子像素 (P2) 的第一电容器下电极 (C1-L) 形成为矩形结构, 然而, 在第二子像素 (P2) 中设置有截止 (cut-off) 区

域。即,第一电容器下电极(C1-L)不形成在截止区域中,其中,截止区域是随后将说明的第二电容器下电极(C2-L)通过通孔(x)与第二子像素(P2)的第二栅电极(G2)连接的区域。因此,可以通过截止区域防止第一电容器下电极(C1-L)与第二电容器下电极(C2-L)之间的短路。

[0069] 第一电容器上电极(C1-HL,C1-HH)包括第一下层(C1-HL)和第一上层(C1-HH)。第一下层(C1-HL)通过设置在第一子像素(P1)和第二子像素(P2)中的通孔(x)与第一上层(C1-HH)连接,并且第一上层(C1-HH)可以通过设置在第一子像素(P1)中的通孔(x)与第一子像素(P1)的第二源电极(S2)连接。因此,第一下层(C1-HL)通过第一上层(C1-HH)与第一子像素(P1)的第二源电极(S2)连接。

[0070] 根据本公开内容的一个实施方式,第一电容器上电极(C1-HL,C1-HH)包括第一下层(C1-HL)和第一上层(C1-HH),由此可以通过减小第一电容器上电极(C1-HL,C1-HH)与第一电容器下电极(C1-L)之间的距离来增加第一电容器(C1)的电容,但不限于该结构。第一电容器上电极(C1-HL,C1-HH)可以由与第一子像素(P1)的第二源电极(S2)连接的一个电极层形成。

[0071] 第一下层(C1-HL)和第一上层(C1-HH)从第一子像素(P1)延伸到第二子像素(P2),同时与第一子像素(P1)和第二子像素(P2)交叠。然而,第一上层(C1-HH)可以不延伸到第二子像素(P2)。第一下层(C1-HL)的面积相对地大于第一上层(C1-HH)的面积,从而可以增加第一电容器(C1)的电容。同时,第一下层(C1-HL)的面积相对地小于第一电容器下电极(C1-L)的面积,但不限于该结构。

[0072] 同时,第一电容器上电极(C1-HL,C1-HH)通过通孔(x)与第一子像素(P1)的第二栅电极(G2)连接,并且第一电容器下电极(C1-L)可以通过通孔(x)与第一子像素(P1)的第二源电极(S2)连接。

[0073] 如图4中所示,第二电容器(C2)设置在第二子像素(P2)中。第二电容器(C2)与第一电容器(C1)交叠。为此,第二电容器(C2)和第一电容器(C1)可以设置在彼此不同的层中。

[0074] 第二电容器(C2)包括第二电容器下电极(C2-L)和第二电容器上电极(C2-HL,C2-HH)。

[0075] 第二电容器下电极(C2-L)通过第一电容器下电极(C1-L)的截止区域中的通孔(x)与第二子像素(P2)的第二栅电极(G2)连接。第二电容器下电极(C2-L)从第二子像素(P2)延伸到第一子像素(P1),同时与第一子像素(P1)和第二子像素(P2)交叠。特别地,从第二子像素(P2)延伸到第一子像素(P1)的第二电容器下电极(C2-L)形成为矩形结构,并且与第一电容器下电极(C1-L)不同,在第二电容器下电极(C2-L)中不设置截止区域。因此,第二电容器下电极(C2-L)的面积可以相对地大于第一电容器下电极(C1-L)的面积,但不限于该结构。第二电容器下电极(C2-L)可以与构成第一电容器(C1)的第一电容器下电极(C1-L)和第一电容器上电极(C1-HL,C1-HH)交叠。

[0076] 第二电容器上电极(C2-HL,C2-HH)包括第二下层(C2-HL)和第二上层(C2-HH)。第二下层(C2-HL)通过设置在第一子像素(P1)和第二子像素(P2)中的通孔(x)与第二上层(C2-HH)连接,并且第二上层(C2-HH)可以通过设置在第二子像素(P2)中的通孔(x)与第二子像素(P2)的第二源电极(S2)连接。因此,第二下层(C2-HL)通过第二上层(C2-HH)与第二子像素(P2)的第二源电极(S2)连接。

[0077] 根据本公开内容的一个实施方式,第二电容器上电极(C2-HL,C2-HH)包括第二下层(C2-HL)和第二上层(C2-HH),使得可以通过减小第二电容器上电极(C2-HL,C2-HH)与第二电容器下电极(C2-L)之间的距离来增加第二电容器(C2)的电容,但不限于该结构。第二电容器上电极(C2-HL,C2-HH)可以形成为与第二子像素(P2)的第二源电极(S2)连接的一个电极层。

[0078] 第二下层(C2-HL)和第二上层(C2-HH)从第二子像素(P2)延伸到第一子像素(P1),同时与第一子像素(P1)和第二子像素(P2)交叠。然而,第二上层(C2-HH)可以不延伸到第一子像素(P1)。第二下层(C2-HL)的面积相对地大于第二上层(C2-HH)的面积,从而可以增加第二电容器(C2)的电容。同时,第二下层(C2-HL)的面积可以相对地小于第二电容器下电极(C2-L)的面积,但不限于该结构。

[0079] 第二下层(C2-HL)可以与构成第一电容器(C1)的第一电容器下电极(C1-L)和第一电容器上电极(C1-HL,C1-HH)交叠。第二上层(C2-HH)与第一电容器(C1)的第一下层(C1-HL)和第一电容器下电极(C1-L)交叠,但不与第一上层(C1-HH)交叠。然而,第二上层(C2-HH)可以与第一上层(C1-HH)交叠。

[0080] 同时,第二电容器上电极(C2-HL,C2-HH)通过通孔(x)与第二子像素(P2)的第二栅电极(G2)连接,并且第二电容器下电极(C2-L)可以通过通孔(x)与第二子像素(P2)的第二源电极(S2)连接。

[0081] 图5是示出根据本公开内容的一个实施方式的电致发光显示装置的第一子像素(P1)和第二子像素(P2)的截面图,其示出了图2至图4中所示的驱动薄膜晶体管(T2)与电容器电极(C1,C2)之间的电连接。

[0082] 如图5中所示,第二源极区域(SA2)和第二漏极区域(DA2)设置在基板100中。第二源极区域(SA1)和第二漏极区域(DA2)设置在第一子像素(P1)和第二子像素(P2)中的每一个中。

[0083] 基板100可以由P型半导体形成,并且第二源极区域(SA2)和第二漏极区域(DA2)可以由通过用N型掺杂剂对基板100的预定区域进行掺杂而获得的N型掺杂区域形成。

[0084] 在第二源极区域(SA2)与第二漏极区域(DA2)之间,在基板100上形成栅极绝缘层300,并且在栅极绝缘层300上形成第二栅极区域(GA2)。栅极绝缘层300和第二栅极区域(GA2)形成在第一子像素(P1)和第二子像素(P2)中的每一个中。第二栅极区域(GA2)可以由多晶硅形成,但不限于该材料。

[0085] 第一绝缘层210形成在第二栅极区域(GA2)上,并且第二源电极(S2)、第二栅电极(G2)和第二漏电极(D2)形成在第一绝缘层210上。第二源电极(S2)、第二栅电极(G2)和第二漏电极(D2)形成在第一子像素(P1)和第二子像素(P2)中的每一个中。

[0086] 第二源电极(S2)通过穿透第一绝缘层210的通孔与第二源极区域(SA2)连接,第二栅电极(G2)通过穿透第一绝缘层210的通孔与第二栅极区域(GA2)连接,并且第二漏电极(D2)通过穿透第一绝缘层210的通孔与第二漏极区域(DA2)连接。

[0087] 第二绝缘层220形成在第二源电极(S2)、第二栅电极(G2)和第二漏电极(D2)上。然后,在第二绝缘层220上形成第一连接电极(CE1)、第二连接电极(CE2)、第三连接电极(CE3)和第一电容器下电极(C1-L)。第一连接电极(CE1)和第二连接电极(CE2)形成在第二子像素(P2)中,第三连接电极(CE3)形成在第一子像素(P1)中,并且第一电容器下电极(C1-L)从第

一子像素(P1)延伸到第二子像素(P2)。

[0088] 第一连接电极(CE1)通过穿透第二绝缘层220的通孔与第二子像素(P2)的第二源电极(S2)连接,并且第二连接电极(CE2)通过穿透第二绝缘层220的通孔与第二子像素(P2)的第二栅电极(G2)连接。第三连接电极(CE3)通过穿透第二绝缘层220的通孔与第一子像素(P1)的第二源电极(S2)连接,并且第一电容器下电极(C1-L)通过穿透第二绝缘层220的通孔与第一子像素(P1)的第二栅电极(G2)连接。

[0089] 第一绝缘中间层410形成在第一电容器下电极(C1-L)上,并且第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)形成在第一绝缘中间层410上。第一绝缘中间层410和第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)从第一子像素(P1)延伸到第二子像素(P2)。

[0090] 第三绝缘层230形成在第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)上。然后,在第三绝缘层230上形成第四连接电极(CE4)、第五连接电极(CE5)和第一电容器上电极(C1-HL,C1-HH)的上层(C1-HH)。第四连接电极(CE4)和第五连接电极(CE5)形成在第二子像素(P2)中,并且第一电容器上电极(C1-HL,C1-HH)的上层(C1-HH)从第一子像素(P1)延伸到第二子像素(P2)。

[0091] 第四连接电极(CE4)通过穿透第三绝缘层230的通孔与第二子像素(P2)的第一连接电极(CE1)连接,并且第五连接电极(CE5)通过穿透第三绝缘层230的通孔与第二子像素(P2)的第二连接电极(CE2)连接。第一电容器上电极(C1-HL,C1-HH)的上层(C1-HH)通过穿透第三绝缘层230的通孔与第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)连接。

[0092] 因此,在第一电容器下电极(C1-L)与第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)之间生成电容,该第一电容器下电极(C1-L)与第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)之间插入有具有小厚度的第一绝缘中间层410而彼此间隔开。在这种情况下,第一电容器下电极(C1-L)与第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)之间的距离、即第一绝缘中间层410的厚度比第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)与第一电容器上电极(C1-HL,C1-HH)的上层(C1-HH)之间的距离短,从而增加电容。

[0093] 然而,如果需要,可以省略被提供以连接第一电容器上电极(C1-HL,C1-HH)的下层(C1-HL)与第一电容器上电极(C1-HL,C1-HH)的上层(C1-HH)的通孔、下层(C1-HL)和第一绝缘中间层410。在这种情况下,可以在第一电容器下电极(C1-L)与上层(C1-HH)之间生成电容,该第一电容器下电极(C1-L)与上层(C1-HH)之间插入有第三绝缘层230而彼此间隔开。

[0094] 第四绝缘层240形成在第四连接电极(CE4)、第五连接电极(CE5)和上层(C1-HH)上。然后,第六连接电极(CE6)、第七连接电极(CE7)和第二电容器下电极(C2-L)形成在第四绝缘层240上。第六连接电极(CE6)形成在第二子像素(P2)中,第七连接电极(CE7)形成在第一子像素(P1)中,并且第二电容器下电极(C2-L)从第二子像素(P2)延伸到第一子像素(P1)。

[0095] 第六连接电极(CE6)通过穿透第四绝缘层240的通孔与第四连接电极(CE4)连接,并且第七连接电极(CE7)通过穿透第四绝缘层240的通孔与第一电容器上电极(C1-HL,C1-HH)的上层(C1-HH)连接。第二电容器下电极(C2-L)通过穿透第四绝缘层240的通孔与第五连接电极(CE5)连接。因此,第二电容器下电极(C2-L)经由第五连接电极(CE5)和第二连接电极(CE2)与第二子像素(P2)的第二栅电极(G2)连接。

[0096] 在第二电容器下电极(C2-L)上形成第二绝缘中间层420,并且在第二绝缘中间层

420上形成第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)。第二绝缘中间层420和第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)从第二子像素(P2)延伸到第一子像素(P1)。

[0097] 第五绝缘层250形成在第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)上。然后,在第五绝缘层250上形成第八连接电极(CE8)和第二电容器上电极(C2-HL,C2-HH)的上层(C2-HH)。第八连接电极(CE8)形成在第一子像素(P1)中,并且第二电容器上电极(C2-HL,C2-HH)的上层(C2-HH)从第二子像素(P2)延伸到第一子像素(P1)。

[0098] 第八连接电极(CE8)通过穿透第五绝缘层250的通孔与第七连接电极(CE7)连接,并且第二电容器上电极(C2-HL,C2-HH)的上层(C2-HH)通过穿透第五绝缘层250的通孔与第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)连接。

[0099] 因此,在第二电容器下电极(C2-L)与第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)之间生成电容,该第二电容器下电极(C2-L)与第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)之间插入有具有小厚度的第二绝缘中间层420而彼此间隔开。

[0100] 在这种情况下,第二电容器下电极(C2-L)与第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)之间的距离、即第二绝缘中间层420的厚度比第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)与第二电容器上电极(C2-HL,C2-HH)的上层(C2-HH)之间的距离短,从而增加电容。

[0101] 然而,如果需要,可以省略被提供以连接第二电容器上电极(C2-HL,C2-HH)的下层(C2-HL)与第二电容器上电极(C2-HL,C2-HH)的上层(C2-HH)的通孔、下层(C2-HL)和第二绝缘中间层420。在这种情况下,可以在第二电容器下电极(C2-L)与上层(C2-HH)之间生成电容,该第二电容器下电极(C2-L)与上层(C2-HH)之间插入有第五绝缘层250而彼此间隔开。

[0102] 在第八连接电极(CE8)和第二电容器上电极(C2-HL,C2-HH)上形成第六绝缘层260,并且在第六绝缘层260上形成用作阳极的第一电极500。

[0103] 第一电极500形成在第一子像素(P1)和第二子像素(P2)中的每一个中。第一子像素(P1)的第一电极500通过穿透第六绝缘层260的通孔与第八连接电极(CE8)连接。因此,第一子像素(P1)的第一电极500经由第八连接电极(CE8)和第七连接电极(CE7)与第一电容器上电极(C1-HL,C1-HH)的上层(C1-HH)连接。第二子像素(P2)的第一电极500通过穿透第六绝缘层260的通孔与第二电容器上电极(C2-HL,C2-HH)的上层(C2-HH)连接。

[0104] 第一电极500的两端由堤部550覆盖。堤部550被设置为覆盖第六绝缘层260上的第一电极500的两端,并且还设置在第一子像素(P1)与第二子像素(P2)之间的边界区域中。在此,第一电极500的被暴露而未被堤部550覆盖的暴露区域成为发光区域。

[0105] 在第一电极500上形成发光层600。发光层600可以形成在堤部550上。即,发光层600可以形成在第一子像素(P1)和第二子像素(P2)中的每一个以及第一子像素(P1)与第二子像素(P2)之间的边界区域中。

[0106] 可以设置发光层600以发射白色光(W)。为此,发光层600可以包括被配置成发射不同颜色的光的多个叠层。

[0107] 例如,发光层600可以包括配置成发射蓝色光的第一叠层610、配置成发射黄色光的第二叠层630、以及设置在第一叠层610与第二叠层630之间的电荷生成层(CGL)620。第一叠层610和第二叠层630中的每一个可以形成在通过顺序地沉积空穴传输层、有机发光层和电子传输层而获得的沉积结构中。虽然未示出,但是发光层600可以包括被配置成发射蓝色

光的第一叠层、被配置成发射绿色光的第二叠层、被配置成发射红色光的第三叠层、设置在第一叠层与第二叠层之间的第一电荷生成层和设置在第二叠层与第三叠层之间的第二电荷生成层。可以以本领域技术人员所知的各种方式改变发光层600的结构。

[0108] 然而,不限于上述结构。可以设置发光层600以通过每个单个子像素(P1,P2)发射不同颜色的光。

[0109] 根据本公开内容的一个实施方式,可以在堤部550和第六绝缘层260中设置沟槽(T),由此可以在沟槽(T)中设置发光层600。因此,在相邻的第一子像素(P1)与第二子像素(P2)之间形成长电流路径,从而减小在彼此相邻的第一子像素(P1)与第二子像素(P2)之间生成的漏电流。沟槽(T)可以仅形成在堤部500中。

[0110] 假设第一子像素(P1)与第二子像素(P2)之间的间隔变得紧凑以实现高分辨率,如果子像素(P1,P2)中的任一个内的发光层600发光,则相应的发光层600的电荷可以传递到相邻的另一子像素(P1,P2)的另一发光层600,由此存在漏电流的可能性。

[0111] 因此,根据本公开内容的一个实施方式,沟槽(T)形成在子像素(P1,P2)之间的边界中,并且发光层600形成在沟槽(T)中,使得可以减小相邻子像素(P1,P2)之间的漏电流。

[0112] 第一叠层610可以形成在沟槽(T)的内侧表面上,并且可以形成在沟槽(T)的内下表面上。在这种情况下,形成在沟槽(T)的内侧表面上的第一叠层610的一些区域与形成在沟槽(T)的内下表面上的第一叠层610的一些区域断开。因此,沟槽(T)内部的一个侧表面上、更具体地沟槽(T)内部的左侧表面上形成的第一叠层610的一些区域不与沟槽(T)内部的另一侧表面上、更具体地沟槽(T)内部的右侧表面上形成的第一叠层610的一些区域连接。因此,在布置有插入其间的沟槽(T)的相邻子像素(P1,P2)之间不通过第一叠层610传递电荷。

[0113] 此外,电荷生成层620可以形成在沟槽(T)的内侧表面处,同时布置在第一叠层610上。在这种情况下,沟槽(T)内部的一个侧表面上、更具体地沟槽(T)内部的左侧表面上形成的电荷生成层620的一些区域不与沟槽(T)内部的另一侧表面上、更具体地沟槽(T)内部的右侧表面上形成的电荷生成层620的一些区域连接。因此,在布置有插入其间的沟槽(T)的子像素(P1,P2)之间不通过电荷生成层620传递电荷。

[0114] 此外,第二叠层630可以连贯地设置在沟槽(T)插入其间的相邻的子像素(P1,P2)之间,同时布置在电荷生成层620上。因此,电荷可以在沟槽(T)插入其间的子像素(P1,P2)之间通过第二叠层630传递,但不限于该结构。通过适当地调整沟槽(T)的形状和发光层600的沉积工艺,可以在沟槽(T)插入其间的相邻子像素(P1,P2)之间不连贯地设置第二叠层630。特别地,第二叠层630的与电荷生成层620相邻的一些下部可以不连贯地设置在子像素(P1,P2)之间。

[0115] 电荷生成层620的电导率高于第一叠层610和第二叠层630中的每一个的电导率。特别地,电荷生成层620的N型电荷生成层可以包括金属材料,由此电荷生成层620的电导率高于第一叠层610和第二叠层630中的每一个的电导率。因此,彼此相邻的子像素(P1,P2)之间的电荷传递通常通过电荷生成层620进行,并且通过第二叠层630的电荷传递是不显著的。

[0116] 因此,根据本公开内容的一个实施方式,当在沟槽(T)内部形成发光层600时,发光层600中的一些被不连贯地设置。特别地,第一堆叠610和电荷生成层620被不连贯地设置,

使得可以减少相邻子像素(P1,P2)之间的电荷传递,从而防止漏电流。

[0117] 在发光层600上形成用作阴极的第二电极700。以与发光层600相同的方式,第二电极700形成在子像素(P1,P2)中的每一个中,并且还形成在子像素(P1,P2)之间的边界中。即,第二电极700可以形成在堤部550上方。

[0118] 在第二电极700上形成封装层800,从而防止外部湿气渗透到发光层600中。封装层800可以形成无机绝缘材料的单层结构,或者通过交替地沉积无机绝缘材料和有机绝缘材料而获得的沉积结构,但不限于这些结构。

[0119] 在封装层800上形成滤色器层900。滤色器层900面对单个子像素(P1,P2)内部的发光区域。滤色器层900可以包括红色(R)滤色器、绿色(G)滤色器和蓝色滤色器,但不限于该结构。同时,虽然未示出,但是可以在滤色器层900中的滤色器中的每一个之间的边界中附加地设置黑矩阵,从而防止光泄漏到除了发光区域之外的其余区域中。

[0120] 图6是示出根据本公开内容的一个实施方式的电致发光显示装置的截面图,其示出了图2至4中所示的薄膜晶体管(T1,T2,T3)的沉积结构、栅极线(GL)、数据线(DL)、高电源线(VDD1,VDD2)、参考线(Ref)和电压保持线(VHL)。在图6中,未示出设置在第五绝缘层250上方的结构,例如阳极电极、发光层和阴极电极,并且也未示出图5中描述的驱动薄膜晶体管(T2)的第二源电极(S2)与阳极电极之间的电连接结构。

[0121] 如图6中所示,在基板100上形成开关薄膜晶体管(T1)区域、驱动薄膜晶体管(T2)区域、初始化薄膜晶体管(T3)区域和电压保持结构(VHS)区域。

[0122] 第一源极区域(SA1)和第一漏极区域(DA1)形成在基板100的开关薄膜晶体管(T1)区域中,第二源极区域(SA2)和第二漏极区域(DA2)形成在基板100的驱动薄膜晶体管(T2)区域中,第三源极区域(SA3)和第三漏极区域(DA3)形成在基板100的初始化薄膜晶体管(T3)区域中,并且电压保持区域(VHA)形成在基板100的电压保持结构(VHS)区域中。

[0123] 基板100由P型半导体形成。第一源极区域(SA1)、第一漏极区域(DA1)、第二源极区域(SA2)、第二漏极区域(DA2)、第三源极区域(SA3)和第三漏极区域(DA3)中的每一个由通过用N型掺杂剂对基板100的预定区域进行掺杂而获得的N型掺杂区域形成。电压保持区域(VHA)可以由通过用P型掺杂剂对基板100的预定区域进行掺杂而获得的P<sup>+</sup>型掺杂区域形成。

[0124] 在第一源极区域(SA1)与第一漏极区域(DA1)之间的基板100上顺序地形成以相同图案设置的栅极绝缘层300和第一栅极区域(GA1)。在第二源极区域(SA2)与第二漏极区域(DA2)之间的基板100上顺序地形成以相同图案设置的栅极绝缘层300和第二栅极区域(GA2)。在第三源极区域(SA3)与第三漏极区域(DA3)之间的基板100上顺序地形成以相同图案设置的栅极绝缘层300和第三栅极区域(GA3)。第一栅极区域(GA1)、第二栅极区域(GA2)和第三栅极区域(GA3)可以设置在同一层中,并且可以由相同的材料形成。

[0125] 第一绝缘层210形成在第一栅极区域(GA1)、第二栅极区域(GA2)和第三栅极区域(GA3)上。

[0126] 第一源电极(S1)、第一栅电极(G1)和第一漏电极(D1)形成在第一绝缘层210上的开关薄膜晶体管(T1)区域中。第二源电极(S2)、第二栅电极(G2)和第二漏电极(D2)形成在第一绝缘层210上的驱动薄膜晶体管(T2)区域中。第三源电极(S3)、第三栅电极(G3)和第三漏电极(D3)形成在第一绝缘层210上的初始化薄膜晶体管(T3)区域中。电压保持电极(VHE)

形成在第一绝缘层210上的电压保持结构(VHS)区域中。

[0127] 第一源电极(S1)通过穿透第一绝缘层210的通孔与第一源极区域(SA1)连接,第一栅电极(G1)通过穿透第一绝缘层210的通孔与第一栅极区域(GA1)连接,并且第一漏电极(D1)通过穿透第一绝缘层210的通孔与第一漏极区域(DA1)连接。

[0128] 第二源电极(S2)通过穿透第一绝缘层210的通孔与第二源极区域(SA2)连接,第二栅电极(G2)通过穿透第一绝缘层210的通孔与第二栅极区域(GA2)连接,并且第二漏电极(D2)通过穿透第一绝缘层210的通孔与第二漏极区域(DA2)连接。

[0129] 电压保持电极(VHE)通过穿透第一绝缘层210的通孔与电压保持区域(VHA)连接。

[0130] 第一源电极(S1)、第一栅电极(G1)、第一漏电极(D1)、第二源电极(S2)、第二栅电极(G2)、第二漏电极(D2)、第三源电极(S3)、第三栅电极(G3)、第三漏电极(D3)和电压保持电极(VHE)可以设置在同一层中,并且可以由相同的材料形成。

[0131] 开关薄膜晶体管(T1)区域的第一源电极(S1)与数据线(DL)连接,并且更具体地与数据线(DL)形成为一体。因此,数据线(DL)设置在与第一源电极(S1)的层相同的层中,并且由与第一源电极(S1)的材料相同的材料形成。

[0132] 此外,初始化薄膜晶体管(T3)区域的第三漏电极(D3)与参考线(Ref)连接,并且与参考线(Ref)形成为一体。因此,参考线(Ref)设置在与第三漏电极(D3)的层相同的层中,并且由与第三漏电极(D3)的材料相同的材料形成。

[0133] 尽管未详细示出,但是第二栅电极(G2)与第一漏电极(D1)连接,并且第二源电极(S2)与第三源电极(S3)连接。此外,第一栅电极(G1)可以与第三栅电极(G3)连接。

[0134] 第二绝缘层220形成在第一源电极(S1)、第一栅电极(G1)、第一漏电极(D1)、第二源电极(S2)、第二栅电极(G2)、第二漏电极(D2)、第三源电极(S3)、第三栅电极(G3)、第三漏电极(D3)和电压保持电极(VHE)上。

[0135] 栅极线(GL)、第一高电源线(VDD1)和电压保持线(VHL)形成在第二绝缘层220上。

[0136] 栅极线(GL)可以在开关薄膜晶体管(T1)和初始化薄膜晶体管(T3)中共享。因此,栅极线(GL)可以通过穿透第二绝缘层220的通孔与第一栅电极(G1)和第三栅电极(G3)中的每一个连接。

[0137] 第一高电源线(VDD1)通过穿透第二绝缘层220的通孔与第二漏电极(D2)连接,并且电压保持线(VHL)通过穿透第二绝缘层220的通孔与电压保持电极(VHE)连接。

[0138] 栅极线(GL)、第一高电源线(VDD1)和电压保持线(VHL)设置在同一层中,并且由相同的材料形成。

[0139] 第三绝缘层230形成在栅极线(GL)、第一高电源线(VDD1)和电压保持线(VHL)上,并且第九连接电极(CE9)形成在第三绝缘层230上。第九连接电极(CE9)通过穿透第三绝缘层230的通孔与第一高电源线(VDD1)连接。

[0140] 第四绝缘层240形成在第九连接电极(CE9)上,并且第十连接电极(CE10)形成在第四绝缘层240上。第十连接电极(CE10)通过穿透第四绝缘层240的通孔与第九连接电极(CE9)连接。

[0141] 第五绝缘层250形成在第十连接电极(CE10)上,并且第二高电源线(VDD2)形成在第五绝缘层250上。第二高电源线(VDD2)通过穿透第五绝缘层250的通孔与第十连接电极(CE10)连接。

[0142] 因此,第二高电源线(VDD2)经由第十连接电极(CE10)和第九连接电极(CE9)与第一高电源线(VDD1)连接。根据本公开内容的一个实施方式,高电源线(VDD1,VDD2)包括第一高电源线(VDD1)和第二高电源线(VDD2),其设置在不同的层中并且彼此电连接,由此可以将高电源稳定地提供至驱动薄膜晶体管(T2)的第二漏电极(D2)。

[0143] 第一高电源线(VDD1)和第二高电源线(VDD2)设置为沿水平方向的连续的直线形状,但不限于该结构。第二高电源线(VDD2)可以设置为沿水平方向的连续的直线形状,并且第一高电源线(VDD1)可以设置为沿水平方向的不连续的直线形状。

[0144] 图7A是根据本公开内容的另一实施方式的电致发光显示装置的单个子像素(P1,P2)的电路图,并且图7B是根据本公开内容的另一实施方式的电致发光显示装置的单个子像素的电路图。

[0145] 除了第一子像素(P1)和第二子像素(P2)中的每一个中的薄膜晶体管(T1,T2,T3)和电容器(C1,C2)之外,图7A的电致发光显示装置与图1A的电致发光显示装置相同,由此将仅详细描述不同的结构。

[0146] 在前述的图1A的情况下,开关薄膜晶体管(T1)、驱动薄膜晶体管(T2)和初始化薄膜晶体管(T3)由NMOS晶体管形成。

[0147] 同时在图7A的情况下,开关薄膜晶体管(T1)、驱动薄膜晶体管(T2)和初始化薄膜晶体管(T3)由PMOS晶体管形成。

[0148] 此外,在前述的图1A的情况下,设置在第一子像素(P1)中的第一电容器(C1)和设置在第二子像素(P2)中的第二电容器(C2)中的每一个与驱动薄膜晶体管(T2)的栅极端子和源极端子连接,其中,驱动薄膜晶体管(T2)的栅极端子与开关薄膜晶体管(T1)的漏极端子连接,并且驱动薄膜晶体管(T2)的源极端子与发光器件(OLED)的阳极端子连接。

[0149] 同时,在图7A的情况下,设置在第一子像素(P1)中的第一电容器(C1)和设置在第二子像素(P2)中的第二电容器(C2)中的每一个与驱动薄膜晶体管(T2)的栅极端子和源极端子连接,其中,驱动薄膜晶体管(T2)的栅极端子与开关薄膜晶体管(T1)的漏极端子连接,并且驱动薄膜晶体管(T2)的源极端子与高电源线(VDD)连接。

[0150] 图7B示出了附加地设置电压保持线(VHL)。如果根据本公开内容的电致发光显示装置使用诸如硅晶片的半导体基板,则电压保持线(VHL)提供电压以用于恒定地维持半导体基板的电压。因此,图7B的电路图不适于使用玻璃基板或塑料基板的情况。

[0151] 图8至图10是示出根据本公开内容的另一实施方式的电致发光显示装置的平面图。图8示出了除了图7B的电路图之外的其余结构,图9示出了通过向图8附加地设置第一电容器(C1)而获得的结构,并且图10示出了通过向图9附加地设置第二电容器(C2)而获得的结构。

[0152] 除了图8中所示的电致发光显示装置的驱动薄膜晶体管(T2)中的源极/漏极的切换结构之外,图8的电致发光显示装置与图2的电致发光显示装置在结构上相同。在下文中,将仅详细描述不同的结构。

[0153] 如图8中所示,单个子像素(P1,P2)的驱动薄膜晶体管(T2)包括第二栅极区域(GA2)、第二源极区域(SA2)和第二漏极区域(DA2)。

[0154] 第二源极区域(SA2)通过通孔(x)与第二源电极(S2)连接,并且第二源电极(S2)通过通孔(x)与高电源线(VDD)连接。第二源极区域(SA2)可以在单个子像素(P1,P2)中被图案

化,同时与第二源电极(S2)交叠,并且第二源电极(S2)可以在单个子像素(P1,P2)中被图案化,同时与高电源线(VDD)交叠。

[0155] 第二漏极区域(DA2)通过通孔(x)与第二漏电极(D2)连接,并且第二漏电极(D2)通过通孔(x)与阳极电极(未示出)连接。第二漏极区域(DA2)和第二漏电极(D2)可以在单个子像素(P1,P2)中被图案化,同时彼此交叠。

[0156] 第二漏极区域(DA2)与初始化薄膜晶体管(T3)的第二源极区域(SA2)连接,并且第二漏电极(D2)与初始化薄膜晶体管(T3)的第二源电极(S2)连接。第二漏极区域(DA2)与第二源极区域(SA2)形成为一体,并且第二漏电极(D2)与第二源电极(S2)形成为一体。

[0157] 如图9中所示,第一电容器(C1)设置在第一子像素(P1)中。

[0158] 第一电容器(C1)包括第一电容器下电极(C1-L)和第一电容器上电极(C1-HL,C1-HH)。

[0159] 第一电容器下电极(C1-L)通过通孔(x)与第一子像素(P1)的第二栅电极(G2)连接。特别地,从第一子像素(P1)延伸到第二子像素(P2)的第一电容器下电极(C1-L)与第一子像素(P1)和第二子像素(P2)交叠,并且在第二子像素(P2)中设置截止区域。

[0160] 第一电容器上电极(C1-HL,C1-HH)包括第一下层(C1-HL)和第一上层(C1-HH)。

[0161] 第一下层(C1-HL)通过设置在第一子像素(P1)和第二子像素(P2)中的通孔(x)与第一上层(C1-HH)连接,并且第一上层(C1-HH)通过设置在第一子像素(P1)中的通孔(x)与高电源线(VDD)连接。因此,第一下层(C1-HL)通过第一上层(C1-HH)与高电源线(VDD)连接。

[0162] 第一下层(C1-HL)和第一上层(C1-HH)从第一子像素(P1)延伸到第二子像素(P2),并且与第一子像素(P1)和第二子像素(P2)交叠。然而,第一上层(C1-HH)可以不延伸到第二子像素(P2)。

[0163] 第一下层(C1-HL)的面积相对地大于第一上层(C1-HH)的面积,使得可以增加第一电容器(C1)的电容。同时,第一下层(C1-HL)的面积相对地小于第一电容器下电极(C1-L)的面积,但不限于该结构。

[0164] 如图10中所示,第二电容器(C2)设置在第二子像素(P2)中。第二电容器(C2)与第一电容器(C1)交叠。

[0165] 第二电容器(C2)包括第二电容器下电极(C2-L)和第二电容器上电极(C2-HL,C2-HH)。

[0166] 第二电容器下电极(C2-L)通过第一电容器下电极(C1-L)的截止区域中的通孔(x)与第二子像素(P2)的第二栅电极(G2)连接。从第二子像素(P2)延伸到第一子像素(P1)的第二电容器下电极(C2-L)与第一子像素(P1)和第二子像素(P2)交叠。与第一电容器下电极(C1-L)不同,第二电容器下电极(C2-L)未设置有附加的截止区域。因此,第二电容器下电极(C2-L)的面积大于第一电容器下电极(C1-L)的面积。第二电容器下电极(C2-L)可以与构成第一电容器(C1)的第一电容器下电极(C1-L)和第一电容器上电极(C1-HL,C1-HH)交叠。

[0167] 第二电容器上电极(C2-HL,C2-HH)包括第二下层(C2-HL)和第二上层(C2-HH)。第二下层(C2-HL)可以通过设置在第一子像素(P1)和第二子像素(P2)中的通孔与第二上层(C2-HH)连接,并且第二上层(C2-HH)可以与高电源线(VDD)连接。因此,第二下层(C2-HL)通过第二上层(C2-HH)与高电源线(VDD)连接。

[0168] 第二上层(C2-HH)可以从高电源线(VDD)分叉,由此第二上层(C2-HH)可以与高电

源线 (VDD) 形成为一体。

[0169] 从第二子像素 (P2) 延伸到第一子像素 (P1) 的第二下层 (C2-HL) 和第二上层 (C2-HH) 与第一子像素 (P1) 和第二子像素 (P2) 交叠。然而, 第二上层 (C2-HH) 可以不延伸到第一子像素 (P1)。第二下层 (C2-HL) 的面积相对地大于第二上层 (C2-HH) 的面积, 从而可以增加第二电容器 (C2) 的电容。同时, 第二下层 (C2-HL) 的面积可以相对地小于第二电容器下电极 (C2-L) 的面积, 但不限于该结构。

[0170] 第二下层 (C2-HL) 可以与构成第一电容器 (C1) 的第一电容器下电极 (C1-L) 和第一电容器上电极 (C1-HL, C1-HH) 交叠。第二上层 (C2-HH) 与第一电容器 (C1) 的第一下层 (C1-HL) 和第一电容器下电极 (C1-L) 交叠, 但不与第一上层 (C1-HH) 交叠。然而, 第二上层 (C2-HH) 可以与第一上层 (C1-HH) 交叠。

[0171] 图11是示出根据本公开内容的另一实施方式电致发光显示装置的第一子像素 (P1) 和第二子像素 (P2) 的截面图, 其示出了图8至图10中所示的电容器电极 (C1, C2) 与驱动薄膜晶体管 (T2) 之间的电连接。将省略对与图5的部分相同的部分的详细描述。

[0172] 如图11中所示, 第二源极区域 (SA2) 和第二漏极区域 (DA2) 设置在基板100中。

[0173] 在第二源极区域 (SA2) 与第二漏极区域 (DA2) 之间, 在基板100上形成栅极绝缘层300, 并且在栅极绝缘层300上形成第二栅极区域 (GA2)。

[0174] 第一绝缘层210形成在第二栅极区域 (GA2) 上, 并且第二源电极 (S2)、第二栅电极 (G2) 和第二漏电极 (D2) 形成在第一绝缘层210上。

[0175] 第二源电极 (S2) 通过穿透第一绝缘层210的通孔与第二源极区域 (SA2) 连接, 第二栅电极 (G2) 通过穿透第一绝缘层210的通孔与第二栅极区域 (GA2) 连接, 并且第二漏电极 (D2) 通过穿透第一绝缘层210的通孔与第二漏极区域 (DA2) 连接。

[0176] 第二绝缘层220形成在第二源电极 (S2)、第二栅电极 (G2) 和第二漏电极 (D2) 上。然后, 在第二绝缘层220上形成第十一连接电极 (CE11)、第十二连接电极 (CE12)、第十三连接电极 (CE13) 和第一电容器下电极 (C1-L)。第十一连接电极 (CE11) 和第十二连接电极 (CE12) 形成在第二子像素 (P2) 中, 第十三连接电极 (CE13) 形成在第一子像素 (P1) 中, 并且第一电容器下电极 (C1-L) 从第一子像素 (P1) 延伸到第二子像素 (P2)。

[0177] 第十一连接电极 (CE11) 通过穿透第二绝缘层220的通孔与第二子像素 (P2) 的第二源电极 (S2) 连接, 并且第十二连接电极 (CE12) 通过穿透第二绝缘层220的通孔与第二子像素 (P2) 的第二栅电极 (G2) 连接。第十三连接电极 (CE13) 通过穿透第二绝缘层220的通孔与第一子像素 (P1) 的第二漏电极 (D2) 连接, 并且第一电容器下电极 (C1-L) 通过穿透第二绝缘层220的通孔与第一子像素 (P1) 的第二栅电极 (G2) 连接。

[0178] 第一绝缘中间层410形成在第一电容器下电极 (C1-L) 上, 并且第一电容器上电极 (C1-HL, C1-HH) 的下层 (C1-HL) 形成在第一绝缘中间层410上。第一绝缘中间层410和第一电容器上电极 (C1-HL, C1-HH) 的下层 (C1-HL) 从第一子像素 (P1) 延伸到第二子像素 (P2)。

[0179] 第三绝缘层230形成在第一电容器上电极 (C1-HL, C1-HH) 的下层 (C1-HL) 上。然后, 第十四连接电极 (CE14)、第十五连接电极 (CE15)、第十六连接电极 (CE16) 和第一电容器上电极 (C1-HL, C1-HH) 的上层 (C1-HH) 形成在第三绝缘层230中。第十四连接电极 (CE14) 和第十五连接电极 (CE15) 形成在第二子像素 (P2) 中, 第十六连接电极 (CE16) 形成在第一子像素 (P1) 中, 并且第一电容器上电极 (C1-HL, C1-HH) 的上层 (C1-HH) 从第一子像素 (P1) 延伸到第

二子像素(P2)。

[0180] 第十四连接电极(CE14)通过穿透第三绝缘层230的通孔与第二子像素(P2)的第十一连接电极(CE11)连接,并且第十五连接电极(CE15)通过穿透第三绝缘层230的通孔与第二子像素(P2)的第十二连接电极(CE12)连接。第十六连接电极(CE16)通过穿透第三绝缘层230的通孔与第一子像素(P1)的第十三连接电极(CE13)连接。第一电容器上电极(C1-HL, C1-HH)的上层(C1-HH)通过穿透第三绝缘层230的通孔与第一电容器上电极(C1-HL, C1-HH)的下层(C1-HL)连接。

[0181] 第四绝缘层240形成在第十四连接电极(CE14)、第十五连接电极(CE15)、第十六连接电极(CE16)和上层(C1-HH)上。然后,在第四绝缘层240上形成第十七连接电极(CE17)、第十八连接电极(CE18)、第十九连接电极(CE19)和第二电容器下电极(C2-L)。第十七连接电极(CE17)形成在第二子像素(P2)中,第十八连接电极(CE18)和第十九连接电极(CE19)形成在第一子像素(P1)中,并且第二电容器下电极(C2-L)从第二子像素(P2)延伸到第一子像素(P1)。

[0182] 第十七连接电极(CE17)通过穿透第四绝缘层240的通孔与第十四连接电极(CE14)连接,并且第十八连接电极(CE18)通过穿透第四绝缘层240的通孔与第一电容器上电极(C1-HL, C1-HH)的上层(C1-HH)连接。第十九连接电极(CE19)通过穿透第四绝缘层240的通孔与第十六连接电极(CE16)连接,并且第二电容器下电极(C2-L)通过穿透第四绝缘层240的通孔与第十五连接电极(CE15)连接。因此,第二电容器下电极(C2-L)经由第十五连接电极(CE15)和第十二连接电极(CE12)与第二子像素(P2)的第二栅电极(G2)连接。

[0183] 第二绝缘中间层420形成在第二电容器下电极(C2-L)上,并且第二电容器上电极(C2-HL, C2-HH)的下层(C2-HL)形成在第二绝缘中间层420上。第二绝缘中间层420和第二电容器上电极(C2-HL, C2-HH)的下层(C2-HL)从第二子像素(P2)延伸到第一子像素(P1)。

[0184] 第五绝缘层250形成在第二电容器上电极(C2-HL, C2-HH)的下层(C2-HL)上。然后,在第五绝缘层250上形成第二十连接电极(CE20)、第二十一连接电极(CE21)和第二电容器上电极(C2-HL, C2-HH)的上层(C2-HH)。第二十连接电极(CE20)形成在第二子像素(P2)中,第二十一连接电极(CE21)形成在第一子像素(P1)中,并且第二电容器上电极(C2-HL, C2-HH)的上层(C2-HH)从第二子像素(P2)延伸到第一子像素(P1)。

[0185] 第二十连接电极(CE20)通过穿透第五绝缘层250的通孔与第十七连接电极(CE17)连接,并且第二十一连接电极(CE21)通过穿透第五绝缘层250的通孔与第十九连接电极(CE19)连接。第二电容器上电极(C2-HL, C2-HH)的上层(C2-HH)通过穿透第五绝缘层250的通孔与第二电容器上电极(C2-HL, C2-HH)的下层(C2-HL)连接。

[0186] 第二电容器上电极(C2-HL, C2-HH)的上层(C2-HH)与高电源线(VDD)连接,并且第二电容器上电极(C2-HL, C2-HH)的上层(C2-HH)与高电源线(VDD)形成为一体。此外,高电源线(VDD)通过穿透第五绝缘层250的通孔与第十八连接电极(CE18)连接。因此,高电源线(VDD)通过第十八连接电极(CE18)与第一电容器上电极(C1-HL, C1-HH)的上层(C1-HH)连接。

[0187] 第六绝缘层260形成在第二十连接电极(CE20)、第二十一连接电极(CE21)、第二电容器上电极(C2-HL, C2-HH)的上层(C2-HH)和高电源线(VDD)上。用作阳极的第一电极500在第六绝缘层260上形成在第一子像素(P1)和第二子像素(P2)中的每一个中。

[0188] 第一子像素(P1)的第一电极500通过穿透第六绝缘层260的通孔与第二十一连接电极(CE21)连接。因此,第一子像素(P1)的第一电极500经由第二十一连接电极(CE21)、第十九连接电极(CE19)、第十六连接电极(CE16)和第十三连接电极(CE13)与第一子像素(P1)的第二漏电极(D2)连接。

[0189] 第二子像素(P2)的第一电极500通过穿透第六绝缘层260的通孔与第二十连接电极(CE20)连接。因此,第二子像素(P2)的第一电极500经由第二十连接电极(CE20)、第十七连接电极(CE17)、第十四连接电极(CE14)和第十一连接电极(CE11)与第二子像素(P2)的第二漏电极(D2)连接。

[0190] 堤部550设置在第六绝缘层260上,并且被配置成覆盖第一电极500的两端,发光层600形成在第一电极500上,第二电极700形成在发光层600上,封装层800形成在第二电极700上,并且滤色器层900形成在封装层800上。

[0191] 图12A至图12C示出了根据本公开内容的另一实施方式的电致发光显示装置,其涉及头戴式显示器(HMD)装置。图12A是示意性透视图,图12B是虚拟现实(VR)结构的示意性平面图,并且图12C是增强现实(AR)结构的示意性截面图。

[0192] 如图12A中所示,根据本公开内容的头戴式显示器(HMD)装置包括容纳壳10和头戴式带30。

[0193] 显示装置、透镜阵列和目镜可以容纳在容纳壳10的内部。

[0194] 头戴式带30被固定至容纳壳10。在附图中,头戴式带30被配置成围绕用户的头部中的上表面和两个侧表面,但不限于该结构。例如,头戴式带被提供以将头戴式显示器(HMD)装置固定至用户的头部,其可以由眼镜框架形状或头盔形结构代替。

[0195] 如图12B中所示,根据本公开内容的虚拟现实(VR)结构的头戴式显示器(HMD)装置包括左眼显示装置12、右眼显示装置11、透镜阵列13、左眼目镜20a和右眼目镜20b。

[0196] 左眼显示装置12、右眼显示装置11、透镜阵列13以及左眼目镜20a和右眼目镜20b被容纳在上述容纳壳10中。

[0197] 可以在左眼显示装置12和右眼显示装置11上显示相同的图像。在这种情况下,用户可以观看二维(2D)图像。如果在左眼显示装置12上显示用于左眼的图像并且在右眼显示装置11上显示用于右眼的图像,则用户可以观看三维(3D)图像。左眼显示装置12和右眼显示装置11中的每一个可以由图1至图11中所示的前述显示装置形成。在这种情况下,图1至图11中与用于显示图像的表面对应的上部,例如滤色器层900面对透镜阵列13。

[0198] 透镜阵列13可以设置在左眼目镜20a与左眼显示装置12之间,同时与左眼目镜20a和左眼显示装置12中的每一个间隔开。即,透镜阵列13可以位于左眼目镜20a的前面和左眼显示装置12的后面。另外,透镜阵列13可以设置在右眼目镜20b与右眼显示装置11之间,同时与右眼目镜20b和右眼显示装置11中的每一个间隔开。即,透镜阵列13可以位于右眼目镜20b的前面和右眼显示装置11的后面。

[0199] 透镜阵列13可以是微透镜阵列。透镜阵列13可以由针孔阵列代替。由于透镜阵列13,显示在左眼显示装置12或右眼显示装置11上的图像可以被扩展并被用户感知。

[0200] 用户的左眼(LE)可以位于左眼目镜20a处,并且用户的右眼(RE)可以位于右眼目镜20b处。

[0201] 如图12C中所示,根据本公开内容的增强现实(AR)结构的头戴式显示器(HMD)装置

包括左眼显示装置12、透镜阵列13、左眼目镜20a、透射反射部分14和透射窗15。为了便于说明,图12C仅示出了左眼结构。右眼结构在结构上与左眼结构相同。

[0202] 左眼显示装置12、透镜阵列13、左眼镜20a、透射反射部分14和透射窗15被容纳在上述容纳壳10中。

[0203] 左眼显示装置12可以设置在透射反射部分14的一侧,例如透射反射部分14的上侧,而不覆盖透射窗15。因此,可以在通过透射窗15看到的环境背景不被左眼显示装置12覆盖的条件下将图像提供至透射反射部分14。

[0204] 左眼显示装置12可以由图1至图11中所示的显示装置形成。在这种情况下,图1至图11中与用于显示图像的表面对应的上部,例如滤色器层900面对透射反射部分14。

[0205] 透镜阵列13可以设置在左眼目镜20a与透射反射部分14之间。

[0206] 用户的左眼位于左眼目镜20a处。

[0207] 透射反射部分14设置在透镜阵列13与透射窗15之间。透射反射部分14可以包括反射表面14a,其部分地透射一些光,并且还反射剩余的光。反射表面14a被配置成将显示在左眼显示装置12上的图像朝向透镜阵列13引导。因此,用户可以通过透射窗15连同周围环境一起观看显示在左眼显示装置12上的图像。即,用户可以观看由重叠有环境真实背景的虚拟图像获得的一个图像,从而实现增强现实(AR)。

[0208] 透射窗15设置在透射反射部分14的前面。

[0209] 对于本领域技术人员明显的是,在不脱离本公开内容的精神或范围的情况下,可以在本公开内容中进行各种修改和变化。因此,本公开内容旨在覆盖本公开内容的修改和变化,只要它们落入所附权利要求及其等同物的范围内。

[0210] 本技术还可以配置如下。

[0211] (1)一种电致发光显示装置,包括:

[0212] 基板,所述基板包括彼此相邻的第一子像素和第二子像素;

[0213] 驱动薄膜晶体管,所述驱动薄膜晶体管设置在所述第一子像素和所述第二子像素中的每一个中,并且被配置成包括栅电极、源电极和漏电极;

[0214] 第一电容器,所述第一电容器与设置在所述第一子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接;以及

[0215] 第二电容器,所述第二电容器与设置在所述第二子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接,

[0216] 其中,所述第一电容器从所述第一子像素延伸到所述第二子像素,并且所述第二电容器从所述第二子像素延伸到所述第一子像素。

[0217] (2)根据(1)所述的电致发光显示装置,

[0218] 其中,所述第一电容器包括第一电容器下电极和第一电容器上电极,所述第一电容器下电极与设置在所述第一子像素中的所述驱动薄膜晶体管的所述栅电极和所述源电极中的任一个电连接,所述第一电容器上电极与设置在所述第一子像素中的所述驱动薄膜晶体管的所述栅电极和所述源电极中的另一个电连接,

[0219] 其中,所述第一电容器下电极与所述第一子像素和所述第二子像素交叠,并且所述第一电容器上电极与所述第一子像素和所述第二子像素交叠。

[0220] (3)根据(2)所述的电致发光显示装置,其中,所述第一电容器上电极包括彼此电

连接的第一下层和第一上层。

[0221] (4) 根据(3)所述的电致发光显示装置,其中,所述第一下层的面积相对地大于所述第一上层的面积。

[0222] (5) 根据(3)所述的电致发光显示装置,其中,所述第一下层与所述第一电容器下电极之间的距离短于所述第一下层与所述第一上层之间的距离。

[0223] (6) 根据(2)所述的电致发光显示装置,其中,设置在所述第一子像素中的所述驱动薄膜晶体管的所述源电极与设置在所述第一子像素中的阳极电极电连接。

[0224] (7) 根据(6)所述的电致发光显示装置,其中,所述第一电容器上电极经由设置在不同层中的两个连接电极与所述阳极电极连接。

[0225] (8) 根据(2)所述的电致发光显示装置,其中,设置在所述第一子像素中的所述驱动薄膜晶体管的所述源电极与布置在第一方向上的高电源线电连接。

[0226] (9) 根据(8)所述的电致发光显示装置,其中,所述第一电容器上电极经由一个连接电极与所述高电源线连接。

[0227] (10) 根据(2)所述的电致发光显示装置,

[0228] 其中,所述第二电容器包括第二电容器下电极和第二电容器上电极,所述第二电容器下电极与设置在所述第二子像素中的所述驱动薄膜晶体管的所述栅电极和所述源电极中的任一个电连接,所述第二电容器上电极与设置在所述第二子像素中的所述驱动薄膜晶体管的所述栅电极和所述源电极中的另一个电连接,

[0229] 其中,所述第二电容器下电极与所述第一子像素和所述第二子像素交叠,并且所述第二电容器上电极与所述第一子像素和所述第二子像素交叠。

[0230] (11) 根据(10)所述的电致发光显示装置,

[0231] 其中,所述第二电容器下电极与所述第一电容器下电极和所述第一电容器上电极交叠,并且

[0232] 所述第二电容器上电极与所述第一电容器下电极和所述第一电容器上电极交叠。

[0233] (12) 根据(10)所述的电致发光显示装置,

[0234] 其中,设置在所述第二子像素中的所述驱动薄膜晶体管的所述源电极与设置在所述第二子像素中的阳极电极电连接,并且

[0235] 所述第二电容器上电极通过穿透绝缘层的通孔与所述阳极电极连接。

[0236] (13) 根据(10)所述的电致发光显示装置,

[0237] 其中,设置在所述第二子像素中的所述驱动薄膜晶体管的所述源电极与布置在第一方向上的高电源线电连接,并且

[0238] 所述第二电容器上电极通过穿透绝缘层的通孔与所述高电源线连接。

[0239] (14) 根据(10)所述的电致发光显示装置,

[0240] 其中,所述第二电容器下电极的面积大于所述第一电容器下电极的面积,并且所述第一电容器下电极设置有截止区域,所述截止区域形成在所述第二电容器下电极与设置在所述第二子像素中的所述驱动薄膜晶体管的所述栅电极电连接的区域中。

[0241] (15) 一种电致发光显示装置,包括:

[0242] 基板,所述基板包括彼此相邻的第一子像素和第二子像素;

[0243] 驱动薄膜晶体管,所述驱动薄膜晶体管设置在所述第一子像素和所述第二子像素

中的每一个中,并且被配置成包括栅电极、源电极和漏电极;

[0244] 第一电容器,所述第一电容器与设置在所述第一子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接;以及

[0245] 第二电容器,所述第二电容器与设置在所述第二子像素中的所述驱动薄膜晶体管的栅电极和源电极电连接,

[0246] 其中,所述第一电容器与所述第二电容器在所述第一子像素中交叠,并且所述第一电容器与所述第二电容器在所述第二子像素中交叠。

[0247] (16) 根据(15)所述的电致发光显示装置,其中,所述第一电容器和所述第二电容器设置在所述基板上的不同层中。

[0248] (17) 根据(16)所述的电致发光显示装置,

[0249] 其中,所述第一电容器包括第一电容器下电极和第一电容器上电极,

[0250] 所述第二电容器包括第二电容器下电极和第二电容器上电极,以及

[0251] 所述第二电容器下电极设置在所述第一电容器上电极上方。

[0252] (18) 根据(17)所述的电致发光显示装置,

[0253] 其中,所述第一电容器下电极、所述第一电容器上电极、所述第二电容器下电极和所述第二电容器上电极在所述第一子像素和所述第二子像素的每一个中彼此交叠。

[0254] (19) 根据(15)所述的电致发光显示装置,还包括:堤部,所述堤部设置在所述第一子像素与所述第二子像素之间的边界中;以及发光层,所述发光层设置在所述堤部上,

[0255] 其中,沟槽设置在所述堤部内,并且所述发光层的一些部分不连贯地设置在所述沟槽中。

[0256] (20) 根据(15)所述的电致发光显示装置,还包括:透镜阵列,所述透镜阵列与所述基板分开;以及容纳壳,所述容纳壳被配置成在其中容纳所述基板和所述透镜阵列。

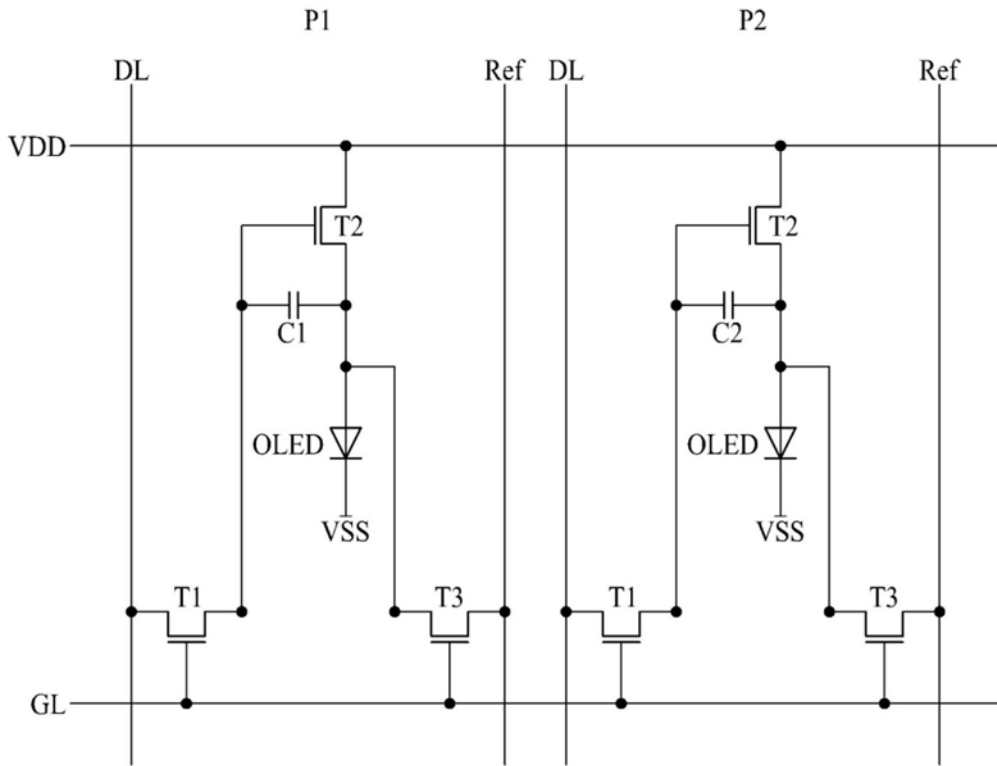


图1A

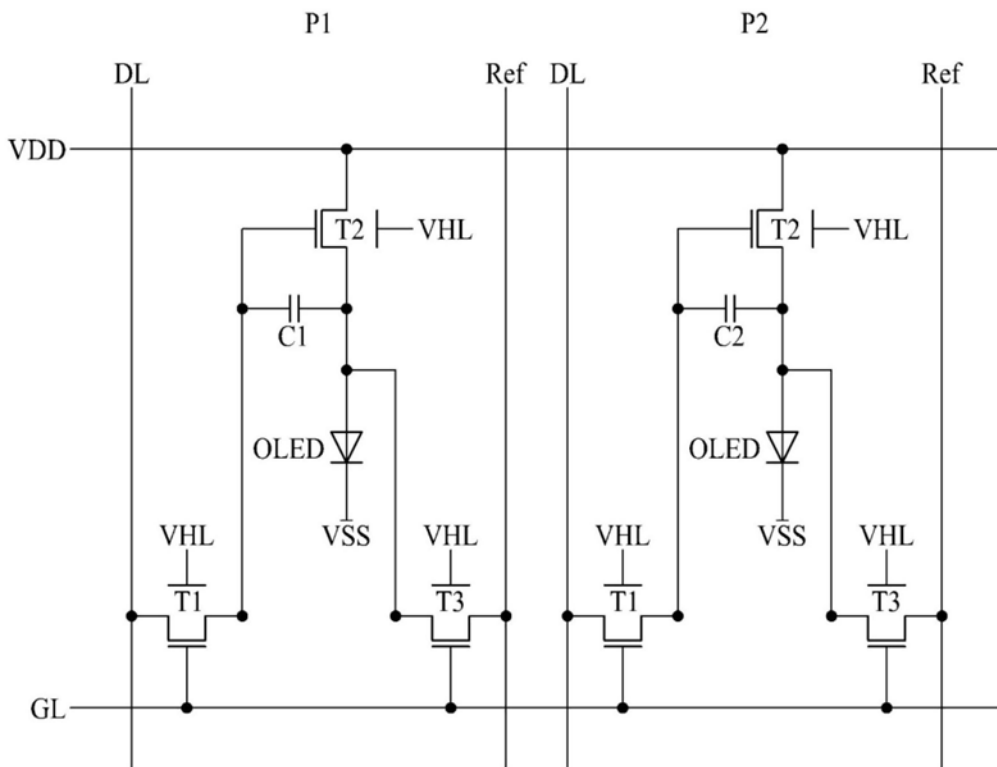


图1B

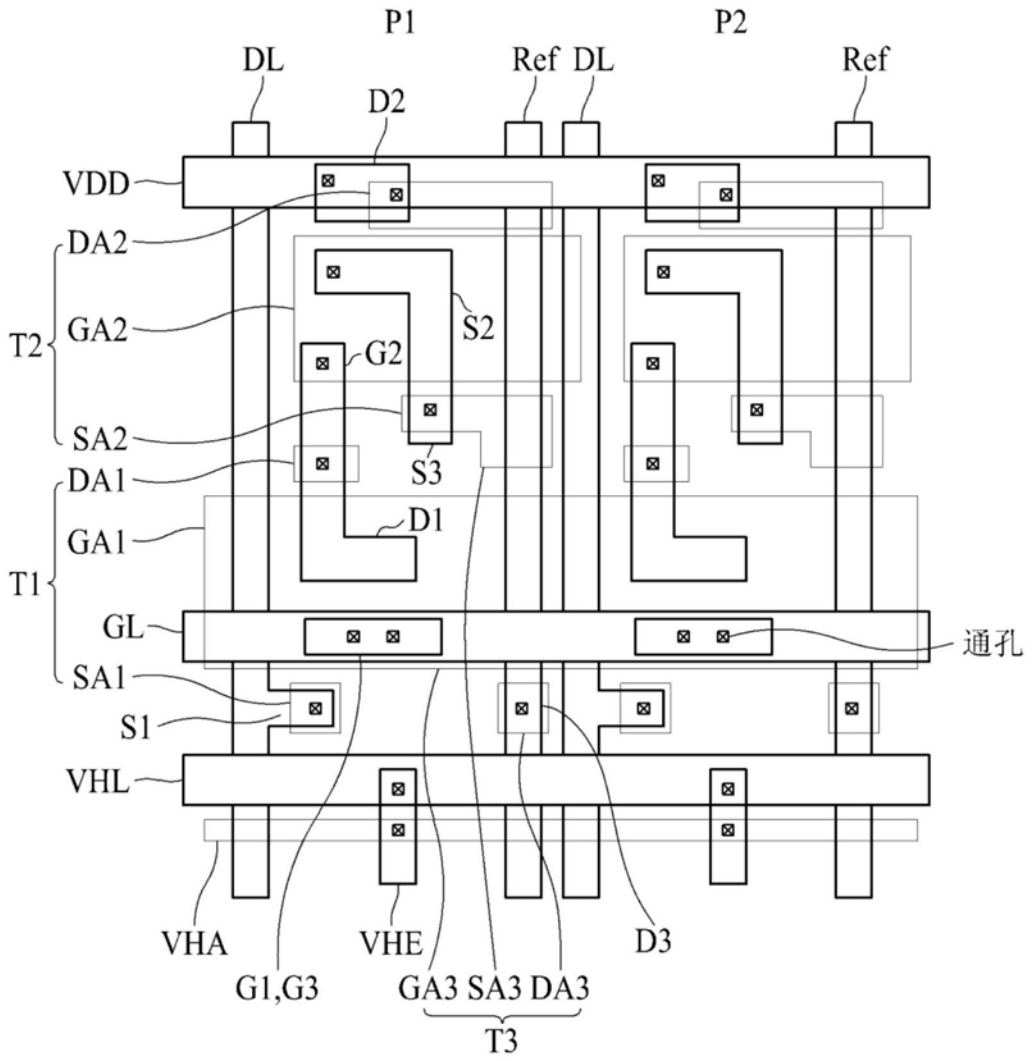


图2



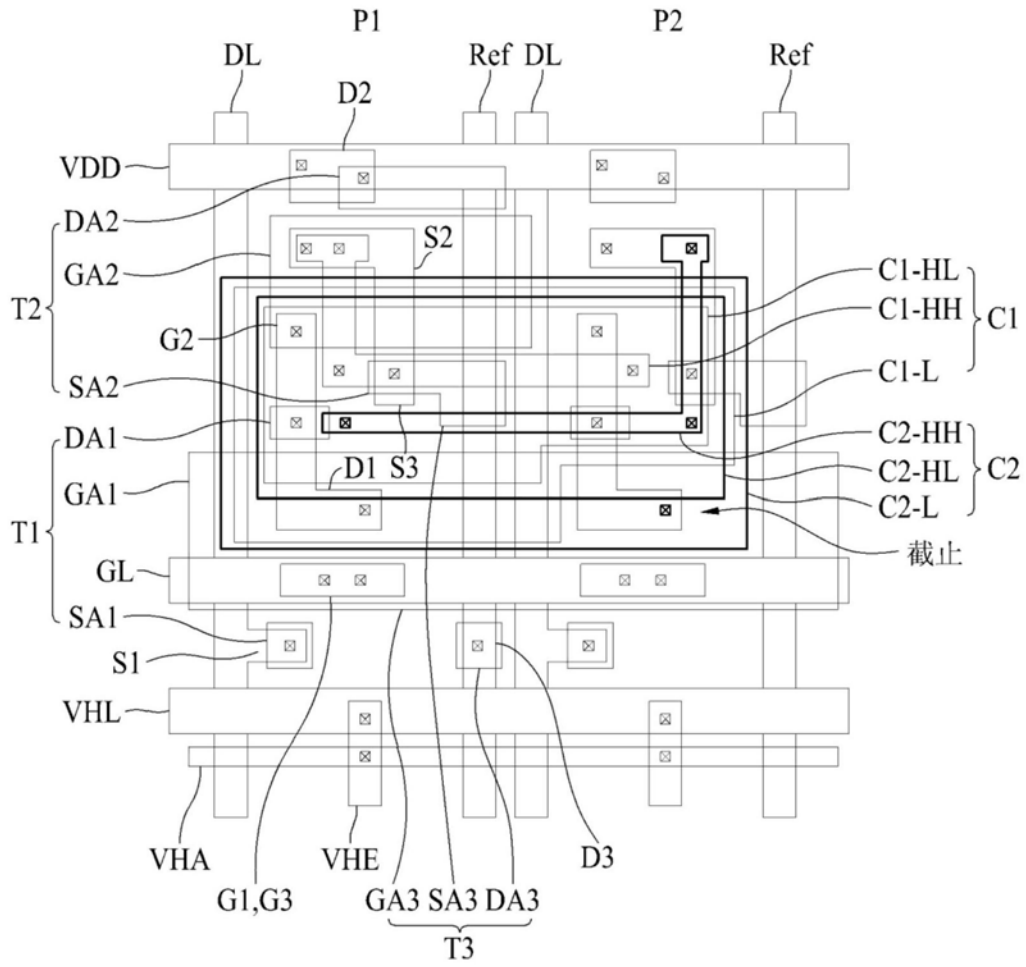


图4

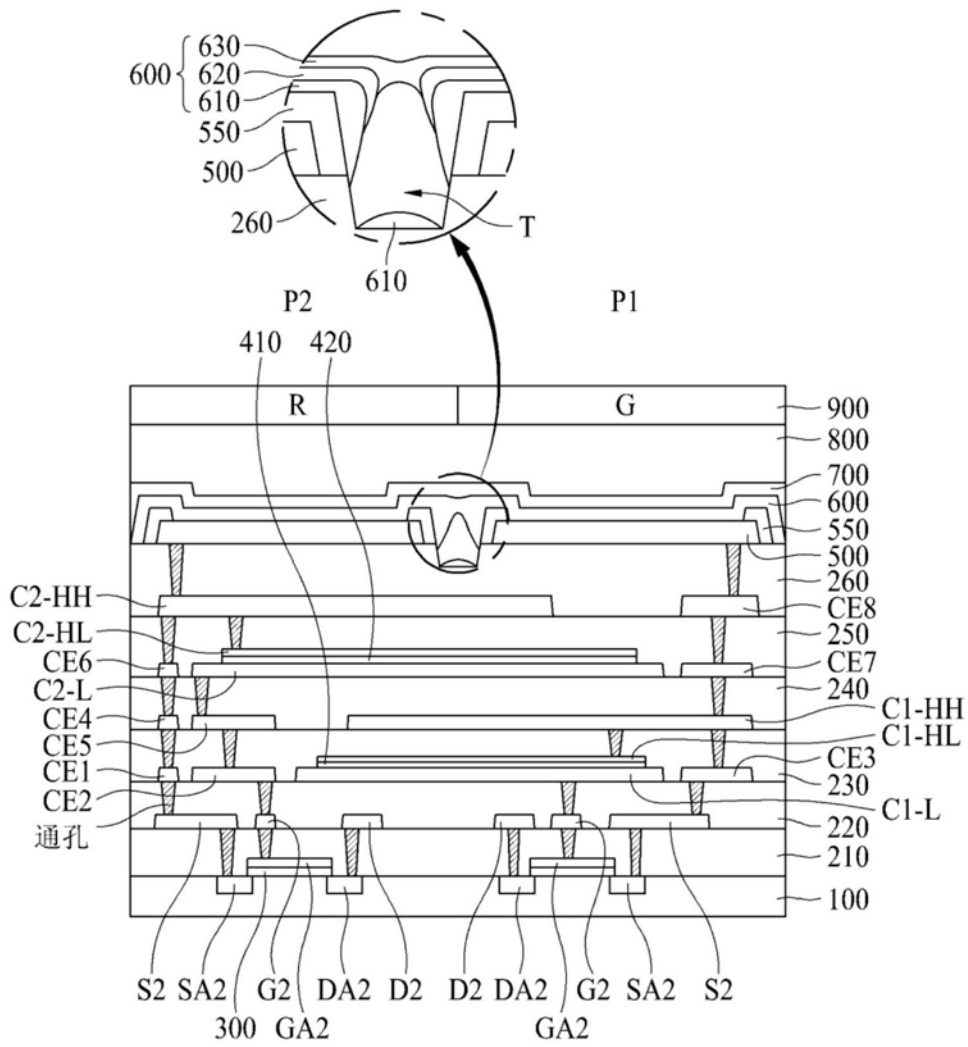


图5

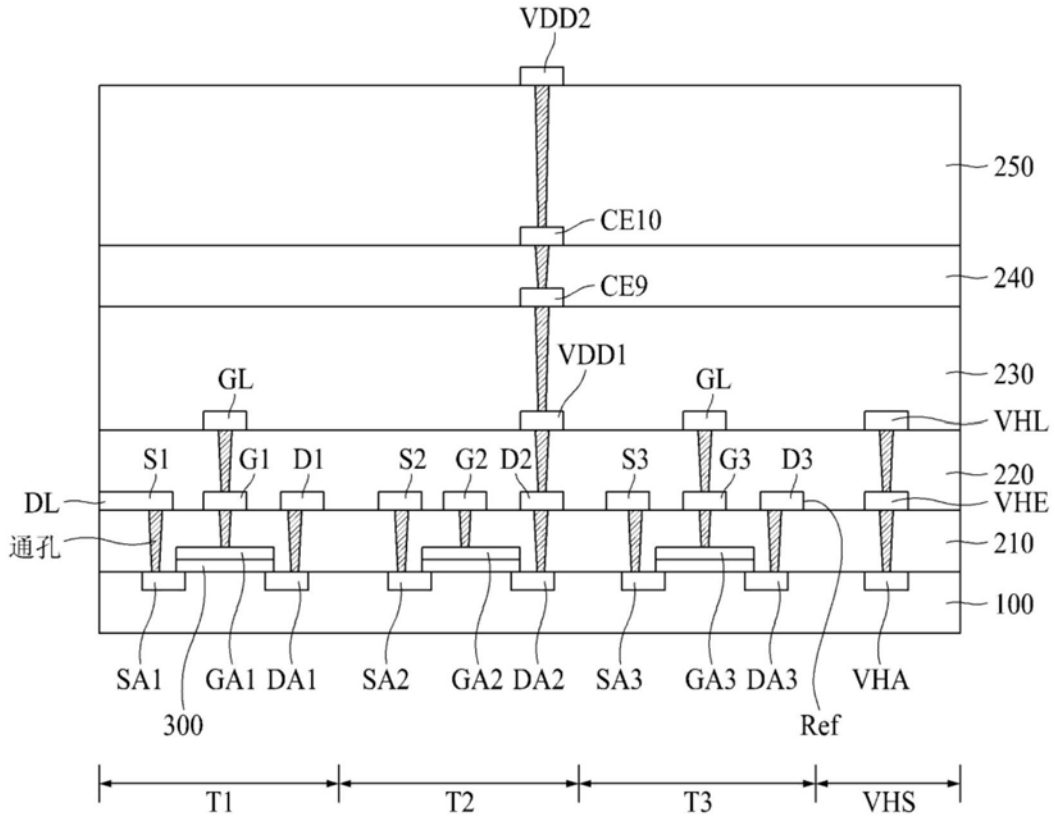


图6

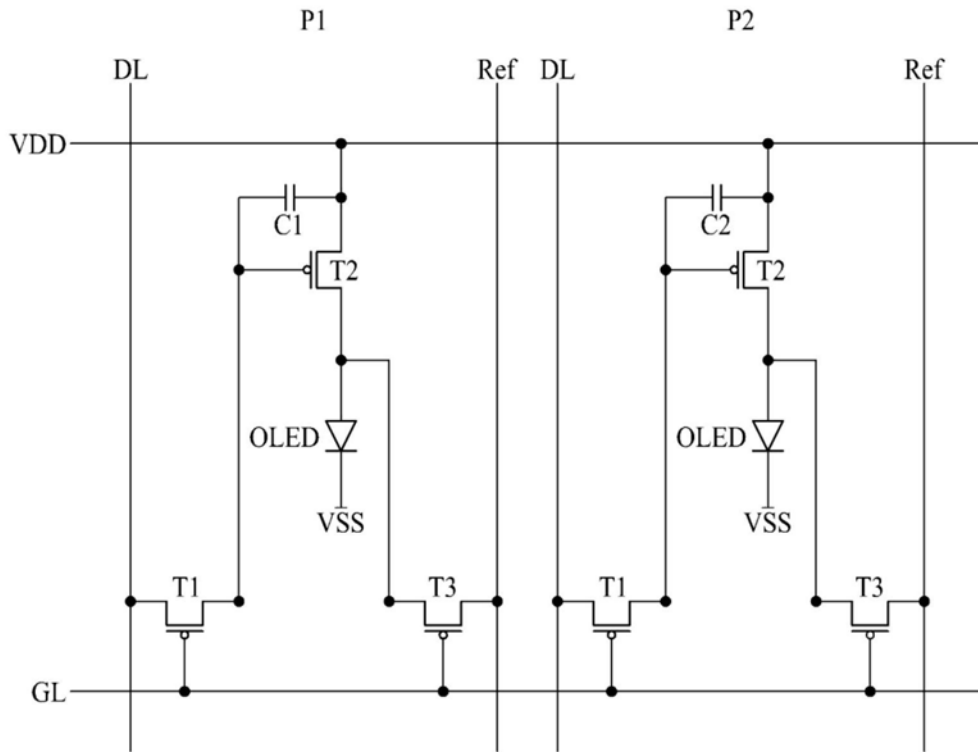


图7A



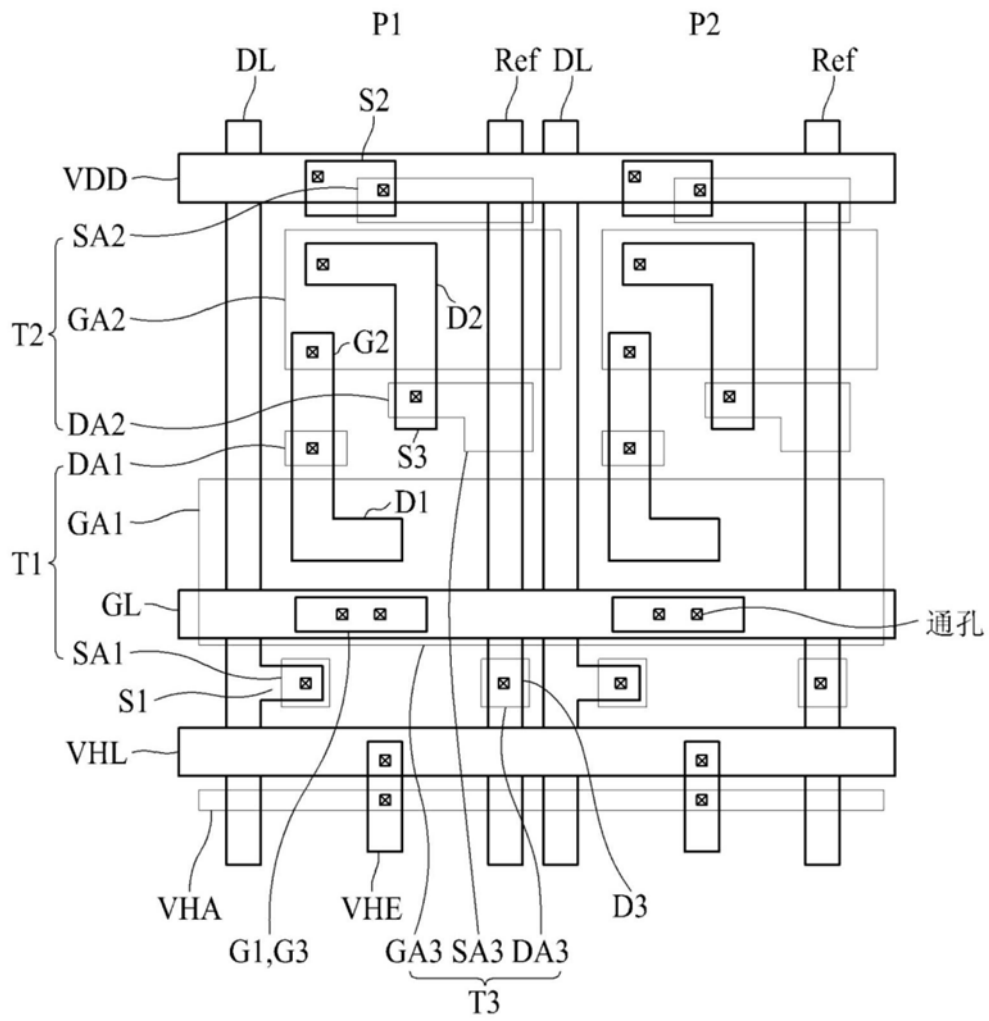


图8

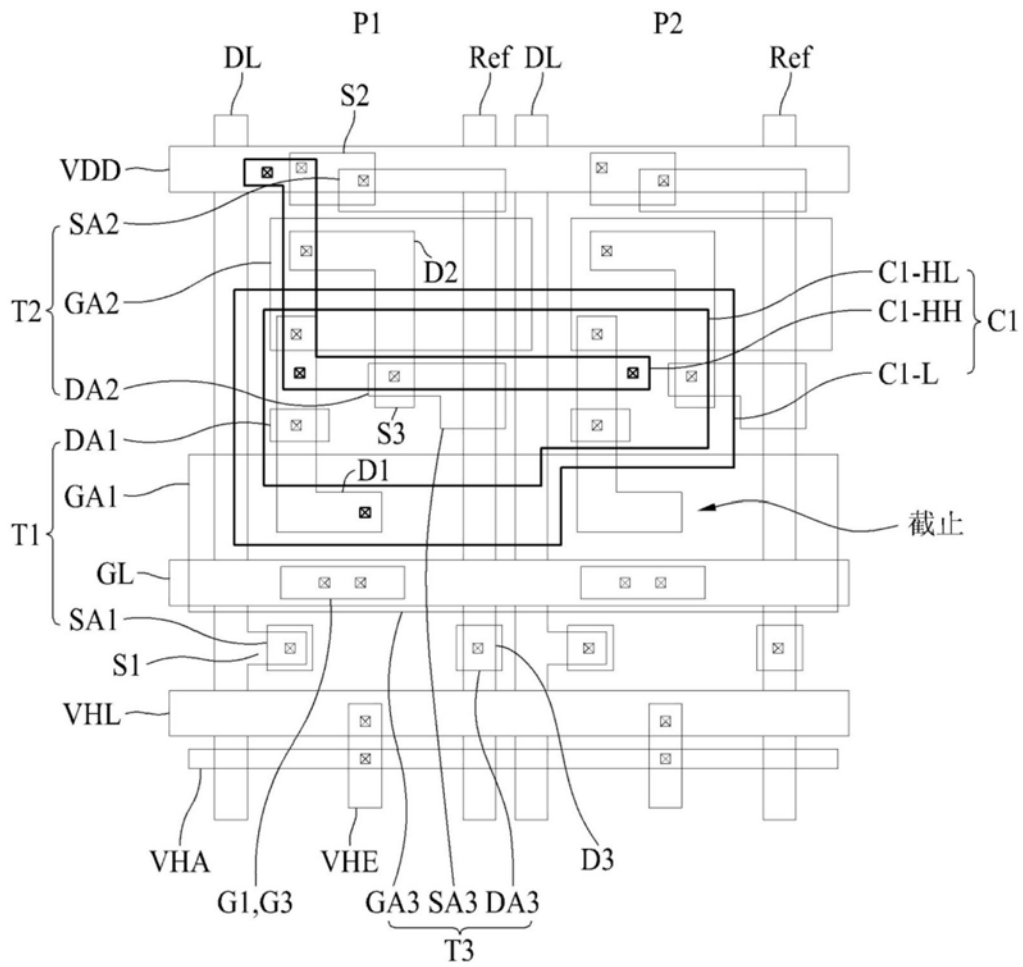


图9

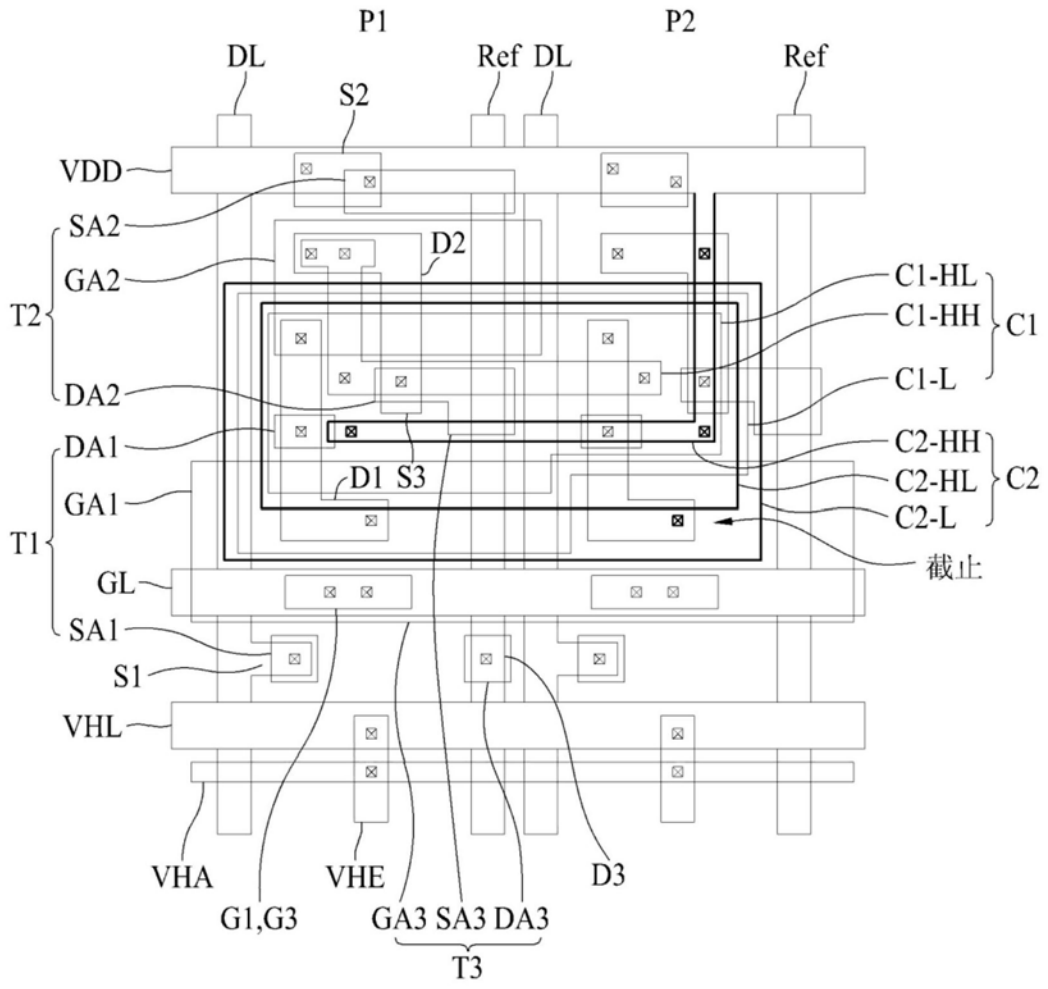


图10

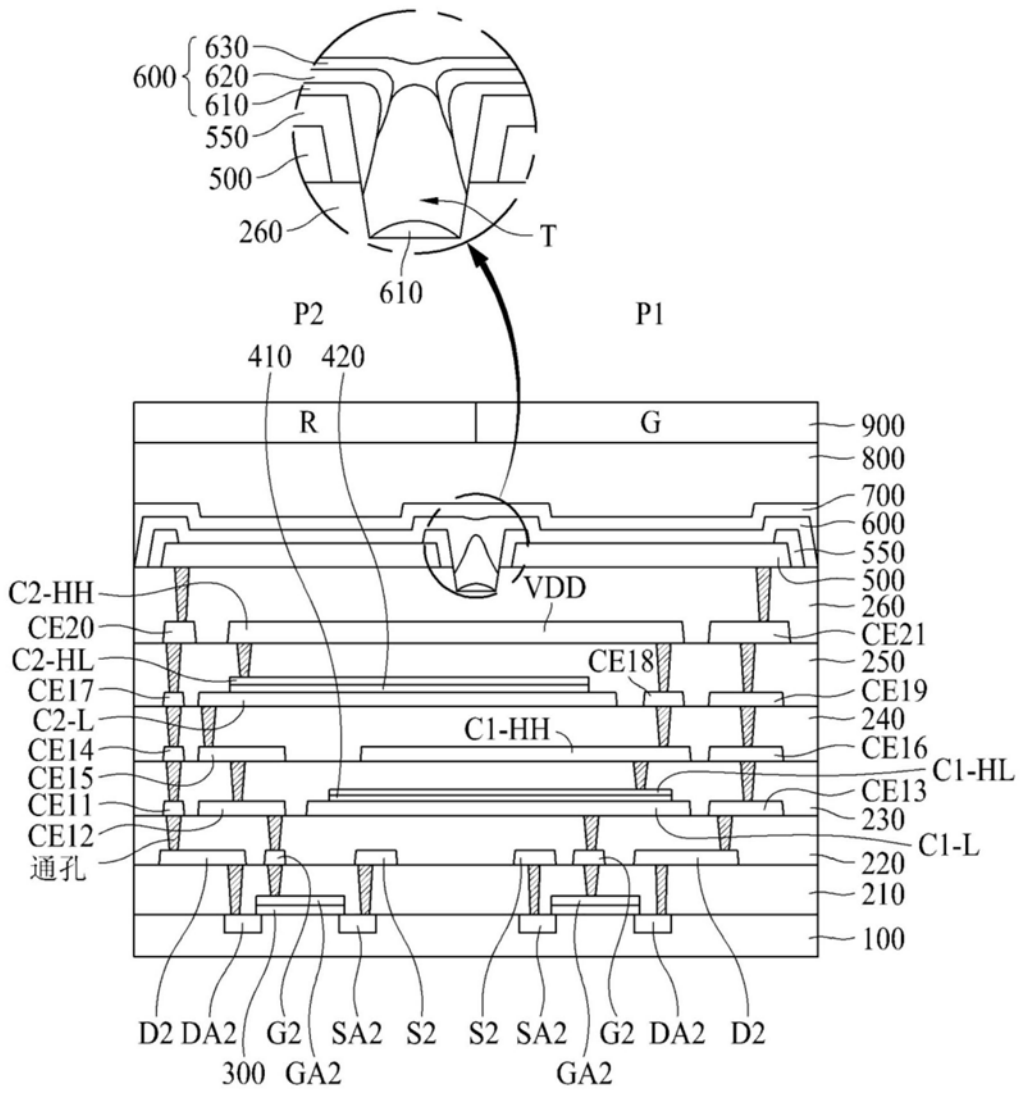


图11

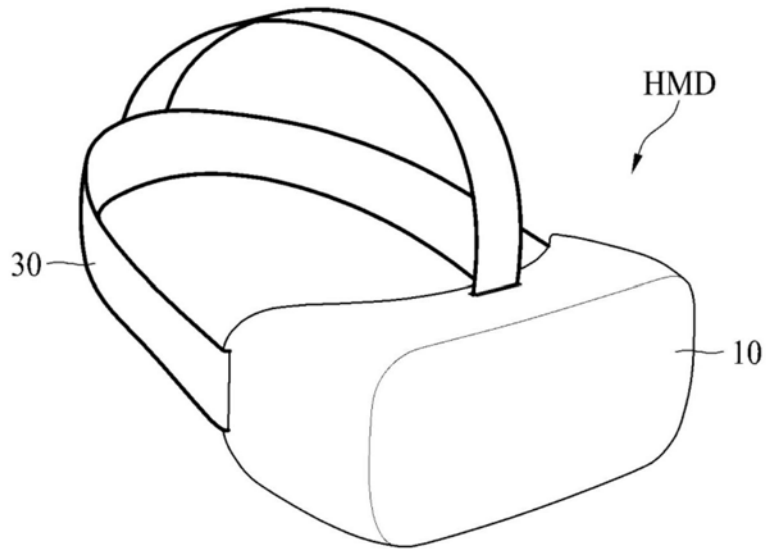


图12A

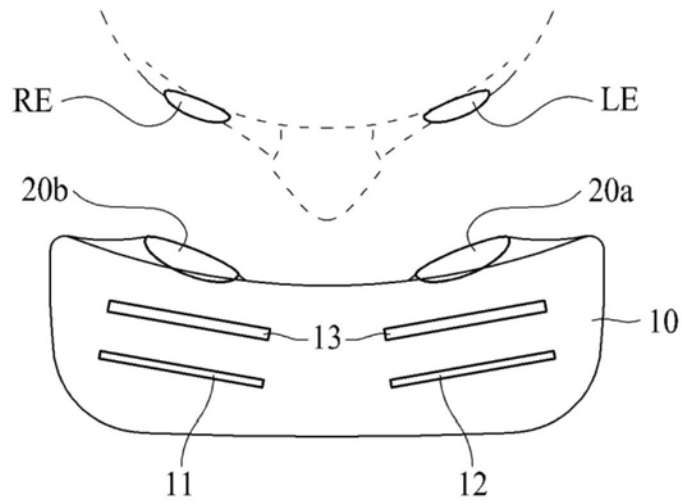


图12B

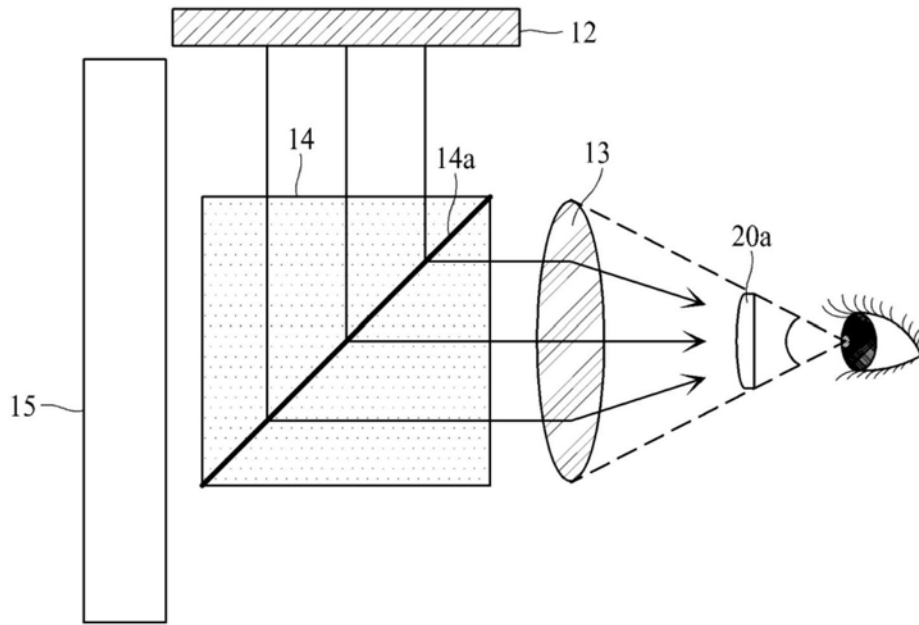


图12C

专利名称(译)	电致发光显示装置		
公开(公告)号	<a href="#">CN111129077A</a>	公开(公告)日	2020-05-08
申请号	CN201910739275.X	申请日	2019-08-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金劲旼 严惠先 尹斗铉		
发明人	金劲旼 严惠先 尹斗铉		
IPC分类号	H01L27/32 H01L23/64 G09G3/30 G09G3/3208		
CPC分类号	H01L27/3265 H01L27/3276 G02B27/0172 G06F1/163 G09G3/2003 G09G2300/0443 H01L27/1255 H01L27/322 H01L27/3246 H01L27/3248 H01L27/3262		
代理人(译)	高岩 陈炜		
优先权	1020180131046 2018-10-30 KR		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

公开了一种电致发光显示装置，包括：基板，包括彼此相邻的第一子像素和第二子像素；驱动薄膜晶体管，设置在第一子像素和第二子像素中的每一个中，并且被配置成包括栅电极、源电极和漏电极；第一电容器，第一电容器与设置在第一子像素中的驱动薄膜晶体管的栅电极和源电极电连接；以及第二电容器，第二电容器与设置在第二子像素中的驱动薄膜晶体管的栅电极和源电极电连接，其中，第一电容器从第一子像素延伸到第二子像素，并且第二电容器从第二子像素延伸到第一子像素。

