



(12)发明专利申请

(10)申请公布号 CN 110021636 A

(43)申请公布日 2019.07.16

(21)申请号 201811529826.1

(22)申请日 2018.12.14

(30)优先权数据

10-2017-0182067 2017.12.28 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 朴恩智 韩成晚 李基炯

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 刘久亮 黄纶伟

(51)Int.Cl.

H01L 27/32(2006.01)

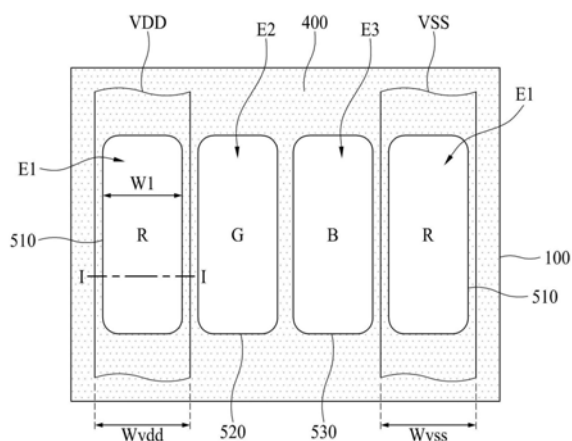
权利要求书4页 说明书20页 附图12页

(54)发明名称

电致发光显示装置

(57)摘要

电致发光显示装置。公开了一种电致发光显示装置,该电致发光显示装置包括:基板;在所述基板上的包括信号线的电路器件层;堤,该堤在所述电路器件层上限定第一发光区域和第二发光区域;以及所述第一发光区域中的第一发光层和所述第二发光区域中的第二发光层,其中,所述第一发光区域与所述信号线交叠,并且所述第一发光区域的宽度等于或小于所述信号线的宽度。



1. 一种电致发光显示装置,该电致发光显示装置包括:
基板;
电路器件层,该电路器件层被设置在所述基板上;
信号线,该信号线在所述电路器件层内,所述信号线具有第一宽度;
堤,该堤在所述电路器件层上限定第一发光区域和第二发光区域,所述第一发光区域具有第二宽度并且所述第二发光区域具有第三宽度;以及
第一发光层和第二发光层,该第一发光层在所述第一发光区域中,该第二发光层在所述第二发光区域中,
其中,所述第一发光区域与所述信号线交叠,并且所述第二宽度等于或小于所述第一宽度。
2. 根据权利要求1所述的电致发光显示装置,其中,所述信号线对应于电力线。
3. 根据权利要求2所述的电致发光显示装置,
其中,所述电路器件层包括布置在与所述电力线相同的方向上的数据线和参考线中的至少一条,并且
所述第二发光区域与所述数据线和所述参考线中的至少一条交叠,并且所述第三宽度大于所述数据线的宽度和所述参考线的宽度中的至少一个。
4. 根据权利要求3所述的电致发光显示装置,其中,所述第三宽度大于所述第二宽度。
5. 根据权利要求1所述的电致发光显示装置,其中,所述第一发光层的宽度等于或小于所述第一宽度。
6. 一种电致发光显示装置,该电致发光显示装置包括:
基板;
高电平电力线和低电平电力线,该高电平电力线和该低电平电力线在所述基板上布置在第一方向上;
多个电路器件列,所述多个电路器件列在所述基板上被设置在所述高电平电力线和所述低电平电力线之间并且包括用于控制发光的多个薄膜晶体管;
堤,该堤限定在所述高电平电力线、所述低电平电力线和所述多个电路器件列上交叠的多个发光区域;以及
发光层,该发光层被设置在所述多个发光区域中的每一个中,
其中,所述多个发光区域包括与所述高电平电力线和所述低电平电力线中的至少一条交叠的第一发光区域,
其中,所述第一发光区域的宽度等于或小于所述高电平电力线的宽度和所述低电平电力线的宽度中的至少一个。
7. 根据权利要求6所述的电致发光显示装置,其中,所述多个发光区域还包括与所述多个电路器件列中的至少一个交叠的第二发光区域。
8. 根据权利要求7所述的电致发光显示装置,其中,所述多个发光区域还包括与所述多个电路器件列中的两个交叠的第三发光区域,并且
其中,所述第三发光区域的宽度大于所述第一发光区域的宽度和所述第二发光区域的宽度。
9. 根据权利要求6所述的电致发光显示装置,该电致发光显示装置还包括:

参考线以及第一数据线、第二数据线和第三数据线,该参考线以及该第一数据线、该第二数据线和该第三数据线各自被设置在所述基板上的所述多个电路器件列中的相邻的两个电路器件列之间,

其中,所述多个电路器件列包括:

设置在所述高电平电力线和所述第一数据线之间的第一电路器件列;

设置在所述第二数据线和所述参考线之间的第二电路器件列;以及

设置在所述参考线和所述第三数据线之间的第三电路器件列。

10. 根据权利要求9所述的电致发光显示装置,该电致发光显示装置还包括:

第一阳极,该第一阳极与设置在所述第一电路器件列中并且与所述高电平电力线交叠的驱动薄膜晶体管的电极连接;

第二阳极,该第二阳极与设置在所述第二电路器件列中并且与所述第一电路器件列交叠的驱动薄膜晶体管的电极连接;以及

第三阳极,该第三阳极与设置在所述第三电路器件列中并且与所述第三电路器件列交叠的驱动薄膜晶体管的电极连接。

11. 根据权利要求9所述的电致发光显示装置,该电致发光显示装置还包括:

第一阳极,该第一阳极与设置在所述第三电路器件列中并且与所述低电平电力线交叠的驱动薄膜晶体管的电极连接;

第二阳极,该第二阳极与设置在所述第一电路器件列中并且与所述第一电路器件列交叠的驱动薄膜晶体管的电极连接;以及

第三阳极,该第三阳极与设置在所述第二电路器件列中并且与所述第三电路器件列交叠的驱动薄膜晶体管的电极连接。

12. 根据权利要求9所述的电致发光显示装置,该电致发光显示装置还包括:

第一连接线,该第一连接线从所述高电平电力线延伸至所述第一电路器件列、所述第二电路器件列、所述第三电路器件列和所述低电平电力线,

其中,所述第一连接线将所述高电平电力线连接到设置在所述第一电路器件列、所述第二电路器件列和所述第三电路器件列中的每个驱动薄膜晶体管的电极。

13. 根据权利要求9所述的电致发光显示装置,该电致发光显示装置还包括:

第二连接线,该第二连接线从所述参考线延伸至所述第一电路器件列、所述第二电路器件列和所述第三电路器件列,

其中,所述第二连接线将所述参考线连接到设置在所述第一电路器件列、所述第二电路器件列和所述第三电路器件列中的每个感测薄膜晶体管的电极。

14. 根据权利要求6所述的电致发光显示装置,

其中,所述高电平电力线的宽度等于所述低电平电力线的宽度,

其中,所述第一发光区域被设置在所述高电平电力线和所述低电平电力线中的每一条上,并且与所述高电平电力线和所述低电平电力线中的每一条交叠,并且

其中,所述第一发光区域的宽度等于或小于所述高电平电力线的宽度和所述低电平电力线的宽度。

15. 一种电致发光显示装置,该电致发光显示装置包括:

基板;

电路器件层,该电路器件层包括第一电路器件列、第二电路器件列和第三电路器件列,所述电路器件层在所述基板上;

堤,该堤在所述电路器件层上限定第一发光区域、第二发光区域和第三发光区域;以及第一阳极、第二阳极和第三阳极,该第一阳极、该第二阳极和该第三阳极分别与所述第一发光区域、所述第二发光区域和所述第三发光区域交叠,

其中,所述第一电路器件列、所述第二电路器件列和所述第三电路器件列中的每一个包括控制相应的所述第一发光区域、所述第二发光区域和所述第三发光区域的发光的开关薄膜晶体管 and 驱动薄膜晶体管,

其中,与所述第一发光区域交叠的所述第一阳极连接到设置在所述第一电路器件列或所述第三电路器件列中的驱动薄膜晶体管的一个电极,并且

其中,所述第一发光区域不与所述第一电路器件列和所述第三电路器件列交叠。

16. 根据权利要求15所述的电致发光显示装置,

其中,所述电路器件层还包括高电平电力线,该高电平电力线用于向设置在所述第一电路器件列、所述第二电路器件列和所述第三电路器件列中的每一个中的所述驱动薄膜晶体的另一电极施加高电平电力,并且

其中,所述第一发光区域与所述高电平电力线交叠。

17. 根据权利要求15所述的电致发光显示装置,该电致发光显示装置还包括:

发光层,该发光层在所述第一电极上;以及

第二电极,该第二电极在所述发光层上,

其中,所述电路器件层还包括用于向所述第二电极供应低电平电力的低电平电力线,并且

其中,所述第一发光区域与所述低电平电力线交叠。

18. 根据权利要求15所述的电致发光显示装置,

其中,与所述第一发光区域交叠的所述第一阳极连接到设置在所述第一电路器件列中的驱动薄膜晶体管的一个电极,

其中,与所述第二发光区域交叠的所述第二阳极连接到设置在所述第二电路器件列中的驱动薄膜晶体管的一个电极,

其中,与所述第三发光区域交叠的所述第三阳极连接到设置在所述第三电路器件列中的驱动薄膜晶体管的一个电极,并且

其中,所述第二发光区域与所述第一电路器件列交叠,并且所述第三发光区域与所述第三电路器件列交叠。

19. 根据权利要求15所述的电致发光显示装置,

其中,与所述第一发光区域交叠的所述第一阳极连接到设置在所述第三电路器件列中的驱动薄膜晶体管的一个电极,

其中,与所述第二发光区域交叠的所述第二阳极连接到设置在所述第一电路器件列中的驱动薄膜晶体管的一个电极,

其中,与所述第三发光区域交叠的所述第三阳极连接到设置在所述第二电路器件列中的驱动薄膜晶体管的一个电极,并且

其中,所述第二发光区域与所述第一电路器件列交叠,并且所述第三发光区域与所述

第三电路器件列交叠。

20. 根据权利要求15所述的电致发光显示装置，

其中，所述电路器件层还包括布置在同一方向上的高电平电力线、低电平电力线、第一数据线、第二数据线和第三数据线以及参考线，并且

其中，所述第一电路器件列被设置在所述高电平电力线和所述第一数据线之间，所述第二电路器件列被设置在所述第二数据线和所述参考线之间，并且所述第三电路器件列被设置在所述参考线和所述第三数据线之间。

电致发光显示装置

技术领域

[0001] 本公开涉及电致发光显示装置,并且更具体地,涉及具有通过溶液工艺制造的发光层的电致发光显示装置。

背景技术

[0002] 电致发光显示装置是按照在两个电极之间形成发光层这样的方式设置的。因此,当发光层因两个电极之间的电场而发射或辐射光时,图像显示在电致发光显示装置上。

[0003] 发光层可以由当因电子和空穴的复合而产生激子并且激子从激发态降至基态时发射光的有机材料形成。否则,发光层可以由诸如量子点这样的无机材料形成。

[0004] 下文中,将参照附图来描述根据相关技术的电致发光显示装置。

[0005] 图1是例示根据相关技术的电致发光显示装置的截面图。

[0006] 如图1中所示,相关技术的电致发光显示装置可以包括基板10、电路器件层20、第一电极30、堤40和发光层50。

[0007] 电路器件层20形成在第一基板10上。本文中,在电路器件层20中形成各种信号线、薄膜晶体管 and 电容器。

[0008] 第一电极30形成在电路器件层20上。第一电极30按每个像素图案化,其中,第一电极30用作电致发光显示装置的阳极。

[0009] 堤40按矩阵配置形成,由此限定多个发光区域E。

[0010] 发光层50形成在由堤40限定的多个发光区域E中的每一个中。特别是,使用喷墨设备通过溶液工艺来在发光区域E中暴露的第一电极30上形成发光层50。

[0011] 参照图1中的被标记为箭头并且用虚线圆示出的放大部分,电路器件层20将由于其中有各种信号线和薄膜晶体管而在许多位置处具有台阶差。当发光区域E位于电路器件层20的一个或更多个台阶部分的上方时,在发光区域E中暴露的第一电极30的上表面上将也存在台阶差。该台阶差的一个示例被示出在放大部分中,但是在整个电路器件层20中,有可能存在许多处于各个位置处并且具有不同台阶高度的台阶差。

[0012] 在通过溶液工艺在具有台阶部分的第一电极30上形成发光层50的那些位置中,发光层50在单个发光区域E内的厚度不一致,由此使发光区域E中的发光不均匀。

发明内容

[0013] 已经考虑到以上问题而做出本公开,并且本公开的一个目的是提供能够通过使发光层中的台阶差最小化来在发光区域中设置均匀发光层并且在发光区域中实现均匀发光的电致发光显示装置。

[0014] 根据本公开的一方面,以上和其它目的能够通过提供一种电致发光显示装置来实现,该电致发光显示装置包括:基板;电路器件层,该电路器件层被设置在所述基板上并且被配置为包括信号线;堤,该堤被设置在所述电路器件层上并且被配置为限定第一发光区域和第二发光区域;以及第一发光层,该第一发光层被设置在所述第一发光区域中;以及第

二发光层,该第二发光层被设置在所述第二发光区域中,其中,所述第一发光区域与所述信号线交叠,并且所述第一发光区域的宽度等于或小于所述信号线的宽度。

[0015] 根据本公开的另一方面,提供了一种电致发光显示装置,该电致发光显示装置包括:基板;高电平电力线和低电平电力线,该电平电力线和该低电平电力线在所述基板上布置在第一方向上;多个电路器件列,所述多个电路器件列在所述基板上被设置在所述高电平电力线和所述低电平电力线之间,并且被配置为包括用于控制发光的多个薄膜晶体管;堤,该堤被设置在所述高电平电力线、所述低电平电力线和所述多个电路器件列上,并且被配置为限定多个发光区域;以及发光层,该发光层被设置在所述多个发光区域中的每一个中,其中,所述多个发光区域包括第一发光区域,该第一发光区域与所述高电平电力线和/或所述低电平电力线交叠,并且被配置为具有等于或小于所述高电平电力线的宽度和/或所述低电平电力线的宽度的宽度。

[0016] 根据本公开的又一方面,提供了一种电致发光显示装置,该电致发光显示装置包括:基板;电路器件层,该电路器件层被设置在所述基板上并且被配置为包括第一电路器件列、第二电路器件列和第三电路器件列;堤,该堤被设置在所述电路器件层上并且被配置为限定第一发光区域、第二发光区域和第三发光区域;以及第一电极,该第一电极分别与所述第一发光区域、所述第二发光区域和所述第三发光区域交叠,其中,所述第一电路器件列、所述第二电路器件列和所述第三电路器件列中的每一个包括开关薄膜晶体管和驱动薄膜晶体管,以便控制发光,与所述第一发光区域交叠的所述第一电极连接到设置在所述第一电路器件列或所述第三电路器件列中的驱动薄膜晶体管的一个电极,并且所述第一发光区域不与所述第一电路器件列和所述第三电路器件列交叠。

附图说明

[0017] 根据以下结合附图进行的详细描述,将更清楚地理解本公开的以上和其它目的、特征和其它优点,在附图中:

[0018] 图1是例示根据相关技术的电致发光显示装置的截面图;

[0019] 图2是例示根据本公开的一个实施方式的电致发光显示装置的平面图;

[0020] 图3是例示根据本公开的一个实施方式的电致发光显示装置的与沿着图2的I-I的截面图对应的截面图;

[0021] 图4是例示根据本公开的另一个实施方式的电致发光显示装置的与沿着图2的I-I的截面图对应的截面图;

[0022] 图5是例示根据本公开的一个实施方式的电致发光显示装置的电路图;

[0023] 图6是例示根据本公开的一个实施方式的电致发光显示装置的示出了布置在图5的电路结构中的多个发光区域的平面图;

[0024] 图7是例示根据本公开的另一个实施方式的电致发光显示装置的示出了布置在图5的电路结构中的多个发光区域的平面图;

[0025] 图8是例示根据本公开的一个实施方式的电致发光显示装置的具有图5的电路结构的平面图;

[0026] 图9是例示根据本公开的一个实施方式的电致发光显示装置的示出了布置在图8的电路结构中的多个发光区域的平面图;

[0027] 图10是例示根据本公开的另一个实施方式的电致发光显示装置的示出了布置在图8的电路结构中的多个发光区域平面图；

[0028] 图11是沿着图9的A-B的截面图；

[0029] 图12是沿着图9的C-D的截面图；

[0030] 图13是沿着图9的E-F的截面图；以及

[0031] 图14是例示布置在根据本公开的一个实施方式的电致发光显示装置的显示区和非显示区中的高电平电力线和低电平电力线的平面图。

具体实施方式

[0032] 将通过参照附图描述的以下实施方式来阐明本公开的优点和特征及其实现方法。然而，本公开可以按照不同的方式来实施，而不应该被理解为限于本文中阐述的实施方式。相反，提供这些实施方式，以使得本公开将是彻底和完整的，并且将把本公开的范围充分地传达给本领域的技术人员。另外，本公开仅由权利要求的范围限定。

[0033] 附图中为了描述本公开的实施方式而公开的形状、大小、比率、角度和数量仅仅是示例，因此本公开不限于所例示的细节。相似的参考标号始终是指相似的元件。在下面的描述中，当不需要具体描述相关已知功能或配置来理解本公开时，将不再具体描述。

[0034] 在使用本说明书中描述的“包括”、“具有”和“包含”的情况下，除非使用“仅”，否则还可以存在另一部件。单数形式的术语可以包括复数形式，除非做相反注释。

[0035] 在理解元件时，元件被解释为包括误差范围，尽管没有对此进行明确描述。

[0036] 在描述位置关系时，例如，当位置顺序被描述为“在…上”、“在…上方”、“在…下方”和“靠近”时，可以包括其间不接触的情况，除非使用了“恰好”或“正好”。如果提及第一元件位于第二元件“上”，则并不意指在图中第一元件实质上位于第二元件的上方。可根据所涉及物体的方位来改变物体的上部和下部。因此，在图中或者在实际配置中，第一元件位于第二元件“上”的情况包括第一元件位于第二元件“下方”的情况以及第一元件位于第二元件“上方”的情况。

[0037] 术语“交叠”包括彼此覆盖的层。对于在所引用的特定层的上方或下方的层，可以出现交叠。交叠的层可以是一个层的整个宽度覆盖另一个层的整个宽度的完全交叠，并因此具有相同或更大的宽度。或者，它可以是其中该层的一些部分直接覆盖其它层（或者被其它层覆盖）并且该层中的某个部分未覆盖其它层（或者未被其它层覆盖）。在描述时间关系时，例如，当时间顺序被描述为“在…之后”、“随后”、“接着”和“在…之前”时，可以包括不连续的情况，除非使用了“恰好”或“正好”。

[0038] 应该理解，虽然在本文中可以使用术语“第一”、“第二”等来描述各种元件，但是这些元件不应该受这些术语限制。这些术语只是用于将一个元件与另一个元件区分开。例如，在不脱离本公开的范围的情况下，第一元件可被称为第二元件，并且类似地，第二元件可被称为第一元件。

[0039] 术语“第一水平轴方向”、“第二水平轴方向”和“垂直轴方向”不应该仅基于相应的方向彼此垂直的几何关系来解释，而是可以被理解为在本公开的组件能够在其内进行功能性操作的范围内具有更广的方向性。

[0040] 应该理解，术语“至少一个”包括与任何一个项相关的所有组合。例如，“第一元件、

第二元件和第三元件当中的至少一个”可以包括从第一元件、第二元件和第三元件中选择两个或更多个元件的所有组合以及第一元件、第二元件和第三元件中的每个元件。

[0041] 本公开的各个实施方式的特征可以被部分地或全部彼此结合或组合,并且可以按各种方式彼此相互操作并且在技术上被驱动,如本领域的技术人员能够充分理解的。本公开的实施方式可以彼此独立地执行,或者可以按相互依赖关系被一起执行。

[0042] 下文中,将参照附图来详细地描述根据本公开的実施方式的电致发光显示装置。

[0043] 图2是例示根据本公开的一个实施方式的电致发光显示装置的平面图。

[0044] 如图2中所示,根据本公开的一个实施方式的电致发光显示装置可以包括基板100、高电平电力线VDD、低电平电力线VSS、堤400以及发光层510、520和530。

[0045] 基板100可以由玻璃或塑料材料形成,但是不限于这种材料。基板100可以由透明材料或不透明材料形成。当根据本公开的一个实施方式的电致发光显示装置以其中所发射的光朝向上侧辐射的顶部发光型形成时,基板100可以由不透明材料以及透明材料形成。

[0046] 高电平电力线VDD在第一方向上形成在基板100上,例如,在垂直方向上形成在基板100上。高电平电力线VDD可以将高电平电力供应到用于驱动有机发光器件的驱动薄膜晶体管的电极。

[0047] 低电平电力线VSS在第一方向上形成在基板100上。也就是说,低电平电力线VSS与高电平电力线VDD平行。低电平电力线VSS将低电平电力供应到有机发光器件的阴极。

[0048] 有机发光器件可以包括发光层510、520和530。另外,有机发光器件可以包括分别被设置在发光层510、520和530上方和下方的阳极和阴极。在这种情况下,阳极与驱动薄膜晶体管的源极端子连接,阴极与低电平电力线VSS连接。另外,驱动薄膜晶体管的漏极端子可以与高电平电力线VDD连接。低电平电力线VSS对应于用于供应相对低的电平电力的线,高电平电力线VDD对应于用于供应相对高的电平电力的线。

[0049] 除了高电平电力线VDD和低电平电力线VSS之外,还可以在基板100上设置诸如选通线、数据线、参考线和感测控制线这样的信号线。参照图5的实施方式,将容易地理解诸如高电平电力线VDD、低电平电力线VSS、选通线、数据线、参考线和感测控制线这样的信号线的详细结构。

[0050] 堤400按矩阵配置形成在基板100上,由此限定多个发光区域E1、E2和E3。也就是说,其中未形成堤400的开口部分成为发光区域。发光区域可以包括第一发光区域E1、第二发光区域E2和第三发光区域E3。相应的发光区域E1、E2和E3可以发射不同颜色的光。

[0051] 第一发光区域E1与高电平电力线VDD或低电平电力线VSS交叠。特别是,第一发光区域E1的整个部分与高电平电力线VDD或低电平电力线VSS交叠。因此,第一发光区域E1的宽度W1可以小于或等于高电平电力线VDD的宽度W_{vdd}和低电平电力线VSS的宽度W_{vss}。在本公开中,第一发光区域E1的宽度W1、第二发光区域E2的宽度W2和第三发光区域E3的W3指示在高电平电力线VDD或低电平电力线VSS的长度方向和垂直方向上的宽度。

[0052] 高电平电力线VDD和低电平电力线VSS可以按对应于多个像素的每个循环周期地形成,而非由每个个体像素形成。当高电平电力线VDD和低电平电力线VSS可以按多个像素的每个循环周期地形成时,高电平电力线VDD的宽度W_{vdd}和低电平电力线VSS的宽度W_{vss}中的每一个优选地大于由每个个体像素形成的数据线的宽度。

[0053] 因此,根据本公开的一个实施方式,高电平电力线VDD和低电平电力线VSS按对应

于多个像素的每个循环周期地形成,高电平电力线VDD的宽度 W_{vdd} 和低电平电力线VSS的宽度 W_{vss} 中的每一个等于或大于第一发光区域E1的宽度 W_1 。第一发光区域E1与高电平电力线VDD和低电平电力线VSS交叠,使得能够防止由高电平电力线VDD和低电平电力线VSS在第一发光区域E1中产生的台阶差。因此,当通过溶液工艺在第一发光区域E1中形成第一发光层510时,第一发光层510可以在第一发光区域E1中具有均匀的轮廓,由此在第一发光区域E1中实现均匀的发光。

[0054] 如图中所示,第一发光区域E1与高电平电力线VDD和低电平电力线VSS中的每一条交叠,而第二发光区域E2和第三发光区域E3不与高电平电力线VDD和低电平电力线VSS交叠,但是不限于这种结构。第一发光区域E1、第二发光区域E2和第三发光区域E3中的至少一个可以与高电平电力线VDD和低电平电力线VSS中的至少一条交叠。

[0055] 发光层510、520和530分别形成在由堤400限定的第一发光区域E1、第二发光区域E2和第三发光区域E3中。发光层510、520和530可以包括设置在第一发光区域E1中的第一发光层510、设置在第二发光区域E2中的第二发光层510和设置在第三发光区域E3中的第三发光层530。第一发光层510由红色(R)发光层形成,第二发光层520由绿色(G)发光层形成并且第三发光层530由蓝色(B)发光层形成。也就是说,相应的发光层510、520和530可以由用于辐射不同颜色的光的发光层形成。

[0056] 通常,蓝色(B)发光层的效率低于红色(R)发光层的效率和绿色(G)发光层的效率,由此蓝色(B)发光层的面积可以相对大于红色(R)发光层的面积和绿色(G)发光层的面积。另外,绿色(G)发光层的效率可以低于红色(R)发光层的效率。在这种情况下,绿色(G)发光层的面积可以大于红色(R)发光层的面积。最终,红色(R)发光层的面积可以小于蓝色(B)发光层的面积和绿色(G)发光层的面积。

[0057] 当高电平电力线VDD的宽度 W_{vdd} 和低电平电力线VSS的宽度 W_{vss} 太大时,考虑到基板100的预设大小,必须减小其它信号线的宽度。然而,这在稳定信号电源和用于形成其它信号线的制造工艺方面不是优选的。因此,为了进行适当的电路操作,难以将高电平电力线VDD的宽度 W_{vdd} 和低电平电力线VSS的宽度 W_{vss} 减小超过一定量。

[0058] 在本公开的一个实施方式的情况下,具有面积最小的红色(R)发光层的第一发光层510可以与高电平电力线VDD和低电平电力线VSS交叠,使得高电平电力线VDD的宽度 W_{vdd} 和低电平电力线VSS的宽度 W_{vss} 被形成成为小于预定水平,以防止在形成其它信号线的处理方面有任何问题。然而,绿色(G)发光层的面积可以等于红色(R)发光层的面积。在这种情况下,具有绿色(G)发光层的第二发光层520可以与高电平电力线VDD和低电平电力线VSS交叠。另外,在一些情况下,红色(R)发光层、绿色(G)发光层和蓝色(B)发光层可以具有大小相同的面积。在这种情况下,具有蓝色(B)发光层的第三发光层530可以与高电平电力线VDD和低电平电力线VSS交叠。

[0059] 图3是例示根据本公开的一个实施方式的电致发光显示装置的与沿着图2的I-I的截面图对应的截面图。

[0060] 如图3中所示,在基板100上将高电平电力线VDD图案化。然后,在高电平电力线VDD下方形成下绝缘层201,并且在高电平电力线VDD上方形成上绝缘层202。下绝缘层201可以由缓冲层、栅绝缘层和层间绝缘层当中的至少一个形成,并且上绝缘层202可以由钝化层和平整层中的至少一个形成。

[0061] 然后,在上绝缘层202上形成第一电极310。第一电极310的面积大于第一发光区域E1的面积。第一电极310可以用作电致发光显示装置的阳极。当根据本公开的一个实施方式电致发光显示装置以顶部发光型形成时,第一电极310可以包含用于将从第一发光层510发射的光向上反射的反射材料。在这种情况下,第一电极310可以按透明导电材料和反射材料的层叠结构形成。

[0062] 在第一电极310上形成堤400。堤400覆盖第一电极310的两端,并且限定第一发光区域E1。第一电极310的被暴露而没有被堤400覆盖的暴露部分对应于第一发光区域E1。

[0063] 堤400可以由具有亲水特性的有机绝缘材料形成。在这种情况下,第一发光层510平滑地伸展到堤400的侧表面,使得第一发光层510均匀地形成在第一发光区域E1中。此外,当堤400的整个区域都具有亲水特性时,形成在第一发光区域E1中的第一发光层510溢流到堤400的上表面上方的邻近的发光区域E2或E3,由此形成在第一发光区域E1中的第一发光层510可能与分别形成在邻近的发光区域E2或E3中的发光层520或530混合在一起。因此,堤400的上表面具有疏水特性,以便优选地防止邻近的发光层510、520和530混合。为此,可以通过涂覆具有亲水特性的有机绝缘材料和诸如氟这样的疏水材料的混合溶液并且通过使用光刻工艺对所涂覆的混合溶液进行图案化来获得堤400。在为了进行光刻工艺而辐射的光的作用下,诸如氟这样的疏水材料可以移动到堤400的上部,由此堤400的上部可以具有疏水特性,而堤400的其余部分可以具有亲水特性。在这种情况下,堤400的上表面具有疏水特性,使得能够在一定程度上减少邻近的发光层510、520和530向堤400的上表面中的伸展,由此减少了与邻近的发光层510、520和530的混合相关的问题。

[0064] 具有红色(R)发光层的第一发光层510形成在由堤400限定的第一发光区域E1中。第一发光层510形成在第一电极310的暴露部分上。第一发光层510可以包括空穴注入层(HIL)、空穴传输层(HTL)、发光材料层(EML)和电子传输层(ETL)当中的至少一个有机层。其它的发光层520和530可以具有与上述相同的结构。

[0065] 在不使用掩模的情况下,通过喷墨工艺在第一发光区域E1中形成第一发光层510。在这种情况下,在用于形成第一发光层510的溶液的干燥工艺之后第一发光层510的在第一发光区域E1的中心部分处的上表面的高度 h_1 低于第一发光层510的在第一发光区域E1的侧部处(并且更具体地,第一发光区域E1的与堤400接触的侧部处)的上表面的高度 h_2 。特别是,如图中所示,如果第一发光层510的高度从第一发光区域E1的与堤400接触的侧部至第一发光区域E1的中心部分逐渐地减小,则能够实现逐渐降低的轮廓形状。因此,第二电极600的形成在第一发光层510上的部分可以具有与第一发光层510的轮廓对应的相同轮廓。

[0066] 第二电极600形成在第一发光层510上。第二电极600可以用作电致发光显示装置的阴极。如果第二电极600形成在堤400以及第一发光层510上,则第二电极600形成在多个像素上方,并且还形成在多个像素中的各个像素之间的边界区域上方。因此,第二电极600可以用作用于向多个像素施加公共电压的公共电极。

[0067] 当根据本公开的一个实施方式电致发光显示装置以顶部发光型形成时,第二电极600可以由用于使从第一发光层510发射的光向上行进的透明导电材料形成,或者可以被形成为具有小厚度,以便提高透射率。

[0068] 虽然未详细地示出,但是还可以在第二电极600上形成封装层。封装层防止外部湿气渗透到第一发光层510中。封装层可以由无机绝缘材料形成,或者可以被形成在通过交替

地沉积无机绝缘材料和有机绝缘材料而获得的沉积结构中,但是不限于这些结构。

[0069] 根据本公开的一个实施方式,在具有高电平电力线VDD的区域和没有形成高电平电力线VDD的剩余区域之间可能存在台阶差,因此可能在覆盖高电平电力线VDD的上绝缘层202处可能再出现台阶差。当上绝缘层202包括厚度相对大的平整层时,能够一定程度地掩盖台阶差。然而,台阶差未被完全地消除或掩盖。因此,在形成在上绝缘层202上的第一电极310中还可能再出现台阶差。

[0070] 然而,第一发光区域E1的宽度W1被形成为等于或小于高电平电力线VDD的宽度W_{vdd},并且第一发光区域E1的整个部分与高电平电力线VDD交叠。因此,在第一发光区域E1中没有暴露出因高电平电力线VDD引起的在第一电极310的表面处再出现的台阶差。结果,当通过溶液工艺在第一发光区域E1中形成第一发光层510时,第一发光层510可以在第一发光区域E1中具有均匀的轮廓,由此在第一发光区域E1中实现均匀的发光。

[0071] 在这种情况下,第一发光层510的宽度W_e可以被形成为等于或小于高电平电力线VDD的宽度W_{vdd},但是不限于该结构。当第一发光层510伸展到堤400的上表面上方时,第一发光层510的宽度W_e可以被形成为大于高电平电力线VDD的宽度W_{vdd}。

[0072] 在一些实施方式中,第一发光层的宽度W_e将与第一发光区域的宽度W1大致相同。如果堤400具有用于发光区域的开口的垂直或近乎垂直的侧壁,则在其处测量发光区域的底部处的宽度W1将与在其处测量发光层的宽度的堤的顶部处的宽度W_e大致相同。在其它实施方式中,堤的壁可以是倾斜的,在具有大斜率的一些情形下,导致顶部处的宽度W_e略大于底部处的宽度W1。在一些实施方式中,斜率可能足够大,使得顶部处的宽度W_e比具有宽度W_{vdd}的相应信号线宽度(在所示出的示例中,V_{dd})宽。

[0073] 图4是例示根据本发明的另一个实施方式的电致发光显示装置的与沿着图2的I-I的截面对应的截面图。除了堤400的结构以外,图4的电致发光显示装置在结构上与图3的电致发光显示装置相同,因此在整个附图中将使用相同的参考标号来表示相同的部件。下文中,将如下地仅详细地描述不同的结构。

[0074] 参照图4,堤400包括第一堤410和第二堤420。

[0075] 第一堤410覆盖第一电极310的端部,并且第一堤410形成在上绝缘层202上。第一堤410的厚度相对小于(或薄于)第二堤420的厚度,并且第一堤410的宽度相对大于(或宽于)第二堤420的宽度。利用以上结构,第一堤410具有与第一发光层510相同的亲水特性。具有亲水特性的第一堤410可以由诸如硅氧化物这样的无机绝缘材料形成。因此,当通过溶液工艺形成第一发光层510时,用于形成第一发光层510的溶液能容易地伸展到第一堤410上。

[0076] 在第一堤410上形成第二堤420。第二堤420的宽度相对大于第一堤410的宽度。可以通过涂覆具有亲水特性的有机绝缘材料和诸如氟这样的疏水材料的混合溶液并且通过使用光刻工艺对所涂覆的混合溶液进行图案化来获得堤420。在为了进行光刻工艺而辐射的光的作用下,诸如氟这样的疏水材料可以移动到第二堤420的上部,由此第二堤400的上部具有疏水特性,而堤400的其余部分具有亲水特性。也就是说,

[0077] 第二堤420的与第一堤410接触的下部具有亲水特性,并且第二堤420的上部具有疏水特性。然而,不限于这种结构。例如,第二堤420的整个部分可以具有疏水特性。

[0078] 这里,由于第一堤410具有亲水特性并且第二堤420的下部具有疏水特性,因此能够改善用于形成第一发光层510的溶液的伸展性。特别是,因为与第二堤420相比第一堤410

具有相对较小的厚度和相对较大的宽度,所以能够通过将第一堤410和第二堤420组合来制备亲水特性的2台阶结构,由此用于形成第一发光层510的溶液能够容易地伸展到第一发光区域E1的周缘侧。

[0079] 另外,第二堤420的具有疏水特性的上部防止用于形成第一发光层510的溶液伸展或溢流到其它邻近的发光区域E2或E3,使得能够防止第一发光层510与其它邻近的发光区域E2或E3的发光层520或530混合。

[0080] 图5是例示根据本公开的一个实施方式的电致发光显示装置的电路图。图6和图7是例示根据本公开的各个实施方式的电致发光显示装置的示出了布置在图5的电路结构中的多个发光区域的平面图。

[0081] 如图5中所示,根据本公开的一个实施方式的电致发光显示装置包括选通线GL、感测控制线SCL、高电平电力线VDD、低电平电力线VSS、数据线DL1、DL2、DL3、DL4、DL5和DL6、参考线Ref1和Ref2、开关薄膜晶体管T1、驱动薄膜晶体管T2、感测薄膜晶体管T3、电容器C和有机发光二极管OLED。

[0082] 选通线GL布置在水平方向上。选通线GL将选通信号供应到设置在各个电路器件列C1、C2、C3、C4、C5和C6中的开关薄膜晶体管T1的栅极。

[0083] 感测控制线SCL与选通线GL相距预定间隔地设置,并且在水平方向上布置,同时与选通线GL平行。感测控制线GL将感测控制信号供应到设置在各个电路器件列C1、C2、C3、C4、C5和C6中的感测薄膜晶体管T3的栅极。

[0084] 高电平电力线VDD布置在垂直方向上,同时垂直于选通线GL和感测控制线SCL。高电平电力线VDD将高电平电力供应到设置在各个电路器件列C1、C2、C3、C4、C5和C6中的驱动薄膜晶体管T2的漏极。

[0085] 根据本公开的一个实施方式,一条高电平电力线VDD被配置为将高电平电力同时供应到设置在六个电路器件列C1、C2、C3、C4、C5和C6中的每一个中的驱动薄膜晶体管T2的漏极。因此,设置第一连接线CL1以将一条高电平电力线VDD与每个驱动薄膜晶体管T2的漏极连接。第一连接线CL1在水平方向上从一条高电平电力线VDD起顺序地经过第一电路器件列C1、第二电路器件列C2和第三电路器件列C3、低电平电力线VSS以及第四电路器件列C4和第五电路器件列C5延伸至第六电路器件列C6。第一连接线CL1连接到高电平电力线VDD,并且还连接到设置在各个电路器件列C1、C2、C3、C4、C5和C6中的驱动薄膜晶体管T2的漏极。

[0086] 低电平电力线VSS布置在垂直方向上,同时平行于高电平电力线VDD。低电平电力线VSS将低电平电力供应到有机发光器件OLED的阴极。当阴极被形成在基板的整个表面上时,不需要诸如以上提到的第一连接线CL1这样的连接线以便将低电平电力线VSS与个体有机发光器件OLED的阴极连接。详细地,形成在基板的整个表面上的阴极经由预定的接触孔与低电平电力线VSS连接。因此,只设置图中示出的从个体有机发光器件OLED延伸至低电平电力线VSS的线,以表明有机发光器件OLED的阴极和低电平电力线VSS之间的电连接。实际上,不需要从个体有机发光器件OLED延伸至低电平电力线VSS的线。

[0087] 高电平电力线VDD的宽度和低电平电力线VSS的宽度大于数据线DL1、DL2、DL3、DL4、DL5和DL6的宽度以及参考线Ref1和Ref2的宽度。

[0088] 数据线DL1、DL2、DL3、DL4、DL5和DL6布置在垂直方向上。数据线DL1、DL2、DL3、DL4、DL5和DL6形成在高电平电力线VDD和低电平电力线VSS之间。

[0089] 数据线DL1、DL2、DL3、DL4、DL5和DL6可以包括第一数据线DL1、第二数据线DL2、第三数据线DL3、第四数据线DL4、第五数据线DL5和第六数据线DL6。

[0090] 第一数据线DL1的左侧面对高电平电力线VDD,而且第一数据线DL1的右侧面对第二数据线DL2。在这种情况下,第一数据线DL1和高电平电力线VDD彼此以预定间隔设置。然而,第一数据线DL1和第二数据线DL2彼此相邻地设置。详细地,在第一数据线DL1和高电平电力线VDD之间形成具有诸如开关薄膜晶体管T1、驱动薄膜晶体管T2、感测薄膜晶体管T3和电容器这样的电路器件的第一电路器件列C1。然而,在第一数据线DL1和第二数据线DL2之间没有形成具有以上电路器件的任何电路器件列。在该本公开中,当任何一条线与另一条线相邻地设置时,可以指示在这两条相邻的线之间没有形成电路器件。

[0091] 第二数据线DL2的左侧与第一数据线DL1相邻地设置。另外,在第二电路器件列C2位于第二数据线DL2和第一参考线Ref1之间的情形下,第二数据线DL2被设置成其右侧与第一参考线Ref1相距预定间隔。在第三电路器件列C2位于第三数据线DL3和第一参考线Ref1之间的情形下,第三数据线DL3被设置成其左侧与第一参考线Ref1相距预定间隔。另外,第三数据线DL3的右侧与低电平电力线VSS相邻地设置。在第四电路器件列C4位于第四数据线DL3和低电平电力线VSS之间的情形下,第四数据线DL4被设置成其左侧与低电平电力线VSS相距预定间隔。第四数据线DL4的右侧与第五数据线DL5相邻地设置。第五数据线DL5的左侧与第四数据线DL4相邻地设置,并且在第五电路器件列C5位于第五数据线DL5和第四数据线DL4之间的情形下,第五数据线DL5被设置成与第二参考线Ref2相距预定间隔。在第六电路器件列C6位于第六数据线DL6和第二参考线Ref2之间的情形下,第六数据线DL6被设置成其左侧与第二参考线Ref2相距预定间隔。第六数据线DL6被设置成其右侧与另一高电平电力线VDD相距预定间隔。

[0092] 数据线DL1、DL2、DL3、DL4、DL5和DL6将数据电压供应到设置在各个电路器件列C1、C2、C3、C4、C5和C6中的开关薄膜晶体管T1的源极。

[0093] 第一参考线Ref1和第二参考线Ref2在垂直方向上布置在高电平电力线VDD和低电平电力线VSS之间。参考线Ref1和Ref2可以包括第一参考线Ref1和第二参考线Ref2。

[0094] 在第二电路器件列C2位于第一参考线Ref1和第二数据线DL2之间的情形下,第一参考线Ref1被设置成其左侧与第二数据线DL2相距预定间隔。在第三电路器件列C3位于第一参考线Ref1和第三数据线DL3之间的情形下,第一参考线Ref1被设置成其右侧与第三数据线DL3相距预定间隔。

[0095] 在第五电路器件列C5位于第二参考线Ref2和第五数据线DL5之间的情形下,第二参考线Ref2被设置成其左侧与第五数据线DL5相距预定间隔。在第六电路器件列C6位于第二参考线Ref2和第六数据线DL6之间的情形下,第二参考线Ref2被设置成其右侧与第六数据线DL6相距预定间隔。

[0096] 参考线Ref1和Ref2与设置在各个电路器件列C1、C2、C3、C4、C5和C6中的感测薄膜晶体管T3的漏极连接。

[0097] 根据本公开的一个实施方式,第一参考线Ref1与设置在三个电路器件列C1、C2和C3中的每一个中的感测薄膜晶体管T3的漏极连接。因此,形成第二连接线CL2以将第一参考线Ref1连接到每个感测薄膜晶体管T3中的漏极。第二连接线CL2经由第二电路器件列C2在相对于第一参考线Ref1的左侧方向上延伸至第一电路器件列C1,而且在右侧方向上延伸至

第三电路器件列C3。因此，第二连接线CL2连接到第一参考线Ref1，而且连接到设置在各个电路器件列C1、C2和C3中的感测薄膜晶体管T3的漏极。

[0098] 类似地，第二参考线Ref2连接到设置在三个电路器件列C4、C5和C6中的每一个中的感测薄膜晶体管T3的漏极。因此，形成第三连接线CL3以将第二参考线Ref2连接到每个感测薄膜晶体管T3中的漏极。第三连接线CL3经由第五电路器件列C5在相对于第二参考线Ref2的左侧方向上延伸至第四电路器件列C4，而且在右侧方向上延伸至第六电路器件列C6。因此，第三连接线(CL3)连接到第二参考线Ref2，而且连接到设置在每个电路器件列C4、C5和C6中的感测薄膜晶体管T3的漏极。

[0099] 开关薄膜晶体管T1、驱动薄膜晶体管T2、感测薄膜晶体管T3和电容器C被设置在各个电路器件列C1、C2、C3、C4、C5和C6中。

[0100] 如果开关薄膜晶体管T1按照供应到选通线GL的选通信号进行开关，则利用开关薄膜晶体管将数据线DL1、DL2、DL3、DL4、DL5或DL6所提供的的数据电压供应到驱动薄膜晶体管T2。

[0101] 如果开关薄膜晶体管T2按照开关薄膜晶体管T1所供应的数据电压进行开关，则由从高电平电力线VDD供应的电力产生数据电流，然后所产生的数据电流被供应到有机发光器件OLED。

[0102] 感测薄膜晶体管T3感测造成图片质量劣化的驱动薄膜晶体管T2的阈值电压偏差。可以针对感测模式感测阈值电压偏差。响应于从感测控制线SCL供应的感测控制信号，感测薄膜晶体管T3将驱动薄膜晶体管T2的电压供应到参考线Ref1或Ref2。

[0103] 电容器C将供应到驱动薄膜晶体管T2的数据电压保持达一个帧时段。电容器C与驱动薄膜晶体管T2的栅极端子和源极端子中的每一个连接。

[0104] 有机发光器件OLED根据从驱动薄膜晶体管T2供应的数据电流发射预定量的光。有机发光器件OLED包括阳极、阴极以及设置在阳极和阴极之间的发光层。有机发光器件OLED的阳极连接到驱动薄膜晶体管T2的源极端子，并且有机发光器件OLED的阴极连接到低电平电力线VSS。

[0105] 在附图中，为了便于解释，在各个电路器件列C1、C2、C3、C4、C5和C6中示出了有机发光器件OLED。然而，有机发光器件OLED中的一些可与高电平电力线VDD或低电平电力线VSS交叠。而且，有机发光器件OLED中的一些可以同时与邻近的多个电路器件列C1、C2、C3、C4、C5和C6交叠。参照随后将说明的图6和图7，这将很容易被理解。

[0106] 第一电路器件列C1的结构可以与第四电路器件列C4的结构相同。也就是说，包括在第一电路器件列C1中的薄膜晶体管T1、T2和T3以及电容器C的布置结构可以与包括在第四电路器件列C1中的薄膜晶体管T1、T2和T3以及电容器C的布置结构相同。另外，第二电路器件列C2的结构可以与第五电路器件列C5的结构相同。另外，第三电路器件列C3的结构可以与第六电路器件列C6的结构相同。

[0107] 根据本公开的一个实施方式，图5中示出的结构可以是一个单元，并且图5中示出的结构可以被重复地设置在基板上。也就是说，可以通过使用一条高电平电力线VDD和一条低电平电力线VSS来形成总共六个电路器件列C1、C2、C3、C4、C5和C6。在这种情况下，高电平电力线VDD的宽度 W_{vdd} 和低电平电力线VSS的宽度 W_{vss} 可以等于或大于具有相对小的大小的红色发光区域的宽度，但是不限于该结构。能够通过使用一条高电平电力线VDD和一条低

电平电力线VSS来形成多于六个或少于六个的电路器件列。

[0108] 如上所述,考虑到第一电路器件列C1的结构与第四电路器件列C4的结构相同,与第一电路器件列C1的左侧相邻的高电平电力线VDD的宽度 W_{vdd} 优选地等于与第四电路器件列C4的左侧相邻的低电平电力线VSS的宽度 W_{vss} 。当高电平电力线VDD的宽度 W_{vdd} 与低电平电力线VSS的宽度 W_{vss} 不同时,高电平电力线VDD与第一电路器件列C1内的电路器件之间的电容不同于低电平电力线VSS与第四电路器件列C4内的电路器件之间的电容,由此第一电路器件列C1内的电路器件的特性与第四电路器件列C4内的电路器件的特性可能不一致。

[0109] 如图6中所示,根据本公开的一个实施方式,在图5的电路结构上制备用于发射红色(R)光的第一发光区域E1、用于发射绿色(G)光的第二发光区域E2和用于发射蓝色(B)光的第三发光区域E3。

[0110] 第一发光区域E1与高电平电力线VDD和低电平电力线VSS在不同的相应位置处交叠。第一发光区域E1的宽度 W_1 被形成为等于或小于高电平电力线VDD的宽度 W_{vdd} 和低电平电力线VSS的宽度 W_{vss} 。在一些情形下,VSS线的宽度 W_{vss} 可能略大于VDD线的宽度 W_{vdd} ,但这是可接受的。即使在这些情形下,特定电力供应线无论是VSS还是VDD的宽度将等于或大于与其交叠的特定发光区域的宽度。

[0111] 在第一发光区域E1旁边制备第二发光区域E2。第二发光区域E2的宽度 W_2 大于第一发光区域E1的宽度 W_1 。第二发光区域E2与第一电路器件列C1交叠,并且与第二电路器件列C2部分地交叠。特别是,第二发光区域E2与设置在第一电路器件列C1中的薄膜晶体管T1、T2和T3交叠,并且可以与设置在第一电路器件列C1和第二电路器件列C2之间的第一数据线DL1和第二数据线DL2交叠。在一些情况下,第二发光区域E2可以与设置在第二电路器件列C2中的薄膜晶体管T1、T2和T3中的一些交叠。因此,第二发光区域E2的宽度 W_2 大于第一数据线DL1的宽度和第二数据线DL2的宽度。

[0112] 另外,第二发光区域E2与第四电路器件列C4交叠,并且可以与第五电路器件列C5部分地交叠。特别是,第二发光区域E2与设置在第四电路器件列C4中的薄膜晶体管T1、T2和T3交叠,并且可以与设置在第四电路器件列C4和第五电路器件列C5之间的第四数据线DL4和第五数据线DL5交叠。在一些情况下,第二发光区域E2可以与设置在第五电路器件列C5中的薄膜晶体管T1、T2和T3中的一些交叠。因此,第二发光区域E2的宽度 W_2 大于第四数据线DL4的宽度和第五数据线DL5的宽度。

[0113] 在第二发光区域E2旁边制备第三发光区域E3。第三发光区域E3的宽度 W_3 大于第二发光区域E2的宽度 W_2 。第三发光区域E3与第二电路器件列C2部分地交叠,并且可以与第三电路器件列C3交叠。特别是,第三发光区域E3与设置在第三电路器件列C3中的薄膜晶体管T1、T2和T3交叠,与设置在第二电路器件列C2和第三电路器件列C3之间的第一参考线Ref1交叠,并且可以与设置在第二电路器件列C2中的薄膜晶体管T1、T2和T3中的一些交叠。因此,第三发光区域E3的宽度 W_3 大于第一参考线Ref1的宽度。在这种情况下,第三发光区域E3的宽度 W_3 大于第二发光区域E2的宽度 W_2 ,由此第二电路器件列C2和第三发光区域E3之间的交叠面积可以大于第二电路器件列C2和第二发光区域E2之间的交叠面积。此外,第三发光区域E3可以与第三数据线DL3交叠。

[0114] 另外,第三发光区域E3与第五电路器件列C5部分地交叠,并且可以与第六电路器件列C6交叠。特别是,第三发光区域E3与设置在第六电路器件列C6中的薄膜晶体管T1、T2和

T3中的一些交叠,与设置在第五电路器件列C5和第六电路器件列C6之间的第二参考线Ref2交叠,并且可以与设置在第五电路器件列C5中的薄膜晶体管T1、T2和T3中的一些交叠。因此,第三发光区域E3的宽度W3大于第二参考线Ref2的宽度。在这种情况下,第三发光区域E3的宽度W3大于第二发光区域E2的宽度W2,由此第五电路器件列C5和第三发光区域E3之间的交叠面积可以大于第五电路器件列C5和第二发光区域E2之间的交叠面积。此外,第三发光区域E3可以与第六数据线DL6交叠。

[0115] 如图7中所示,根据本公开的另一个实施方式,在图5的电路结构上制备用于发射红色(R)光的第一发光区域E1、用于发射绿色(G)光的第二发光区域E2和用于发射蓝色(B)光的第三发光区域E3。

[0116] 按与以上图6相同的方式,第一发光区域E1与高电平电力线VDD和低电平电力线VSS交叠。第一发光区域E1的宽度W1被形成为等于或小于高电平电力线VDD的宽度 W_{vdd} 和低电平电力线VSS的宽度 W_{vss} 。

[0117] 在第一发光区域E1旁边制备第二发光区域E2。第二发光区域E2的宽度W2等于第一发光区域E1的宽度W1。第二发光区域E2可以与第一电路器件列C1交叠。因此,第二发光区域E2与设置在第一电路器件列C1中的薄膜晶体管T1、T2和T3交叠。在一些情况下,第二发光区域E2可以与设置在第一电路器件列C1和第二电路器件列C2之间的第一数据线DL1和第二数据线DL2中的至少一条交叠。

[0118] 另外,第二发光区域E2可以与第四电路器件列C4交叠。因此,第二发光区域E2与设置在第四电路器件列C4中的薄膜晶体管T1、T2和T3交叠。在一些情况下,第二发光区域E2可以与设置在第四电路器件列C4和第五电路器件列C5之间的第四数据线DL4和第五数据线DL5中的至少一条交叠。

[0119] 在第二发光区域E2旁边制备第三发光区域E3。第三发光区域E3的宽度W3大于第一发光区域E1的宽度W1和第二发光区域E2的宽度W2。第三发光区域E3可以与第二电路器件列C2和第三电路器件列C3交叠。因此,第三发光区域E3与设置在第二电路器件列C2中的薄膜晶体管T1、T2和T3交叠,与设置在第二电路器件列C2和第三电路器件列C3之间的第一参考线Ref1交叠,并且可以与设置在第三电路器件列C3中的薄膜晶体管T1、T2和T3交叠。在一些情况下,第三发光区域E3可以与设置在第一电路器件列C1和第二电路器件列C2之间的第一数据线DL1和第二数据线DL2中的至少一条交叠。另外,第三发光区域E3可以与第三数据线DL3交叠。

[0120] 另外,第三发光区域E3可以与第五电路器件列C5和第六电路器件列C6交叠。因此,第三发光区域E3与设置在第五电路器件列C5中的薄膜晶体管T1、T2和T3交叠,与设置在第五电路器件列C5和第六电路器件列C6之间的第二参考线Ref2交叠,并且可以与设置在第六电路器件列C6中的薄膜晶体管T1、T2和T3交叠。在一些情况下,第三发光区域E3可以与设置在第四电路器件列C4和第五电路器件列C5之间的第四数据线DL4和第五数据线DL5中的至少一条交叠。另外,第三发光区域E3可以与第六数据线DL6交叠。

[0121] 图8是例示根据本公开的一个实施方式的电致发光显示装置的具有图5的电路结构的平面图。在图8中,将省略图5中示出的第四电路器件列C4、第五电路器件列C5和第六电路器件列C6的结构。

[0122] 如图8中所示,选通线GL和感测控制线SCL布置在水平方向上,并且高电平电力线

VDD、低电平电力线VSS、数据线DL1、DL2和DL3以及第一参考线Ref1布置在垂直方向上。

[0123] 选通线GL和感测控制线SCL位于同一层中,并且由相同的材料形成。高电平电力线VDD、低电平电力线VSS、数据线DL1、DL2和DL3以及第一参考线Ref1位于同一层中,并且由相同的材料形成。每条线的详细结构与图5中的每条线的详细结构相同,由此将省略对相同部件的详细描述。

[0124] 在高电平电力线VDD和第一数据线DL1之间制备第一电路器件列C1。在第一电路器件列C1中,存在开关薄膜晶体管T1、驱动薄膜晶体管T2和感测薄膜晶体管T3。

[0125] 设置在第一电路器件列C1中的开关薄膜晶体管T1可以包括第一栅极G1、第一源极S1、第一漏极D1和第一有源层A1。

[0126] 第一栅极G1可以由选通线GL的一部分形成,但是不限于该结构。例如,第一栅极G1可以按与选通线GL分离的结构形成。

[0127] 第一源极S1可以按与第一数据线DL1分离的结构形成。

[0128] 彼此面对的第一漏极D1和第一源极S1形成在同一层中。第一漏极D1经由连接电极CE1和CE2连接到驱动薄膜晶体管T2的第二栅极G2。

[0129] 连接电极CE1和CE2可以包括第一连接电极CE1和第二连接电极CE2。第一连接电极CE1经由一个接触孔连接到第一漏极D1,并且经由另一接触孔连接到第二连接电极CE2。第一连接电极CE1具有相对大的大小,使得能够改善电容器C的电容。第二连接电极CE2经由单独的接触孔与第一连接电极CE1和驱动薄膜晶体管T2的第二栅极G2中的每一个连接。第一连接电极CE1形成在与第一有源层A1相同的层处,并且第二连接电极CE2形成在与第一源极S1和第一漏极D1相同的层处。

[0130] 第一有源层A1经由单独的接触孔与第一源极S1和第一漏极D1中的每一个连接,由此第一有源层A1用作电子移位沟道。

[0131] 设置在第一电路器件列C1中的驱动薄膜晶体管T2可以包括第二栅极G2、第二源极S2、第二漏极D2和第二有源层A2。

[0132] 如上所述,第二漏极D2可以经由连接电极CE1和CE2连接到开关薄膜晶体管T1的第一漏极D1。第二栅极G2和第一栅极G1可以被形成在同一层。

[0133] 第二源极S2面对第二漏极D2,并且第二源极S2沿着垂直方向延伸。第二源极S2具有相对大的大小,使得能够确保电容器C的足够电容。第二源极S2的上部经由第一接触孔CH1连接到第一像素中的有机发光器件的阳极。第二源极S2的下部连接到感测薄膜晶体管T3的第三源极S3。第二源极S2和第三源极S3可以被一体地形成。

[0134] 第二漏极D2经由第一连接线CL1与高电平电力线VDD连接。第一连接线CL1经由单独的接触孔连接到高电平电力线VDD和第二漏极D2中的每一者。第一连接线CL1可以被形成在基板的最下层中,即,可以被形成在基板的上表面上。第二源极S2和第二漏极D2可以位于与第一源极S1和第一漏极D1相同的层,并且可以由与第一源极S1和第一漏极D1的材料相同的材料形成。

[0135] 第二有源层A2经由单独的接触孔与第二源极S2和第二漏极D2中的每一个连接,由此第二有源层A2用作电子移位沟道。第二有源层A2和第一有源层A1位于同一层,并且由相同的材料形成。

[0136] 设置在第一电路器件列C1中的感测薄膜晶体管T3可以包括第三栅极G3、第三源极

S3、第三漏极D3和第三有源层A3。

[0137] 第三栅极G3可以由感测控制线SGL的一部分形成,但是不限于该结构。例如,第三栅极G3可以按与感测控制线SGL分离的结构形成。

[0138] 如上所述,第三源极S3可以与驱动薄膜晶体管T2的第二源极S2形成为一体。

[0139] 彼此面对的第三漏极D3和第三源极S3可以被形成在同一层中。第三漏极D3经由第二连接线CL2与第一参考线Ref1连接。第二连接线CL2经由单独的接触孔与第三漏极D3和第一参考线Ref1中的每一个连接。第二连接线CL2可以位于与第一连接线CL1相同的层中,并且可以由与第一连接线CL1的材料相同的材料形成。

[0140] 第三有源层A3经由单独的接触孔与第三源极S3和第三漏极D3中的每一个连接,由此第三有源层A3用作电子移位沟道。第三有源层A3可以位于与第一有源层A1相同的层处,并且可以由与第一有源层A1的材料相同的材料形成。

[0141] 另外,在第一电路器件列C1中形成遮光层LS。遮光层LS防止光入射到驱动薄膜晶体管T2的第二有源层A2中。因此,与第二有源层A2相比,遮光层LS具有相对大的面积,并且遮光层LS与第二有源层A2交叠。遮光层LS延伸至第二源极S2下方的区域,并且遮光层(LS)与连接电极CE1和CE2交叠,由此确保电容器C的足够电容。在这种情况下,遮光层LS由导电材料形成,并且可以经由接触孔连接到第二源极S2。遮光层LS可以位于与第一连接线CL1和第二连接层CL2相同的层,并且可以由与第一连接线CL1和第二连接线CL2的材料相同的材料形成。

[0142] 在第二数据线DL2和第一参考线Ref1之间制备第二电路器件列C2。在第二电路器件列C2中,存在开关薄膜晶体管T1、驱动薄膜晶体管T2和感测薄膜晶体管T3。

[0143] 除了第一源极S1从第二数据线DL2分支之外,设置在第二电路器件列C2中的开关薄膜晶体管T1在电连接结构上与设置在第一电路器件列C1中的开关薄膜晶体管T1相同。

[0144] 除了第二源极S2经由第二接触孔CH2与第二像素中的有机发光器件的阳极连接之外,设置在第二电路器件列C2中的驱动薄膜晶体管T2在电连接结构上与设置在第一电路器件列C1中的驱动薄膜晶体管T2相同。

[0145] 设置在第二电路器件列C2中的感测薄膜晶体管T3在电连接结构上与设置在第一电路器件列C1中的感测薄膜晶体管T3相同。

[0146] 另外,在第二电路器件列C2中形成与第一电路器件列C1的遮光层相同的遮光层LS。

[0147] 在第一参考线Ref1和第三数据线DL3之间制备第三电路器件列C3。在第三电路器件列C3中,存在开关薄膜晶体管T1、驱动薄膜晶体管T2和感测薄膜晶体管T3。

[0148] 除了第一源极S1从第三数据线DL3分支之外,设置在第三电路器件列C3中的开关薄膜晶体管T1在电连接结构上与设置在第一电路器件列C1中的开关薄膜晶体管T1相同。

[0149] 除了第二源极S2经由第三接触孔CH3连接到第三像素中的有机发光器件的阳极之外,设置在第三电路器件列C3中的驱动薄膜晶体管T2在电连接结构上与设置在第一电路器件列C1中的驱动薄膜晶体管T2相同。

[0150] 设置在第三电路器件列C3中的感测薄膜晶体管T3在电连接结构上与设置在第一电路器件列C1中的感测薄膜晶体管T3相同。

[0151] 另外,在第三电路器件列C3中形成与第一电路器件列C1的遮光层相同的遮光层

LS。

[0152] 此外,高电平电力线VDD和低电平电力线VSS可以分别与辅助电极AE1和AE2交叠。第一辅助电极AE1经由接触孔连接到高电平电力线VDD,并且第二辅助电极AE2经由接触孔连接到低电平电力线VSS。第一辅助电极AE1沿着高电平电力线VDD的长度方向在高电平电力线VDD下方延伸,并且第一辅助电极AE1可以与高电平电力线VDD交叠。第二辅助电极AE2沿着低电平电力线VSS的长度方向在低电平电力线VSS下方延伸,并且第二辅助电极AE2可以与低电平电力线VSS交叠。第一辅助电极AE1和第二辅助电极AE2可以位于与第一连接线CL1、第二连接线CL2和遮光层LS相同的层处,并且可以由与第一连接线CL1、第二连接线CL2和遮光层LS相同的材料形成。为了防止电短路,第一辅助电极AE1和第二辅助电极AE2中的每一个被设置成与第一连接线CL1相距预定间隔。

[0153] 此外,低电平电力线VSS还可以与第三辅助电极AE3交叠。第三辅助电极AE3形成在低电平电力线VSS和有机发光器件的阴极之间,使得低电平电力线VSS和有机发光器件的阴极通过利用第三辅助电极AE3彼此连接。第三辅助电极AE3经由第四接触孔CH4连接到低电平电力线VSS,并且还经由第五接触孔CH5连接到有机发光器件的阴极。第三辅助电极AE3位于与有机发光器件的阳极相同的层处,并且由与有机发光器件的阳极的材料相同的材料形成。

[0154] 图9是例示根据本公开的一个实施方式的电致发光显示装置的示出了布置在图8的电路结构中的多个发光区域的平面图。图9示出了第二发光区域E2的宽度大于第一发光区域E1的宽度,并且第三发光区域E3的宽度大于第二发光区域E2的宽度,如图6中所示。

[0155] 如图9中所示,第一发光区域E1与高电平电力线VDD交叠。另外,第一发光区域E1与用作有机发光器件的阳极的第一电极310交叠。第一电极310的面积相对大于第一发光区域E1的面积。与第一发光区域E1交叠的第一电极310延伸至第一接触孔CH1,然后经由第一接触孔CH1与设置在第一电路器件列C1中的驱动薄膜晶体管T2的第二源极S2连接。

[0156] 因此,第一发光区域E1和与第一发光区域E1交叠的第一电极310中的每一个与高电平电力线VDD交叠,但是不与利用用于控制第一发光区域E1的发光的电路器件制备的第一电路器件列C1交叠。

[0157] 第二发光区域E2与第一电路器件列C1以及第一数据线DL1和第二数据线DL2交叠,并且可以与第二电路器件列C2部分地交叠。如图7中描述的,当第二发光区域E2的宽度等于第一发光区域E1的宽度时,第二发光区域E2可以不与第二电路器件列C2交叠。

[0158] 第二发光区域E2与用作有机发光器件的阳极的第一电极320交叠。第一电极320的面积相对大于第二发光区域E2。与第二发光区域E2交叠的第一电极320延伸至第二接触孔CH2,然后经由第二接触孔CH2与设置在第二电路器件列C2中的驱动薄膜晶体管T2的第二源极S2连接。

[0159] 第二发光区域E2和与第二发光区域E2交叠的第一电极320中的每一个与第一电路器件列C1交叠。在一些情况下,第二发光区域E2和与第二发光区域E2交叠的第一电极320中的每一个可以与利用用于控制第二发光区域E2的发光的电路器件制备的第二电路器件列C2部分地交叠。

[0160] 第三发光区域E3可以与第二电路器件列C2、第一参考线Ref1和第三电路器件列C3交叠。第三发光区域E3与用作有机发光器件的阳极的第一电极330交叠。第一电极330的面

积相对大于第三发光区域E3的面积。与第三发光区域E3交叠的第一电极330延伸至第三接触孔CH3,然后经由第三接触孔CH3与设置在第三电路器件列C3中的驱动薄膜晶体管T2的第二源极S2连接。

[0161] 第三发光区域E3和与第三发光区域E3交叠的第一电极330中的每一个可以与利用用于控制第三发光区域E3的发光的光电路器件制备的第三电路器件列C3交叠。

[0162] 通过设置在各个电路器件列C1、C2和C3中的电路器件来控制每个发光区域E1、E2、E3的发光。此时,在第三发光区域E3的情况下,它与用于控制发光的第三电路器件列C3交叠。在第一发光区域E1的情况下,它不与用于控制发光的第一电路器件列C1交叠。另外,在第二发光区域E2的情况下,它可以与用于控制发光的第二电路器件列C2交叠,或者不交叠。

[0163] 图10是例示根据本公开的另一个实施方式的电致发光显示装置的示出了布置在图8的电路结构中的多个发光区域平面图。除了连接到第一电极310、320和330的电路器件列C1、C2和C3的结构之外,图10的结构与图9的结构相同,因此如下将只详细地描述不同的结构。

[0164] 如图10中所示,与第一发光区域E1交叠的第一电极310延伸至第三接触孔CH3,然后经由第三接触孔CH3与设置在第三电路器件列C3中的驱动薄膜晶体管T2的第二源极S2连接。

[0165] 因此,第一发光区域E1和与第一发光区域E1交叠的第一电极310中的每一个与低电平电力线VSS交叠,而不与利用用于控制第一发光区域E1的发光的光电路器件制备的第三电路器件列C3交叠。

[0166] 与第二发光区域E2交叠的第一电极320延伸至第一接触孔CH1,然后经由第一接触孔CH1与设置在第一电路器件列C1中的驱动薄膜晶体管T2的第二源极S2连接。

[0167] 因此,第二发光区域E2和与第二发光区域E2交叠的第一电极320可以与利用用于控制第二发光区域E2的发光的光电路器件制备的第一电路器件列C1交叠。

[0168] 与第三发光区域E3交叠的第一电极330延伸至第二接触孔CH2,然后经由第二接触孔CH2与设置在第二电路器件列C2中的驱动薄膜晶体管T2的第二源极S2连接。

[0169] 因此,第三发光区域E3和与第三发光区域E3交叠的第一电极330中的每一个与利用用于控制第三发光区域E3的发光的光电路器件制备的第二电路器件列C2交叠,并且还利用用于控制第一发光区域E1的发光的光电路器件制备的第三电路器件列C3交叠。

[0170] 因此,如图10中所示,第二发光区域E2和第三发光区域E3分别与用于控制发光的第一电路器件列C1和第二电路器件列C2交叠。然而,第一发光区域E1不与用于控制发光的第三电路器件列C3交叠。

[0171] 下文中,将如下地详细描述根据本公开的电致发光显示装置的截面结构。

[0172] 图11是沿着图9的A-B的截面图。也就是说,图11对应于其中形成有用于每个个体电路器件列C1、C2和C3的驱动薄膜晶体管T2的区域的截面。

[0173] 如图11中所示,电路器件层200、第一电极310、320和330、堤400、发光层510、520和530以及第二电极600形成在基板100上。

[0174] 电路器件层200包括辅助电极AE1和AE2、遮光层LS、高电平电力线VDD、低电平电力线VSS、驱动薄膜晶体管T2、数据线DL1、DL2和DL3、第一参考线Ref1、缓冲层210、层间绝缘层220、钝化层230和平整层240。

[0175] 辅助电极AE1和AE2可以包括形成在基板100上的第一辅助电极AE1和第二辅助电极AE2。第一辅助电极AE1被设置在高电平电力线VDD下方,并且第二辅助电极AE2被设置在低电平电力线VSS下方。

[0176] 遮光层LS形成在基板100上的第一电路器件列C1、第二电路器件列C2和第三电路器件列C3中的每一个中。遮光层LS可以位于与辅助电极AE1和AE2相同的层处,并且可以由与辅助电极AE1和AE2的材料相同的材料形成。

[0177] 高电平电力线VDD被设置在第一辅助电极AE1上。更详细地,缓冲层210和层间绝缘层220顺序地形成在第一辅助电极AE1上,并且高电平电力线VDD形成在层间绝缘层220上。高电平电力线VDD经由设置在缓冲层210和层间绝缘层220中的接触孔连接到第一辅助电极AE1。

[0178] 低电平电力线VSS被设置在第二辅助电极AE2上。更详细地,缓冲层210和层间绝缘层220顺序地形成在第二辅助电极AE2上,并且低电平电力线VSS形成在层间绝缘层220上。低电平电力线VSS经由设置在缓冲层210和层间绝缘层220中的接触孔与第二辅助电极AE2连接。

[0179] 驱动薄膜晶体管T2被设置在第一电路器件列C1、第二电路器件列C2和第三电路器件列C3中的每一个中。驱动薄膜晶体管T2可以包括:第二有源层A2,该第二有源层A2被设置在缓冲层210上;栅绝缘层GI,该栅绝缘层GI被设置在第二有源层A2上;第二栅极(G2),该第二栅极(G2)被设置在栅绝缘层GI上;以及第二源极(S2)和第二漏极(D2),该二源极(S2)和第二漏极(D2)被设置在层间绝缘层220上并且分别经由设置在层间绝缘层220中的相应的接触孔与第二有源层(A2)连接。第二有源层(A2)的宽度可以小于遮光层(LS)的宽度。

[0180] 数据线被设置在层间绝缘层220上。数据线可以包括设置在第一电路器件列C1和第二电路器件列C2之间的第一数据线DL1和第二数据线DL2。另外,数据线可以包括设置在第三电路器件列C3和低电平电力线VSS之间的第三数据线DL3。

[0181] 第一参考线Ref1形成在层间绝缘层220上。第一参考线Ref1被设置在第二电路器件列C2和第三电路器件列C3之间。

[0182] 被设置在层间绝缘层220上的高电平电力线VDD、低电平电力线VSS、第二源极S2、第二漏极D2、数据线DL1、DL2和DL3以及第一参考线Ref1可以由相同的材料形成。

[0183] 钝化层230形成在高电平电力线VDD、低电平电力线VSS、第二源极S2、第二漏极D2、数据线DL1、DL2和DL3以及第一参考线Ref1上。

[0184] 平整层240形成在钝化层230上。

[0185] 第一电极310、320和330形成在平整层240上。按与发光区域E1、E2和E3对应的各个区域对第一电极310、320和330进行图案化。

[0186] 堤400被配置为覆盖第一电极310、320和330的两端,并且被设置在平整层240上。发光区域E1、E2和E3由堤400限定。发光区域E1、E2和E3的位置(换句话说,发光区域E1、E2和E3与电路器件列C1、C2和C3之间的交叠区域以及发光区域E1、E2和E3与电力线VDD和VSS之间的交叠区域)可以与以上的相同,因此将省略对发光区域E1、E2和E3的位置的详细描述。

[0187] 发光区域E1、E2和E3分别形成在第一电极310、320和330上。发光层510、520和530可以包括设置在第一发光区域E1中的具有红色(R)发光层的第一发光层510、设置在第二发光区域E2中的具有绿色(G)发光层的第二发光层520和设置在第三发光区域E3中的具有蓝

色(B)发光层的第三发光层530。

[0188] 第二电极600形成在发光层510、520和530上。第二电极600形成在堤400上,由此第二电极600可以被形成在多个像素中,并且还形成在多个像素中的相邻的像素之间的边界区域中。

[0189] 图12是沿着图9的C-D的截面图。也就是说,图12对应于设置在每个个体电路器件列C1、C2和C3中的第一连接电极CE1和第二源极S2之间的交叠区域的截面。

[0190] 如图12中所示,电路器件层200、第一电极310、320和330、堤400、发光层510、520和530以及第二电极600形成在基板100上。

[0191] 电路器件层200包括辅助电极AE1和AE2、遮光层LS、高电平电力线VDD、低电平电力线VSS、第一连接电极CE1、第二源极S2、数据线DL1、DL2和DL3、第一参考线Ref1、缓冲层210、层间绝缘层220、钝化层230和平整层240。

[0192] 辅助电极AE1和AE2、遮光层LS、高电平电力线VDD、低电平电力线VSS、数据线DL1、DL2和DL3、第一参考线Ref1、缓冲层210、层间绝缘层220、钝化层230和平整层240与图11中的相同,因此将省略对以上元件的详细描述。

[0193] 第一连接电极CE1和第二源极S2形成在第一电路器件列C1、第二电路器件列C2和第三电路器件列C3中的每一个中。第一连接电极CE1形成在缓冲层210和层间绝缘层220之间,并且第二源极S2形成在层间绝缘层220和钝化层230之间。因此,在缓冲层210被设置在第一连接电极CE1和遮光层LS之间的情形下,第一连接电极CE1被设置成与遮光层LS相距预定间隔,并且在层间绝缘层220被设置在第一连接电极CE1和第二源极S2之间的情形下,第一连接电极CE1被设置成与第二源极S2相距预定间隔。第一连接电极CE1、遮光层LS和第二源极S2彼此交叠,由此形成电容。第一连接电极CE1被设置在与有源层A1、A2和A3相同的层处。有源层A1、A2和A3可以由氧化物半导体形成,并且第一连接电极CE1可以由通过执行用于向氧化物半导体施加热的传导工艺而获得的导电材料形成。

[0194] 第一电极310、320和330、堤400、发光层510、520和530以及第二电极600与图11中的相同,因此将省略对以上元件的详细描述。

[0195] 图13是沿着图9的F-F的截面图。也就是说,图13对应于设置在每个个体电路器件列C1、C2和C3中的接触孔CH1、CH2、CH3、CH4和CH5的截面。

[0196] 如图13中所示,电路器件层200、第一电极310、320和330、第三辅助电极AE3、堤400和第二电极600形成在基板100上。

[0197] 电路器件层200可以包括第一连接线CL1、高电平电力线VDD、低电平电力线VSS、第二源极S2、数据线DL1、DL2和DL3、第一参考线Ref1、缓冲层210、层间绝缘层220、钝化层230和平整层240。

[0198] 第一连接线CL1形成在基板100上。第一连接线CL1被设置在高电平电力线VDD下方。第一连接线CL1被设置在与以上提到的第一辅助电极AE1和第二辅助电极AE2以及遮光层LS相同的层中,并且由与第一辅助电极AE1和第二辅助电极AE2以及遮光层LS的材料相同的材料形成。

[0199] 高电平电力线VDD被设置在第一连接线CL1上方。更详细地,缓冲层210和层间绝缘层220顺序地形成在第一连接线CL1上,并且高电平电力线VDD形成在层间绝缘层220上。高电平电力线VDD经由设置在缓冲层210和层间绝缘层220中的接触孔与第一连接线CL1连接。

[0200] 低电平电力线VSS形成在层间绝缘层220上。

[0201] 第二源极S2形成在第一电路器件列C1、第二电路器件列C2和第三电路器件列C3中的每一个中。特别是,第二源极S2形成在层间绝缘层220上。

[0202] 数据线DL1、DL2和DL3、第一参考线Ref1、缓冲层210、层间绝缘层220、钝化层230和平整层240与图11中的相同。

[0203] 第一电极310、320和330形成在平整层240上。延伸至与第一发光区域E1对应的区域的第一电极310经由设置在钝化层230和平整层240中的第一接触孔CH1连接到设置在第一电路器件列C1中的第二源极S2。延伸至与第二发光区域E2对应的区域的第一电极320经由设置在钝化层230和平整层240中的第二接触孔CH2连接到设置在第二电路器件列C2中的第二源极S2。延伸至与第三发光区域E3对应的区域的第一电极330经由设置在钝化层230和平整层240中的第三接触孔CH3连接到设置在第三电路器件列C3中的第二源极S2。

[0204] 然而,在图10中所示的结构的情况下,延伸至与第一发光区域E1对应的区域的

[0205] 第一电极310经由第三接触孔CH3连接到设置在第三电路器件列C3中的第二源极S2。延伸至与第二发光区域E2对应的区域的第一电极320经由第一接触孔CH1连接到设置在第一电路器件列C3中的第二源极S2。延伸至与第三发光区域E3对应的区域的第一电极330经由第二接触孔CH2连接到设置在第二电路器件列C2中的第二源极S2。

[0206] 第三辅助电极AE3形成在平整层240上。第三辅助电极AE3经由设置在钝化层230和平整层240中的第四接触孔CH4连接到低电平电力线VSS。第三辅助电极AE3由与第一电极310、320和330的材料相同的材料形成。

[0207] 堤400形成在第一电极310、320和330以及第三辅助电极AE3上。图13对应于多个像素中的相邻的像素之间的边界区域,其中,堤400形成在基板100的整个区域上。

[0208] 第二电极600形成在堤400上。第二电极600经由形成在堤400中的第五接触孔CH5与第三辅助电极AE3连接。因此,第二电极600经由第三辅助电极AE3与低电平电力线VSS连接。

[0209] 以上描述表明,第一发光区域E1与电力线VDD和VSS交叠,并且第一发光区域E1的宽度W1等于或小于电力线VDD的宽度W_{vdd}和电力线VSS的宽度W_{vss},但是不限于该结构。例如,将另一条线而非电力线VDD和VSS的宽度设置成等于或大于第一发光区域E1的宽度W1,并且第一发光区域E1与另一条信号线交叠。

[0210] 图14是例示根据本公开的一个实施方式的布置在电致发光显示装置的显示区和非显示区中的高电平电力线和低电平电力线的平面图。

[0211] 如图14中所示,在基板100的中间制备显示区DA,并且在显示区DA的周缘中制备非显示区NDA。显示区DA对应于通过利用发光来显示图像的区域,并且非显示区NDA对应于其中不产生光并因此不显示图像的区域。根据本公开的上述各个实施方式的像素结构形成在显示区DA中。

[0212] 在非显示区NDA中可以形成多个虚设像素。所述多个虚设像素可以被设置成包围形成在显示区DA中的多个像素。所述多个虚设像素可以包括形成在由堤层制备的多个虚设发光区域中的每一个中的虚设发光层。本文中,如果在虚设像素上不显示图像,则在虚设发光层中不产生发光。虚设发光层被设置成实现显示区DA中心的发光层和显示区DA边缘的发光层之间的轮廓的均匀性。

[0213] 当通过溶液工艺来形成显示区DA中的发光层时,显示区DA中心的发光层的干燥速度可以与显示区DA边缘的发光层的干燥速度不同,由此显示区DA中心的发光层的轮廓和显示区DA边缘的发光层的轮廓可能不均匀。因此,难以实现显示区DA中的发光均匀性。因此,在非显示区NDA中形成虚设像素,并且当在显示区DA中形成发光层时,在非显示区NDA中还形成虚设发光层。也就是说,即使虚设发光层和发光层的轮廓不均匀,也能够在整个显示区DA中实现发光层的均匀轮廓。

[0214] 多条高电平电力线VDD和多条低电平电力线VSS在第一方向(例如,显示区DA中的垂直方向)上交替地布置。多条高电平电力线VDD和多条低电平电力线VSS延伸至非显示区NDA。

[0215] 多条低电平电力线VSS的相应下端可以利用第一短路棒SB1彼此连接,并且多条低电平电力线VSS的相应上端可以利用第二短路棒SB2彼此连接,由此多条低电平电力线VSS可以彼此电连接。第一短路棒SB1和第二短路棒SB2中的每一个形成在非显示区NDA中。第一短路棒SB1和第二短路棒SB2可以位于与以上提到的第一电极310、320和330相同的层中,并且可以由与以上提到的第一电极310、320和330相同的材料形成。第二短路棒SB2可以经由接触布线CW连接到设置在非显示区NDA处的驱动电路部分DC。因此,通过驱动电路部分DC施加的低电平电力可以经由接触布线CW和第二短路棒SB2传输到多条低电平电力线VSS。

[0216] 多条高电平电力线VDD的相应下端可以利用第三短路棒SB3彼此连接。因此,多条高电平电力线VDD可以彼此电连接。另外,多条高电平电力线VDD的相应上端可以与驱动电路部分DC连接。因此,高电平电力可以经由驱动电路部分DC被施加到多条高电平电力线VDD。

[0217] 根据本公开的一个实施方式,电力线VDD和VSS的宽度被形成为等于或大于第一发光区域的宽度,并且第一发光区域与电力线VDD和VSS交叠,使得能够防止由电力线VDD和VSS而导致的第一发光区域中的台阶差。因此,当通过溶液工艺在第一发光区域中形成第一发光层时,能够实现第一发光区域中的第一发光层的均匀轮廓,由此实现第一发光区域中的均匀发光。

[0218] 本领域的技术人员应该清楚,上述的本公开不受上述实施方式和附图的限制,并且能够在不脱离本公开的精神或范围的情况下在本公开中进行各种替代、修改和变形。因此,本公开的范围由所附的权利要求限定,并且由权利要求的含义、范围和等同构思导出的所有改变或修改落入本公开的范围。

[0219] 能够组合上述各个实施方式以提供其它实施方式。本说明书中参照的和/或在申请数据表中列出的所有美国专利、美国专利申请公开、美国专利申请、外国专利、外国专利申请和非专利出版物的全部内容以引用方式并入本文中。如有需要,可以修改实施方式的各方面,以采用各种专利、申请和出版物的构思来提供其它实施方式。

[0220] 能够依据以上详细的描述对实施方式进行这些和其它改变。总之,在所附的权利要求中,所使用的术语不应该被理解为将权利要求限于说明书和权利要求中公开的特定实施方式,而是应该被理解为包括伴随享有这些权利要求的权利的等同物的整个范围内的所有可能的实施方式。因此,权利要求不受本公开的限制。

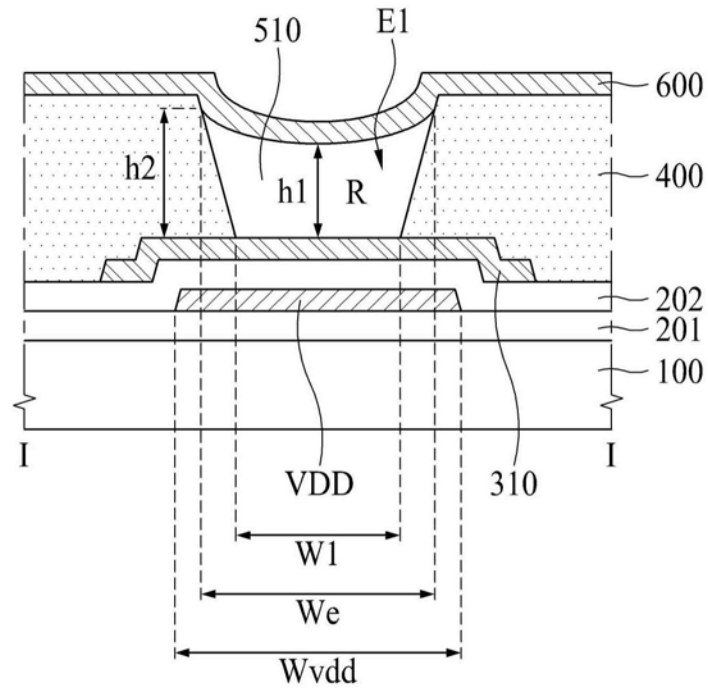


图3

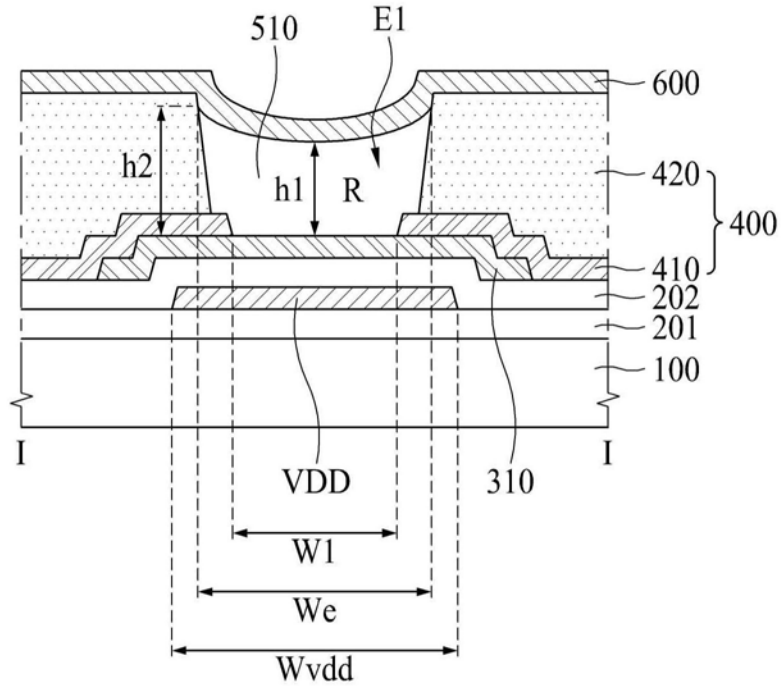


图4

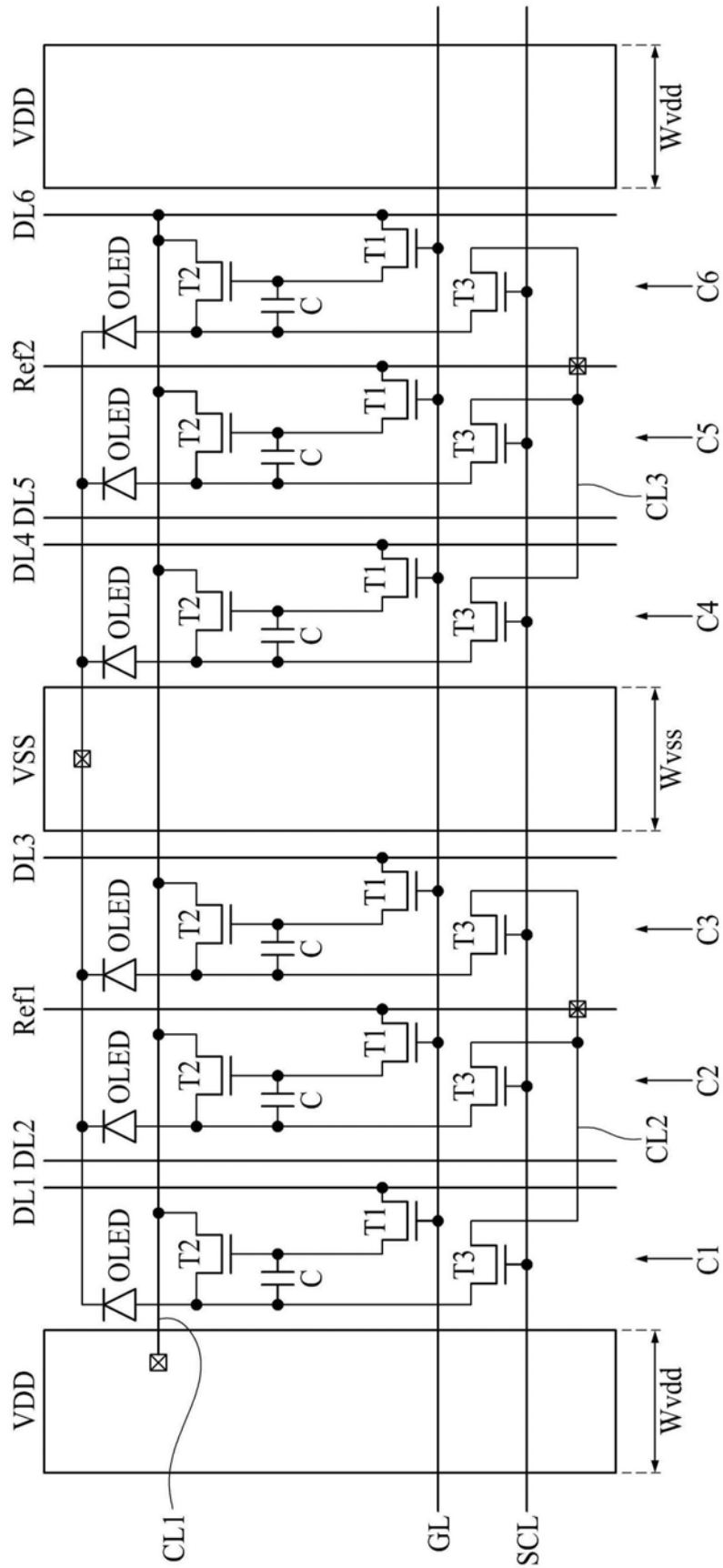


图5

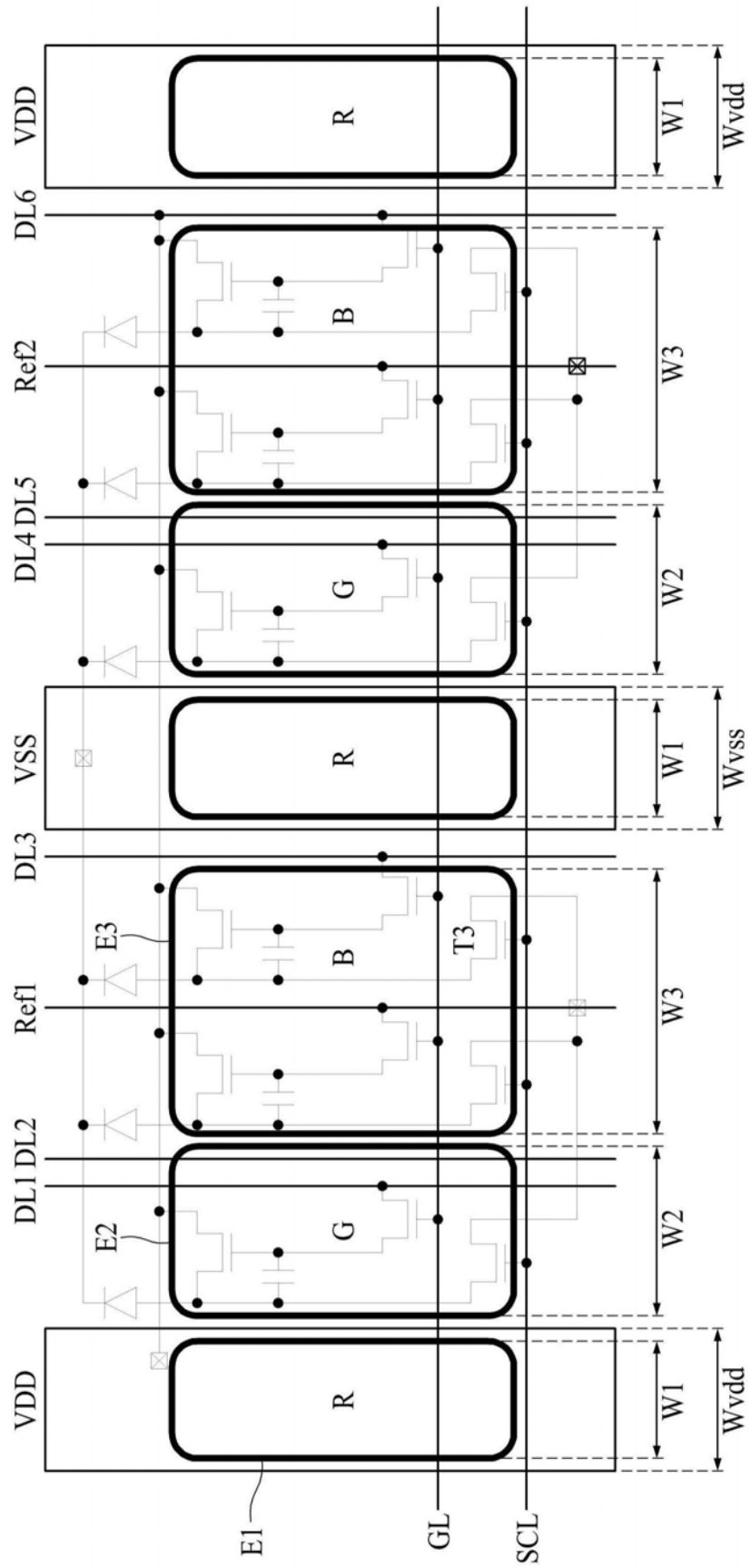


图6

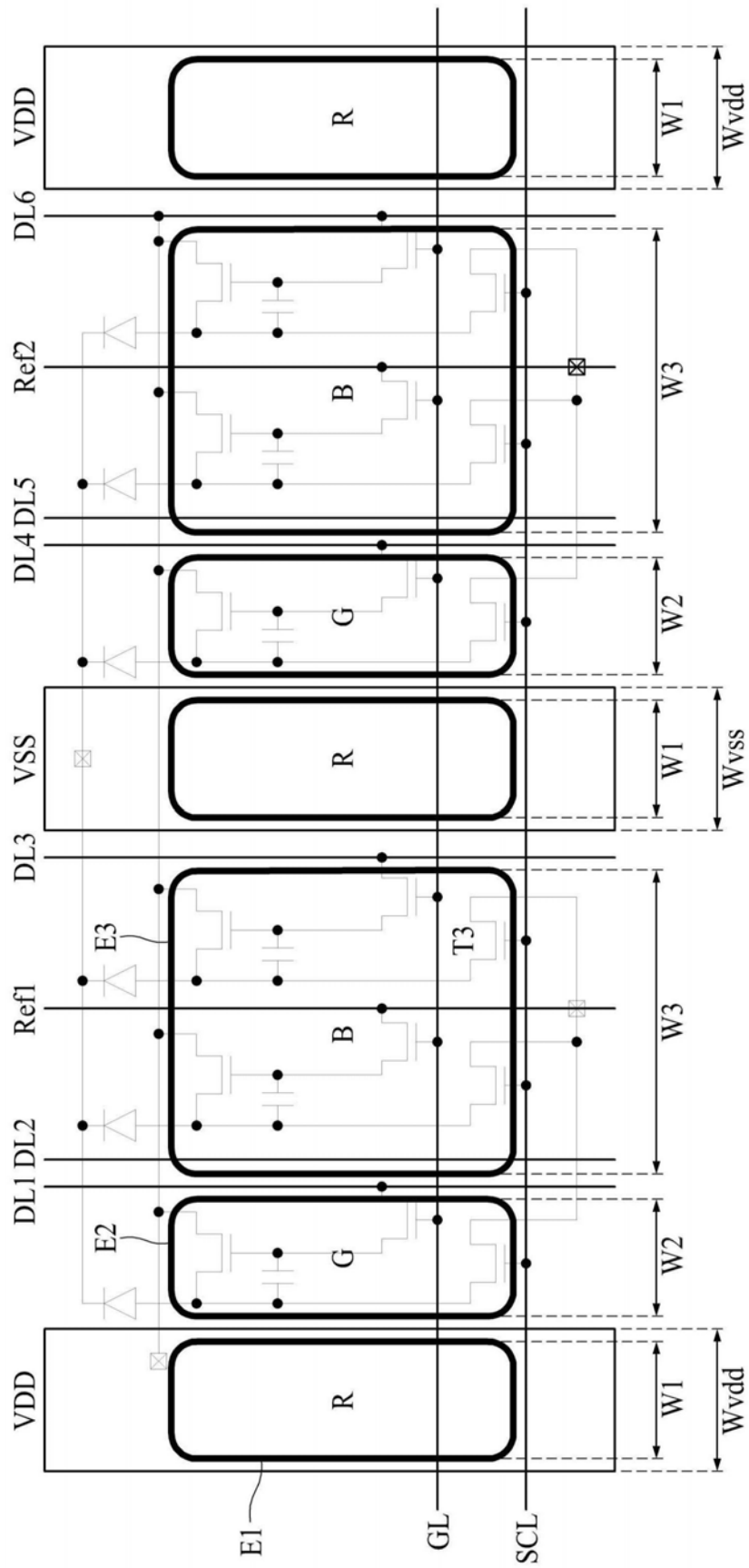


图7

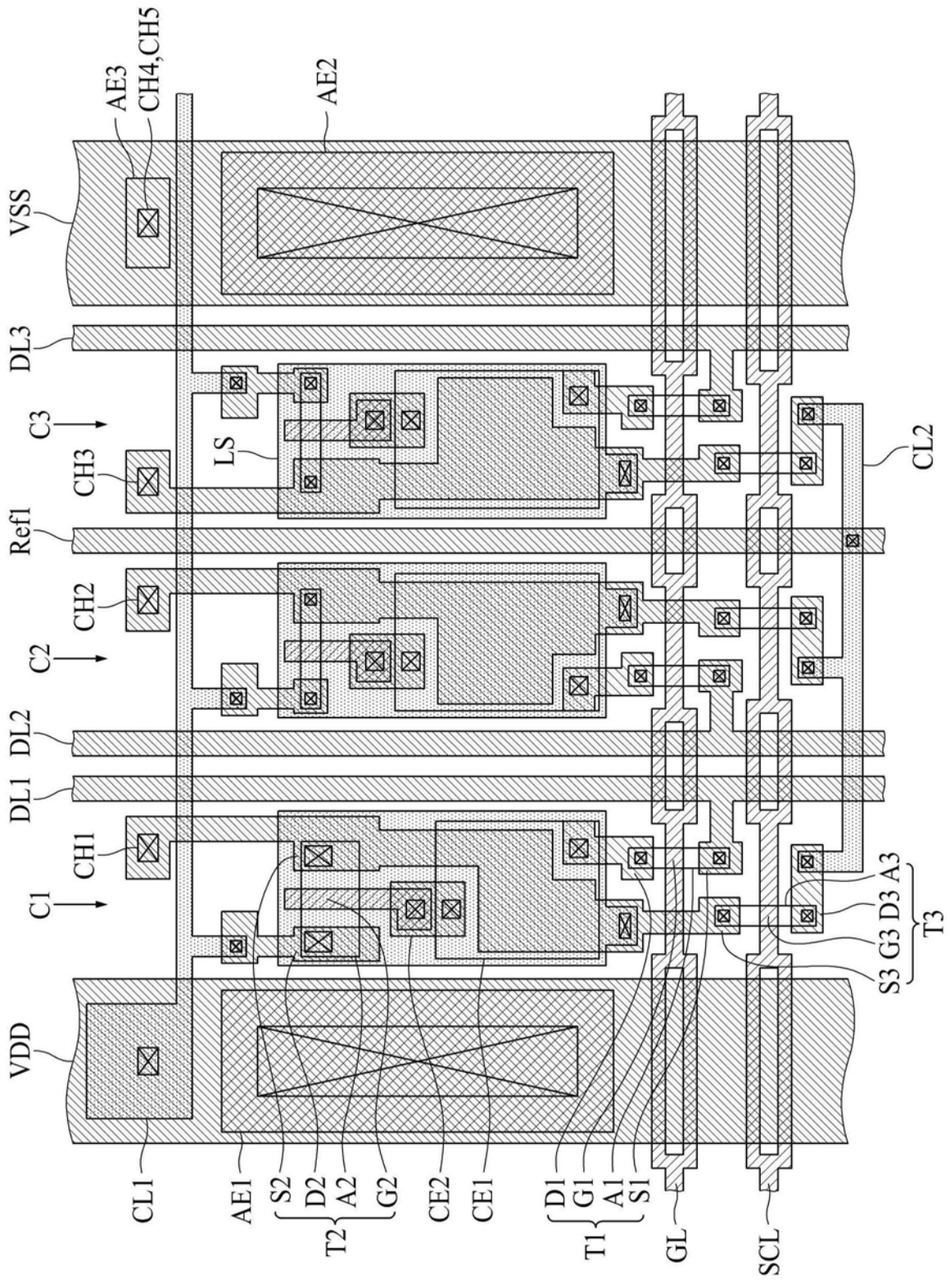


图8

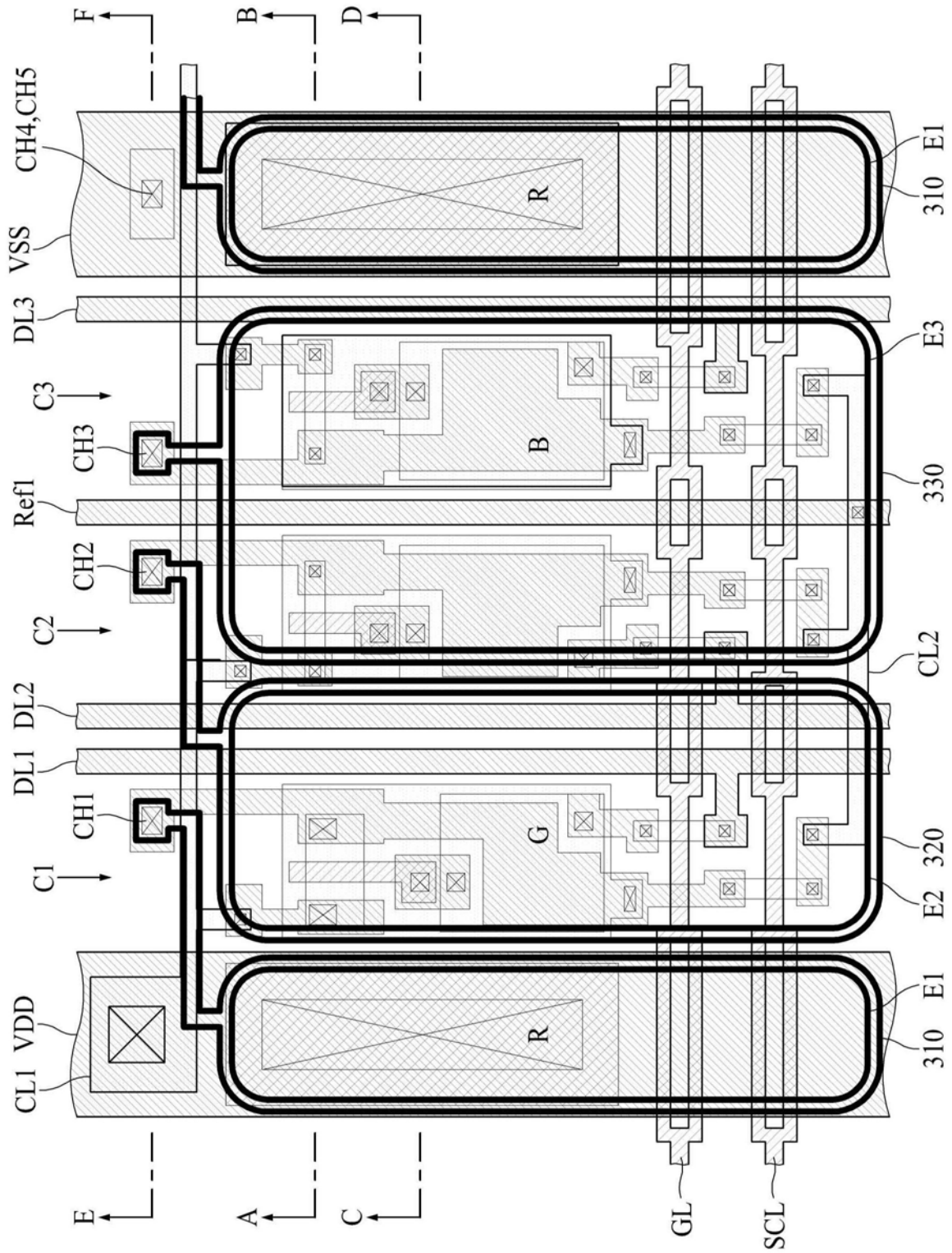


图9

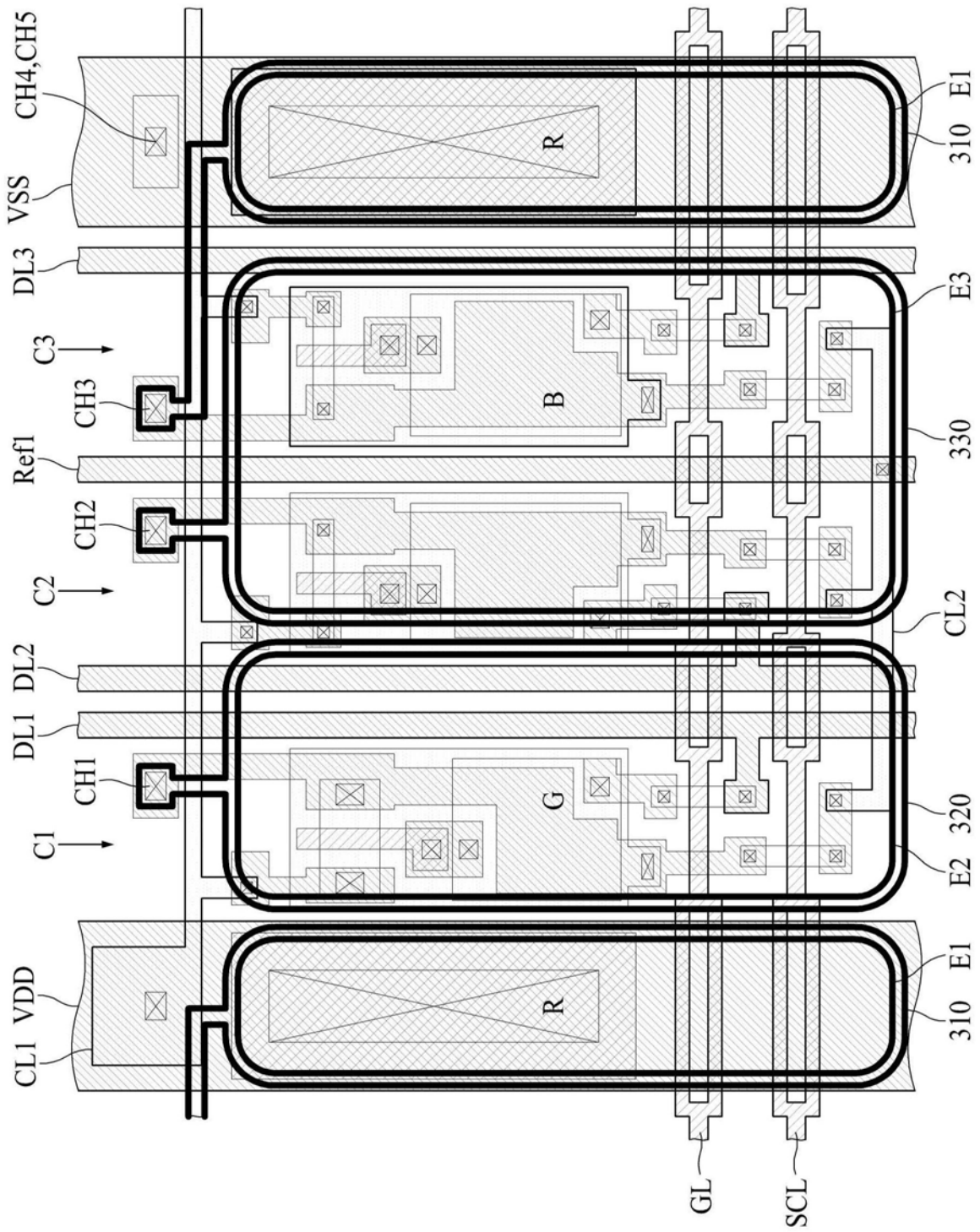


图10

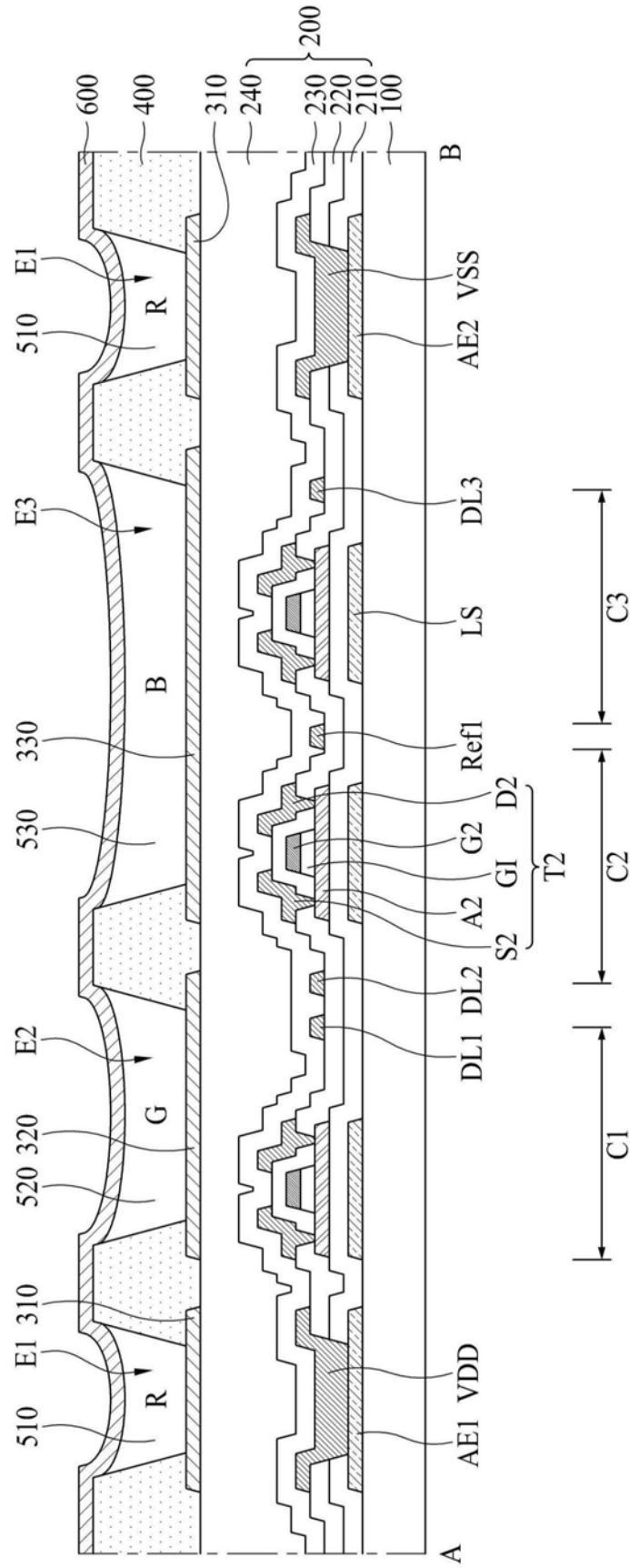


图11

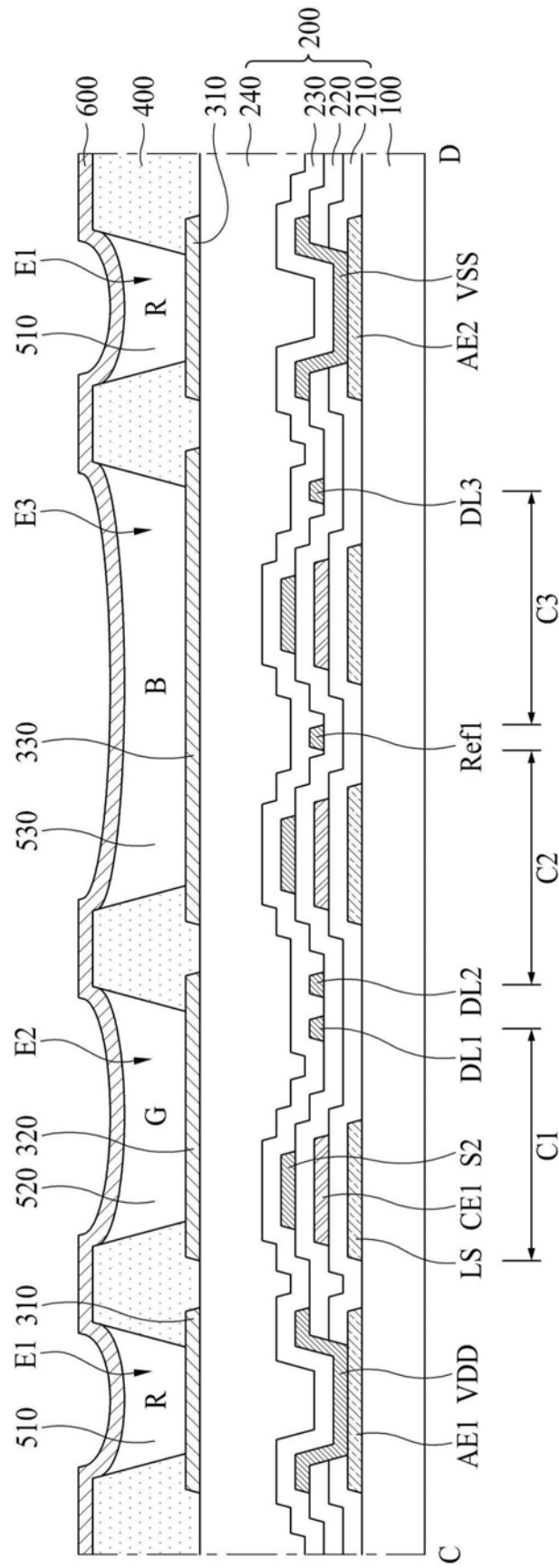


图12

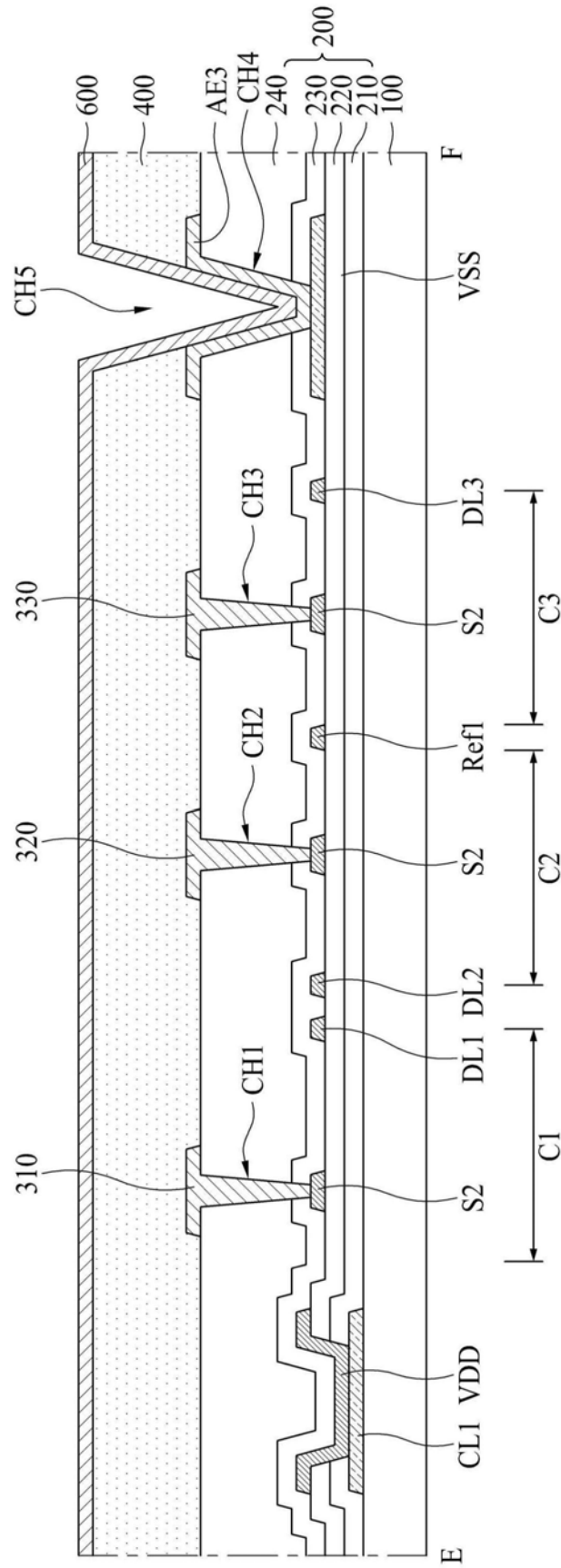


图13

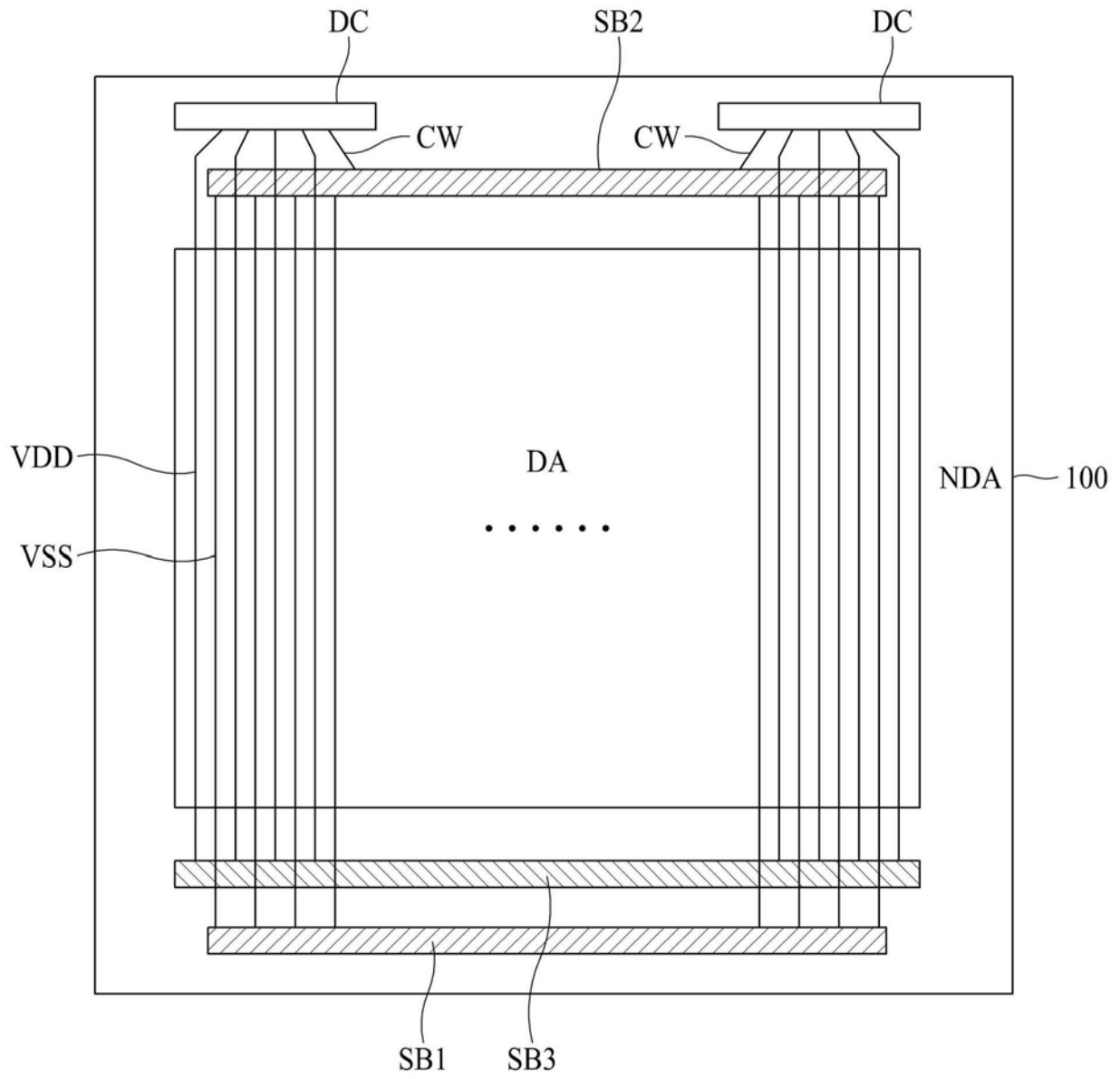


图14

专利名称(译)	电致发光显示装置		
公开(公告)号	CN110021636A	公开(公告)日	2019-07-16
申请号	CN201811529826.1	申请日	2018-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	朴恩智 韩成晚 李基炯		
发明人	朴恩智 韩成晚 李基炯		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3218 H01L27/3246 H01L27/3248 H01L27/326 H01L27/3276 H01L27/3216		
代理人(译)	刘久亮		
优先权	1020170182067 2017-12-28 KR		
外部链接	Espacenet SIPO		

摘要(译)

电致发光显示装置。公开了一种电致发光显示装置，该电致发光显示装置包括：基板；在所述基板上的包括信号线的电路器件层；堤，该堤在所述电路器件层上限定第一发光区域和第二发光区域；以及所述第一发光区域中的第一发光层和所述第二发光区域中的第二发光层，其中，所述第一发光区域与所述信号线交叠，并且所述第一发光区域的宽度等于或小于所述信号线的宽度。

