



(12)实用新型专利

(10)授权公告号 CN 210926020 U

(45)授权公告日 2020.07.03

(21)申请号 201922235305.1

(22)申请日 2019.12.13

(73)专利权人 福建华佳彩有限公司

地址 351100 福建省莆田市涵江区涵中西路1号

(72)发明人 贾浩 罗敬凯

(74)专利代理机构 福州市景弘专利代理事务所  
(普通合伙) 35219

代理人 林祥翔 郭鹏飞

(51)Int.Cl.

H01L 27/32(2006.01)

(ESM)同样的发明创造已同日申请发明专利

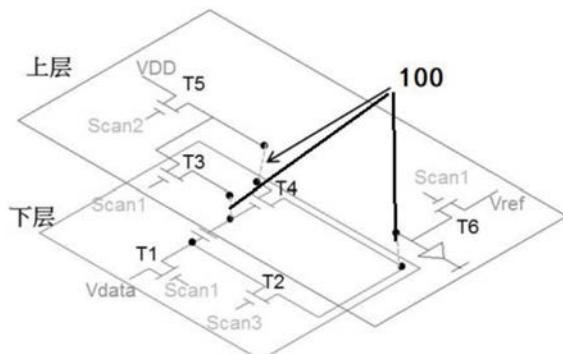
权利要求书1页 说明书4页 附图3页

(54)实用新型名称

一种分层式像素补偿电路

(57)摘要

一种分层式像素补偿电路,包括基板上设置的下层薄膜晶体管区、上层薄膜晶体管区、所述上层薄膜晶体管区与下层薄膜晶体管区之间还设置有绝缘层,上层薄膜晶体管区的电极与下层薄膜晶体管区的电极通过穿过绝缘层的连接线连接,上层薄膜晶体管区还图案化有机发光二极管,上层薄膜晶体管区域的薄膜晶体管与下层薄膜晶体管区的薄膜晶体管连接成有机发光二极管的补偿电路;区别于现有技术,上述技术方案通过设计基板上不同的下层薄膜晶体管区和上层薄膜晶体管区,最终通过在竖直方向上缩小像素补偿电路的多个薄膜晶体管所占用的面积,使得单个像素的占用面积减小,最终提高屏幕的解析度。



1. 一种分层式像素补偿电路,其特征在于,包括基板上设置的下层薄膜晶体管区、上层薄膜晶体管区、所述上层薄膜晶体管区与下层薄膜晶体管区之间还设置有绝缘层,上层薄膜晶体管区的电极与下层薄膜晶体管区的电极通过穿过绝缘层的连接线连接,上层薄膜晶体管区还图案化有机发光二极管,上层薄膜晶体管区域的薄膜晶体管与下层薄膜晶体管区的薄膜晶体管连接成有机发光二极管的补偿电路;

所述下层薄膜晶体管区包括薄膜晶体管T1、T2、T4以及电容C;上层薄膜晶体管区包括T3、T5、T6;所述T1的源极与Vdata连接,栅极接第一扫描信号,漏极与T2的源极和电容C的一端连接;所述T2的栅极与第三扫描信号连接,T2的漏极与T4的漏极连接;

所述T4的栅极还通过第一上下层接线与T3的漏极连接,所述T3的栅极与第一扫描信号连接,所述T3的源极与T5的漏极连接,T5的栅极与第二扫描信号连接,T5的源极与片上电压VDD连接,T3的源极还通过第二上下层连接线与T4的源极连接;所述T2的漏极还通过第三上下层连接线与T6的漏极和发光像素的正极连接,T6的栅极与第一扫描信号连接,V6的源极与参考电压Vref连接。

2. 根据权利要求1所述的分层式像素补偿电路,其特征在于,所述下层薄膜晶体管为多晶硅薄膜晶体管,下层薄膜晶体管区包括多晶硅有源层,多晶硅有源层与金属电极连接,所述多晶硅有源层上包覆有阻隔层,所述阻隔层上设置有第一栅极层,所述多晶硅有源层、金属电极及第一栅极层被图案化为若干多晶硅薄膜晶体管,

所述上层薄膜晶体管区包括氧化物有源层,上层薄膜晶体管区图案化有氧化物薄膜晶体管及AMOLED像素;

还包括连接线,所述多晶硅薄膜晶体管通过连接线与氧化物薄膜晶体管连接成像素补偿电路。

3. 根据权利要求2所述的分层式像素补偿电路,其特征在于,所述阻隔层及第一栅极层上还包覆有介质层,介质层设置在绝缘层下方。

4. 根据权利要求3所述的分层式像素补偿电路,其特征在于,所述介质层为氢化非晶氮化硅。

5. 根据权利要求2所述的分层式像素补偿电路,其特征在于,所述阻隔层为氧化硅或氧化铝薄膜。

6. 根据权利要求1所述的分层式像素补偿电路,其特征在于,所述绝缘层上还设置有平坦层,所述平坦层为有机绝缘材料薄膜。

7. 根据权利要求1所述的分层式像素补偿电路,其特征在于,所述绝缘层为氧化硅薄膜。

8. 根据权利要求1所述的分层式像素补偿电路,其特征在于,所述像素为LTP0像素。

9. 根据权利要求1所述的分层式像素补偿电路,其特征在于,所述基板为玻璃基板。

## 一种分层式像素补偿电路

### 技术领域

[0001] 本实用新型涉及像素补偿电路的设计,尤其涉及一种上下分层的新型像素补偿电路设计。

### 背景技术

[0002] 当今,随着科技水平的不断提升,人们对显示器画面的要求也在提高,即对高解析度的需求增大,例如VR,AR,MR等显示器的解析度高达2000PPI 以上。对于OLED面板来说,面内2T1C Pixel电路会受到Vth漂移的影响导致面板发光亮度不均匀,需要补偿电路提升面板显示效果,而为了达到更好地补偿效果,补偿电路会有多个TFT,可能会有4T,5T,6T…,这样TFT过多会使Pixel所占面积增大,进而导致面板容纳的Pixel数量减少,即解析度变低,无法满足高解析度的要求。

[0003] 如今对面板的显示品质需求水平越来越高,提高显示器的解析度尤为重要。我们知道对于OLED面板来说,由于制程和老化的影响,如产生Vth漂移,会对面板显示效果产生极大的影响,为了消除这一影响,OLED面板的Pixel 电路通常会增加TFT做补偿电路,且通常补偿效果越好,TFT会越多,这样会导致Pixel所占面积过大,降低解析度;如将Pixel补偿电路中Driving TFT 替换成电子迁移率更高的LTPS TFT,即LTP0 (Low Temperature Polycrystalline Oxide,即低温多晶氧化物) 结构,可减小TFT尺寸,增大解析度,同时将电路做分层处理,原本6T1C的Pixel电路可分为上下两层,上层3个Oxide TFT,下层3个LTPS TFT,进一步减小Pixel面积,增大解析度,同时实用LTP0可以兼具LTPS电子迁移率高与IGZO漏电流小的优势。

[0004] 因此,如何提高OLED面板的解析度,制造一种补偿效果良好,并具有超高解析度的OLED面板是一项重要的课题。

### 发明内容

[0005] 因此,需要提供一种新的分层式的像素补偿电路,达到减小TFT排布面积,提高面板解析度的技术效果。

[0006] 为实现上述目的,发明人提供了一种分层式像素补偿电路,包括基板上设置的下层薄膜晶体管区、上层薄膜晶体管区、所述上层薄膜晶体管区与下层薄膜晶体管区之间还设置有绝缘层,上层薄膜晶体管区的电极与下层薄膜晶体管区的电极通过穿过绝缘层的连接线连接,上层薄膜晶体管区还图案化有机发光二极管,上层薄膜晶体管区域的薄膜晶体管与下层薄膜晶体管区的薄膜晶体管连接成有机发光二极管的补偿电路;

[0007] 所述下层薄膜晶体管区包括薄膜晶体管T1、T2、T4以及电容C;上层薄膜晶体管区包括T3、T5、T6;所述T1的源极与Vdata连接,栅极接第一扫描信号,漏极与T2的源极和电容C的一端连接;所述T2的栅极与第三扫描信号连接,T2的漏极与T4的漏极连接;

[0008] 所述T4的栅极还通过第一上下层接线与T3的漏极连接,所述T3的栅极与第一扫描信号连接,所述T3的源极与T5的漏极连接,T5的栅极与第二扫描信号连接,T5的源极与片上

电压VDD连接,T3的源极还通过第二上下层连接线与T4的源极连接;所述T2的漏极还通过第三上下层连接线与T6的漏极和发光像素的正极连接,T6的栅极与第一扫描信号连接,V6的源极与参考电压Vref连接。

[0009] 进一步地,所述下层薄膜晶体管为多晶硅薄膜晶体管,下层薄膜晶体管区包括多晶硅有源层,多晶硅有源层与金属电极连接,所述多晶硅有源层上包覆有阻隔层,所述阻隔层上设置有第一栅极层,所述多晶硅有源层、金属电极及第一栅极层被图案化为若干多晶硅薄膜晶体管,

[0010] 所述上层薄膜晶体管区包括氧化物有源层,上层薄膜晶体管区图案化有氧化物薄膜晶体管及AMOLED像素;

[0011] 还包括连接线,所述多晶硅薄膜晶体管通过连接线与氧化物薄膜晶体管连接成像素补偿电路。

[0012] 具体地,所述阻隔层及第一栅极层上还包覆有介质层,介质层设置在绝缘层下方。

[0013] 可选地,所述介质层为氢化非晶氮化硅。

[0014] 具体地,所述阻隔层为氧化硅或氧化铝薄膜。

[0015] 具体地,所述绝缘层上还设置有平坦层,所述平坦层为有机绝缘材料薄膜。

[0016] 具体地,所述绝缘层为氧化硅薄膜。

[0017] 具体地,所述像素为LTP0像素。

[0018] 可选地,所述基板为玻璃基板。

[0019] 区别于现有技术,上述技术方案通过设计基板上不同的下层薄膜晶体管区和上层薄膜晶体管区,最终通过在竖直方向上缩小像素补偿电路的多个薄膜晶体管所占用的面积,使得单个像素的占用面积减小,最终提高屏幕的解析度。

## 附图说明

[0020] 图1为具体实施方式所述的现有技术的像素补偿电路;

[0021] 图2为具体实施方式所述的分层式像素补偿电路;

[0022] 图3为具体实施方式所述异制程像素补偿电路结构图;

[0023] 图4为具体实施方式所述的Reset阶段工作状态示意图;

[0024] 图5为具体实施方式所述的补偿阶段工作状态示意图;

[0025] 图6为具体实施方式所述的保持阶段工作状态示意图;

[0026] 图7为具体实施方式所述的发光阶段工作状态示意图。

## 具体实施方式

[0027] 为详细说明技术方案的技术内容、构造特征、所实现目的及效果,以下结合具体实施例并配合附图详予说明。

[0028] 请参阅图1,传统的6T1C补偿电路如图1所示,虽然补偿效果很好,但是Pixel1占面积较大,解析度较低;为提高PPI,发明一种LTP0补偿电路架构如图2所示,LTP0可理解为LTPS+Oxide,上层包括三个Oxide TFT和一个有机发光二极管,下层包括三个LTPS TFT和两个电容,用虚线将电路架构分为上层与下层两个部分来减少Pixel1占面积;TFT的分层示意图如图3所示,为了方便说明,只显示两个TFT的层别示意图,分别为上层Oxide TFT和下层

LTPS TFT。

[0029] 一种分层式AMOLED像素补偿电路,如图3所示,在像素补偿电路中,包括基板buffer上设置的下层薄膜晶体管区、上层薄膜晶体管区、所述上层薄膜晶体管区与下层薄膜晶体管区之间还设置有绝缘层(Insulator 1),绝缘层可以采用氧化硅材质的薄膜。上层薄膜晶体管区的电极与下层薄膜晶体管区的电极通过穿过绝缘层的连接线100连接,上层薄膜晶体管区还图案化有机发光二极管(图中未示出),上层薄膜晶体管区域的薄膜晶体管与下层薄膜晶体管区的薄膜晶体管连接成有机发光二极管的补偿电路。通过在像素补偿电路中设计上下区的薄膜晶体管,下层的薄膜晶体管根据像素补偿电路的实际连接关系可以有不同的图案化选择,制作完成后的下层薄膜晶体管上用绝缘层全覆盖,防止漏电等情况的发生,再在绝缘层上方设置上层的薄膜晶体管及相关的有机发光二极管,即AMOLED像素,通过在上下层设计薄膜晶体管,能够减少相对与单层像素补偿电路平铺设置所需要的面积,从而提高像素补偿电路所需要的面积。

[0030] 其他一些方面,LTPS制程工艺中需要将非晶硅(a-si)进行镭射光照射, a-si吸收镭射的能量后,转变为多晶硅结构(poly-si),此处理过程是在600℃环境下完成。而metal-oxide半导体的特性较不稳定,易受高温和光照,水,氧气的破坏而导致TFT失效。所以LTPS制程中镭射光以及高温环境会对metal-oxide半导体造成破坏,所以在一些进一步的实施例中,请参考图1,下层薄膜晶体管为多晶硅薄膜晶体管,下层薄膜晶体管区包括多晶硅有源层(p-si),多晶硅有源层与金属电极连接,所述多晶硅有源层上包覆有阻隔层(Insulator 2),用于进行栅极绝缘,所述阻隔层上设置有第一栅极层,所述多晶硅有源层、金属电极及第一栅极层被图案化为若干多晶硅薄膜晶体管,可选的实施例中,阻隔层用于隔绝栅极金属以及金属电极,材质可以采用氧化硅或氧化铝薄膜。

[0031] 所述上层薄膜晶体管区包括氧化物有源层,有源层的介质可以选用氧化物半导体,如IGZO等。在这实施例中,所述第一栅极层上还设置有介质层,介质层设置在绝缘层下方,所述介质层用于隔离上下层薄膜晶体管,材质可以选为氢化非晶氮化硅,如a-SiNx:H。包介质层覆在上述阻隔层及第一栅极层上。而在绝缘层的上方图案化有氧化物薄膜晶体管及AMOLED像素;绝缘层上方的薄膜晶体管是采用Oxide制程的氧化物晶体管,还包括连接线,所述多晶硅薄膜晶体管通过连接线与氧化物薄膜晶体管连接成像素补偿电路。

[0032] 通过上述方案,在下层设置LTPS薄膜晶体管,能够兼容LTPS制程和Oxide 制程,并且能够在AMOLED像素补偿电路之中,兼容LTPS制程的高分辨率、反应速度快、高亮度、高开口率等优点,同时还能够提高电子迁移率,减小面积。

[0033] 在图3所示的其他一些进一步的实施例中,所述绝缘层上还设置有平坦层(Insulator 3),从图中我们可以看到平坦层设置于绝缘层之上,用于给上层薄膜晶体管层提供一个平整的上表面,用于所述平坦层为有机绝缘材料薄膜。

[0034] 下面基于分层的像素电路的主要构思,提供一些像素补偿电路的制作实例,下层薄膜晶体管区包括薄膜晶体管T1、T2、T4以及电容C;上层薄膜晶体管区包括T3、T5、T6;所述T1的源极与Vdata连接,栅极接第一扫描信号,漏极与T2的源极和电容C的一端连接;所述T2的栅极与第三扫描信号连接,T2的漏极与T4的漏极连接;

[0035] 所述T4的栅极还通过第一上下层接线与T3的漏极连接,所述T3的栅极与第一扫描信号连接,所述T3的源极与T5的漏极连接,T5的栅极与第二扫描信号连接,T5的源极与片上

电压VDD连接,T3的源极还通过第二上下层连接线与T4的源极连接;所述T2的漏极还通过第三上下层连接线与T6的漏极和发光像素的正极连接,T6的栅极与第一扫描信号连接,V6的源极与参考电压Vref连接。

[0036] 该种像素补偿电路的外围接线及工作原理与现有技术类似,介绍如下:

[0037] 如图4所示,第一阶段Vref阶段,Scan1和Scan2输入高电压,T5和T3 打开,V<sub>G</sub>=VDD,T6打开,V<sub>S</sub>=Vref,此时T4打开,T1打开,data写入,V<sub>A</sub>=Vdata。

[0038] 如图5所示,第二阶段补偿阶段,Scan1输入高电压,Scan2输入低电压, T1与T6打开,V<sub>A</sub>=Vdata,V<sub>S</sub>=Vref,T3打开,G点电压由VDD下降到Vref+V<sub>TH</sub>时T4关闭,即V<sub>G</sub>=Vref+V<sub>TH</sub>。

[0039] 如图6所示,第三阶段保持电压阶段,Scan1,Scan2,Scan3都写入低电压,TFT关闭,由于电容的保持电压作用,G点S点A点均保持在原来的电压,即V<sub>G</sub>=Vref+V<sub>TH</sub>,V<sub>S</sub>=Vref,V<sub>A</sub>=Vdata。

[0040] 如图7所示,第四阶段发光阶段,V<sub>S</sub>=V<sub>OLED</sub>,Scan3输入高电压,T2打开, V<sub>A</sub>=V<sub>OLED</sub>,A点电压由Vdata变化到V<sub>OLED</sub>,通过电容使G点电压变为 Vref+V<sub>TH</sub>+V<sub>OLED</sub>-Vdata,即V<sub>G</sub>=Vref+V<sub>TH</sub>+V<sub>OLED</sub>-Vdata,那么V<sub>GS</sub>=V<sub>G</sub>-V<sub>S</sub>=Vref+V<sub>TH</sub> -Vdata,代入饱和区电流公式 $I_{OLED}=1/2\mu_nC_{ox}W/L(V_{GS}-V_{TH})^2$ 得到 $I_{OLED}= 1/2\mu_nC_{ox}W/L(Vref-Vdata) ]^2$ (注 $\mu_n$ 为场效应迁移率,C<sub>ox</sub>为单位面积的绝缘层电容;W/L为TFT沟道宽度比长度)。

[0041] 从OLED发光电流公式可以了解OLED电流只与Vdata,Vref有关,其他参数相对固定,补偿效果较好;采用LTPO在兼具高电子迁移率的同时节省功耗;分层架构可使Pixel所占面缩小,进一步提高解析度,因此达到了我们的设计目的通过上述设计,本实用新型能够使用更小的像素面积达到补偿效果,并且能够最终提高面板的解析度。

[0042] 需要说明的是,尽管在本文中已经对上述各实施例进行了描述,但并非因此限制本实用新型的专利保护范围。因此,基于本实用新型的创新理念,对本文所述实施例进行的变更和修改,或利用本实用新型说明书及附图内容所作的等效结构或等效流程变换,直接或间接地将以上技术方案运用在其他相关的技术领域,均包括在本实用新型的专利保护范围之内。

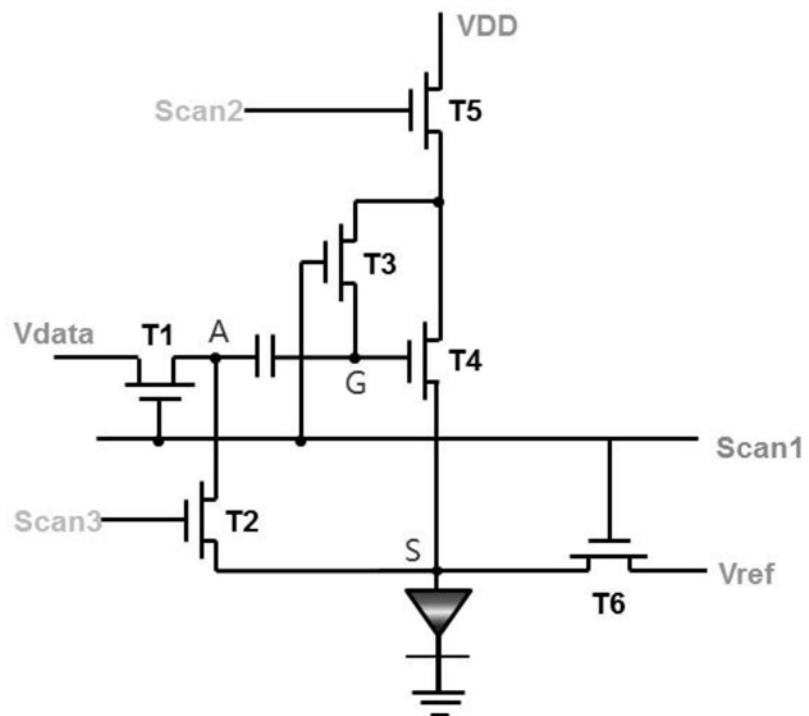


图1

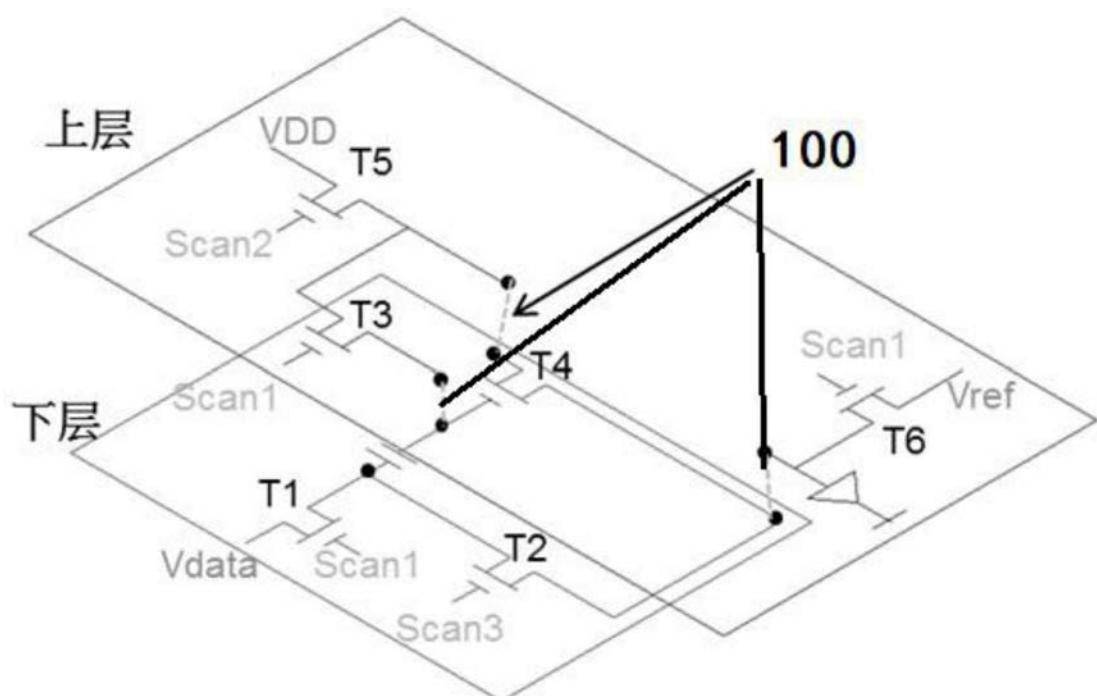


图2

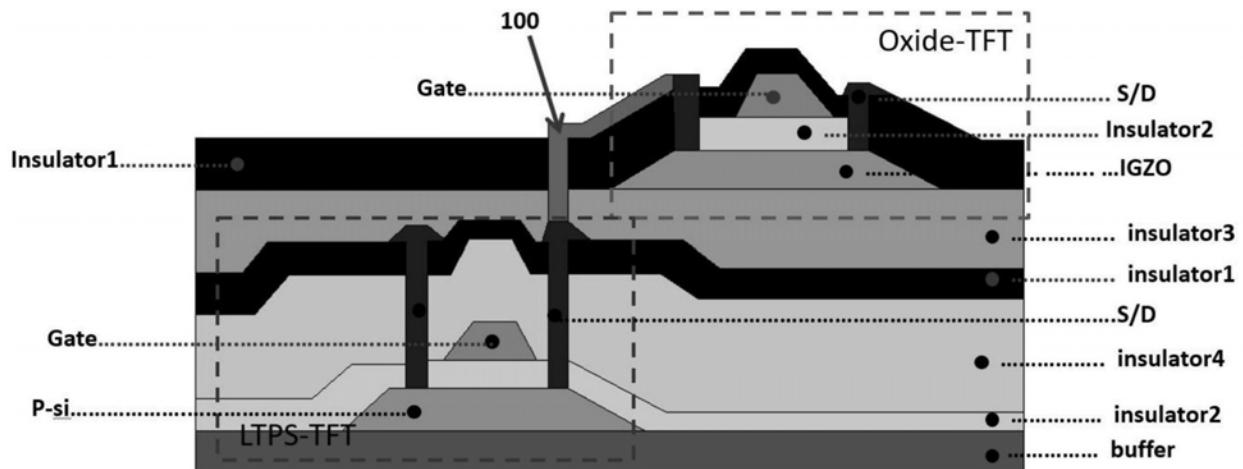


图3

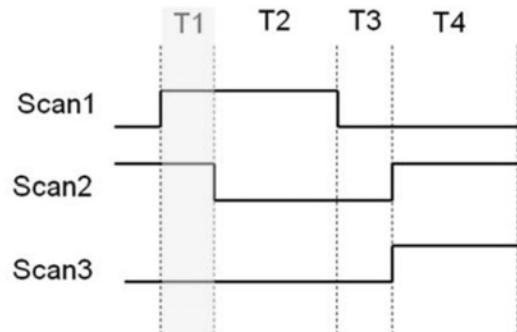
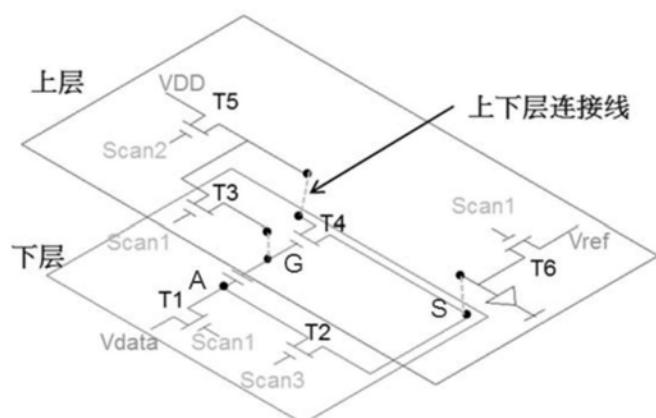


图4

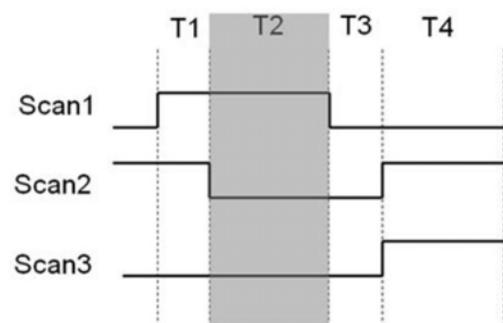
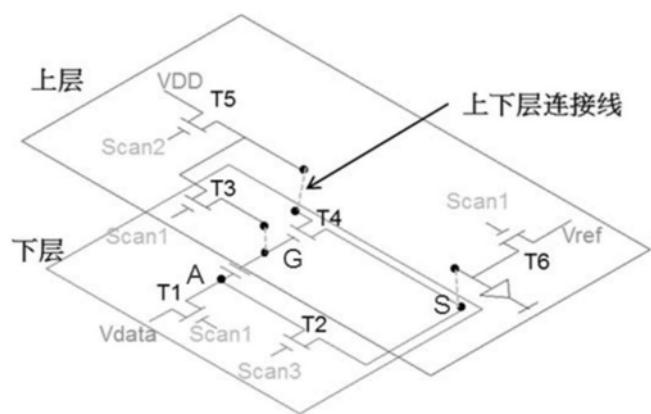


图5

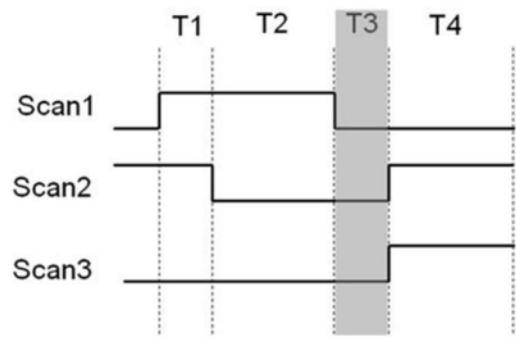
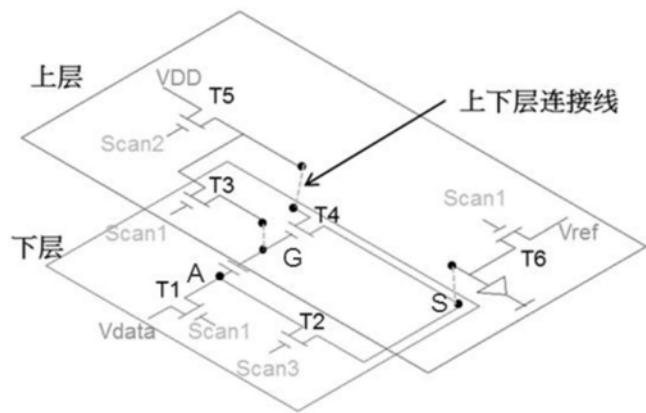


图6

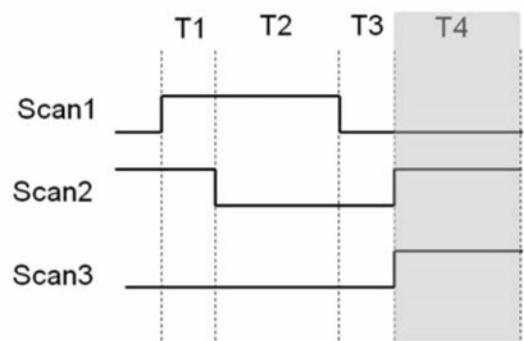
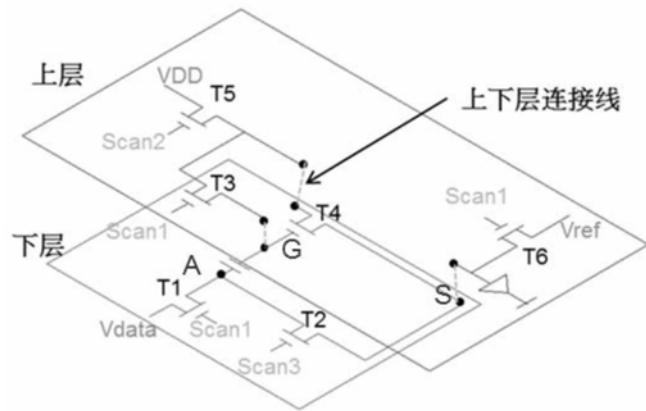


图7

专利名称(译)	一种分层式像素补偿电路		
公开(公告)号	<a href="#">CN210926020U</a>	公开(公告)日	2020-07-03
申请号	CN201922235305.1	申请日	2019-12-13
[标]发明人	贾浩 罗敬凯		
发明人	贾浩 罗敬凯		
IPC分类号	H01L27/32		
代理人(译)	郭鹏飞		
外部链接	<a href="#">Espacenet</a> <a href="#">Sipo</a>		

## 摘要(译)

一种分层式像素补偿电路，包括基板上设置的下层薄膜晶体管区、上层薄膜晶体管区、所述上层薄膜晶体管区与下层薄膜晶体管区之间还设置有绝缘层，上层薄膜晶体管区的电极与下层薄膜晶体管区的电极通过穿过绝缘层的连接线连接，上层薄膜晶体管区还图案化有机发光二极管，上层薄膜晶体管区域的薄膜晶体管与下层薄膜晶体管区的薄膜晶体管连接成有机发光二极管的补偿电路；区别于现有技术，上述技术方案通过设计基板上不同的下层薄膜晶体管区和上层薄膜晶体管区，最终通过在竖直方向上缩小像素补偿电路的多个薄膜晶体管所占用的面积，使得单个像素的占用面积减小，最终提高屏幕的解析度。

