



(12)发明专利申请

(10)申请公布号 CN 111312171 A

(43)申请公布日 2020.06.19

(21)申请号 202010135394.7

(22)申请日 2020.03.02

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 薛炎 周帅

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 张晓薇

(51)Int.Cl.

G09G 3/3225(2016.01)

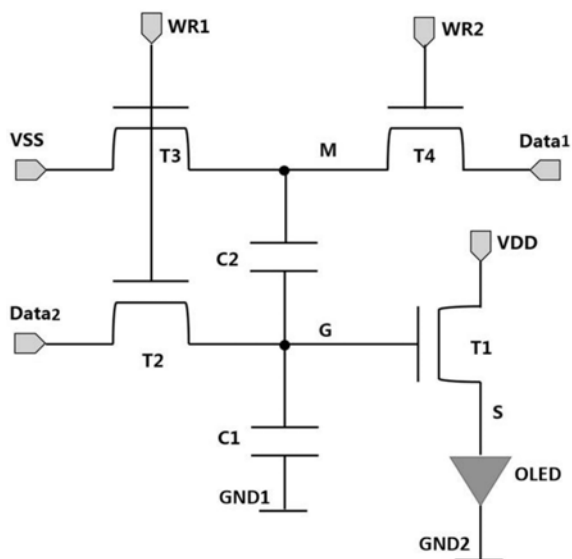
权利要求书3页 说明书10页 附图2页

(54)发明名称

一种像素驱动电路、OLED显示面板及显示装置

(57)摘要

本申请公开了一种像素驱动电路、OLED显示面板、显示装置。该像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管。本申请实施例通过新的4T2C像素驱动电路结构,能够显著降低AMOLED面板的数据电压,从而降低动态功耗,最终达到降低总功耗的目的。



1. 一种像素驱动电路,其特征在于,包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管;

其中,所述第一薄膜晶体管的栅极电性连接至第一节点,其源极电性连接至所述有机发光二极管的阳极,其漏极电性连接至VDD;

所述第二薄膜晶体管的栅极接入第一行扫描信号,其源极接入第二数据信号,其漏极电性连接至所述第一节点;

所述第三薄膜晶体管的栅极接入所述第一行扫描信号,其源极接入VSS,其漏极电性连接至第二节点;

所述第四薄膜晶体管的栅极接入第二行扫描信号,其源极电性连接至所述第二节点,其漏极接入第一数据信号;

所述第一存储电容的一端电性连接至所述第一节点,其另一端电性连接至第一接地线;

所述第二存储电容的一端电性连接至所述第二节点,其另一端电性连接至所述第一节点;

所述有机发光二极管的阳极电性连接至所述第一薄膜晶体管的源极,其阴极电性连接至第二接地线。

2. 如权利要求1所述的像素驱动电路,其特征在于,所述第二行扫描信号与所述第一行扫描信号的时序不同。

3. 如权利要求1所述的像素驱动电路,其特征在于,所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管为低温多晶硅薄膜晶体管,所述低温多晶硅薄膜晶体管均为P型薄膜晶体管;或所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管为氧化物薄膜晶体管,所述氧化物薄膜晶体管均为N型氧化物薄膜晶体管。

4. 如权利要求2所述的像素驱动电路,其特征在于,所述像素驱动电路由低灰阶切为高灰阶的工作过程如下:

像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第三薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为V1及V2;

当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位V2升为高电位V1,此时,所述第一节点的电位上升了 $(V1-V2) * C2 / (C1+C2)$,变为: $V1 + [(V1-V2) * C2 / (C1+C2)]$,其中,V1-V2为所述第二节点的电位差,C2是所述第二存储电容的电容值,C1是所述第一存储电容的电容值;

当所述第二行扫描信号维持为高电位时,所述像素驱动电路由低灰阶切为高灰阶,所述第二节点的数据电压由V1升为V3,此时,所述第一节点的电位上升了 $(V3-V1) * C2 / (C1+C2)$,变为: $V1 + [(V1-V2) * C2 / (C1+C2)] + [(V3-V1) * C2 / (C1+C2)]$ 。

5. 如权利要求4所述的像素驱动电路,其特征在于,所述像素驱动电路由高灰阶切为低灰阶的工作过程如下:

像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第三薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为V3及V2;

当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位V2升为高电位V3,此时,所述第一节点的电位上

升了 $(V3-V2) * C2 / (C1+C2)$, 变为: $[(V3-V2) * C2 / (C1+C2)] + V2$, 其中, $V3-V2$ 是所述第二节点的电位差, $C2$ 是所述第二存储电容的电容值, $C1$ 是所述第一存储电容的电容值;

当所述第二行扫描信号维持为高电位时, 所述像素驱动电路由低灰阶切为低灰阶, 所述第二节点的数据电压由 $V3$ 降低为 $V1$, 此时, 所述第一节点的电位下降了 $(V3-V1) * C2 / (C1+C2)$, 变为: $[(V3-V2) * C2 / (C1+C2)] + V2 - [(V3-V1) * C2 / (C1+C2)]$ 。

6. 一种 OLED 显示面板, 包括像素驱动电路, 其特征在于, 所述像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管;

其中, 所述第一薄膜晶体管的栅极电性连接至第一节点, 其源极电性连接至所述有机发光二极管的阳极, 其漏极电性连接至 VDD;

所述第二薄膜晶体管的栅极接入第一行扫描信号, 其源极接入第二数据信号线, 其漏极电性连接至所述第一节点;

所述第三薄膜晶体管的栅极接入所述第一行扫描信号, 其源极接入 VSS, 其漏极电性连接至第二节点;

所述第四薄膜晶体管的栅极接入第二行扫描信号, 其源极电性连接至所述第二节点, 其漏极接入第一数据信号线;

所述第一存储电容的一端电性连接至所述第一节点, 其另一端电性连接至第一接地线;

所述第二存储电容的一端电性连接至所述第二节点, 其另一端电性连接至所述第一节点;

所述有机发光二极管的阳极电性连接至所述第一薄膜晶体管的源极, 其阴极电性连接至第二接地线;

所述第二行扫描信号与所述第一行扫描信号的时序不同。

7. 如权利要求 6 所述的 OLED 显示面板, 其特征在于, 所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管为低温多晶硅薄膜晶体管, 所述低温多晶硅薄膜晶体管均为 P 型薄膜晶体管; 或所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管为氧化物薄膜晶体管, 所述氧化物薄膜晶体管均为 N 型氧化物薄膜晶体管。

8. 如权利要求 6 所述的 OLED 显示面板, 其特征在于, 所述像素驱动电路由低灰阶切为高灰阶的工作过程如下:

像素驱动电路工作时, 当所述第一行扫描信号为高电位时, 所述第二薄膜晶体管、所述第二薄膜晶体管开启, 所述第一节点与所述第二节点的电位分别复位为 $V1$ 及 $V2$;

当所述第二行扫描信号为高电位时, 所述第一行扫描信号降为低电位, 第一数据信号写入所述第二节点, 所述第二节点由低电位 $V2$ 升为高电位 $V1$, 此时, 所述第一节点的电位上升了 $(V1-V2) * C2 / (C1+C2)$, 变为: $V1 + [(V1-V2) * C2 / (C1+C2)]$, 其中, $V1-V2$ 为所述第二节点的电位差, $C2$ 是所述第二存储电容的电容值, $C1$ 是所述第一存储电容的电容值;

当所述第二行扫描信号维持为高电位时, 所述像素驱动电路由低灰阶切为高灰阶, 所述第二节点的数据电压由 $V1$ 升为 $V3$, 此时, 所述第一节点的电位上升了 $(V3-V1) * C2 / (C1+C2)$, 变为: $V1 + [(V1-V2) * C2 / (C1+C2)] + [(V3-V1) * C2 / (C1+C2)]$ 。

9. 如权利要求 8 所述的 OLED 显示面板, 其特征在于, 所述像素驱动电路由高灰阶切为低

灰阶的工作过程如下：

像素驱动电路工作时，当所述第一行扫描信号为高电位时，所述第二薄膜晶体管、所述第二薄膜晶体管开启，所述第一节点与所述第二节点的电位分别复位为 V_3 及 V_2 ；

当所述第二行扫描信号为高电位时，所述第一行扫描信号降为低电位，第一数据信号写入所述第二节点，所述第二节点由低电位 V_2 升为高电位 V_3 ，此时，所述第一节点的电位上升了 $(V_3 - V_2) * C_2 / (C_1 + C_2)$ ，变为： $[(V_3 - V_2) * C_2 / (C_1 + C_2)] + V_2$ ，其中， $V_3 - V_2$ 是所述第二节点的电位差， C_2 是所述第二存储电容的电容值， C_1 是所述第一存储电容的电容值；

当所述第二行扫描信号维持为高电位时，所述像素驱动电路由低高灰阶切为低灰阶，所述第二节点的数据电压由 V_3 降低为 V_1 ，此时，所述第一节点的电位下降了 $(V_3 - V_1) * C_2 / (C_1 + C_2)$ ，变为： $[(V_3 - V_2) * C_2 / (C_1 + C_2)] + V_2 - [(V_3 - V_1) * C_2 / (C_1 + C_2)]$ 。

10. 一种显示装置，其特征在于，包括权利要求6至9所述的任一显示面板。

一种像素驱动电路、OLED显示面板及显示装置

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及像素驱动电路、OLED显示面板及显示装置。

背景技术

[0002] 随有机发光二极管(Organic Light Emitting Diode,OLED)面板具有自发光特性,由于OLED器件以及薄膜晶体管(Thin Film Transistor,TFT)器件的性能与面板的温度息息相关,如果器件特性发生变化,显示画面易出现反常。因此,降低面板的整体功耗极为重要。

[0003] 通用的有机发光二极管的2T1C像素电路数据信号电压较高,因此面板的动态功耗较大,不利于显示面板的实用化。本发明提出一种像素电路,能够显著降低有机发光二极管面板的数据电压,从而降低动态功耗,最终达到降低总功耗的目的。

发明内容

[0004] 本申请实施例提供一种像素驱动电路、OLED显示面板及显示装置,能够显著降低OLED面板的数据电压,从而降低动态功耗,最终达到降低总功耗的目的。

[0005] 本申请实施例提供一种像素驱动电路,所述像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管;其中,所述第一薄膜晶体管的栅极电性连接至第一节点,其源极电性连接至所述有机发光二极管的阳极,其漏极电性连接至电源正电压(VDD);所述第二薄膜晶体管的栅极接入第一行扫描信号,其源极接入第二数据信号,其漏极电性连接至所述第一节点;所述第三薄膜晶体管的栅极接入所述第一行扫描信号,其源极接入电源负电压(VSS),其漏极电性连接至第二节点;所述第四薄膜晶体管的栅极接入第二行扫描信号,其源极电性连接至所述第二节点,其漏极接入第一数据信号;所述第一存储电容的一端电性连接至所述第一节点,其另一端电性连接至第一接地线;所述第二存储电容的一端电性连接至所述第二节点,其另一端电性连接至所述第一节点;所述有机发光二极管的阳极电性连接至所述第一薄膜晶体管的源极,其阴极电性连接至第二接地线。

[0006] 在一些实施例中,第二行扫描信号WR₂与所述第一行扫描信号WR₁的时序不同,但不会额外增加外围驱动信号数量,仅需在做像素布线时,从上一行扫描信号的走线中,牵引其中一条走线以个别开关控制驱动信号的时序即可。

[0007] 在一些实施例中,所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管为低温多晶硅薄膜晶体管,所述低温多晶硅薄膜晶体管均为P型薄膜晶体管;或所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管为氧化物薄膜晶体管,所述氧化物薄膜晶体管均为N型氧化物薄膜晶体管。

[0008] 在一些实施例中,所述像素驱动电路由低灰阶切为高灰阶的工作过程如下:

[0009] 像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第三薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为V₁及V₂;

[0010] 当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位 V_2 升为高电位 V_1 ,此时,所述第一节点的电位上升了 $(V_1-V_2)*C_2/(C_1+C_2)$,变为: $V_1+[(V_1-V_2)*C_2/(C_1+C_2)]$,其中, V_1-V_2 为所述第二节点的电位差, C_2 是所述第二存储电容的电容值, C_1 是所述第一存储电容的电容值;

[0011] 当所述第二行扫描信号维持为高电位时,所述像素驱动电路由低灰阶切为高灰阶,所述第二节点的数据电压由 V_1 升为 V_3 ,此时,所述第一节点的电位上升了 $(V_3-V_1)*C_2/(C_1+C_2)$,变为: $V_1+[(V_1-V_2)*C_2/(C_1+C_2)]+[(V_3-V_1)*C_2/(C_1+C_2)]$ 。

[0012] 在一些实施例中,所述像素驱动电路由高灰阶切为低灰阶的工作过程如下:

[0013] 像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第二薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为 V_3 及 V_2 。

[0014] 当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位 V_2 升为高电位 V_3 ,此时,所述第一节点的电位上升了 $(V_3-V_2)*C_2/(C_1+C_2)$,变为: $[(V_3-V_2)*C_2/(C_1+C_2)]+V_2$,其中, V_3-V_2 是所述第二节点的电位差, C_2 是所述第二存储电容的电容值, C_1 是所述第一存储电容的电容值;

[0015] 当所述第二行扫描信号维持为高电位时,所述像素驱动电路由低高灰阶切为低灰阶,所述第二节点的数据电压由 V_3 降低为 V_1 ,此时,所述第一节点的电位下降了 $(V_3-V_1)*C_2/(C_1+C_2)$,变为: $[(V_3-V_2)*C_2/(C_1+C_2)]+V_2-[(V_3-V_1)*C_2/(C_1+C_2)]$ 。

[0016] 从而,该像素设计结构可降低像素驱动电路的动态功耗,最终达到降低总功耗的目的。

[0017] 本申请实施例还提供一种OLED显示面板,包括像素驱动电路,所述一种像素驱动电路,所述像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管;其中,所述第一薄膜晶体管的栅极电性连接至第一节点,其源极电性连接至所述有机发光二极管的阳极,其漏极电性连接至电源正电压(VDD);所述第二薄膜晶体管的栅极接入第一行扫描信号,其源极接入第二数据信号,其漏极电性连接至所述第一节点;所述第三薄膜晶体管的栅极接入所述第一行扫描信号,其源极接入电源负电压(VSS),其漏极电性连接至第二节点;所述第四薄膜晶体管的栅极接入第二行扫描信号,其源极电性连接至所述第二节点,其漏极接入第一数据信号;所述第一存储电容的一端电性连接至所述第一节点,其另一端电性连接至第一接地线;所述第二存储电容的一端电性连接至所述第二节点,其另一端电性连接至所述第一节点;所述有机发光二极管的阳极电性连接至所述第一薄膜晶体管的源极,其阴极电性连接至第二接地线;所述第二行扫描信号与所述第一行扫描信号的时序不同,但不会额外增加外围驱动信号数量,仅需在做像素布线时,从上一行扫描信号的走线中,牵引其中一条走线以个别开关控制驱动信号的时序即可。

[0018] 在一些实施例中,所述OLED显示面板的所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管均为低温多晶硅薄膜晶体管,所述低温多晶硅薄膜晶体管均为P型薄膜晶体管;或所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管均为氧化物薄膜晶体管,所述氧化物薄膜晶体管均为N型氧化物薄膜晶体管。

[0019] 在一些实施例中,所述OLED显示面板的所述像素驱动电路由低灰阶切为高灰阶的工作过程如下:

[0020] 像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第三薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为V1及V2;

[0021] 当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位V2升为高电位V1,此时,所述第一节点的电位上升了 $(V1-V2) \cdot C2 / (C1+C2)$,变为: $V1 + [(V1-V2) \cdot C2 / (C1+C2)]$,其中,V1-V2为所述第二节点的电位差,C2是所述第二存储电容的电容值,C1是所述第一存储电容的电容值;

[0022] 当所述第二行扫描信号维持为高电位时,所述像素驱动电路由低灰阶切为高灰阶,所述第二节点的数据电压由V1升为V3,此时,所述第一节点的电位上升了 $(V3-V1) \cdot C2 / (C1+C2)$,变为: $V1 + [(V1-V2) \cdot C2 / (C1+C2)] + [(V3-V1) \cdot C2 / (C1+C2)]$ 。

[0023] 在一些实施例中,所述OLED显示面板的所述像素驱动电路由高灰阶切为低灰阶的工作过程如下:

[0024] 像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第三薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为V3及V2;

[0025] 当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位V2升为高电位V3,此时,所述第一节点的电位上升了 $(V3-V2) \cdot C2 / (C1+C2)$,变为: $[(V3-V2) \cdot C2 / (C1+C2)] + V2$,其中,V3-V2是所述第二节点的电位差,C2是所述第二存储电容的电容值,C1是所述第一存储电容的电容值;

[0026] 当所述第二行扫描信号维持为高电位时,所述像素驱动电路由低高灰阶切为低灰阶,所述第二节点的数据电压由V3降低为V1,此时,所述第一节点的电位下降了 $(V3-V1) \cdot C2 / (C1+C2)$,变为: $[(V3-V2) \cdot C2 / (C1+C2)] + V2 - [(V3-V1) \cdot C2 / (C1+C2)]$ 。

[0027] 从而,该像素设计结构可降低像素驱动电路的动态功耗,最终达到降低总功耗的目的。

[0028] 本申请实施例还提供一种显示装置,包括上述的显示面板,所述显示面板包括像素驱动电路,所述一种像素驱动电路,所述像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管;其中,所述第一薄膜晶体管的栅极电性连接至第一节点,其源极电性连接至所述有机发光二极管的阳极,其漏极电性连接至电源正电压(VDD);所述第二薄膜晶体管的栅极接入第一行扫描信号,其源极接入第二数据信号,其漏极电性连接至所述第一节点;所述第三薄膜晶体管的栅极接入所述第一行扫描信号,其源极接入电源负电压(VSS),其漏极连接至第二节点;所述第四薄膜晶体管的栅极接入第二行扫描信号,其源极电性连接至所述第二节点,其漏极接入第一数据信号;所述第一存储电容的一端电性连接至所述第一节点,其另一端电性连接至第一接地线;所述第二存储电容的一端电性连接至所述第二节点,其另一端电性连接至所述第一节点;所述有机发光二极管的阳极电性连接至所述第一薄膜晶体管的源极,其阴极电性连接至第二接地线;所述第二行扫描信号与所述第一行扫描信号的时序不同,但不会额外增加外围驱动信号数量,仅需在做像素布线时,从上一行扫描信号的走线中,牵引其中一条走线以个别开关控制驱动信号的时序即可。

[0029] 在一些实施例中,所述显示装置的所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管为低温多晶硅薄膜晶体管,所述低温多晶硅薄膜晶体管均为P型薄膜晶体管;或所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管

为氧化物薄膜晶体管,所述氧化物薄膜晶体管均为N型氧化物薄膜晶体管。

[0030] 在一些实施例中,所述显示装置的所述像素驱动电路由低灰阶切为高灰阶的工作过程如下:

[0031] 像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第三薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为V1及V2;

[0032] 当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位V2升为高电位V1,此时,所述第一节点的电位上升了 $(V1-V2) \cdot C2 / (C1+C2)$,变为: $V1 + [(V1-V2) \cdot C2 / (C1+C2)]$,其中,V1-V2为所述第二节点的电位差,C2是所述第二存储电容的电容值,C1是所述第一存储电容的电容值;

[0033] 当所述第二行扫描信号维持为高电位时,所述像素驱动电路由低灰阶切为高灰阶,所述第二节点的数据电压由V1升为V3,此时,所述第一节点的电位上升了 $(V3-V1) \cdot C2 / (C1+C2)$,变为: $V1 + [(V1-V2) \cdot C2 / (C1+C2)] + [(V3-V1) \cdot C2 / (C1+C2)]$ 。

[0034] 在一些实施例中,所述显示装置的所述像素驱动电路由高灰阶切为低灰阶的工作过程如下:

[0035] 像素驱动电路工作时,当所述第一行扫描信号为高电位时,所述第二薄膜晶体管、所述第三薄膜晶体管开启,所述第一节点与所述第二节点的电位分别复位为V3及V2;

[0036] 当所述第二行扫描信号为高电位时,所述第一行扫描信号降为低电位,第一数据信号写入所述第二节点,所述第二节点由低电位V2升为高电位V3,此时,所述第一节点的电位上升了 $(V3-V2) \cdot C2 / (C1+C2)$,变为: $[(V3-V2) \cdot C2 / (C1+C2)] + V2$,其中,V3-V2是所述第二节点的电位差,C2是所述第二存储电容的电容值,C1是所述第一存储电容的电容值;

[0037] 当所述第二行扫描信号维持为高电位时,所述像素驱动电路由低灰阶切为低灰阶,所述第二节点的数据电压由V3降低为V1,此时,所述第一节点的电位下降了 $(V3-V1) \cdot C2 / (C1+C2)$,变为: $[(V3-V2) \cdot C2 / (C1+C2)] + V2 - [(V3-V1) \cdot C2 / (C1+C2)]$ 。

[0038] 从而,该像素设计结构可降低像素驱动电路的动态功耗,最终达到降低总功耗的目的。

[0039] 本申请实施例提供一种像素驱动电路,所述像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管;其中,所述第一薄膜晶体管的栅极电性连接至第一节点,其源极电性连接至所述有机发光二极管的阳极,其漏极电性连接至电源正电压(VDD);所述第二薄膜晶体管的栅极接入第一行扫描信号,其源极接入第二数据信号,其漏极电性连接至所述第一节点;所述第三薄膜晶体管的栅极接入所述第一行扫描信号,其源极接入电源负电压(VSS),其漏极电性连接至第二节点;所述第四薄膜晶体管的栅极接入第二行扫描信号,其源极电性连接至所述第二节点,其漏极接入第一数据信号;所述第一存储电容的一端电性连接至所述第一节点,其另一端电性连接至第一接地线;所述第二存储电容的一端电性连接至所述第二节点,其另一端电性连接至所述第一节点;所述有机发光二极管的阳极电性连接至所述第一薄膜晶体管的源极,其阴极电性连接至第二接地线;所述第二行扫描信号与所述第一行扫描信号的时序不同。本申请实施例通过4T2C像素驱动电路结构,能够显著降低OLED面板的数据电压,从而降低动态功耗,最终达到降低总功耗的目的。

附图说明

[0040] 下面结合附图,通过对本申请的具体实施方式详细描述,将使本申请的技术方案及其它有益效果显而易见。

[0041] 图1为本申请实施例提供的像素驱动电路结构示意图。

[0042] 图2为本申请的像素驱动电路结构在低灰阶切为高灰阶时的工作过程示意图。

[0043] 图3为本申请的像素驱动电路结构在高灰阶切为低灰阶时的工作过程示意图。

具体实施方式

[0044] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0045] 在本申请的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0046] 在本申请的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接或可以相互通讯;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本申请中的具体含义。

[0047] 在本申请中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0048] 下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本申请。此外,本申请可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。此外,本申请提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。

[0049] 具体的,请参阅图1,本申请实施例提供的像素驱动电路中,每个像素都具有4T2C像素结构,所述4T2C像素结构包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管

T3、第四薄膜晶体管T4、第一存储电容C1、第二存储电容C2及有机发光二极管OLED。

[0050] 第一薄膜晶体管T1的栅极电性连接至第一节点G,其源极电性连接至有机发光二极管OLED的阳极S,其漏极电性连接至电源正电压VDD。

[0051] 第二薄膜晶体管T2的栅极接入第一行扫描信号WR1,其源极接入第二数据信号线Data2,其漏极电性连接至第一节点G。

[0052] 第三薄膜晶体管T3的栅极接入第一行扫描信号WR1,其源极接入VSS,其漏极连接至第二节点M。

[0053] 第四薄膜晶体管T4的栅极接入第二行扫描信号WR2,其源极电性连接至所述第二节点M,其漏极接入第一数据信号线Data1。

[0054] 第一存储电容C1的一端电性连接至第一节点G,其另一端电性连接至第一接地线GND1。

[0055] 第二存储电容C2的一端电性连接至第二节点M,其另一端电性连接至第一节点G。

[0056] 有机发光二极管OLED的阳极S电性连接至第一薄膜晶体管T1的源极,其阴极电性连接至第二接地线GND 2。

[0057] 第二行扫描信号WR 2与所述第一行扫描信号WR1的时序不同,但不会额外增加外围驱动信号数量,仅需在做像素布线时,从上一行扫描信号走线中,牵引其中一条走线以个别开关控制驱动信号的时序即可。

[0058] 在驱动时,首先,第一行扫描信号WR 1控制第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第二数据信号Data2经过第二薄膜晶体管T2进入到第一薄膜晶体管T1的栅极及第一存储电容C1、第二存储电容C2,然后第一薄膜晶体管T1开启,有机发光二极管OLED发光。其次,第一行扫描信号WR 1关闭,则第二薄膜晶体管T2与第三薄膜晶体管T 3关闭,同时,第二行扫描信号WR 2开启,则第四薄膜晶体管T 4开启,第一数据信号Data1写入第二节点M,由于第一存储电容C1与第二存储电容C2的存储作用,第一薄膜晶体管T1的栅极电压仍可继续保持数据信号电压,使得第一薄膜晶体管T1处于导通状态,驱动电流通过第一薄膜晶体管T1进入有机发光二极管OLED,驱动有机发光二极管OLED发光。

[0059] 在本申请的结构中,第一存储电容C1与第二存储电容C2在第一节点G处电性连接,这有利于保持第一节点G的电压的平衡,稳定地向T1供应数据信号。

[0060] 如图2所示,像素低灰阶切为高灰阶的过程如下:

[0061] 阶段1,第一行扫描信号WR 1升为高电位,第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第二数据信号Data2电压15伏特,第一节点G与第二节点M的电位分别被复位为1伏特及-10伏特;

[0062] 阶段2,第二行扫描信号WR2升为高电位,第一行扫描信号WR 1将为低电位,第一数据信号Data1信号写入第二节点M,第二节点M的电位由-10伏升为1伏特,此时,第一节点G的电位上升了 $11 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $1 + 11 \times C2 / (C1 + C2)$;

[0063] 阶段3,第二行扫描信号WR2持续维持高电位,画面由低灰阶切换为高灰阶,数据信号由1伏特升为10伏特,这时,第一节点G的电位上升了 $9 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $1 + 20 \times C2 / (C1 + C2)$,有机发光二极管OLED的电流为1.5 μ A。

[0064] 如图3所示,像素高灰阶切为低灰阶的过程如下:

[0065] 阶段1,第一行扫描信号WR 1升为高电位,第三薄膜晶体管T 3、第二薄膜晶体管T2

开启,第一节点G与第二节点M的电位分别被复位为10伏特及-10伏特;

[0066] 阶段2,第二行扫描信号WR2升为高电位,第一行扫描信号WR 1将为低电位,第一数据信号Data1信号写入第二节点M,第二节点M的电位由-10伏特升为10伏特,此时,第一节点G的电位上升了 $20 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $[20 \times C2 / (C1 + C2)] - 10$;

[0067] 阶段3,第二行扫描信号WR2持续维持高电位,画面由高灰阶切换为低灰阶,数据信号由10伏特降为1伏特,这时,第一节点G的电位下降了 $9 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $[11 \times C2 / (C1 + C2)] - 10$,有机发光二极管OLED的电流为200nA,画面显示低灰阶。

[0068] 而,数据线的动态功耗 $I = f_c V_{data}^2$,面板的动态功耗降低一半以上。

[0069] 在一些实施例中,第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4为低温多晶硅薄膜晶体管,低温多晶硅薄膜晶体管均为P型薄膜晶体管;或第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4为氧化物薄膜晶体管,氧化物薄膜晶体管均为N型氧化物薄膜晶体管。

[0070] 本申请实施例还提供一种OLED显示面板,包括像素驱动电路,参考图1,像素驱动电路中,每个像素都具有4T2C像素结构,所述4T2C像素结构包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第一存储电容C1、第二存储电容C2及有机发光二极管OLED。

[0071] 第一薄膜晶体管T1的栅极电性连接至第一节点G,其源极电性连接至有机发光二极管OLED的阳极S,其漏极电性连接至电源正电压VDD。

[0072] 第二薄膜晶体管T2的栅极接入第一行扫描信号WR1,其源极接入第二数据信号线Data2,其漏极电性连接至第一节点G。

[0073] 第三薄膜晶体管T3的栅极接入第一行扫描信号WR1,其源极接入电源负电压VSS,其漏极连接至第二节点M。

[0074] 第四薄膜晶体管T4的栅极接入第二行扫描信号WR2,其源极电性连接至所述第二节点M,其漏极接入第一数据信号线Data1。

[0075] 第一存储电容C1的一端电性连接至第一节点G,其另一端电性连接至第一接地线GND1。

[0076] 第二存储电容C2的一端电性连接至第二节点M,其另一端电性连接至第一节点G。

[0077] 有机发光二极管OLED的阳极S电性连接至第一薄膜晶体管T1的源极,其阴极电性连接至第二接地线GND 2。

[0078] 第二行扫描信号WR 2与所述第一行扫描信号WR1的时序不同,但不会额外增加外围驱动信号数量,仅需在做像素布线时,从上一行扫描信号走线中,牵引其中一条走线以个别开关控制驱动信号的时序即可。

[0079] 在驱动时,首先,第一行扫描信号WR 1控制第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第二数据信号Data2经过第二薄膜晶体管T 2进入到第一薄膜晶体管T1的栅极及第一存储电容C1、第二存储电容C2,然后第一薄膜晶体管T1开启,有机发光二极管OLED发光。其次,第一行扫描信号WR 1关闭,则第二薄膜晶体管T 2与第三薄膜晶体管T 3关闭,同时,第二行扫描信号WR 2开启,则第四薄膜晶体管T 4开启,第一数据信号Data1写入第二节点M,由于第一存储电容C1与第二存储电容C2的存储作用,第一薄膜晶体管T1的栅极电压仍可继续保持数据信号电压,使得第一薄膜晶体管T1处于导通状态,驱动电流通过第一薄膜晶

体管T1进入有机发光二极管OLED,驱动有机发光二极管OLED发光。

[0080] 在本申请的结构中,第一存储电容C1与第二存储电容C2在第一节点G处电性连接,这有利于保持第一节点G的电压的平衡,稳定地向T1供应数据信号。

[0081] 如图2所示,像素低灰阶切为高灰阶的过程如下:

[0082] 阶段1,第一行扫描信号WR 1升为高电位,第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第二数据信号Data2电压15伏特,第一节点G与第二节点M的电位分别被复位为1伏特及-10伏特;

[0083] 阶段2,第二行扫描信号WR2升为高电位,第一行扫描信号WR 1将为低电位,第一数据信号Data1信号写入第二节点M,第二节点M的电位由-10伏特升为1伏特,此时,第一节点G的电位上升了 $11 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $1 + 11 \times C2 / (C1 + C2)$;

[0084] 阶段3,第二行扫描信号WR2持续维持高电位,画面由低灰阶切换为高灰阶,数据信号由1伏特升为10伏特,这时,第一节点G的电位上升了 $9 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $1 + 20 \times C2 / (C1 + C2)$,有机发光二极管OLED的电流为1.5 μ A。

[0085] 如图3所示,像素高灰阶切为低灰阶的过程如下:

[0086] 阶段1,第一行扫描信号WR 1升为高电位,第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第一节点G与第二节点M的电位分别被复位为10伏特及-10伏特;

[0087] 阶段2,第二行扫描信号WR2升为高电位,第一行扫描信号WR 1将为低电位,第一数据信号Data1信号写入第二节点M,第二节点M的电位由-10伏特升为10伏特,此时,第一节点G的电位上升了 $20 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $[20 \times C2 / (C1 + C2)] - 10$;

[0088] 阶段3,第二行扫描信号WR2持续维持高电位,画面由高灰阶切换为低灰阶,数据信号由10伏特降为1伏特,这时,第一节点G的电位下降了 $9 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $[11 \times C2 / (C1 + C2)] - 10$,有机发光二极管OLED的电流为200nA,画面显示低灰阶。

[0089] 而,数据线的动态功耗 $I = fC V_{data}^2$,这里,f是面板的刷新率,C是面板的电容,可以发现,面板的动态功耗降低了一半以上。

[0090] 在一些实施例中,第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4为低温多晶硅薄膜晶体管,低温多晶硅薄膜晶体管均为P型薄膜晶体管;或第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4为氧化物薄膜晶体管,氧化物薄膜晶体管均为N型氧化物薄膜晶体管。

[0091] 本申请实施例还提供一种的显示装置,包括上述的显示面板,所述显示面板包括像素驱动电路,参考图1,像素驱动电路中,每个像素都具有4T2C像素结构,所述4T2C像素结构包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第一存储电容C1、第二存储电容C2及有机发光二极管OLED。

[0092] 第一薄膜晶体管T1的栅极电性连接至第一节点G,其源极电性连接至有机发光二极管OLED的阳极S,其漏极电性连接至电源正电压VDD。

[0093] 第二薄膜晶体管T2的栅极接入第一行扫描信号WR1,其源极接入第二数据信号线Data2,其漏极电性连接至第一节点G。

[0094] 第三薄膜晶体管T3的栅极接入第一行扫描信号WR1,其源极接入电源负电压VSS,其漏极连接至第二节点M。

[0095] 第四薄膜晶体管T4的栅极接入第二行扫描信号WR2,其源极电性连接至所述第二

节点M,其漏极接入第一数据信号线Data1。

[0096] 第一存储电容C1的一端电性连接至第一节点G,其另一端电性连接至第一接地线GND1。

[0097] 第二存储电容C2的一端电性连接至第二节点M,其另一端电性连接至第一节点G。

[0098] 有机发光二极管OLED的阳极S电性连接至第一薄膜晶体管T1的源极,其阴极电性连接至第二接地线GND 2。

[0099] WR 2与所述第一行扫描信号WR1的时序不同,但不会额外增加外围驱动信号数量,仅需在做像素布线时,从上一行扫描信号走线牵引其中一条走线以个别开关控制驱动信号的时序即可。

[0100] 在驱动时,首先,第一行扫描信号WR 1控制第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第二数据信号Data2经过第二薄膜晶体管T 2进入到第一薄膜晶体管T1的栅极及第一存储电容C1、第二存储电容C2,然后第一薄膜晶体管T1开启,有机发光二极管OLED发光。其次,第一行扫描信号WR 1关闭,则第二薄膜晶体管T 2与第三薄膜晶体管T 3关闭,同时,第二行扫描信号WR 2开启,则第四薄膜晶体管T 4开启,第一数据信号Data1写入第二节点M,由于第一存储电容C1与第二存储电容C2的存储作用,第一薄膜晶体管T1的栅极电压仍可继续保持数据信号电压,使得第一薄膜晶体管T1处于导通状态,驱动电流通过第一薄膜晶体管T1进入有机发光二极管OLED,驱动有机发光二极管OLED发光。

[0101] 在本申请的结构中,第一存储电容C1与第二存储电容C2在第一节点G处电性连接,这有利于保持第一节点G的电压的平衡,稳定地向T1供应数据信号。

[0102] 如图2所示,像素低灰阶切为高灰阶的过程如下:

[0103] 阶段1,第一行扫描信号WR 1升为高电位,第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第二数据信号Data2电压15伏特,第一节点G与第二节点M的电位分别被复位为1伏特及-10伏特;

[0104] 阶段2,第二行扫描信号WR2升为高电位,第一行扫描信号WR 1将为低电位,第一数据信号Data1信号写入第二节点M,第二节点M的电位由-10伏特升为1伏特,此时,第一节点G的电位上升了 $11 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $1 + 11 \times C2 / (C1 + C2)$;

[0105] 阶段3,第二行扫描信号WR2持续维持高电位,画面由低灰阶切换为高灰阶,数据信号由1伏特升为10伏特,这时,第一节点G的电位上升了 $9 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $1 + 20 \times C2 / (C1 + C2)$,有机发光二极管OLED的电流为1.5 μ A。

[0106] 如图3所示,像素高灰阶切为低灰阶的过程如下:

[0107] 阶段1,第一行扫描信号WR 1升为高电位,第三薄膜晶体管T 3、第二薄膜晶体管T2开启,第一节点G与第二节点M的电位分别被复位为10伏特及-10伏特;

[0108] 阶段2,第二行扫描信号WR2升为高电位,第一行扫描信号WR 1将为低电位,第一数据信号Data1信号写入第二节点M,第二节点M的电位由-10伏特升为10伏特,此时,第一节点G的电位上升了 $20 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $[20 \times C2 / (C1 + C2)] - 10$;

[0109] 阶段3,第二行扫描信号WR2持续维持高电位,画面由高灰阶切换为低灰阶,数据信号由10伏特降为1伏特,这时,第一节点G的电位下降了 $9 \times C2 / (C1 + C2)$,因此,第一节点G的电位为 $[11 \times C2 / (C1 + C2)] - 10$,有机发光二极管OLED的电流为200nA,画面显示低灰阶。

[0110] 而,数据线的动态功耗 $I = fCV_{data}^2$,这里,f是面板的刷新率,C是面板的电容,可以

发现,面板的动态功耗降低一半以上。

[0111] 在一些实施例中,第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4为低温多晶硅薄膜晶体管,低温多晶硅薄膜晶体管均为P型薄膜晶体管;或第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4为氧化物薄膜晶体管,氧化物薄膜晶体管均为N型氧化物薄膜晶体管。

[0112] 本申请实施例提供的本申请实施例提供一种像素驱动电路、OLED显示面板、显示装置,所述像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管;其中,所述第一薄膜晶体管的栅极电性连接至第一节点,其源极电性连接至所述有机发光二极管的阳极,其漏极电性连接至电源正电压(VDD);所述第二薄膜晶体管的栅极接入第一行扫描信号,其源极接入第二数据信号,其漏极电性连接至所述第一节点;所述第三薄膜晶体管的栅极接入所述第一行扫描信号,其源极接入电源负电压(VSS),其漏极电性连接至第二节点;所述第四薄膜晶体管的栅极接入第二行扫描信号,其源极电性连接至所述第二节点,其漏极接入第一数据信号;所述第一存储电容的一端电性连接至所述第一节点,其另一端电性连接至第一接地线;所述第二存储电容的一端电性连接至所述第二节点,其另一端电性连接至所述第一节点;所述有机发光二极管的阳极电性连接至所述第一薄膜晶体管的源极,其阴极电性连接至第二接地线;所述第二行扫描信号借用所述第一行扫描信号。本申请实施例通过4T2C像素驱动电路结构,能够显著降低AMOLED面板的数据电压,从而降低动态功耗,最终达到降低总功耗的目的。

[0113] 在上述实施例中,对各个实施例的描述都各有侧重,某个实施例中未详述的部分,可以参见其他实施例的相关描述。

[0114] 以上对本申请实施例所提供的一种像素驱动电路、OLED显示面板、显示装置进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想;本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

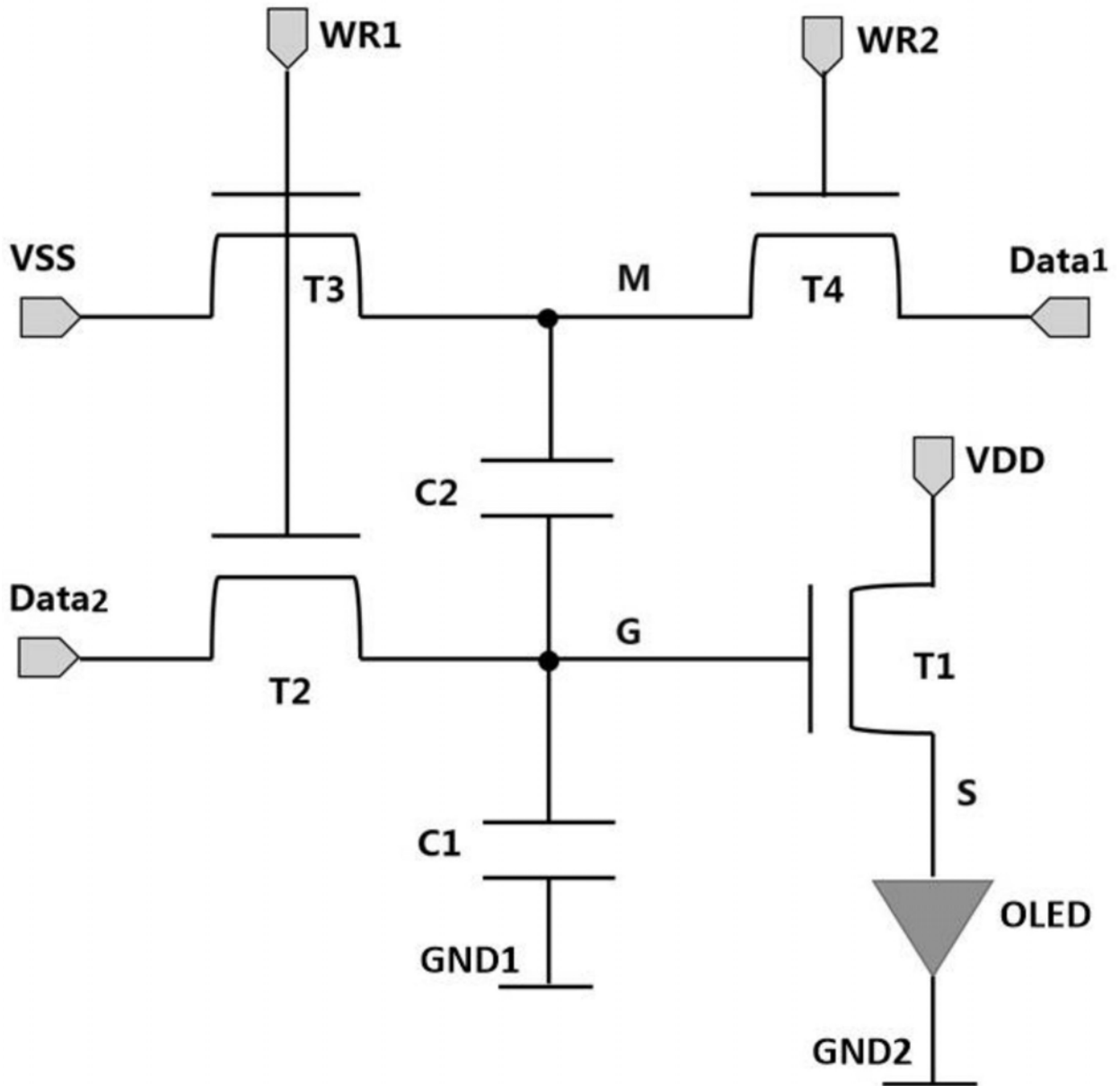


图1

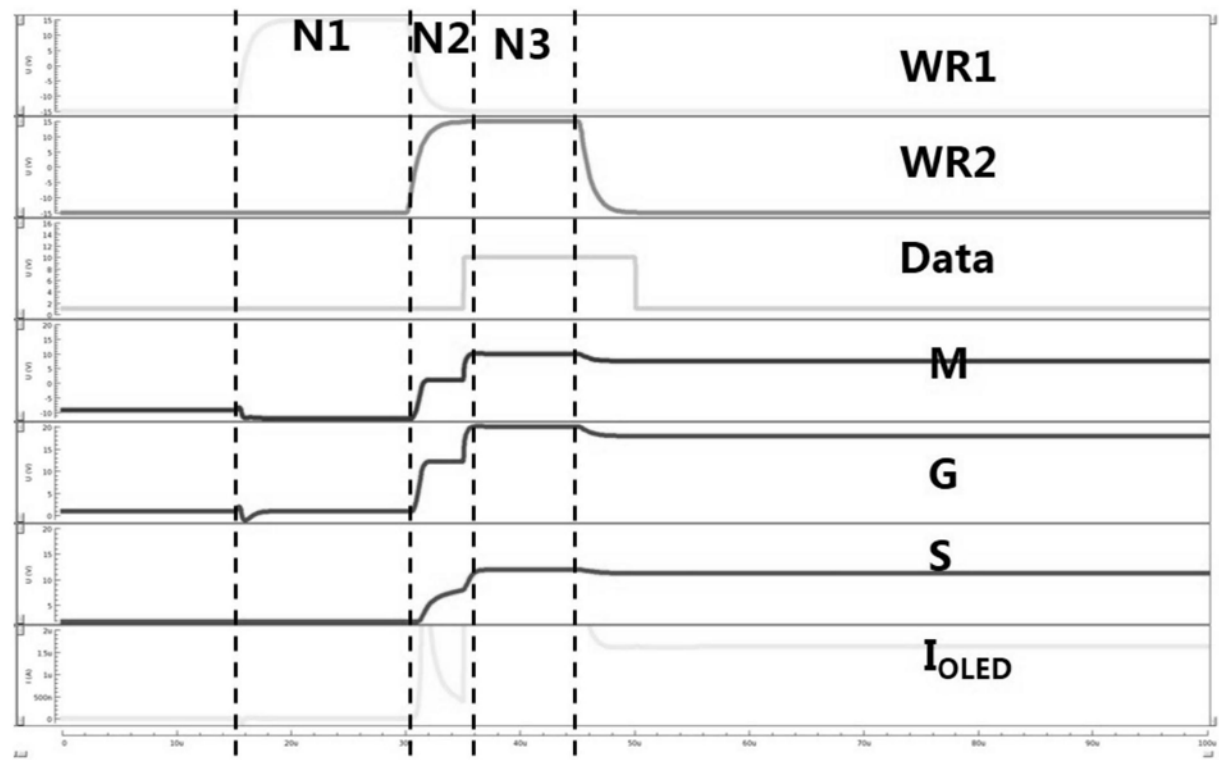


图2

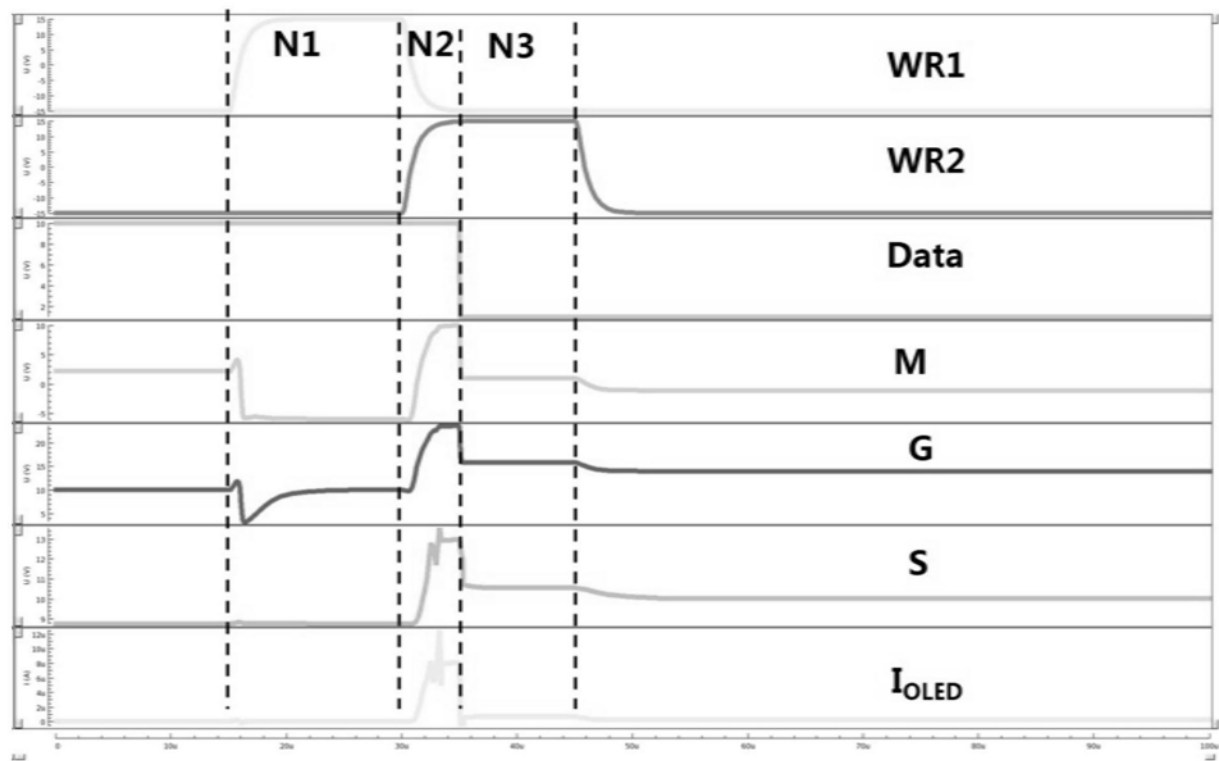


图3

专利名称(译)	一种像素驱动电路、OLED显示面板及显示装置		
公开(公告)号	CN111312171A	公开(公告)日	2020-06-19
申请号	CN202010135394.7	申请日	2020-03-02
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	薛炎 周帅		
发明人	薛炎 周帅		
IPC分类号	G09G3/3225		
代理人(译)	张晓薇		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种像素驱动电路、OLED显示面板、显示装置。该像素驱动电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第一存储电容、第二存储电容及有机发光二极管。本申请实施例通过新的4T2C像素驱动电路结构，能够显著降低AMOLED面板的数据电压，从而降低动态功耗，最终达到降低总功耗的目的。

