



(12)发明专利申请

(10)申请公布号 CN 110503918 A

(43)申请公布日 2019.11.26

(21)申请号 201910411720.X

(22)申请日 2019.05.16

(30)优先权数据

10-2018-0055891 2018.05.16 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 沈钟植 姜秉旭 黄盛焕

(74)专利代理机构 北京鸿元知识产权代理有限公司 11327

代理人 李琳 陈英俊

(51)Int.Cl.

G09G 3/3208(2016.01)

H01L 27/32(2006.01)

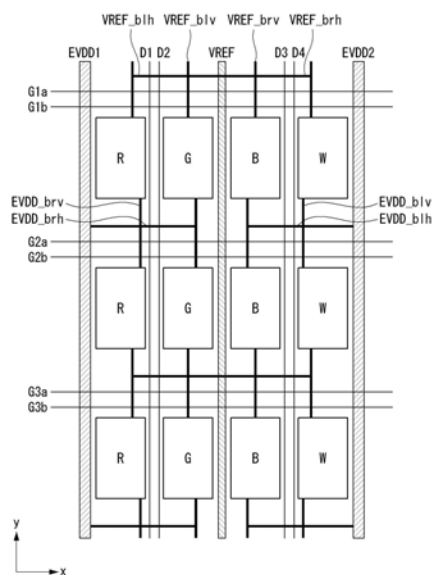
权利要求书4页 说明书14页 附图10页

(54)发明名称

电致发光显示器

(57)摘要

本文公开了一种电致发光显示器,包括:多个子像素,所述多个子像素中的每一个均包括发光区以及设置在所述发光区的两侧上的第一电路区和第二电路区;电源线,所述电源线配置成向奇数行上所布置的所述子像素的所述第二电路区和偶数行上所布置的所述子像素的所述第一电路区中的至少一个供应第一电源;以及感测线,所述感测线配置成向所述奇数行上所布置的所述子像素的所述第一电路区和所述偶数行上所布置的所述子像素的所述第二电路区中的至少一个供应初始化电压或感测电压。



1. 一种电致发光显示器,包括:

多个子像素,所述多个子像素中的每一个均包括发光区以及分别设置在所述发光区的两侧上的第一电路区和第二电路区;

电源线,所述电源线配置成向奇数行上布置的所述子像素的所述第二电路区和偶数行上布置的所述子像素的所述第一电路区中的至少一个供应第一电源;以及

感测线,所述感测线配置成向所述奇数行上布置的所述子像素的所述第一电路区和所述偶数行上布置的所述子像素的所述第二电路区中的至少一个供应初始化电压或感测电压。

2. 根据权利要求1所述的电致发光显示器,其中,所述多个子像素包括第一子像素、第二子像素、第三子像素以及第四子像素,并且

其中,所述电源线包括:

第一电源线,所述第一电源线设置在所述第一子像素的左侧,并向所述奇数行上所设置的所述第一子像素和所述第二子像素的所述第二电路区供应所述第一电源,以及向所述偶数行上所设置的所述第一子像素和所述第二子像素的所述第一电路区供应所述第一电源;以及

第二电源线,所述第二电源线设置在所述第四子像素的右侧,并向所述奇数行上所设置的所述第三子像素和所述第四子像素的所述第二电路区供应所述第一电源,以及向所述偶数行上所设置的所述第三子像素和所述第四子像素的所述第一电路区供应所述第一电源。

3. 根据权利要求2所述的电致发光显示器,其中,所述第一电源线包括:

第一水平电源支线,所述第一水平电源支线连接到所述第一电源线并沿行向延伸;以及

第一垂直电源支线,所述第一垂直电源支线沿列向从所述第一水平电源支线延伸,

其中,所述第二电源线包括:

第二水平电源支线,所述第二水平电源支线连接到所述第二电源线并沿所述行向延伸;以及

第二垂直电源支线,所述第二垂直电源支线沿所述列向从所述第二水平电源支线延伸。

4. 根据权利要求3所述的电致发光显示器,其中,所述感测线包括:

第一水平感测支线,所述第一水平感测支线连接到所述感测线并沿所述行向朝所述第一电源线延伸;

第一垂直感测支线,所述第一垂直感测支线沿所述列向从所述第一水平感测支线延伸;

第二水平感测支线,所述第二水平感测支线连接到所述感测线并沿所述行向朝所述第二电源线延伸;以及

第二垂直感测支线,所述第二垂直感测支线沿所述列向从所述第二水平感测支线延伸。

5. 根据权利要求4所述的电致发光显示器,其中,所述奇数行上所设置的所述子像素的每个所述第一电路区包括感测薄膜晶体管,其中,所述奇数行上所设置的所述子像素的每

个所述第二电路区包括驱动薄膜晶体管,并且

其中,所述偶数行上所设置的所述子像素的每个所述第二电路区包括感测薄膜晶体管,其中,所述偶数行上所设置的所述子像素的每个所述第一电路区包括驱动薄膜晶体管。

6. 根据权利要求5所述的电致发光显示器,其中,所述第一垂直电源支线与设置在所述第一水平电源支线的上侧和下侧中的至少一侧上的所述第一子像素和所述第二子像素的所述驱动薄膜晶体管连接,并且

其中,所述第二垂直电源支线与设置在所述第二水平电源支线的上侧和下侧中的至少一侧上的所述第三子像素和所述第四子像素的所述驱动薄膜晶体管连接。

7. 根据权利要求5所述的电致发光显示器,其中,所述第一垂直感测支线与设置在所述第一水平感测支线的上侧和下侧中的至少一侧上的所述第一子像素和所述第二子像素的所述感测薄膜晶体管连接,并且

其中,所述第二垂直感测支线与设置在所述第二水平感测支线的上侧和下侧中的至少一侧上的所述第三子像素和所述第四子像素的所述感测薄膜晶体管连接。

8. 根据权利要求5所述的电致发光显示器,还包括:

第一数据线和第二数据线,所述第一数据线和所述第二数据线设置在所述第一子像素和所述第二子像素之间,并沿所述列向彼此平行地延伸;以及

第三数据线和第四数据线,所述第三数据线和所述第四数据线设置在所述第三子像素和所述第四子像素之间,并沿所述列向彼此平行地延伸,

其中,所述奇数行上所设置的所述第一子像素至所述第四子像素的每一个子像素的所述第一电路区和所述偶数行上所设置的所述第一子像素至所述第四子像素的每一个子像素的所述第二电路区分别包括开关薄膜晶体管,

所述第一数据线连接到所述第一子像素的所述开关薄膜晶体管,

所述第二数据线连接到所述第二子像素的所述开关薄膜晶体管,

所述第三数据线连接到所述第三子像素的所述开关薄膜晶体管,并且

所述第四数据线连接到所述第四子像素的所述开关薄膜晶体管。

9. 根据权利要求8所述的电致发光显示器,还包括:

第一扫描线和第二扫描线,所述第一扫描线和所述第二扫描线设置在一行上所设置的所述子像素的一侧,并沿所述行向彼此平行地延伸,

其中,所述第一扫描线连接到所述感测薄膜晶体管的栅极,并且所述第二扫描线连接到所述开关薄膜晶体管的栅极。

10. 根据权利要求8所述的电致发光显示器,其中,所述发光区包括透明存储电容器,所述透明存储电容器具有:第一电极,所述第一电极连接到所述感测薄膜晶体管的漏极;以及第二电极,所述第二电极连接到所述开关薄膜晶体管的漏极。

11. 根据权利要求1所述的电致发光显示器,还包括所述发光区中的存储电容器,所述存储电容器具有彼此面对的第一电极和第二电极,且在所述第一电极和所述第二电极之间插设有绝缘层。

12. 一种电致发光显示器,包括:

基板,所述基板包括多个发光区,以及分别设置在所述发光区的两侧的第一电路区和第二电路区;

电源线、感测线和数据线,所述电源线、所述感测线和所述数据线在所述发光区的外侧沿列向延伸;

半导体层,所述半导体层设置在缓冲层上,所述缓冲层覆盖所述电源线、所述感测线和所述数据线以暴露所述电源线、所述感测线和所述数据线的一部分;

扫描线、支线和薄膜晶体管,所述扫描线、所述支线和所述薄膜晶体管设置在栅绝缘膜上,所述栅绝缘膜覆盖所述半导体层以暴露所述半导体层的一部分,并且所述扫描线、所述支线和所述薄膜晶体管设置在所述第一电路区和所述第二电路区中;

滤色器,所述滤色器设置成与钝化膜上的所述发光区相对应,所述钝化膜覆盖所述扫描线、所述支线和所述薄膜晶体管;以及

有机发光二极管,所述有机发光二极管设置在外涂层上,所述外涂层覆盖所述滤色器,每个所述有机发光二极管经由穿过所述外涂层和所述钝化膜的接触孔与所述薄膜晶体管之一连接。

13. 根据权利要求12所述的电致发光显示器,其中,所述薄膜晶体管包括设置在所述第一电路区和所述第二电路区中的感测薄膜晶体管、开关薄膜晶体管和驱动薄膜晶体管,

其中,第一遮光图案和第二遮光图案设置在奇数行上设置的与发光区相关的每个第一电路区中,使得所述第一遮光图案与所述奇数行的所述第一电路区中设置的感测薄膜晶体管相对应,并且所述第二遮光图案与所述奇数行的所述第一电路区中设置的开关薄膜晶体管相对应,并且,第三遮光图案设置在所述奇数行上设置的与所述发光区相关的每个第二电路区中,使得所述第三遮光图案与所述奇数行的所述第二电路区中设置的驱动薄膜晶体管相对应,并且

其中,第四遮光图案设置在偶数行上设置的与发光区相关的每个第一电路区中,使得所述第四遮光图案与所述偶数行的所述第一电路区中设置的驱动薄膜晶体管相对应,并且,第五遮光图案和第六遮光图案设置在所述偶数行上设置的与发光区相关的每个第二电路区中,使得所述第五遮光图案与所述偶数行的所述第二电路区中设置的感测薄膜晶体管相对应,并且所述第六遮光图案与所述偶数行的所述第二电路区中设置的开关薄膜晶体管相对应。

14. 根据权利要求13所述的电致发光显示器,其中,存储电容器的第一电极设置在每个所述发光区中,所述第一电极与所述电源线、所述感测线和所述数据线设置在相同的层上。

15. 根据权利要求14所述的电致发光显示器,其中,所述电源线、所述感测线和所述数据线中的每一个均包括在所述基板上的透明导电层和设置在所述透明导电层上的金属层,并且

其中,所述存储电容器的所述第一电极包括所述透明导电层。

16. 根据权利要求13所述的电致发光显示器,其中,所述电源线包括布置成彼此平行的第一电源线和第二电源线,

其中,所述第一电源线包括:

第一水平电源支线,所述第一水平电源支线连接到所述第一电源线并沿行向延伸;以及

第一垂直电源支线,所述第一垂直电源支线沿列向从所述第一水平电源支线延伸,

其中,所述第二电源线包括:

第二水平电源支线,所述第二水平电源支线连接到所述第二电源线并沿所述行向延伸;以及

第二垂直电源支线,所述第二垂直电源支线沿所述列向从所述第二水平电源支线延伸。

17. 根据权利要求13所述的电致发光显示器,其中,所述电源线包括布置成彼此平行的第一电源线和第二电源线,

其中,所述感测线包括:第一水平感测支线,所述第一水平感测支线连接到所述感测线并沿所述行向朝所述第一电源线延伸;

第一垂直感测支线,所述第一垂直感测支线沿所述列向从所述第一水平感测支线延伸;

第二水平感测支线,所述第二水平感测支线连接到所述感测线并沿所述行向朝所述第二电源线延伸;以及

第二垂直感测支线,所述第二垂直感测支线沿所述列向从所述第二水平感测支线延伸。

18. 根据权利要求16所述的电致发光显示器,其中,所述第一垂直电源支线与设置在所述第一水平电源支线的上侧和下侧中的至少一侧上的第一子像素和第二子像素的所述驱动薄膜晶体管连接,并且

其中,所述第二垂直电源支线与设置在所述第二水平电源支线的上侧和下侧中的至少一侧上的第三子像素和第四子像素的所述驱动薄膜晶体管连接。

19. 根据权利要求17所述的电致发光显示器,其中,所述第一垂直感测支线与设置在所述第一水平感测支线的上侧和下侧中的至少一侧上的第一子像素和第二子像素的所述感测薄膜晶体管连接,并且

其中,所述第二垂直感测支线与设置在所述第二水平感测支线的上侧和下侧中的至少一侧上的第三子像素和第四子像素的所述感测薄膜晶体管连接。

## 电致发光显示器

### 技术领域

[0001] 本公开涉及一种电致发光显示器,更具体地,涉及一种能够提高开口率的电致发光显示器。

### 背景技术

[0002] 近来,已开发出了各种平板显示器(FPD),其能够减轻重量和减小体积,重量和体积是CRT(阴极射线管)显示器的缺陷。作为这种FPD,已经开发和使用了例如液晶显示器(LCD)、场发射显示器(FED)、等离子显示面板(PDP)和电致发光显示器(ELD)的各种FPD。

[0003] 在这些FPD中,电致发光显示器是一种激发有机化合物来发光的自发光显示器。电致发光显示器的优点在于,不需要LCD中使用的背光,使得其重量轻、薄,并且可以简化工艺。而且,由于有机发光显示器可以在低温下进行制造,具有1ms或更小的高响应速度,功耗低,视角广并且对比度高,从而有机发光显示器得到广泛使用。

[0004] 电致发光显示器包括存储电容器以在发光期间保持恒定的电流。由于针对每个像素均设置存储电容器并且存储电容器占有一定的面积,所以减小了电致发光显示器的开口率。由于显示装置高分辨率的趋势,近年来,开口率已变成重要的议题。因为可以通过降低发光元件的电流密度来增加发光元件的寿命并通过提高开口率来提高对高分辨率显示器的适应性,所以有必要实现具有高开口率的电致发光显示器。

### 发明内容

[0005] 本公开旨在提供一种电致发光显示器,该电致发光显示器具有适用于高分辨率电致发光显示器的高开口率。

[0006] 根据本公开的一个方面,一种电致发光显示器包括:多个子像素,所述多个子像素中的每一个均包括发光区以及分别设置在所述发光区的两侧上的第一电路区和第二电路区;电源线,所述电源线配置成向奇数行上布置的所述子像素的所述第二电路区和偶数行上布置的所述子像素的所述第一电路区中的至少一个供应第一电源;以及感测线,所述感测线配置成向所述奇数行上布置的所述子像素的所述第一电路区和所述偶数行上布置的所述子像素的所述第二电路区中的至少一个供应初始化电压或感测电压。

[0007] 所述多个子像素包括第一子像素、第二子像素、第三子像素以及第四子像素。所述电源线包括:第一电源线,所述第一电源线设置在所述第一子像素的左侧,并向所述奇数行上所设置的所述第一子像素和所述第二子像素的所述第二电路区供应所述第一电源,以及向所述偶数行上所设置的所述第一子像素和所述第二子像素的所述第一电路区供应所述第一电源;以及第二电源线,所述第二电源线设置在所述第四子像素的右侧,并向所述奇数行上所设置的所述第三子像素和所述第四子像素的所述第二电路区供应所述第一电源,以及向所述偶数行上所设置的所述第三子像素和所述第四子像素的所述第一电路区供应所述第一电源。

[0008] 所述第一电源线包括:第一水平电源支线,所述第一水平电源支线连接到所述第

一电源线并沿行向延伸;以及第一垂直电源支链,所述第一垂直电源支链沿列向从所述第一水平电源支链延伸。所述第二电源线包括:第二水平电源支链,所述第二水平电源支链连接到所述第二电源线并沿所述行向延伸;和第二垂直电源支链,所述第二垂直电源支链沿所述列向从所述第二水平电源支链延伸。

[0009] 所述感测线包括:第一水平感测支链,所述第一水平感测支链连接到所述感测线并沿所述行向朝所述第一电源线延伸;第一垂直感测支链,所述第一垂直感测支链沿所述列向从所述第一水平感测支链延伸;第二水平感测支链,所述第二水平感测支链连接到所述感测线并沿所述行向朝所述第二电源线延伸;以及第二垂直感测支链,所述第二垂直感测支链沿所述列向从所述第二水平感测支链延伸。

[0010] 所述奇数行上所设置的所述子像素的每个所述第一电路区包括感测薄膜晶体管,其中,所述奇数行上所设置的所述子像素的每个所述第二电路区包括驱动薄膜晶体管。所述偶数行上所设置的所述子像素的每个所述第二电路区包括感测薄膜晶体管,其中,所述偶数行上所设置的所述子像素的每个所述第一电路区包括驱动薄膜晶体管。

[0011] 所述第一垂直电源支链与设置在所述第一水平电源支链的上侧和下侧中的至少一侧上的所述第一子像素和所述第二子像素的所述驱动薄膜晶体管连接。所述第二垂直电源支链与设置在所述第二水平电源支链的上侧和下侧中的至少一侧上的所述第三子像素和所述第四子像素的所述驱动薄膜晶体管连接。

[0012] 所述第一垂直感测支链与设置在所述第一水平感测支链的上侧和下侧中的至少一侧上的所述第一子像素和所述第二子像素的所述感测薄膜晶体管连接。所述第二垂直感测支链与设置在所述第二水平感测支链的上侧和下侧中的至少一侧上的所述第三子像素和所述第四子像素的所述感测薄膜晶体管连接。

[0013] 所述电致发光显示器还包括:第一数据线和第二数据线,所述第一数据线和所述第二数据线设置在所述第一子像素和所述第二子像素之间,并沿所述列向彼此平行地延伸;以及第三数据线和第四数据线,所述第三数据线和所述第四数据线设置在所述第三子像素和所述第四子像素之间,并沿所述列向彼此平行地延伸。所述奇数行上所设置的所述子像素至所述第四子像素的每一个子像素的所述第一电路区和所述偶数行上所设置的所述子像素至所述第四子像素的每一个子像素的第二电路区分别包括开关薄膜晶体管。所述第一数据线连接到所述第一子像素的所述开关薄膜晶体管,所述第二数据线连接到所述第二子像素的所述开关薄膜晶体管,所述第三数据线连接到所述第三子像素的所述开关薄膜晶体管,并且所述第四数据线连接到所述第四子像素的所述开关薄膜晶体管。

[0014] 所述电致发光显示器还包括第一扫描线和第二扫描线,所述第一扫描线和所述第二扫描线设置在一行上所设置的所述子像素的一侧,并沿所述行向彼此平行地延伸。所述第一扫描线连接到所述感测薄膜晶体管的栅极,并且所述第二扫描线连接到所述开关薄膜晶体管的栅极。

[0015] 所述发光区包括透明存储电容器。所述透明存储电容器具有:第一电极,所述第一电极连接到所述感测薄膜晶体管的漏极;以及第二电极,所述第二电极连接到所述开关薄膜晶体管的漏极。

[0016] 所述电致发光显示器还包括所述发光区中的存储电容器,所述存储电容器具有彼

此面对的第一电极和第二电极,且在所述第一电极和所述第二电极之间插设有绝缘层。

[0017] 根据本公开的另一个方面,一种电致发光显示器包括:基板,所述基板包括多个发光区,以及分别设置在所述发光区的两侧的第一电路区和第二电路区;电源线、感测线和数据线,所述电源线、所述感测线和所述数据线在所述发光区的外侧沿列向延伸;半导体层,所述半导体层设置在缓冲层上,所述缓冲层覆盖所述电源线、所述感测线和所述数据线以暴露所述电源线、所述感测线和所述数据线的一部分;扫描线、支线和薄膜晶体管,所述扫描线、所述支线和所述薄膜晶体管设置在栅绝缘膜上,所述栅绝缘膜覆盖所述半导体层以暴露所述半导体层的一部分,并且所述扫描线、所述支线和所述薄膜晶体管设置在所述第一电路区和所述第二电路区中;滤色器,所述滤色器设置成与钝化膜上的所述发光区相对应,所述钝化膜覆盖所述扫描线、所述支线和所述薄膜晶体管;以及有机发光二极管,所述有机发光二极管设置在外涂层上,所述外涂层覆盖所述滤色器,每个所述有机发光二极管经由穿过所述外涂层和所述钝化膜的接触孔与所述薄膜晶体管之一连接。

[0018] 所述薄膜晶体管包括设置在所述第一电路区和所述第二电路区中的感测薄膜晶体管、开关薄膜晶体管和驱动薄膜晶体管。第一遮光图案和第二遮光图案设置在奇数行上设置的与发光区相关的每个第一电路区中,使得所述第一遮光图案与所述奇数行的所述第一电路区中设置的感测薄膜晶体管相对应,并且所述第二遮光图案与所述奇数行的所述第一电路区中设置的开关薄膜晶体管相对应;并且,第三遮光图案设置在所述奇数行上设置的与所述发光区相关的每个第二电路区中,使得所述第三遮光图案与所述奇数行的所述第二电路区中设置的驱动薄膜晶体管相对应。第四遮光图案设置在偶数行上设置的与发光区相关的每个第一电路区中,使得所述第四遮光图案与所述偶数行的所述第一电路区中设置的驱动薄膜晶体管相对应,并且,第五遮光图案和第六遮光图案设置在所述偶数行上设置的与发光区相关的每个第二电路区中,使得所述第五遮光图案与所述偶数行的所述第二电路区中所设置的感测薄膜晶体管相对应,并且所述第六遮光图案与所述偶数行的所述第二电路区所设置的开关薄膜晶体管相对应。

[0019] 存储电容器的第一电极设置在每个所述发光区中,所述第一电极与所述电源线、所述感测线和所述数据线设置在相同的层上。

[0020] 所述电源线、所述感测线和所述数据线中的每一个均包括在所述基板上的透明导电层和所述透明导电层上设置的金属层。所述存储电容器的所述第一电极包括所述透明导电层。

[0021] 所述电源线包括布置成彼此平行的第一电源线和第二电源线。所述第一电源线包括:第一水平电源支线,所述第一水平电源支线连接到所述第一电源线并沿行向延伸;以及第一垂直电源支线,所述第一垂直电源支线沿列向从所述第一水平电源支线延伸。所述第二电源线包括:第二水平电源支线,所述第二水平电源支线连接到所述第二电源线并沿所述行向延伸;以及第二垂直电源支线,所述第二垂直电源支线沿所述列向从所述第二水平电源支线延伸。

[0022] 所述电源线包括布置成彼此平行的第一电源线和第二电源线。所述感测线包括:第一水平感测支线,所述第一水平感测支线连接到所述感测线并沿所述行向朝所述第一电源线延伸;第一垂直感测支线,所述第一垂直感测支线沿所述列向从所述第一水平感测支线延伸;第二水平感测支线,所述第二水平感测支线连接到所述感测线并沿所述行向朝所

述二电源线延伸;以及第二垂直感测支线,所述第二垂直感测支线沿所述列向从所述第二水平感测支线延伸。

[0023] 所述第一垂直电源支线与设置在所述第一水平电源支线的上侧和下侧中的至少一侧上的所述第一子像素和所述第二子像素的所述驱动薄膜晶体管连接。所述第二垂直电源支线与设置在所述第二水平电源支线的上侧和下侧中至少一侧上的所述第三子像素和所述第四子像素的所述驱动薄膜晶体管连接。

[0024] 所述第一垂直感测支线与设置在所述第一水平感测支线的上侧和下侧中的至少一侧上的所述第一子像素和所述第二子像素的所述感测薄膜晶体管连接。所述第二垂直感测支线与设置在所述第二水平感测支线的上侧和下侧中的至少一侧上的所述第三子像素和所述第四子像素的所述感测薄膜晶体管连接。

[0025] 根据本公开的电致发光显示器,向上和向下分离的第一电路区和第二电路区布置在每个子像素的发光区的周围,并且驱动薄膜晶体管、感测薄膜晶体管和开关薄膜晶体管设置在不同的电路区中。因此,由于在垂直方向上相邻的子像素可以共享电源线或感测线,所以可以减少布线的数量,使得开口率可以随着布线数量的减少而提高。

[0026] 而且,在每个子像素中,存储电容器除了设置的发光区之外,不设置在第一电路区和第二电路区中。因此,能够防止因在第一电路区和第二电路区中设置了存储电容器而降低开口率。

## 附图说明

[0027] 本公开包括附图,以提供对本发明的进一步理解,并且附图并入本说明书中并构成本说明书的一部分,附图示出了本发明的实施例,并且与说明书一起用于解释本发明的原理。在附图中:

[0028] 图1是示意性示出根据本公开实施例的电致发光显示器的框图;

[0029] 图2是示意性示出图1中所示的电致发光显示器的子像素的一个示例的电路图;

[0030] 图3是示出图1中所示的电致发光显示器的子像素的一个示例的等效电路图;

[0031] 图4是示意性示出由具有图3中所示的等效电路图的子像素电路构成的单位像素的平面图;

[0032] 图5是示意性示出图4中所示的单位像素与电源线和信号供应线之间的关系的附图;

[0033] 图6是示出根据本公开实施例的电致发光显示器的单位像素的平面图;

[0034] 图7A至图7D是示出图6中所示的单位像素的层结构的平面图,其中:

[0035] 图7A是示出基板上所布置的构成电源线和数据线的导电层的平面图;

[0036] 图7B是示出设置在覆盖图7A中所示的组件的缓冲层上的半导体层(ACT)的平面图;

[0037] 图7C是示出构成扫描线和支线的另一导电层平面图;

[0038] 图7D是示出每个子像素的发光区中所设置的阳极的平面图;以及

[0039] 图8是沿图6中的I-I'线截取的截面图。

## 具体实施方式

[0040] 下文将参照附图来描述根据本公开实施例的显示器装置。在整个本公开中,类似的附图标记表示基本相同的组件。在下面的描述中,本文所包含的已知功能和结构的详细描述在可能使本公开的主题相当不清楚时将被省略。

[0041] 下文将参照图1来描述根据本公开的实施例的电致发光显示器。

[0042] 图1是示意性示出根据本公开实施例的电致发光显示器的框图。

[0043] 参照图1,电致发光显示器包括:视频处理器110、时序控制器120、数据驱动器130、扫描驱动器140和显示面板150。

[0044] 视频处理器110将数据使能信号DE和从外部供应的数据信号DATA一起输出。除了输出数据使能信号DE,视频处理器110还可以输出垂直同步信号、水平同步信号和时钟信号中的至少一种,但省略了这些信号以便于说明。

[0045] 时序控制器120从视频处理器110除了接收数据使能信号DE或包含垂直同步信号、水平同步信号和时钟信号的驱动信号,还接收数据信号DATA。基于该驱动信号,时序控制器120输出用于控制扫描驱动器140的操作时序的栅极时序控制信号GDC以及用于控制数据驱动器130的操作时序的数据时序控制信号DDC。

[0046] 数据驱动器130响应于从时序控制器120供应的数据时序控制信号DDC对从时序控制器120供应的数据信号DATA进行采样和锁存,将采样的数据信号转换为伽马基准电压,并将伽马基准电压输出。数据驱动器130通过数据线D1至Dn输出数据信号DATA。数据驱动器130可以形成为集成电路(IC)型。

[0047] 扫描驱动器140响应于从时序控制器120供应的栅极时序控制信号GDC,输出扫描信号同时将栅极电压的电平移位。扫描驱动器140通过扫描线G1至Gm输出该扫描信号。扫描驱动器140形成为集成电路(IC)型或显示面板150内的面板内栅极型。

[0048] 显示面板150显示与从数据驱动器130和扫描驱动器140供应的数据信号DATA和扫描信号相对应的视频。显示面板150包括操作为显示视频的子像素SP。

[0049] 子像素根据结构以顶部发光模式、底部发光模式或双面发光模式形成。子像素SP包括红色子像素、绿色子像素和蓝色子像素,或者白色子像素、红色子像素、绿色子像素和蓝色子像素。子像素SP可以根据发光特性具有一个或多个不同的发光区。

[0050] 接下来将参照图2和图3来描述根据本公开实施例的电致发光显示器的子像素。

[0051] 图2是示意性示出图1中所示的电致发光显示器的子像素的一个示例的电路图。图3是示出图1中所示的电致发光显示器的子像素的一个示例的等效电路图。

[0052] 参照图2,构成单位像素的一个子像素SP包括开关薄膜晶体管SW、驱动薄膜晶体管DT、存储电容器Cst、补偿电路CC和有机发光二极管OLED。

[0053] 开关薄膜晶体管SW响应于通过第一扫描线G1供应的扫描信号将通过第一数据线D1向存储电容器Cst供应的数据信号存储为数据电压。驱动薄膜晶体管DT根据存储电容器Cst中所存储的数据电压进行操作,使得驱动电流在第一电源线EVDD和第二电源线EVSS之间流动。有机发光二极管OLED操作为根据驱动薄膜晶体管DT产生的驱动电流来发光。

[0054] 补偿电路CC是子像素中添加的电路,以补偿驱动薄膜晶体管DT的阈值电压等。补偿电路CC可以包括一个或多个薄膜晶体管。补偿电路CC的结构可以根据补偿方法以多种方式进行各种配置。

[0055] 参照图3,图2中所示的补偿电路CC包括感测薄膜晶体管ST和感测线VREF。感测薄膜晶体管ST连接在感测线VREF和节点(下文称为感测节点)之间,驱动薄膜晶体管DT的漏极和有机发光二极管OLED的阳极在该节点处进行连接。感测薄膜晶体管ST操作为向感测节点供应通过感测线VREF传输的初始化电压(或感测电压)或者感测该感测节点的电压或电流。

[0056] 开关薄膜晶体管SW包括与第一数据线D1连接的源极和与驱动薄膜晶体管DT的栅极连接的漏极。驱动薄膜晶体管DT包括与第一电源线EVDD连接的源极和与有机发光二极管OLED的阳极连接的漏极。

[0057] 存储电容器Cst包括与有机发光二极管OLED的阳极连接的第一电极E1和与驱动薄膜晶体管DT的栅极连接的第二电极E2。可以通过使半导体层导电来形成第二电极E2。

[0058] 有机发光二极管OLED包括与驱动薄膜晶体管DT的漏极连接的阳极和与第二电源线EVSS连接的阴极。

[0059] 感测薄膜晶体管ST包括与感测线VREF连接的源极和与感测节点连接的漏极,有机发光二极管OLED的阳极与感测节点连接。

[0060] 感测薄膜晶体管ST的操作时序可以根据补偿算法(或补偿电路的结构)而与开关薄膜晶体管SW的操作时间相似、相同或不同。例如,感测薄膜晶体管ST可以具有与1a扫描线G1a连接的栅极,而开关薄膜晶体管SW可以具有与1b扫描线G1b连接的栅极。作为另一个示例,与感测薄膜晶体管ST的栅极连接的1a扫描线G1a和与开关薄膜晶体管SW的栅极连接的1b扫描线G1b可以互相连接。

[0061] 感测线VREF可以连接到数据驱动器130。在这种情况下,数据驱动器130可以在实时视频的非显示期间或在N帧(N为1或更大的整数)期间感测子像素的感测节点并生成感测结果。另一方面,开关薄膜晶体管SW和感测薄膜晶体管ST可以在同一时间导通。在这种情况下,通过感测线(VREF)的感测操作和基于数据驱动器130的时分法来输出数据信号的数据输出操作彼此分离(或分开)。

[0062] 另外,根据感测结果被补偿的对象可以是数字数据信号、模拟数据信号、伽马信号等。用于基于感测结果来生成补偿信号(或补偿电压)的补偿电路可以在数据驱动器130中、在时序控制器120中或通过分离电路进行实施。

[0063] 在图3的示例中,已作为示例描述了3T1C子像素结构,该3T1C子像素结构包括:由开关薄膜晶体管SW、驱动薄膜晶体管DT和感测薄膜晶体管ST组成的三个薄膜晶体管,一个存储电容器Cst,以及有机发光二极管OLED。然而,当添加了补偿电路CC时,每个子像素均可以具有3T2C、4T2C、5T1C、6T2C等结构。

[0064] 下文将参照图4来描述本公开的电致发光显示器的特定子像素阵列结构。

[0065] 图4是示意性示出由具有图3中所示的等效电路图的子像素电路构成的单位像素的平面图。

[0066] 参照图4,根据本公开实施例的电致发光显示器的单位像素可以包括四个子像素。该四个子像素可以由包括红色子像素R、绿色子像素G、蓝色子像素B和白色子像素W的第一子像素至第四子像素组成。在下面的描述中,为了便于说明,将作为一个示例来描述3T1C子像素结构。

[0067] 第一子像素R、第二子像素G、第三子像素B和第四子像素W中的每一个均包括发光区LE以及分别放置在发光区LE的上侧和下侧的第一电路区C1和第二电路区C2。也就是说,

在根据本公开实施例的电致发光显示器中,在第一子像素R、第二子像素G、第三子像素B和第四子像素W中的每一个中,第一电路区C1和第二电路区C2围着发光区LE彼此分离。另外,在根据本公开实施例的电致发光显示器中,奇数行上所布置的子像素中所包括的开关薄膜晶体管SW和感测薄膜晶体管ST可以分别设置在第一电路区RC1、GC1、BC1和WC1中。而且,奇数行上所布置的子像素中所包括的驱动薄膜晶体管DT可以分别设置在第二电路区RC2、GC2、BC2和WC2中,并且奇数行上所布置的子像素中所包括的存储电容器Cst可以分别设置在发光区RLE、GLE、BLE和WLE中。另一方面,偶数行上所布置的子像素中所包括的驱动薄膜晶体管DT可以分别设置在第一电路区RC1、GC1、BC1和WC1中。而且,偶数行上所布置的子像素中所包括的开关薄膜晶体管SW和感测薄膜晶体管ST可以分别设置在第二电路区RC2、GC2、BC2和WC2中,并且偶数行上所布置的子像素中所包括的存储电容器Cst可以分别设置在发光区RLE、GLE、BLE和WLE中。

[0068] 或者,奇数行上所布置的子像素中所包括的驱动薄膜晶体管DT可以分别设置在第一电路区RC1、GC1、BC1和WC1中。而且,奇数行上所布置的子像素中所包括的开关薄膜晶体管SW和感测薄膜晶体管ST可以分别设置在第二电路区RC2、GC2、BC2和WC2中,并且奇数行上所布置的子像素中所包括的存储电容器Cst可以分别设置在发光区RLE、GLE、BLE和WLE中。另一方面,偶数行上所布置的子像素中所包括的驱动薄膜晶体管DT可以分别设置在第二电路区RC2、GC2、BC2和WC2中。而且,偶数行上所布置的子像素中所包括的开关薄膜晶体管SW和感测薄膜晶体管ST可以分别设置在第一电路区RC1、GC1、BC1和WC1中,并且偶数行上所布置的子像素中所包括的存储电容器Cst可以分别设置在发光区RLE、GLE、BLE和WLE中。

[0069] 在根据本公开的电致发光显示器中,奇数行和偶数行的子像素包括位于发光区的上侧和下侧的第一电路区和第二电路区。另外,奇数行上所布置的子像素的第一电路区中与偶数行上所布置的子像素的第二电路区中所设置的电路元件是相同的,并且奇数行上所布置的子像素的第二电路区中所设置的电路元件与偶数行上所布置的子像素的第一电路区中所设置的电路元件是相同的。因而,奇数行上所布置的子像素和偶数行上所布置的子像素可以实施为镜像,从而通过共享奇数行和偶数行上所布置的子像素的公共布线,能够获得提高开口率的效果。

[0070] 图5更详细示出图4的结构。图5是示意性示出图4中所示的子像素R、G、B和W与电源线EVDD和感测线VREF及信号供应线D1至D4和G1至G6之间的关系的附图。

[0071] 参照图5,根据本公开的电致发光显示器包括:构成一个单位像素的第一子像素R、第二子像素G、第三子像素B和第四子像素W,第一电源线EVDD1和EVDD2,感测线VREF,数据线D1至D4,以及扫描线G1a、G1b、G2a、G2b、G3a和G3b。

[0072] 构成一个单位像素的第一子像素R、第二子像素G、第三子像素B和第四子像素W彼此之间以预定间隔沿第一方向(例如,x轴方向或行向)反复布置,以形成一行。在一行上布置的子像素沿与第一方向交叉的第二方向(例如,y轴方向或列向)反复布置。因此,能够实现包括以多行布置的子像素R、G、B和W的像素阵列。

[0073] 第一电源线EVDD1和EVDD2布置成沿第一方向以预定距离间隔开,并沿第二方向延伸。第一电源线EVDD1和EVDD2中的每一个均包括沿第一方向在左侧延伸的第一水平电源支线EVDD\_b1h和沿第二方向从第一水平电源支线EVDD\_b1h延伸的第一垂直电源支线EVDD\_b1v。第一电源线EVDD1和EVDD2中的每一个还均包括沿第一方向在右侧延伸的第二水平电

源支线EVDD\_brh和沿第二方向从第二水平电源支线EVDD\_brh延伸的第二垂直电源支线EVDD\_brv。

[0074] 如果第一电源线EVDD1和EVDD2的左侧或右侧上没有布置子像素,则可以不成第一水平电源支线EVDD\_b1h和第一垂直电源支线EVDD\_b1v或第二水平电源支线EVDD\_brh和第二垂直电源支线EVDD\_brv。

[0075] 如果第一水平电源支线EVDD\_b1h和第二水平电源支线EVDD\_brh的上侧和下侧存在子像素,则第一垂直电源支线EVDD\_b1v和第二垂直电源支线EVDD\_brv可以围绕第一水平电源支线EVDD\_b1h和第二水平电源支线EVDD\_brh在垂直方向上延伸。

[0076] 第一水平电源支线EVDD\_b1h、第二水平电源支线EVDD\_brh、第一垂直电源支线EVDD\_b1v和第二垂直电源支线EVDD\_brv可以设置在奇数行上所布置的子像素的一侧(例如,图5中所示的第一行上所设置的子像素的下侧)。

[0077] 例如,与左侧的第一电源线EVDD1连接且布置在第一奇数行上所设置的第一子像素R和第二子像素G的下方的第二垂直电源支线EVDD\_brv可以与第一行的第一子像素R和第二子像素G的第二电路区中所布置的驱动薄膜晶体管以及第二行的第一子像素R和第二子像素G的第一电路区中所设置的驱动薄膜晶体管连接。

[0078] 另外,与右侧的第一电源线EVDD2连接且布置在第一奇数行上所设置的第三子像素B和第四子像素W的下方的第一垂直电源支线EVDD\_b1v可以与第一行的第三子像素B和第四子像素W的第二电路区中所布置的驱动薄膜晶体管以及第二行的第三子像素B和第四子像素W的第一电路区中所布置的驱动薄膜晶体管连接。

[0079] 以这种方式,第一垂直电源支线EVDD\_b1v和第二垂直电源支线EVDD\_brv中的每一个与其上侧或下侧的子像素中所设置的驱动薄膜晶体管连接。

[0080] 感测线VREF设置在第一电源线EVDD1和第一电源线EVDD2之间,并沿第二方向延伸。感测线VREF布置成使得第一子像素R和第二子像素G设置在感测线VREF和奇数的第一电源线EVDD1之间,并使得第三子像素B和第四子像素W设置在感测线VREF和偶数的第一电源线EVDD2之间。

[0081] 感测线VREF可以包括沿第一方向延伸到左侧的第一水平感测支线VREF\_b1h和沿第二方向从第一水平感测支线VREF\_b1h延伸的第一垂直感测支线VREF\_b1v。感测线VREF还可以包括沿第一方向延伸到右侧的第二水平感测支线VREF\_brh和沿第二方向从第二水平感测支线VREF\_brh延伸的第二垂直感测支线VREF\_brv。

[0082] 如果在第一水平感测支线VREF\_b1h和第二水平感测支线VREF\_brh的上下侧上均存在子像素,则第一垂直感测支线VREF\_b1v和第二垂直感测支线VREF\_brv可以围绕第一水平感测支线VREF\_b1h和第二水平感测支线VREF\_brh在上下方向上延伸。

[0083] 第一水平感测支线VREF\_b1h、第二水平感测支线VREF\_brh、第一垂直感测支线VREF\_b1v和第二垂直感测支线VREF\_brv设置在奇数行上所布置的子像素的一侧(例如,图5中的第一行上所设置的子像素的上侧)或偶数行上所布置的子像素的一侧(例如,图5中的第二行上所设置的子像素的下侧)。

[0084] 例如,布置在第一奇数行的第一子像素R和第二子像素G的上侧的第一垂直感测支线VREF\_b1v与第一奇数行的子像素R和子像素G的第一电路区中所设置的感测薄膜晶体管连接。另外,布置在第一奇数行的第三子像素B和第四子像素W的上侧的第二垂直感测支线

VREF\_br<sub>v</sub>与第一奇数行的子像素B和子像素W的第一电路区中所设置的感测薄膜晶体管连接。

[0085] 布置在第二奇数行(例如第三行)的第一子像素R和第二子像素G的上侧的第一垂直感测支线VREF\_b<sub>1v</sub>与第三行的子像素R和像素子G的第一电路区中所设置的感测薄膜晶体管以及第二行的子像素R和子像素G的第二电路区中所设置的感测薄膜晶体管连接。

[0086] 另外,布置在第三行的第三子像素B和第四子像素W的上侧的第二垂直感测支线VREF\_br<sub>v</sub>与第三行的第三子像素B和第四子像素W的第一电路区中所设置的感测薄膜晶体管以及第二行的第三子像素B和第四子像素W的第二电路区中所设置的感测薄膜晶体管连接。

[0087] 以这种方式,第一垂直感测支线VREF\_b<sub>1v</sub>和第二垂直感测支线VREF\_br<sub>v</sub>的每一个可以与其上侧或下侧所设置的子像素中的感测薄膜晶体管连接。

[0088] 数据线D1至D4可以平行布置在第一子像素R和第二子像素G之间以及第三子像素B和第四子像素W之间,以沿第二方向进行延伸。也就是说,第一数据线D1和第二数据线D2平行布置在第一子像素R和第二子像素G之间。第三数据线D3和第四数据线D4可以平行布置在第三子像素B和第四子像素W之间。

[0089] 第一数据线D1可以与奇数行上所设置的第一子像素R的第一电路区中的开关薄膜晶体管SW以及偶数行上所设置的第一子像素R的第二电路区中的开关薄膜晶体管SW连接。

[0090] 类似地,第二数据线D2可以与奇数行上所设置的第二子像素G的第一电路区中的开关薄膜晶体管SW以及偶数行上所设置的第二子像素G的第二电路区中的开关薄膜晶体管SW连接。

[0091] 第三数据线D3可以与奇数行上所设置的第三子像素B的第一电路区中的开关薄膜晶体管SW以及偶数行上所设置的第三子像素B的第二电路区中的开关薄膜晶体管SW连接。

[0092] 第四数据线D4可以与奇数行上所设置的第四子像素W的第一电路区中的开关薄膜晶体管SW以及偶数行上所设置的第四子像素W的第二电路区中的开关薄膜晶体管SW连接。

[0093] 扫描线G1a、G1b、G2a、G2b、G3a和G3b布置成在每行中的子像素的一侧(例如上侧)沿第一方向延伸且沿第二方向平行。扫描线G1a、G1b、G2a、G2b、G3a和G3b可以布置在一行上的子像素的上侧。例如,第一扫描线G1a和第二扫描线G1b在第一行的子像素的上侧彼此平行地布置,第三扫描线G2a和第四扫描线G2b在第二行的子像素的上侧彼此平行地布置,并且第五扫描线G3a和第六扫描线G3b在第三行的子像素的上侧彼此平行地布置。

[0094] 在根据本公开的电致发光显示器中,第一电路区和第二电路区分离地设置在每个子像素的发光区的上侧和下侧。并且,第一电源线EVDD1和EVDD2以及感测线VREF可以通过相应的支线与设置在其上侧和下侧的对应的子像素连接。因而,因为在垂直方向上相邻的子像素可以共享第一电源线和感测线,能够减少布线数量,从而提高了开口率。

[0095] 接下来将参照图6至图8来更详细地描述根据本公开实施例的电致发光显示器的子像素结构。

[0096] 图6是示出根据本公开实施例的电致发光显示器的单位像素的平面图。图7A至图7D是示出图6中所示的单位像素的层结构的平面图。图7A是示出基板上所布置的构成电源线和数据线的导电层的平面图。图7B是示出设置在覆盖图7A中所示的组件的缓冲层上的半导体层(ACT)的平面图。图7C是示出构成扫描线和支线的另一导电层的平面图。图7D是示出

每个子像素的发光区中所设置的阳极的平面图。图8是沿图6中的I-I'线截取的截面图。

[0097] 参照图5和图6至图8,根据本公开实施例的电致发光显示器包括构成一个单位像素的第一子像素R、第二子像素G、第三子像素B和第四子像素W。

[0098] 第一子像素R、第二子像素G、第三子像素B和第四子像素W中的每一个均包括:发光区,存储电容器Cst、滤色器CF和有机发光二极管OLED设置在发光区中;第一电路区,第一电路区设置在发光区的一侧(例如,上侧)并包括感测薄膜晶体管ST和开关薄膜晶体管SW;以及第二电路区,第二电路区设置在发光区的另一侧(例如,下侧)并包括驱动薄膜晶体管DT。

[0099] 在同一行上所设置的子像素的一侧(例如,上侧)存在第一扫描线G1a和第二扫描线G1b,第一扫描线G1a向感测薄膜晶体管ST供应第一扫描信号,第二扫描线G1b向开关薄膜晶体管SW供应第二扫描信号。

[0100] 构成一个单位像素的第一子像素R、第二子像素G、第三子像素B和第四子像素W可以通过第一电源线EVDD1和EVDD2与其相邻的单位像素分隔开。换言之,左侧的第一电源线EVDD1可以布置在沿第二方向(列向)设置的第一子像素R的左侧,并且右侧的第一电源线EVDD2可以布置在沿列向设置的第四子像素W的右侧。左侧的第一电源线EVDD1可以包括第二水平电源支线EVDD\_brh和第二垂直电源支线EVDD\_brv。左侧的第二水平电源支线EVDD\_brh可以沿水平方向延伸到右侧。第二垂直电源支线EVDD\_brv可以以与左侧的第一电源线EVDD1平行的方式从第二水平电源支线EVDD\_brh延伸,并且与第二水平电源支线EVDD\_brh的上侧和/或下侧所设置的子像素的驱动薄膜晶体管DT连接。右侧的第一电源线EVDD2可以包括第一水平电源支线EVDD\_b1h和第一垂直电源支线EVDD\_b1v。第一水平电源支线EVDD\_b1h可以沿水平方向延伸到左侧。第一垂直电源支线EVDD\_b1v可以以与右侧的第一电源线EVDD2平行的方式从第一水平电源支线EVDD\_b1h延伸,并且与第一水平电源支线EVDD\_b1h的上侧和/或下侧所设置的子像素的驱动薄膜晶体管DT连接。

[0101] 在列向上设置的第一子像素R和第二子像素G之间可以存在彼此平行的第一数据线D1和第二数据线D2。第一数据线D1可以向其左侧所设置的第一子像素R的开关薄膜晶体管SW供应数据信号。第二数据线D2可以向其右侧所设置的第二子像素G的开关薄膜晶体管SW供应数据信号。

[0102] 在列向上设置的第三子像素B和第四子像素W之间可以存在彼此平行的第三数据线D3和第四数据线D4。第三数据线D3可以向其左侧所设置的第三子像素B的开关薄膜晶体管SW供应数据信号。第四数据线D4可以向其右侧所设置的第四子像素W的开关薄膜晶体管SW供应数据信号。

[0103] 在第二子像素G和第三子像素B之间可以存在布置成沿列向延伸的感测线VREF。

[0104] 感测线VREF可以包括第一水平感测支线VREF\_b1h和第一垂直感测支线VREF\_b1v。第一水平感测支线VREF\_b1h可以沿水平方向从感测线VREF向左侧进行延伸。第一垂直感测支线VREF\_b1v可以与第一水平感测支线VREF\_b1h的上侧和/或下侧所设置的第一子像素R和第二子像素G的感测薄膜晶体管ST连接。

[0105] 感测线VREF还可以包括第二水平感测支线VREF\_brh和第二垂直感测支线VREF\_brv。第二水平感测支线VREF\_brh可以沿水平方向从感测线VREF向右侧延伸。第二垂直感测支线VREF\_brv可以与第二水平感测支线VREF\_brh的上侧和/或下侧所设置的第三子像素B和第四子像素W的感测薄膜晶体管ST连接。

[0106] 参照图6、图7A和图8,在基板SUB上存在第一电源线EVDD1和EVDD2、第一数据线D1和第二数据线D2、感测线VREF、以及第三数据线D3和第四数据线D4。第一电源线EVDD1和EVDD2沿第一方向(例如,x轴方向或列向)平行布置并在与第一方向交叉的第二方向(例如,y轴或行向)上进行延伸。第一数据线D1和第二数据线D2在第一电源线EVDD1和EVDD2之间彼此相邻且彼此平行。感测线VREF设置在第二数据线D2和第三数据线D3之间,并与第二数据线D2和第三数据线D3平行。第三数据线D3和第四数据线D4设置在感测线VREF和右侧的第一电源线EVDD2之间,并且与感测线VREF和右侧的第一电源线EVDD2平行。

[0107] 第一数据线D1可以设置成与左侧的第一电源线EVDD1相距预定距离,使得第一子像素R可以放置在第一数据线D1和左侧的第一电源线EVDD1之间。第二数据线D2可以设置成与第一数据线D1相邻。

[0108] 感测线VREF布置在与第二数据线D2和第三数据线D3相距预定距离处,使得第二子像素G放置在感测线VREF和第二数据线D2之间,并使得第三子像素B位于感测线VREF和第三数据线D3之间。第三数据线D3和第四数据线D4可以设置成彼此相邻。第四数据线D4可以设置成与右侧的第一电源线EVDD2相距预定距离,使得第四子像素W可以放置在第四数据线D4和右侧的第一电源线EVDD2之间。

[0109] 左侧的电源线EVDD1和第一数据线D1之间、第二数据线D2和感测线VREF之间、感测线VREF和第三数据线D3之间、以及第四数据线D4和右侧的电源线EVDD2之间分别存在第一电路区RC1、GC1、BC1和WC1以及第二电路区RC2、GC2、BC2和WC2。第一电路区RC1、GC1、BC1和WC1分别设置在第一子像素R、第二子像素G、第三子像素B和第四子像素W的发光区RLE、GLE、BLE和WLE的上侧。第二电路区RC2、GC2、BC2和WC2分别设置在第一子像素R、第二子像素G、第三子像素B和第四子像素W的发光区RLE、GLE、BLE和WLE的下侧。

[0110] 在与第一子像素R、第二子像素G、第三子像素B和第四子像素W的第一电路区RC1、GC1、BC1和WC1相对应的区域中,可以分别存在与感测薄膜晶体管ST相对应的第一遮光图案LS\_ST和与开关薄膜晶体管SW相对应的第二遮光图案LS\_SW。

[0111] 在与第一子像素R、第二子像素G、第三子像素B和第四子像素W的发光区RLE、GLE、BLE和WLE相对应的区域中可以分别存在存储电容器Cst的第一电极E1。

[0112] 在与第一子像素R、第二子像素G、第三子像素B和第四子像素W的第二电路区RC2、GC2、BC2和WC2相对应的区域中可以分别存在第三遮光图案LS\_DT。

[0113] 第一遮光图案LS\_ST、第二遮光图案LS\_SW和第三遮光图案LS\_DT通过分别遮挡向感测薄膜晶体管ST、开关薄膜晶体管SW和驱动薄膜晶体管DT的沟道区输入的光来保护感测薄膜晶体管ST、开关薄膜晶体管SW和驱动薄膜晶体管DT。

[0114] 第二遮光图案LS\_SW可以从第一数据线D1、第二数据线D2、第三数据线D3和第四数据线D4中的每一个延伸。第一遮光图案LS\_ST、第三遮光图案LS\_DT以及存储电容器Cst的第一电极E1可以彼此电连接,并且可以形成为与第一电源线EVDD1和EVDD2及第一数据线D1、第二数据线D2、第三数据线D3和第四数据线D4分离。

[0115] 第一电源线EVDD1和EVDD2、数据线D1至D4、第一遮光图案LS\_ST、第二遮光图案LS\_SW以及第三遮光图案LS\_DT可以具有双层,即:基板SUB上所形成的透明导电层L1和透明导电层L1上所形成的金属层L2。

[0116] 存储电容器Cst的第一电极E1由透明导电层L1形成,并且设置在发光区RLE、GLE、

BLE和WLE中的每一个中。存储电容器Cst的第一电极E1可以将第一遮光图案LS\_ST的透明导电层L1电连接到第三遮光图案LS\_DT的透明导电层L1。

[0117] 参照图8,缓冲层BUF可以设置在上方形形成有图7A中所示组件的基板SUB上,以覆盖这些组件。缓冲层BUF保护在后续工艺中形成的薄膜晶体管不受到诸如从第一遮光图案LS\_ST、第二遮光图案LS\_SW和第三遮光图案LS\_DT或者基板SUB流出的碱性离子等杂质影响。缓冲层BUF可以具有氧化硅(SiO<sub>x</sub>)层、氮化硅(SiN<sub>x</sub>)层,或者氧化硅(SiO<sub>x</sub>)层和氮化硅(SiN<sub>x</sub>)层的多层。

[0118] 参照图6、图7B和图8,半导体层ACT可以设置在缓冲层BUF上。半导体层ACT可以由硅半导体或氧化物半导体形成。硅半导体可以包括非晶硅或结晶多晶硅。这里,多晶硅具有高迁移率(100cm<sup>2</sup>/Vs或更高)、低能耗和优异的可靠性,并且可以应用于驱动装置和/或多路复用器的栅极驱动器。多晶硅也可以应用于像素中的驱动薄膜晶体管。

[0119] 另一方面,由于氧化物半导体由于具有低截止电流,因此其适用于具有短开启时间和长关断时间的开关薄膜晶体管。此外,因为氧化物半导体截止电流小并且像素的电压保持时间长,其适用于需要低速驱动和/或低功耗的显示装置。此外,半导体层ACT包括漏区和源区以及漏区和源区之间的沟道区,该漏区和源区包括p型或n型杂质。

[0120] 半导体层ACT包括感测薄膜晶体管ST的感测半导体层ST\_A和开关薄膜半导体晶体管SW的开关半导体层SW\_A,感测半导体层ST\_A和开关半导体层SW\_A设置在与图4中所示的子像素R、G、B和W的第一电路区RC1、GC1、BC1和WC1相对应的区域中。半导体层ACT还包括:驱动薄膜晶体管DT的驱动半导体层DT\_A,驱动半导体层DT\_A设置在与子像素R、G、B和W的第二电路区RC2、GC2、BC2和WC2相对应的区域中;以及发光半导体层,发光半导体层设置在与第一子像素R、第二子像素G、第三子像素B和第四子像素W的发光区相对应的区域中。发光半导体层可以通过使半导体层在发光区中导电来形成透明存储电容器Cst的第二电极E2。透明存储电容器Cst的第二电极E2可以与开关薄膜晶体管SW的开关半导体层SW\_A连接。因此,存储电容器Cst的第二电极E2分别设置在与第一子像素R、第二子像素G、第三子像素B和第四子像素W的发光区RLE、GLE、BLE和WLE相对应的区域中,以与存储电容器Cst的第一电极E1相对应。

[0121] 参照图8,栅绝缘膜GI可以设置在缓冲层BUF上,使得半导体层ACT的一部分和缓冲层BUF的一部分被暴露。栅绝缘膜GI包括氧化硅(SiO<sub>x</sub>)、氮化硅(SiN<sub>x</sub>),或者氧化硅(SiO<sub>x</sub>)和氮化硅(SiN<sub>x</sub>)的多层。

[0122] 参照图6、图7C和图8,在缓冲层BUF和栅绝缘膜GI上,第一水平感测支线VREF\_b1h、第二水平感测支线VREF\_brh、第一扫描线G1a和第二扫描线G1b布置成穿过子像素R、G、B和W的第一电路区RC1、GC1、BC1和WC1中。第一(水平感测支线VREF\_b1h和第二水平感测支线VREF\_brh,与第一扫描线G1a和第二扫描线G1b可以沿第一方向布置成彼此平行。

[0123] 第一水平感测支线VREF\_b1h可以布置成放置在第一子像素R和第二子像素G的第一电路区RC1和GC1中。至少一条第一垂直感测支线VREF\_b1v从第一水平感测支线VREF\_b1h朝第一扫描线G1a延伸。

[0124] 第二水平感测支线VREF\_brh可以布置成放置在第三子像素B和第四子像素W的第一电路区BC1和WC1中。至少一条第二垂直感测支线VREF\_brv从第二水平感测支线VREF\_brh朝第一扫描线G1a延伸。

[0125] 第二连接图案CP2和第三连接图案CP3可以设置在第一扫描线G1a和第二扫描线G1b之间。第二连接图案CP2将感测薄膜晶体管ST的漏极与稍后将描述的存储电容器Cst的第一电极E1连接。第三连接图案CP3将数据线 with 开关薄膜晶体管SW的源极SW\_S连接。

[0126] 另外,在缓冲层BUF和栅绝缘膜GI上,第二水平电源支线EVDD\_brh、第一水平电源支线EVDD\_b1h布置成穿过子像素R、G、B和W的第二电路区RC2、GC2、BC2和WC2。第二水平电源支线EVDD\_brh布置成穿过子像素R和G的第二电路区RC2和GC2,并且第一水平电源支线EVDD\_b1h布置成穿过子像素B和W的第二电路区BC2和WC2。第二水平电源支线EVDD\_brh和第一水平电源支线EVDD\_b1h在同一条线上彼此分离。至少一条第二垂直感测支线VREF\_brh从第二水平电源支线EVDD\_brh朝第一发光区RLE和第二发光区GLE延伸。至少一条第一垂直感测支线VREF\_b1v从第一水平电源支线EVDD\_b1h朝第三发光区BLE和第四发光区WLE延伸。

[0127] 在第二垂直电源支线VREF\_brh和第一垂直电源支线VREF\_b1h的两端,可以形成驱动薄膜晶体管DT的源极DT\_S,源极DT\_S从第二垂直电源支线VREF\_brh和第一垂直电源支线VREF\_b1h的两端延伸。

[0128] 在第二水平电源支线EVDD\_brh与第一发光区RLE和第二发光区GLE之间、以及第二水平电源支线EVDD\_brh与第三发光区BLE和第四发光区WLE之间,可以存在驱动薄膜晶体管DT的漏极DT\_D。第一连接图案CP1可以设置在驱动薄膜晶体管DT的漏极DT\_D的一端。第一连接图案CP1将驱动薄膜晶体管DT的漏极DT\_D与稍后将描述的阳极连接。

[0129] 图7C中所示的组件可以由诸如Mo、Al、Cr、Au、Ti、Ni、Nd和Cu等金属或这些金属的合金形成。例如,它们可以由钼/铝-钼或钼/铝的双层形成。

[0130] 参照图8,钝化膜PAS可以设置成覆盖图7C中所示的全部组件。钝化膜PAS可以由氧化硅(SiO<sub>x</sub>)膜、氮化硅(SiN<sub>x</sub>)膜,或者氧化硅(SiO<sub>x</sub>)膜和氮化硅(SiN<sub>x</sub>)层的多层以作为绝缘膜来保护下方组件。

[0131] 在钝化膜PAS上,可以设置与发光区域RLE、GLE、BLE和WLE相对应的红色、绿色、蓝色和白色的滤色器CF。滤色器CF传输从有机发光二极管OLED发射的白色光以分别发射红光、绿光、蓝光和白光。

[0132] 外涂层OC可以设置在上方设有红色、绿色、蓝色和白色的滤色器CF的钝化膜PAS上,以覆盖滤色器CF。外涂层OC可以是平整膜,以减小下方结构的台阶覆盖率。外涂层OC可以由诸如聚酰亚胺、苯并环丁烯系树脂和丙烯酸酯的有机材料形成。外涂层OC可以通过诸如旋涂玻璃(spin on glass, SOG)的方法形成,在旋涂玻璃中,有机材料在液体状态下进行涂覆然后固化。

[0133] 参照图6、图7D和图8,在外涂层OC上,有机发光二极管OLED的阳极AN(R)、AN(G)、AN(B)和AN(W)可以设置成与子像素R、G、B和W的发光区RLE、GLE、BLE和WLE相对应。阳极AN(R)、AN(G)、AN(B)和AN(W)操作为像素电极。阳极AN(R)、AN(G)、AN(B)和AN(W)通过第一连接图案CP1与驱动薄膜晶体管DT的漏极DT\_D连接,漏极DT\_D经由穿过外涂层OC和钝化层PAS的接触孔而暴露。驱动薄膜晶体管DT的漏极DT\_D设置在子像素R、G、B和W的第二电路区RC2、GC2、BC2和WC2中。

[0134] 阳极AN(R)、AN(G)、AN(B)和AN(W)可以由诸如氧化铟锡(ITO)、氧化铟锌(IZO)或氧化锌(ZnO)的透明导电材料形成。当阳极AN(R)、AN(G)、AN(B)和AN(W)是反射电极时,它们还可以包括反射层。反射层可以由Al、Cu、Ag、Ni或其合金形成,优选由APC(银/钯/铜合金)形

成。

[0135] 用于分隔子像素的堤层BN设置在包括阳极AN(R)、AN(G)、AN(B)和AN(W)的基板SUB上。堤层BN可以由诸如聚酰亚胺、苯并环丁烯系树脂或丙烯酸酯的有机材料形成。堤层BN可以限定使阳极AN(R)、AN(G)、AN(B)和AN(W)暴露的发光区RLE、GLE、BLE和WLE。发光层EML可以形成在每个发光区RLE、GLE、BLE和WLE中,与阳极AN(R)、AN(G)、AN(B)或AN(W)接触。发光层EML是将电子和空穴结合以发光的层。空穴注入层或空穴传输层可以设置在发光层EML与阳极AN(R)、AN(G)、AN(B)或AN(W)之间。电子传输层或电子注入层可以设置在发光层(EML)上。

[0136] 阴极CAT可以放置在发光层EML上。阴极CAT可以设置在显示部的整个表面上。阴极可以由功函数低的Mg、Ca、Al、Ag或其合金制成。如果阴极CAT是透明电极,则阴极CAT可以具有足够薄的厚度以透射光。而且,如果阴极CAT是反射电极,则阴极CAT可以具有足够厚的厚度以反射光。

[0137] 根据本公开的电致发光显示器,向上和向下分离的第一电路区和第二电路区布置在每个子像素的发光区的周围,并且驱动薄膜晶体管、感测薄膜晶体管和开关薄膜晶体管设置在不同的电路区中。因此,由于在垂直方向上相邻的子像素可以共享电源线或感测线,所以可以减少布线的数量,使得开口率可以随着布线数量的减少而提高。

[0138] 而且,在每个子像素中,存储电容器除了设置发光区之外,不设置在第一电路区和第二电路区中。因此,能够防止因在第一电路区和第二电路区中设置了存储电容器而降低开口率。

[0139] 对于本领域技术人员显而易见的是,在不脱离本公开的精神或范围的情况下,可以在本公开中进行各种修改和变化。在本公开所公开的示例中,已作为示例描述了电致发光显示器,但本公开不局限于此。本公开应用于各种平板显示装置,例如液晶显示装置(LCD)、等离子显示面板(PDP)、场发射显示装置(FED)和电泳显示装置(ED)。因此,本公开的技术范围不应限于本公开的具体实施方式中所描述的内容,而是应由权利要求限定。

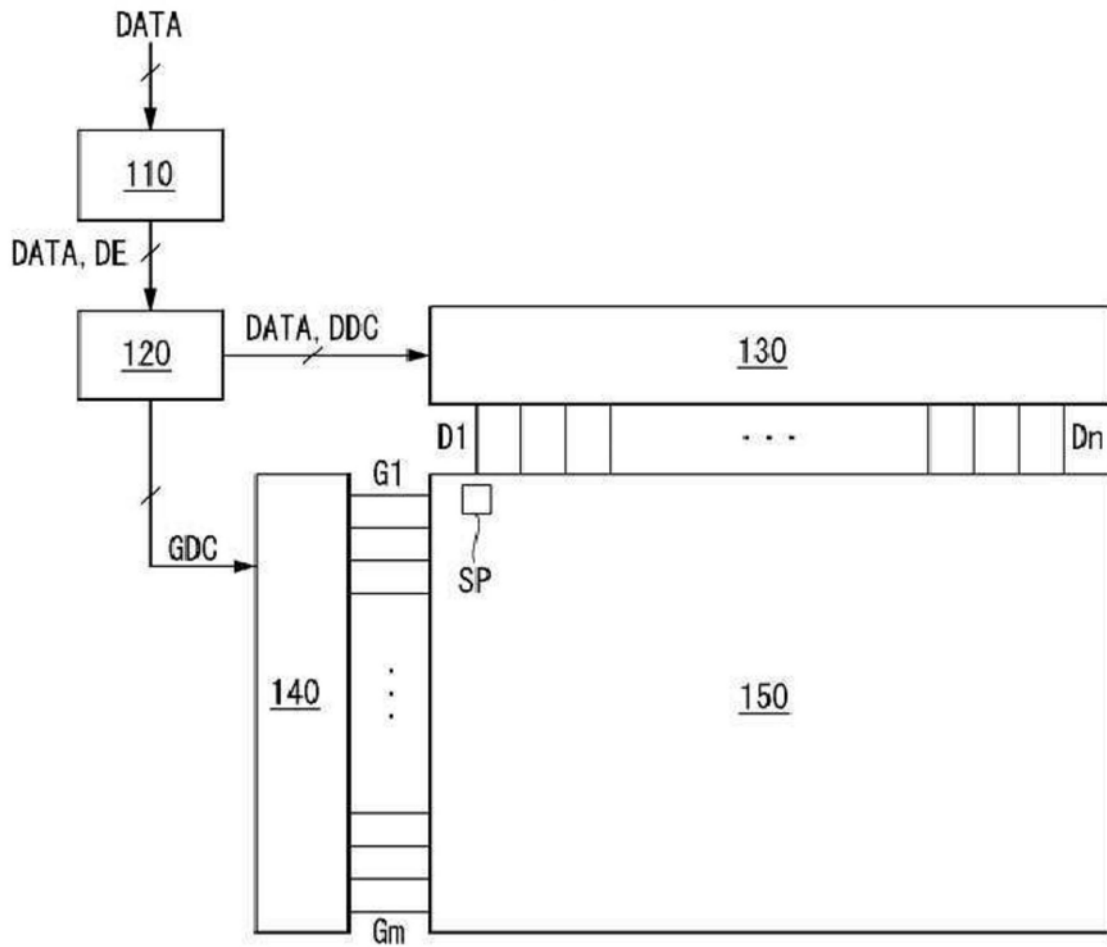


图1

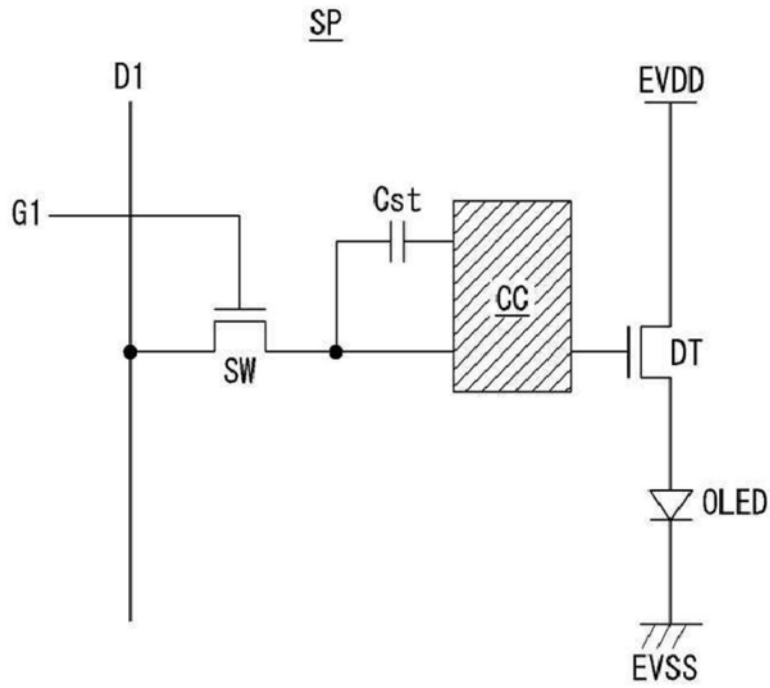


图2

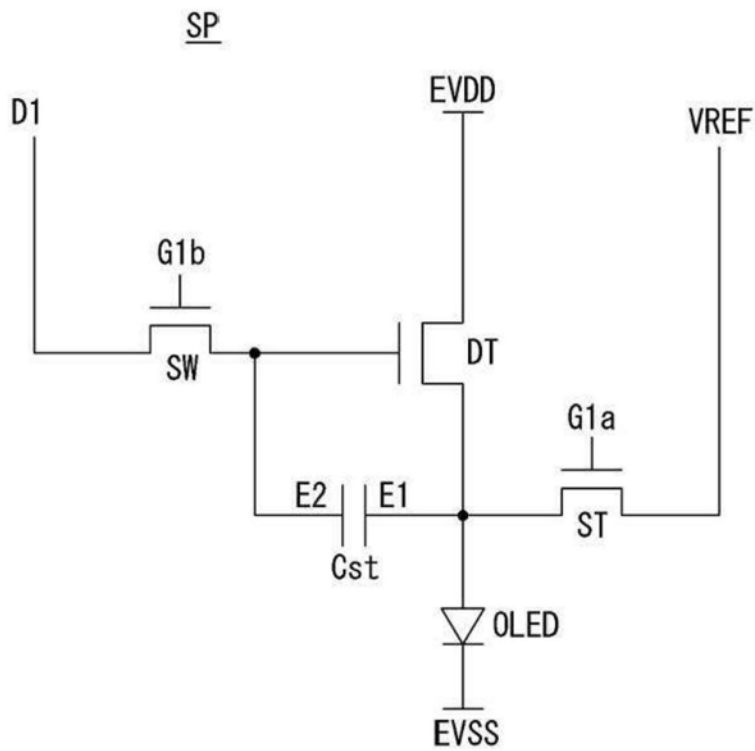


图3

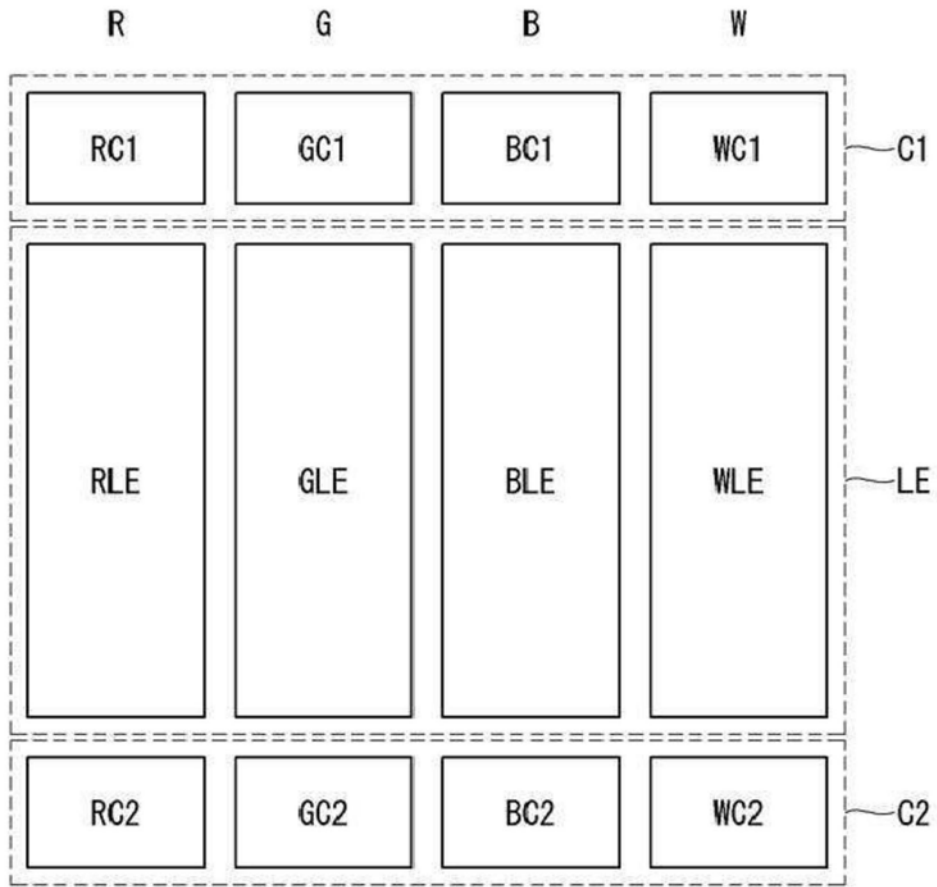


图4

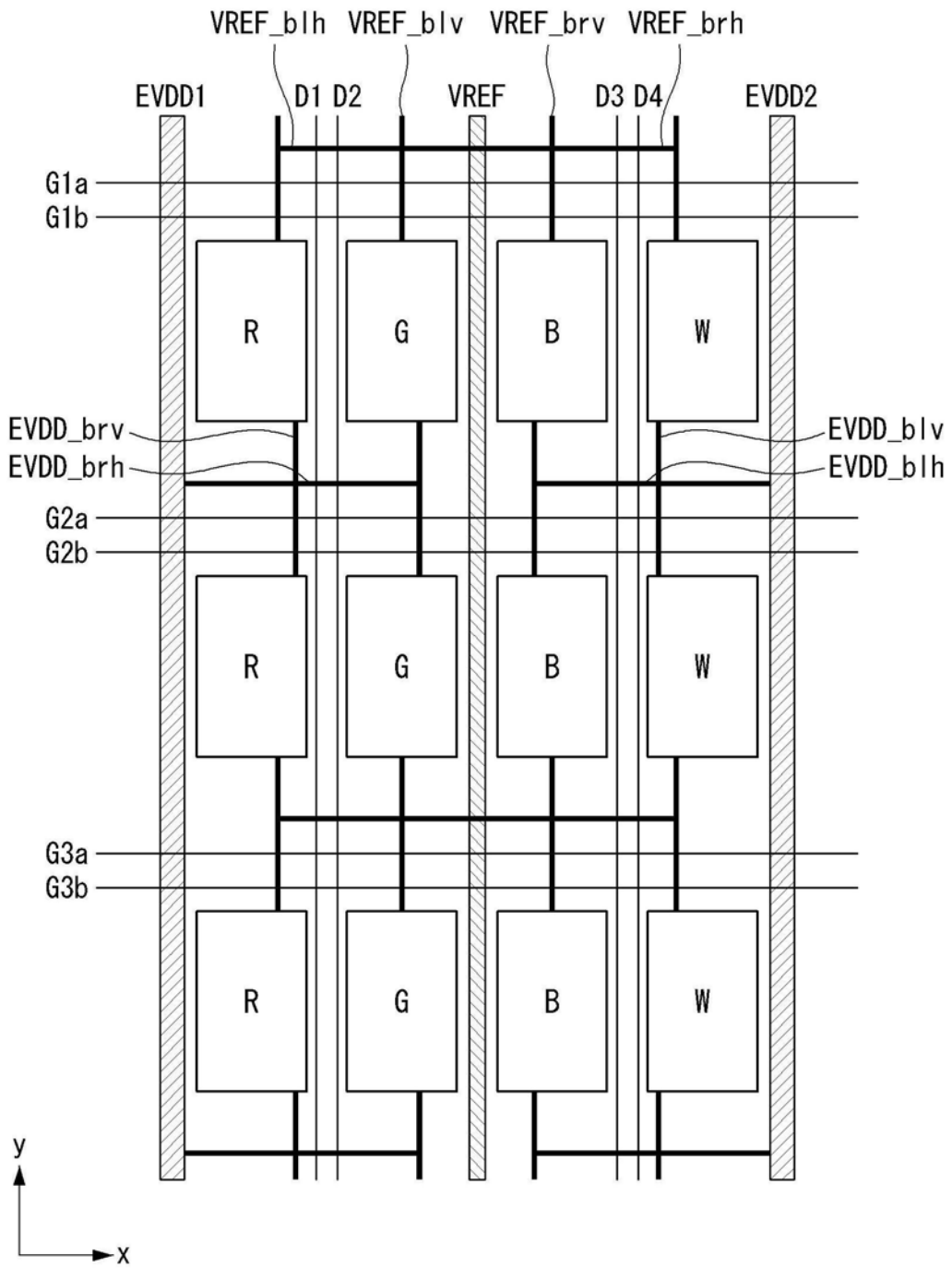


图5

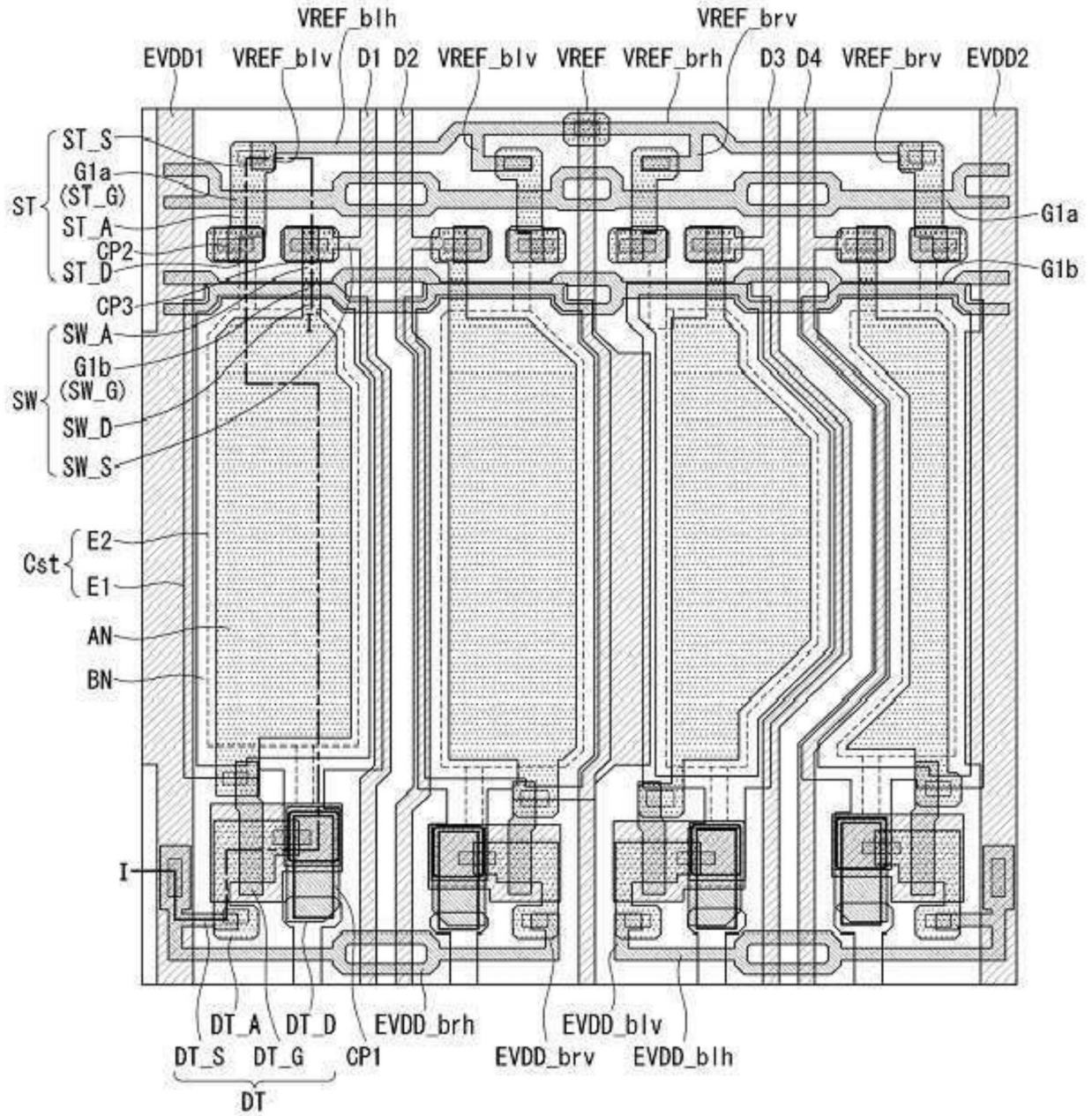


图6

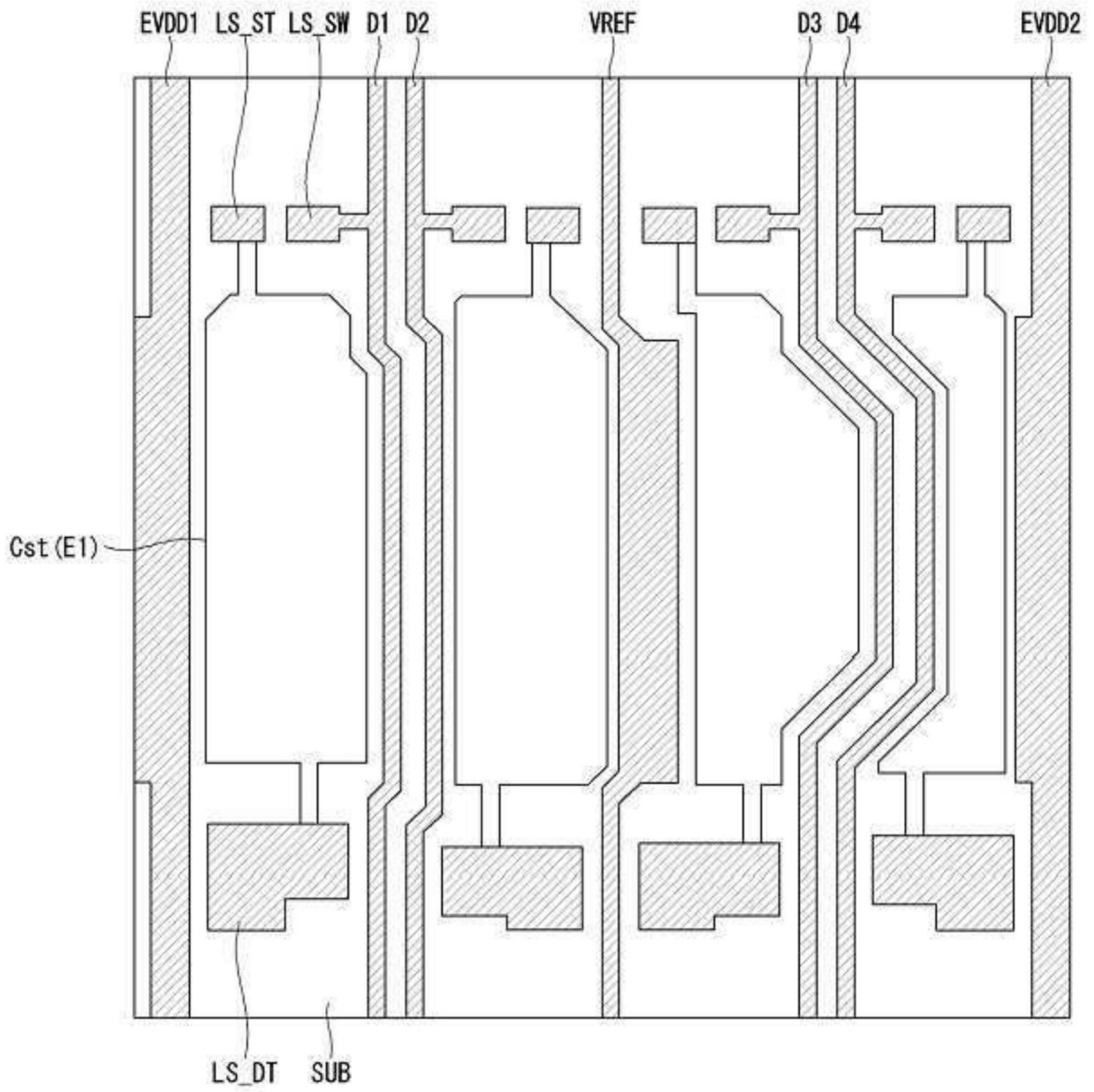


图7A

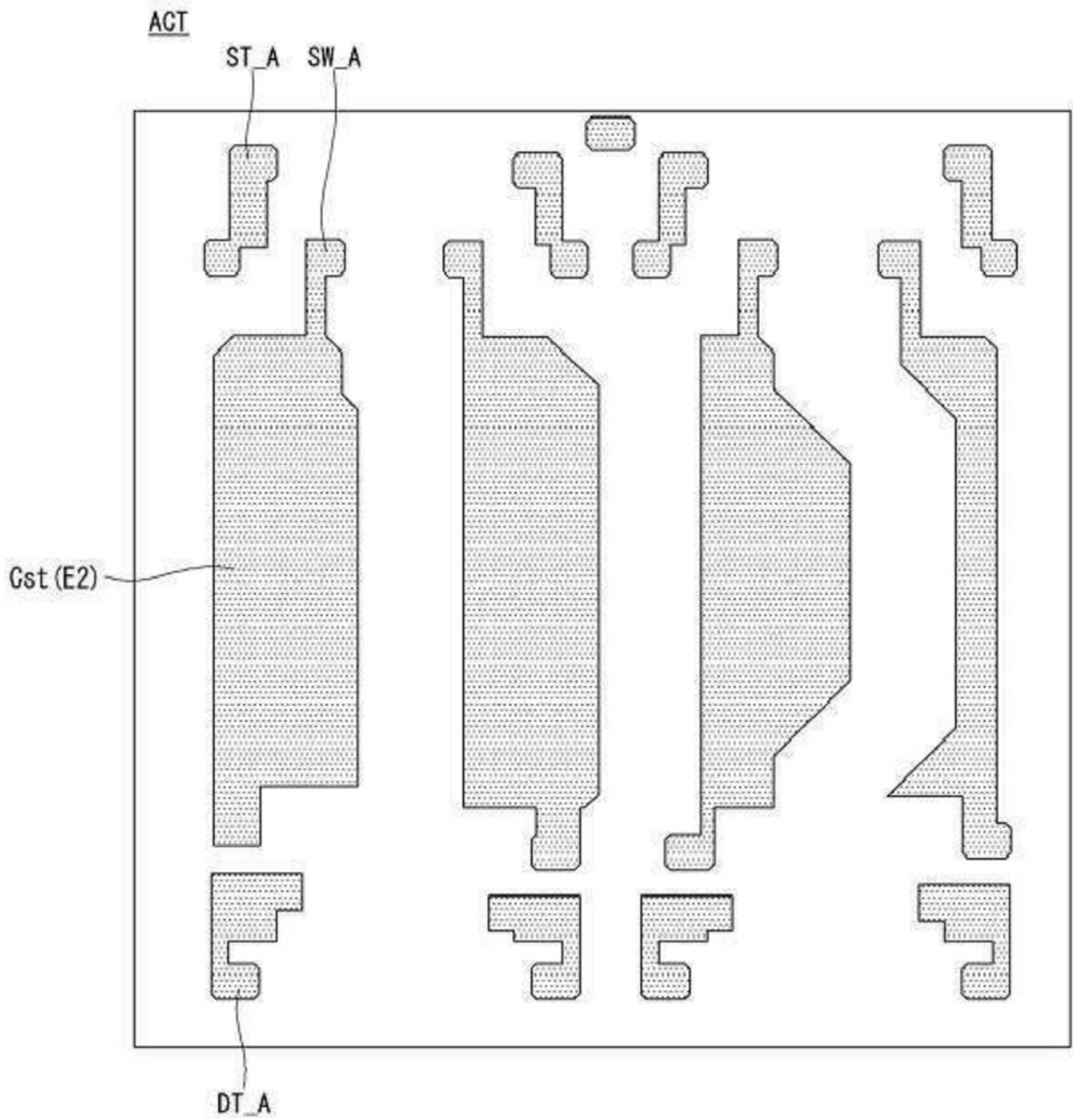


图7B

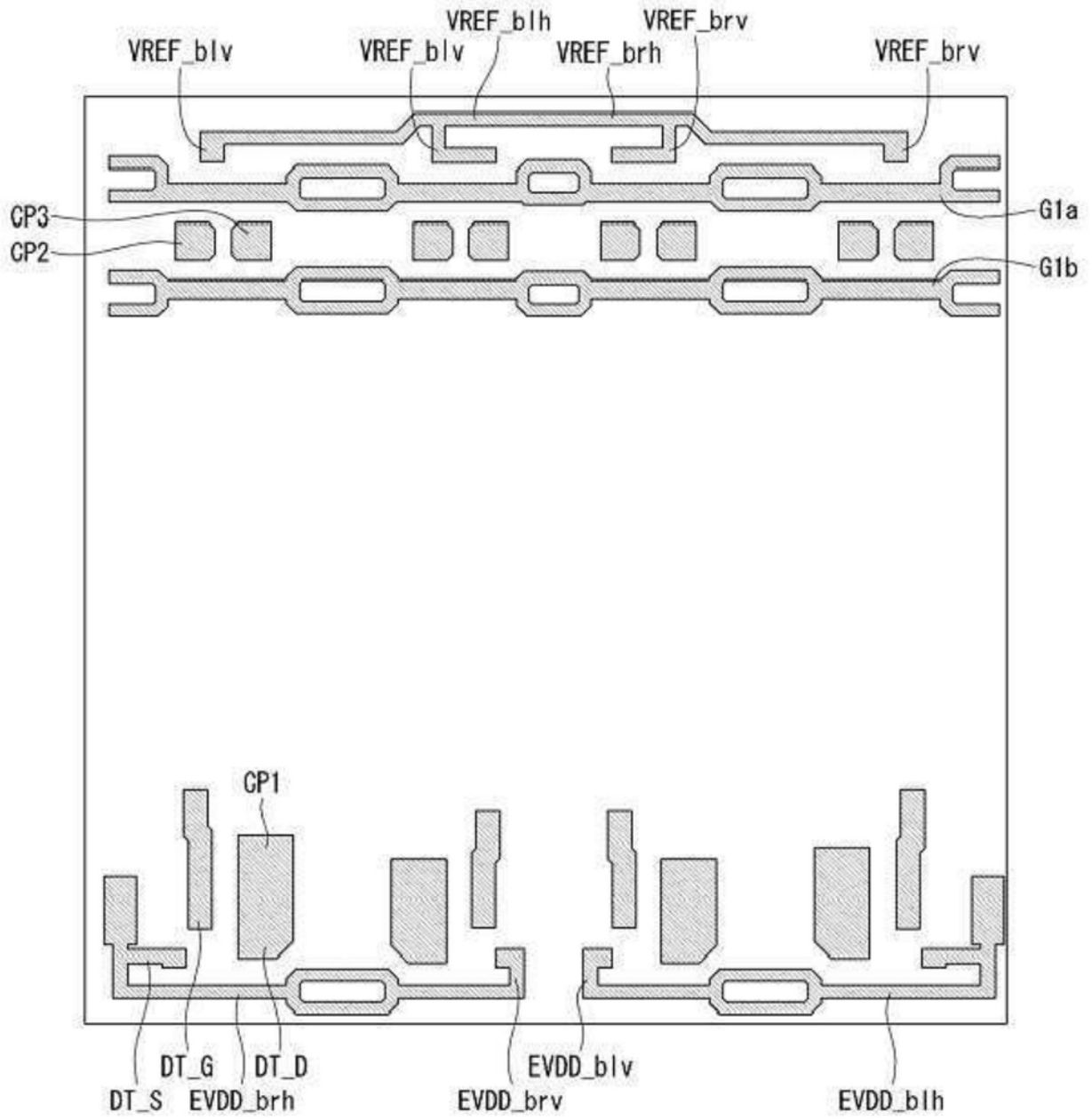


图7C

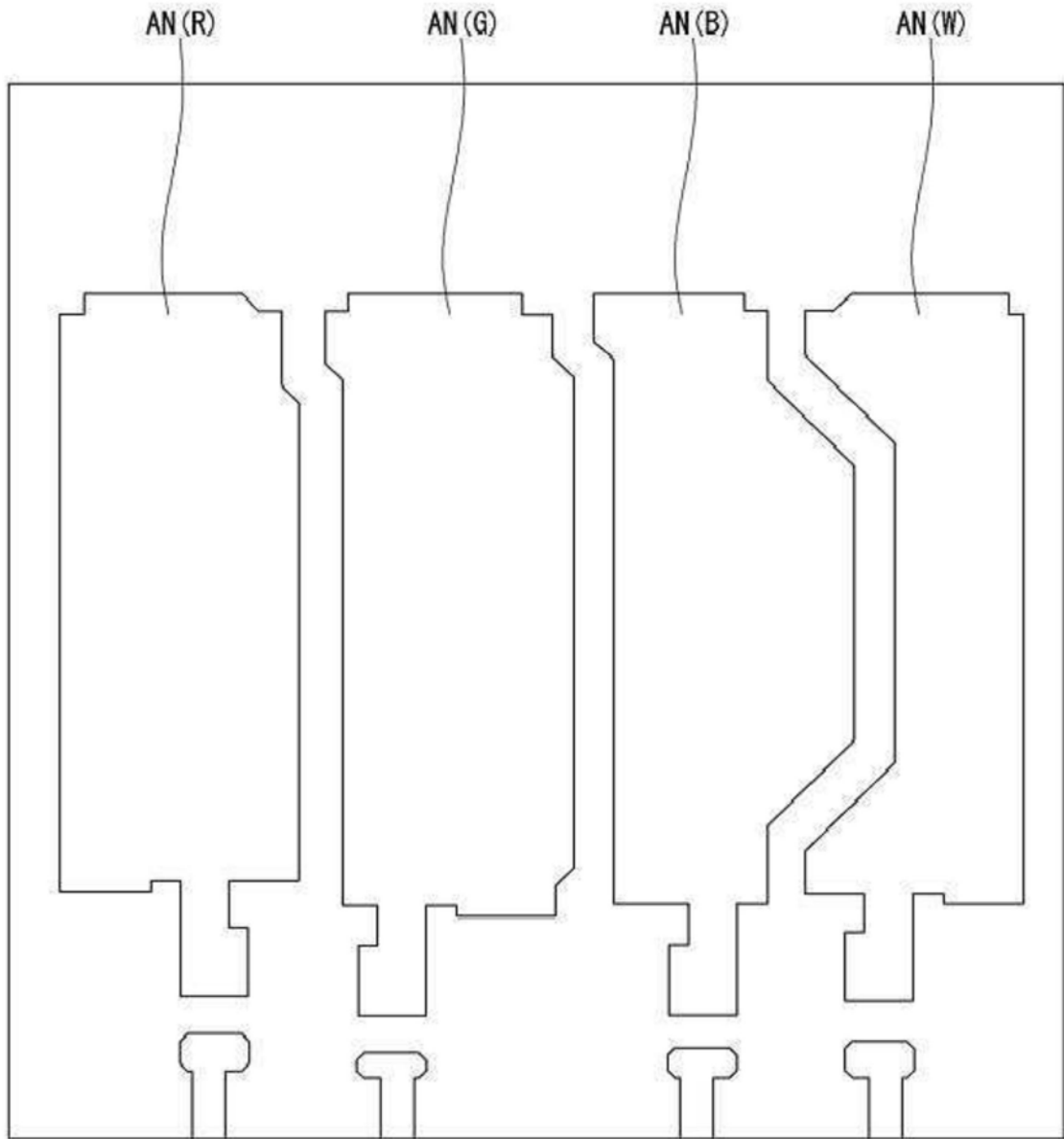


图7D

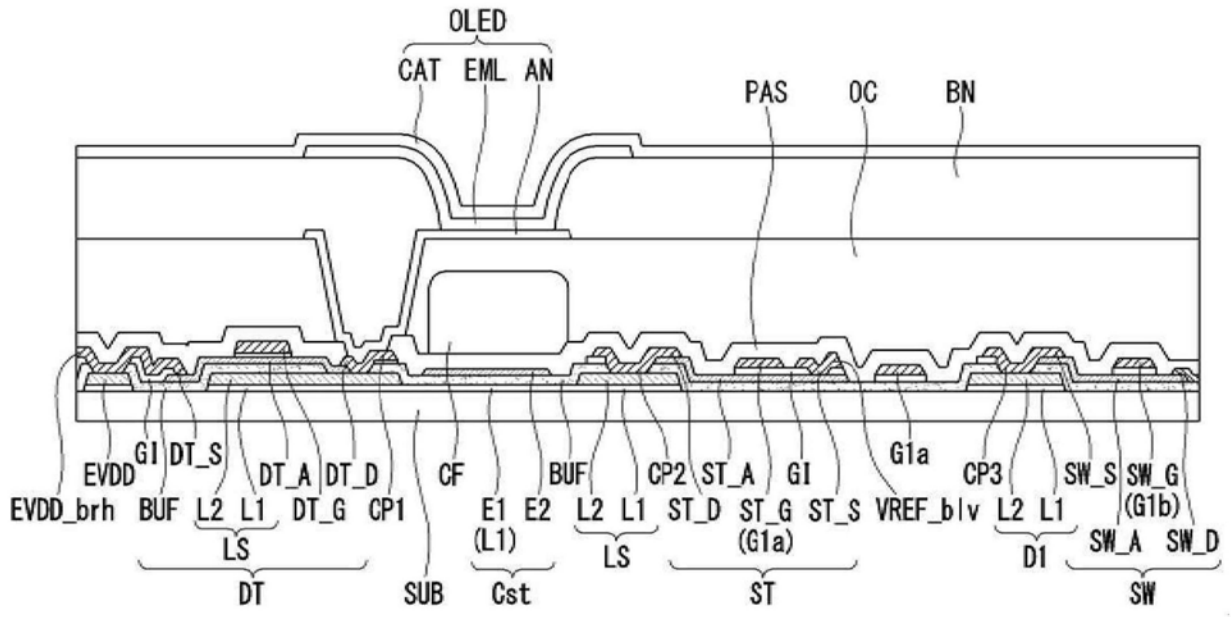


图8

专利名称(译)	电致发光显示器		
公开(公告)号	<a href="#">CN110503918A</a>	公开(公告)日	2019-11-26
申请号	CN201910411720.X	申请日	2019-05-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	沈钟植 姜秉旭 黄盛焕		
发明人	沈钟植 姜秉旭 黄盛焕		
IPC分类号	G09G3/3208 H01L27/32		
CPC分类号	G09G3/3208 H01L27/3225 H01L27/3276 G09G3/3233 G09G2300/0426 G09G2300/0465 G09G2310/0262 G09G2320/029 G09G2320/045 G09G2330/02 H01L27/3213 H01L27/326 G09G3/3225 H01L27/3262 H01L27/3297		
代理人(译)	李琳 陈英俊		
优先权	1020180055891 2018-05-16 KR		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本文公开了一种电致发光显示器，包括：多个子像素，所述多个子像素中的每一个均包括发光区以及设置在所述发光区的两侧上的第一电路区和第二电路区；电源线，所述电源线配置成向奇数行上所布置的所述子像素的所述第二电路区和偶数行上所布置的所述子像素的所述第一电路区中的至少一个供应第一电源；以及感测线，所述感测线配置成向所述奇数行上所布置的所述子像素的所述第一电路区和所述偶数行上所布置的所述子像素的所述第二电路区中的至少一个供应初始化电压或感测电压。

