



(12)发明专利申请

(10)申请公布号 CN 110047436 A

(43)申请公布日 2019.07.23

(21)申请号 201910491973.2

(22)申请日 2019.06.06

(71)申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号  
申请人 成都京东方光电科技有限公司

(72)发明人 张娜 张斌 王静

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291  
代理人 郭润湘

(51) Int. Cl.  
G09G 3/3233(2016.01)  
G09G 3/3275(2016.01)

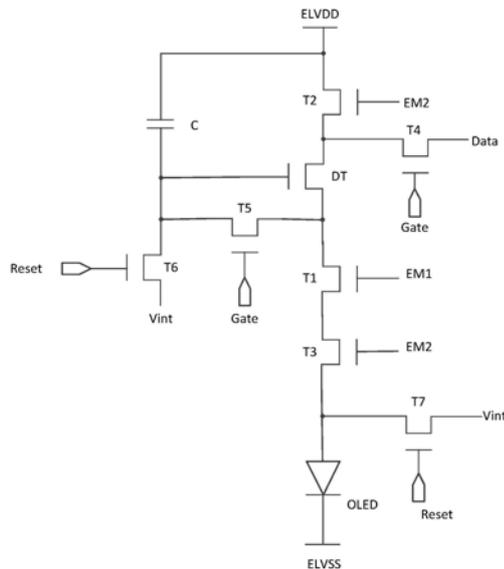
权利要求书2页 说明书8页 附图6页

(54)发明名称

像素电路、阵列基板、其驱动方法、显示面板及显示装置

(57)摘要

本发明实施例提供了一种像素电路、阵列基板、其驱动方法、显示面板及显示装置,该像素电路包括:驱动晶体管、电致发光器件和连接于驱动晶体管与电致发光器件之间的第一发光控制晶体管;第一发光控制晶体管被配置为根据提供数据信号的数据线的负载量控制驱动电流的加载时长,数据线的负载量越大,驱动电流加载的时间越长。在像素电路驱动的过程中,在相同的驱动电压下,数据线的负载量越大则该数据线加载的电流越小,会导致大负载量的数据线连接的电致发光器件在相同的驱动时间下亮度较低,因此,本发明通过增大负载量大的数据线加载驱动电流的时长,从而补偿由于数据线负载量导致的不同列的电致发光器件的亮度不均,以提高显示面板的显示质量。



CN 110047436 A

1. 一种像素电路,其特征在于,包括:驱动晶体管、电致发光器件和连接于所述驱动晶体管与所述电致发光器件之间的第一发光控制晶体管;

所述驱动晶体管被配置为根据接收到的数据信号向所述电致发光器件提供驱动电流;

所述第一发光控制晶体管被配置为根据提供所述数据信号的数据线的负载量控制所述驱动电流的加载时长,所述数据线的负载量越大,所述驱动电流加载的时间越长。

2. 如权利要求1所述的像素电路,其特征在于,所述第一发光控制晶体管的栅极与第一发光控制信号线电连接,所述第一发光控制晶体管的第一极与所述驱动晶体管的第二极电连接,所述第一发光控制晶体管的第二极与所述电致发光器件的阳极电连接;

其中,所述第一发光控制信号线被配置为加载第一发光控制信号,且所述数据线的负载量越大,所述第一发光控制信号的占空比越大。

3. 如权利要求2所述的像素电路,其特征在于,还包括:第二发光控制晶体管;

所述第二发光控制晶体管的栅极与第二发光控制信号线电连接,所述第二发光控制晶体管的第一极与第一电压信号端电连接,所述第二发光控制晶体管的第二极与所述驱动晶体管的第一极电连接;

所述第二发光控制信号线被配置为加载第二发光控制信号,且所述第二发光控制信号的占空比大于或等于所述第二发光控制信号线连接的各所述像素电路接收的所述第一发光控制信号最大的占空比。

4. 如权利要求3所述的像素电路,其特征在于,还包括:第三发光控制晶体管;

所述第三发光控制晶体管的栅极与所述第二发光控制信号线电连接,所述第三发光控制晶体管的第一极与所述第一发光控制晶体管的第二极电连接,所述第三发光控制晶体管的第二极与所述电致发光器件的阳极电连接。

5. 如权利要求4所述的像素电路,其特征在于,还包括:数据写入晶体管、电位控制晶体管、第一复位控制晶体管、第二复位晶体管和电容;

所述数据写入晶体管的栅极与扫描信号线电连接,所述数据写入晶体管的第一极与所述数据信号线电连接,所述数据写入晶体管的第二极与所述驱动晶体管的第一极电连接;

所述电位控制晶体管的栅极与所述扫描信号线电连接,所述电位控制晶体管的第一极与所述驱动晶体管的栅极电连接,所述电位控制晶体管的第二极与所述驱动晶体的第二极电连接;

所述第一复位晶体管的栅极与复位控制端电连接,所述第一复位晶体管的第一极与初始信号端电连接,所述第一复位晶体管的第二极与所述驱动晶体管的栅极电连接;

所述第二复位晶体管的栅极与所述复位控制端电连接,所述第二复位晶体管的第一极与所述初始信号端电连接,所述第二复位晶体管的第二极与所述电致发光器件的阳极电连接;

所述电容的第一电极与所述驱动晶体管的栅极电连接,所述电容的第二电极与所述第一电压信号端电连接。

6. 一种阵列基板,其特征在于,包括:呈阵列排布的多个如权利要求1-5任一项所述的像素电路;

多条数据线,同一条所述数据线与一系列所述像素电路电连接;

多条第一发光控制信号线,同一条所述第一发光控制信号线与一系列所述像素电路电连

接；

与同一列所述像素电路电连接的所述数据线的负载量越大，所述第一发光控制线加载的第一发光控制信号的占空比越大。

7. 如权利要求6所述的阵列基板，其特征在于，包括：

多条栅线，同一条所述栅线与一行所述像素电路电连接；

多条第二发光控制信号线，同一条所述第二发光控制信号线与一行所述像素电路点连接；

所述第二发光控制信号线提供第二发光控制信号的占空比大于或等于所述第二发光控制信号线连接的各所述像素电路接收的第一发光控制信号最大占空比。

8. 如权利要求6所述的阵列基板，其特征在于，包括：显示区域、绑定区域和位于所述显示区域与所述绑定区域之间的走线区域；

所述显示区域包括由所述数据线和所述栅线交叉限定的多个像素区域，以及与各所述像素区域对应的所述像素电路；

所述走线区域包括与所述数据线一一对应的扇出走线，至少存在第一扇出走线和第二扇出走线的电阻不同，且所述第一扇出走线的电阻大于所述第二扇出走线的电阻；

所述绑定区域包括绑定组件，所述绑定组件被配置为将驱动芯片提供的驱动信号分别提供给对应的所述扇出走线；

与所述第一扇出走线对应的像素电路接收的所述第一发光控制信号的占空比大于与所述第二扇出走线对应的像素电路接收的所述第一发光控制信号的占空比。

9. 如权利要求8所述的阵列基板，其特征在于，所述扇出走线的电阻越大，与所述扇出走线对应的所述像素电路接收的所述第一发光控制信号的占空比越大。

10. 如权利要求9所述的阵列基板，其特征在于，所述显示区域包括：第一子显示区域和第二子显示区域，且所述第一子显示区域与所述第二子显示区域沿所述数据线延伸方向呈轴对称；

在各所述子显示区域内，沿所述栅线的延伸且指向对称轴的方向上，各所述数据线分别连接的所述扇出走线的电阻依次减小。

11. 一种如权利要求6-10任一项所述的阵列基板的驱动方法，其特征在于，包括：

根据提供所述数据信号的数据线的负载量，向各所述像素电路提供占空比不同的第一发光控制信号；

其中，所述数据线的负载量越大，所述驱动电流加载的时间越长。

12. 如权利要求11所述的阵列基板的驱动方法，其特征在于，还包括：

根据与同一第二发光控制信号线连接的所述像素电路接收的所述第一发光控制信号线的占空比的大小，向各所述像素电路提供第二发光控制信号；

其中，所述第二发光控制信号的时长大于或等于所述第二发光控制信号线连接的各所述像素电路接收的所述第一发光控制信号最大的时长。

13. 一种显示面板，其特征在于，包括如权利要求6-10任一项所述的阵列基板。

14. 一种显示装置，其特征在于，包括如权利要求13所述的显示面板。

## 像素电路、阵列基板、其驱动方法、显示面板及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域，尤指一种像素电路、阵列基板、其驱动方法、显示面板及显示装置。

### 背景技术

[0002] 显示面板包括由栅极线和数据线交叉限定的多个子像素区域，每个子像素区域均包括对应颜色的电致发光器件，其中，电致发光器件为电流驱动型发光器件，其所加载电流的大小会直接影响电致发光器件的，在对显示面板进行设计的过程中会存在数据线的负载量不同，数据线的负载量不同会导致各数据线连接的电致发光器件的亮度存在差异，导致不同列子像素的显示亮度不均，影响显示质量。

[0003] 因此，如何补偿由于数据线的负载量不同导致不同列子像素的显示亮度不均是本领域技术人员亟待解决的技术问题。

### 发明内容

[0004] 有鉴于此，本发明实施例提供了一种像素电路、阵列基板、其驱动方法、显示面板及显示装置，用以解决相关技术中由于数据线的负载量不同导致不同列子像素的显示亮度不均的问题。

[0005] 第一方面，本发明实施例提供了一种像素电路，包括：驱动晶体管、电致发光器件和连接于所述驱动晶体管与所述电致发光器件之间的第一发光控制晶体管；

[0006] 所述驱动晶体管被配置为根据接收到的数据信号向所述电致发光器件提供驱动电流；

[0007] 所述第一发光控制晶体管被配置为根据提供所述数据信号的数据线的负载量控制所述驱动电流的加载时长，所述数据线的负载量越大，所述驱动电流加载的时间越长。

[0008] 在一种可能实施方式中，在本发明实施例提供的像素电路中，所述第一发光控制晶体管的栅极与第一发光控制信号线电连接，所述第一发光控制晶体管的第一极与所述驱动晶体管的第二极电连接，所述第一发光控制晶体管的第二极与所述电致发光器件的阳极电连接；

[0009] 其中，所述第一发光控制信号线被配置为加载第一发光控制信号，且所述数据线的负载量越大，所述第一发光控制信号的占空比越大。

[0010] 在一种可能实施方式中，在本发明实施例提供的像素电路中，还包括：第二发光控制晶体管；

[0011] 所述第二发光控制晶体管的栅极与第二发光控制信号线电连接，所述第二发光控制晶体管的第一极与第一电压信号端电连接，所述第二发光控制晶体管的第二极与所述驱动晶体管的第一极电连接；

[0012] 所述第二发光控制信号线被配置为加载第二发光控制信号，且所述第二发光控制信号的占空比大于或等于所述第二发光控制信号线连接的各所述像素电路接收的所述第

一发光控制信号最大的占空比。

[0013] 在一种可能实施方式中,在本发明实施例提供的像素电路中,还包括:第三发光控制晶体管;

[0014] 所述第三发光控制晶体管的栅极与所述第二发光控制信号线电连接,所述第三发光控制晶体管的第一极与所述第一发光控制晶体管的第二极电连接,所述第三发光控制晶体管的第二极与所述电致发光器件的阳极电连接。

[0015] 在一种可能实施方式中,在本发明实施例提供的像素电路中,还包括:数据写入晶体管、电位控制晶体管、第一复位控制晶体管、第二复位晶体管和电容;

[0016] 所述数据写入晶体管的栅极与扫描信号线电连接,所述数据写入晶体管的第一极与所述数据信号线电连接,所述数据写入晶体管的第二极与所述驱动晶体管的第一极电连接;

[0017] 所述电位控制晶体管的栅极与所述扫描信号线电连接,所述电位控制晶体管的第一极与所述驱动晶体管的栅极电连接,所述电位控制晶体管的第二极与所述驱动晶体管的第二极电连接;

[0018] 所述第一复位晶体管的栅极与复位控制端电连接,所述第一复位晶体管的第一极与初始信号端电连接,所述第一复位晶体管的第二极与所述驱动晶体管的栅极电连接;

[0019] 所述第二复位晶体管的栅极与所述复位控制端电连接,所述第二复位晶体管的第一极与所述初始信号端电连接,所述第二复位晶体管的第二极与所述电致发光器件的阳极电连接;

[0020] 所述电容的第一电极与所述驱动晶体管的栅极电连接,所述电容的第二电极与所述第一电压信号端电连接。

[0021] 第二方面,本发明实施例还提供了一种阵列基板,包括:呈阵列排布的多个如第一方面实施例所述的像素电路;

[0022] 多条数据线,同一条所述数据线与一系列所述像素电路电连接;

[0023] 多条第一发光控制信号线,同一条所述第一发光控制信号线与一系列所述像素电路电连接;

[0024] 与同一列所述像素电路电连接的所述数据线的负载量越大,所述第一发光控制线加载的第一发光控制信号的占空比越大。

[0025] 在一种可能实施方式中,在本发明实施例提供的阵列基板中,包括:

[0026] 多条栅线,同一条所述栅线与一行所述像素电路电连接;

[0027] 多条第二发光控制信号线,同一条所述第二发光控制信号线与一行所述像素电路点连接;

[0028] 所述第二发光控制信号线提供第二发光控制信号的占空比大于或等于所述第二发光控制信号线连接的各所述像素电路接收的第一发光控制信号最大占空比。

[0029] 在一种可能实施方式中,在本发明实施例提供的阵列基板中,包括:显示区域、绑定区域和位于所述显示区域与所述绑定区域之间的走线区域;

[0030] 所述显示区域包括由所述数据线和所述栅线交叉限定的多个像素区域,以及与各所述像素区域对应的所述像素电路;

[0031] 所述走线区域包括与所述数据线一一对应的扇出走线,至少存在第一扇出走线和

第二扇出走线的电阻不同,且所述第一扇出走线的电阻大于所述第二扇出走线的电阻;

[0032] 所述绑定区域包括绑定组件,所述绑定组件被配置为将驱动芯片提供的驱动信号分别提供给对应的所述扇出走线;

[0033] 与所述第一扇出走线对应的像素电路接收的所述第一发光控制信号的占空比大于与所述第二扇出走线对应的像素电路接收的所述第一发光控制信号的占空比。

[0034] 在一种可能实施方式中,在本发明实施例提供的阵列基板中,所述扇出走线的电阻越大,与所述扇出走线对应的所述像素电路接收的所述第一发光控制信号的占空比越大。

[0035] 在一种可能实施方式中,在本发明实施例提供的阵列基板中,所述显示区域包括:第一子显示区域和第二子显示区域,且所述第一子显示区域与所述第二子显示区域沿所述数据线延伸方向呈轴对称;

[0036] 在各所述子显示区域内,沿所述栅线的延伸且指向对称轴的方向上,各所述数据线分别连接的所述扇出走线的电阻依次减小。

[0037] 第三方面,本发明实施例还提供了一种阵列基板的驱动方法,包括:

[0038] 根据提供所述数据信号的数据线的负载量,向各所述像素电路提供占空比不同的第一发光控制信号;

[0039] 其中,所述数据线的负载量越大,所述驱动电流加载的时间越长。

[0040] 在一种可能实施方式中,在本发明实施例提供的阵列基板的驱动方法中,还包括:

[0041] 根据与同一第二发光控制信号线连接的所述像素电路接收的所述第一发光控制信号线的占空比的大小,向各所述像素电路提供第二发光控制信号;

[0042] 其中,所述第二发光控制信号的时长大于或等于所述第二发光控制信号线连接各所述像素电路接收的所述第一发光控制信号最大的时长。

[0043] 第四方面,本发明实施例还提供了一种显示面板,包括如第二方面实施例所述的阵列基板。

[0044] 第五方面,本发明实施例还提供了一种显示装置,包括如第二方面实施例所述的显示面板。

[0045] 本发明实施例的有益效果:

[0046] 本发明实施例提供了一种像素电路、阵列基板、其驱动方法、显示面板及显示装置,该像素电路包括:驱动晶体管、电致发光器件和连接于所述驱动晶体管与所述电致发光器件之间的第一发光控制晶体管;所述驱动晶体管被配置为根据接收到的数据信号向所述电致发光器件提供驱动电流;所述第一发光控制晶体管被配置为根据提供所述数据信号的数据线的负载量控制所述驱动电流的加载时长,所述数据线的负载量越大,所述驱动电流加载的时间越长。在像素电路驱动的过程中,在相同的驱动电压下,数据线的负载量越大则该数据线加载的电流越小,会导致大负载量的数据线连接的电致发光器件在相同的驱动时间下亮度较低,因此,本发明通过增大负载量大的数据线加载驱动电流的时长,从而补偿由于数据线负载量导致的不同列的电致发光器件的亮度不均,以提高显示面板的显示质量。

## 附图说明

[0047] 图1为相关技术中的阵列基板的结构示意图之一;

- [0048] 图2为相关技术中的阵列基板的结构示意图之二；  
[0049] 图3为相关技术中的阵列基板的结构示意图之三；  
[0050] 图4为本发明实施例提供的像素电路的结构示意图；  
[0051] 图5为本发明实施例提供的阵列基板的结构示意；  
[0052] 图6为本发明实施例提供的阵列基板的驱动时序图；  
[0053] 图7为本发明实施例提供的显示装置的结构示意图。

### 具体实施方式

[0054] 在相关技术中,由于对显示面板的设计不同,会导致数据线的负载量会存在不同,如图1所示,该阵列基板包括呈阵列排列的像素电路1,该阵列基板还包括显示区域A和开口区域B,由于开口区域B的存在,会导致开口区域B对应位置处的数据线Data1的长度小于未设置开口区域B处对应的数据线Data的长度,数据线(Data1与Data)的长度不同则导致了各数据线(Data1与Data)的负载量不同,在相同的驱动电压下,不同的数据线(Data1与Data)连接的像素电路中的电致发光器件加载的电流大小会不一致。

[0055] 除图1所示之外,阵列基板还可能是图2所示的结构,该阵列基板,显示区域A包括呈阵列排布的像素电路1,显示区域1内未设置开口区域,因此各数据线Data本身的长度不存在差异,但是各数据线Data通过设置在走线区域C的扇出走线2与绑定端子PAD电连接,以实现驱动信号的传输,如图2所示,位于不同区域的数据线Data与绑定端子PAD之间的距离不同,这就导致不同数据线Data连接的扇出走线2的长度不同,也就导致了数据线Data的负载量(数据线Data的负载量包括:数据线Data本身的电阻和所连接的扇出走线2的电阻)不同,从而使得不同的数据线Data连接的像素电路1中的电致发光器件加载的电流大小会不一致。

[0056] 如图3所示,相关技术中阵列基板,是通过将电阻较小的扇出走线2设置成迂回走线的形式,以增加对应的扇出走线2的电阻,从而使各扇出走线2的电阻趋于一致,但是该种设置极大增加了边框的宽度,不利于实现窄边框设计。

[0057] 上述仅是以具体实施例来说明显示面板的不同结构设计会导致数据线的负载量不同,但并不局限于此,其他能够导致数据线的负载量不同的阵列基板的结构,也在本发明的保护范围内,在此不作具体限定。

[0058] 针对相关技术中存在的上述问题,本发明实施例提供了一种像素电路、阵列基板、其驱动方法、显示面板及显示装置。为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作进一步地详细描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0059] 附图中各部件的形状和大小不反应真实比例,目的只是示意说明本发明内容。

[0060] 本发明实施例提供了一种像素电路,如图4所示,包括:驱动晶体管DT、电致发光器件OLED和连接于驱动晶体管DT与电致发光器件OLED之间的第一发光控制晶体管T1;

[0061] 该驱动晶体管DT被配置为根据接收到的数据信号向电致发光器件OLED提供驱动电流;

[0062] 该第一发光控制晶体管T1被配置为根据提供数据信号的数据线Data的负载量控

制驱动电流的加载时长,数据线Data的负载量越大,驱动电流加载的时间越长。

[0063] 具体地,在本发明实施例提供的像素电路中,由于电致发光器件的发光亮度除了与该电致发光器件加载的电流大小有关,还与加载电流的时长相关,在加载的电流大小相同时,加载电流的时间越长亮度越大,也就是说,在一列像素电路中的电致发光器件所加载的电流相对其他列的像素电路中的电致发光器件小时,可以提高该列像素电路中的电致发光器件所加载电流的时长,从而使该列子像素的发光亮度与其他列子像素的发光亮度一致,提高显示的均匀性。

[0064] 在像素电路驱动的过程中,在相同的驱动电压下,数据线的负载量越大则该数据线加载的电流越小,会导致大负载量的数据线连接的电致发光器件在相同的驱动时间下亮度较低,因此,本发明通过增大负载量大的数据线加载驱动电流的时长,从而补偿由于数据线负载量导致的不同列的电致发光器件的亮度不均,以提高显示面板的显示质量。

[0065] 本发明通过在像素电路中增加第一发光控制晶体管,通过控制第一发光控制晶体管的打开时长,来控制驱动电流的加载时长。

[0066] 可选地,在本发明实施例提供的像素电路中,如图4所示,第一发光控制晶体管T1的栅极与第一发光控制信号线EM1电连接,第一发光控制晶体管T1的第一极与驱动晶体管DT的第二极电连接,第一发光控制晶体管T1的第二极与电致发光器件OLED的阳极电连接;

[0067] 其中,第一发光控制信号线EM1被配置为加载第一发光控制信号,且数据线Data的负载量越大,第一发光控制信号的占空比越大。

[0068] 具体地,在本发明实施例提供的像素电路中,驱动晶体管将驱动电流提供给第一发光控制晶体管的第一极,只有第一发光控制晶体管导通时才能将驱动电流提供给电致发光器件,因此通过对第一发光控制信号线所提供的信号的占空比进行设计,则可以控制第一发光控制晶体管的导通时长,也就是控制驱动电流提供给电致发光器件的时长,当数据线的负载量较其他数据线的负载量大时,可以提高该数据线对应的第一发光控制信号的占空比,从而补偿由于数据线的负载量导致的亮度差异。

[0069] 可选地,在本发明实施例提供的像素电路中,如图4所示,还包括:第二发光控制晶体管T2;

[0070] 第二发光控制晶体管T2的栅极与第二发光控制信号线EM2电连接,第二发光控制晶体管T2的第一极与第一电压信号端ELVDD电连接,第二发光控制晶体管T2的第二极与驱动晶体管DT的第一极电连接;

[0071] 第二发光控制信号线EM2被配置为加载第二发光控制信号,且第二发光控制信号的占空比大于或等于第二发光控制信号线连接的各像素电路接收的第一发光控制信号最大的占空比。

[0072] 具体地,在本发明实施例提供的像素电路中,在发光阶段第二发光控制晶体管导通,将第一电压信号端的电压提供给驱动晶体管的第一极,经过驱动晶体管形成驱动电流。将第二发光控制信号的占空比设置为大于或等于第二发光控制信号线连接的各像素电路接收的第一发光控制信号最大的占空比,是为了确保只要在第一发光控制晶体管打开时,就存在驱动电流,从而可以通过导通的第一发光控制晶体管将驱动电流提供给电致发光器件。

[0073] 可选地,在本发明实施例提供的像素电路中,如图4所示,还包括:第三发光控制晶

晶体管T3；

[0074] 第三发光控制晶体管T3的栅极与第二发光控制信号线EM2电连接，第三发光控制晶体管T3的第一极与第一发光控制晶体管T1的第二极电连接，第三发光控制晶体管T3的第二极与电致发光器件OLED的阳极电连接。

[0075] 具体地，在本发明实施例提供的像素电路中，第三发光控制晶体管连接于驱动晶体管与电致发光器件之间，该第三发光控制晶体管与第二发光控制晶体管与同一发光控制线电连接，因此，第三发光控制晶体管与第二发光控制晶体管同时打开，同时关闭，该第三发光控制晶体管的设置可以使电致发光器件仅在发光阶段电连，在其他阶段即使有微弱的驱动电流也不会导致电致发光器件点亮，从而延长了电致发光器件的使用寿命。

[0076] 可选地，在本发明实施例提供的像素电路中，如图4所示，还包括：数据写入晶体管T4、电位控制晶体管T5、第一复位控制晶体管T6、第二复位晶体管T7和电容C；

[0077] 数据写入晶体管T4的栅极与扫描信号线Gate电连接，数据写入晶体管T4的第一极与数据信号线Data电连接，数据写入晶体管T4的第二极与驱动晶体管DT的第一极电连接；

[0078] 电位控制晶体管T5的栅极与扫描信号线Gate电连接，电位控制晶体管T5的第一极与驱动晶体管DT的栅极电连接，电位控制晶体管T5的第二极与驱动晶体管DT的第二极电连接；

[0079] 第一复位晶体管T6的栅极与复位控制端Reset电连接，第一复位晶体管T6的第一极与初始信号端Vint电连接，第一复位晶体管T6的第二极与驱动晶体管DT的栅极电连接；

[0080] 第二复位晶体管T7的栅极与复位控制端Reset电连接，第二复位晶体管T7的第一极与初始信号端Vint电连接，第二复位晶体管T7的第二极与电致发光器件OLED的阳极电连接；

[0081] 电容C的第一电极与驱动晶体管DT的栅极电连接，电容C的第二电极与第一电压信号端ELVDD电连接。

[0082] 其中，数据写入晶体管、电位控制晶体管、第一复位控制晶体管、第二复位晶体管和电容之间的连接关系和工作原理与相关技术中像素电路中对应的晶体管和电容的连接关系和工作原理，在此不再赘述。

[0083] 基于同一发明构思，本发明实施例还提供了一种阵列基板，如图5所示，包括：呈阵列排布的多个如上述实施例提供的像素电路；

[0084] 多条数据线（在图中未具体示出），同一条数据线与一系列像素电路电连接；

[0085] 多条第一发光控制信号线EM1，同一条第一发光控制信号线EM1与一系列像素电路电连接；

[0086] 与同一系列像素电路电连接的数据线的负载量越大，第一发光控制线EM1加载的第一发光控制信号的占空比越大。

[0087] 具体地，在本发明实施例提供的阵列基板中，同一系列像素电路与同一第一发光控制信号线电连接，即同一数据线的负载量相同，则提供给同一数据线连接的像素电路的驱动电流的时间也相同，保证同一系列像素电路中的电致发光器件的亮度相同。针对具有不同负载量的数据线，其负载量越大，则说明其对应的像素电路加载的驱动电流越小，从而需要提高加载驱动电流的时长，来补偿超出负载量部分损失的驱动电流大小。

[0088] 可选地，在本发明实施例提供的阵列基板中，包括：

[0089] 多条栅线,同一条栅线与一行像素电路电连接;

[0090] 多条第二发光控制信号线,同一条第二发光控制信号线与一行像素电路点连接;

[0091] 第二发光控制信号线提供第二发光控制信号的占空比大于或等于第二发光控制信号线连接的各像素电路接收的第一发光控制信号最大占空比。

[0092] 具体地,在本发明实施例提供的阵列基板中,同一行像素电路与同一第二发光控制信号线电连接,设置在阵列基板边框区域的发光移位寄存器向第一发光控制信号线提供控制信号。其中,第二发光控制信号占空比要大于或等于第一发光控制信号的占空比,是为了保证在第一发光控制晶体管打开时一直有驱动电流加载到电致发光器件中,如若第二发光控制信号的占空比小于第一发光控制信号的占空比,则在第一发光控制晶体管导通的阶段,第二发光控制晶体管就已经截止了,第二发光控制晶体管截止,驱动晶体管则不能将驱动电流提供给第一发光控制晶体管,这样即使第一发光控制晶体管导通,也没有达到延长加载驱动电流的时长。

[0093] 可选地,在本发明实施例提供的阵列基板中,包括:显示区域、绑定区域和位于显示区域与绑定区域之间的走线区域;

[0094] 显示区域包括由数据线和栅线交叉限定的多个像素区域,以及与各像素区域对应的像素电路;

[0095] 走线区域包括与数据线一一对应的扇出走线,至少存在第一扇出走线和第二扇出走线的电阻不同,且第一扇出走线的电阻大于第二扇出走线的电阻;

[0096] 绑定区域包括绑定组件,绑定组件被配置为将驱动芯片提供的驱动信号分别提供给对应的扇出走线;

[0097] 与第一扇出走线对应的像素电路接收的第一发光控制信号的占空比大于与第二扇出走线对应的像素电路接收的第一发光控制信号的占空比。

[0098] 具体地,在本发明实施例提供的阵列基板中,由于第一扇出走线的电阻大于第二扇出走线的电阻,导致第一扇出走线对应的像素电路加载的驱动电流较小于第二扇出走线对应的像素电路加载的驱动电流,因此通过增加第一扇出走线对应的像素电路加载驱动电流的时长,来补偿导致第一扇出走线对应的像素电路加载的驱动电流与第二扇出走线对应的像素电路加载的驱动电流之间的差异。

[0099] 可选地,在本发明实施例提供的阵列基板中,扇出走线的电阻越大,与扇出走线对应的像素电路接收的第一发光控制信号的占空比越大。

[0100] 具体地,在本发明实施例提供的阵列基板中,扇出走线的电阻越大,该扇出走线对应的像素电路加载的驱动电流的大小就越小,因此需要加载较长时间的驱动电流,才能补偿所存在的电流大小的差异。

[0101] 可选地,在本发明实施例提供的阵列基板中,显示区域包括:第一子显示区域和第二子显示区域,且第一子显示区域与第二子显示区域沿数据线延伸方向呈轴对称;

[0102] 在各子显示区域内,沿栅线的延伸且指向对称轴的方向上,各数据线分别连接的扇出走线的电阻依次减小。

[0103] 具体地,在本发明实施例提供的阵列基板中,与中间列像素电路对应的数据线连接的扇出走线的电阻较小,沿栅线延伸方向由中间列向两侧延伸,扇出走线的电阻依次增大,从而使得中间列的像素电路加载的电流时长最小,向两侧的延伸方向上的像素电路加

载驱动电流的时长依次增加,以补偿所存在驱动电流大小的差异。如图6所示,越靠近中间列的第一发光控制线的占空比越小。

[0104] 基于同一发明构思,本发明实施例还提供了一种阵列基板的驱动方法,包括:

[0105] 根据提供数据信号的数据线的负载量,向各像素电路提供占空比不同的第一发光控制信号;

[0106] 其中,数据线的负载量越大,驱动电流加载的时间越长。

[0107] 可选地,在本发明实施例提供的阵列基板的驱动方法中,还包括:

[0108] 根据与同一第二发光控制信号线连接的像素电路接收的第一发光控制信号线的占空比的大小,向各像素电路提供第二发光控制信号;

[0109] 其中,第二发光控制信号的时长大于或等于第二发光控制信号线连接的各像素电路接收的第一发光控制信号最大的时长。

[0110] 其中,上述阵列基板的驱动方法的原理及实施方式与上述实施例提供的阵列基板的原理和实施方式相同,具体可参见阵列基板的实施例进行实施,在此不再赘述。

[0111] 基于同一发明构思,本发明实施例还提供了一种显示面板,包括上述任一实施例提供的阵列基板。

[0112] 其中,上述显示面板的原理及实施方式与上述实施例提供的阵列基板的原理和实施方式相同,具体可参见阵列基板的实施例进行实施,在此不再赘述。

[0113] 基于同一发明构思,如图7所示,本发明实施例还提供了一种显示装置,包括上述任一实施例提供的显示面板。

[0114] 其中,该显示装置适用于有机电致发光显示器、无机电致发光显示器、有源矩阵有机发光二极管显示器(Active Matrix/Organic Light Emitting Diode,AMOLED)等多种类型的显示器。该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件,在此不作限定。

[0115] 本发明实施例提供了一种像素电路、阵列基板、其驱动方法、显示面板及显示装置,该像素电路包括:驱动晶体管、电致发光器件和连接于所述驱动晶体管与所述电致发光器件之间的第一发光控制晶体管;所述驱动晶体管被配置为根据接收到的数据信号向所述电致发光器件提供驱动电流;所述第一发光控制晶体管被配置为根据提供所述数据信号的数据线的负载量控制所述驱动电流的加载时长,所述数据线的负载量越大,所述驱动电流加载的时间越长。在像素电路驱动的过程中,在相同的驱动电压下,数据线的负载量越大则该数据线加载的电流越小,会导致大负载量的数据线连接的电致发光器件在相同的驱动时间下亮度较低,因此,本发明通过增大负载量大的数据线加载驱动电流的时长,从而补偿由于数据线负载量导致的不同列的电致发光器件的亮度不均,以提高显示面板的显示质量。

[0116] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

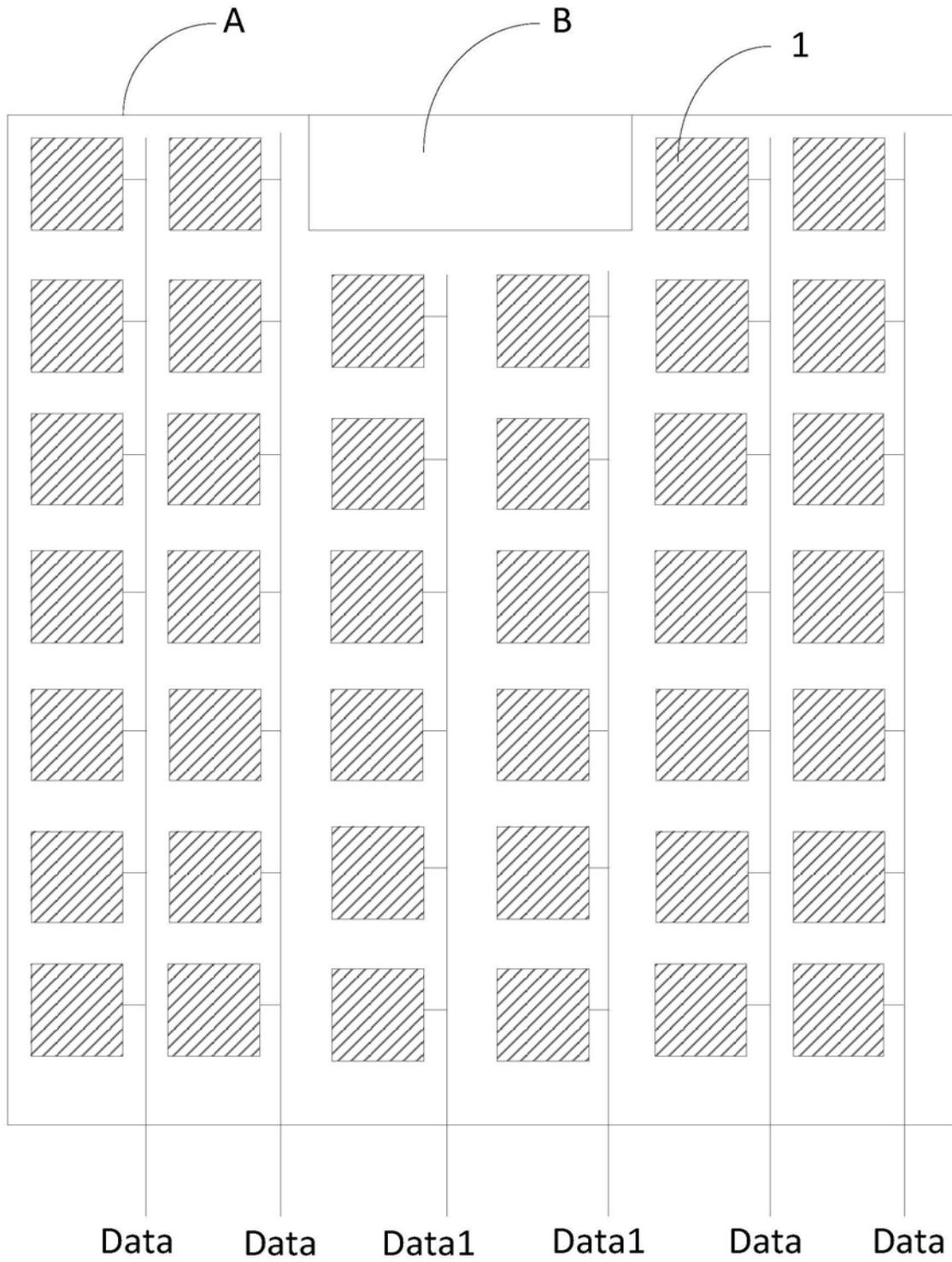


图1

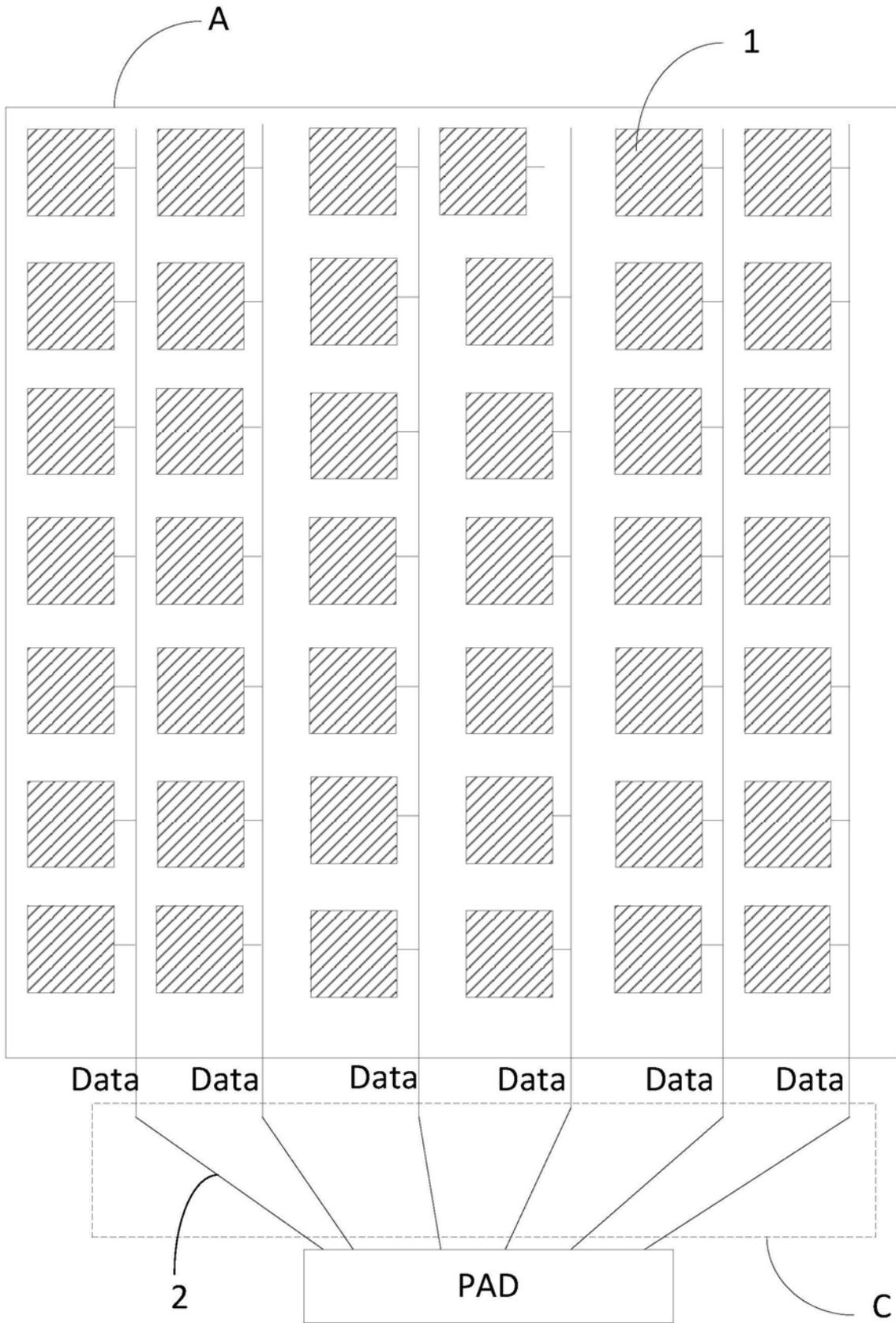


图2

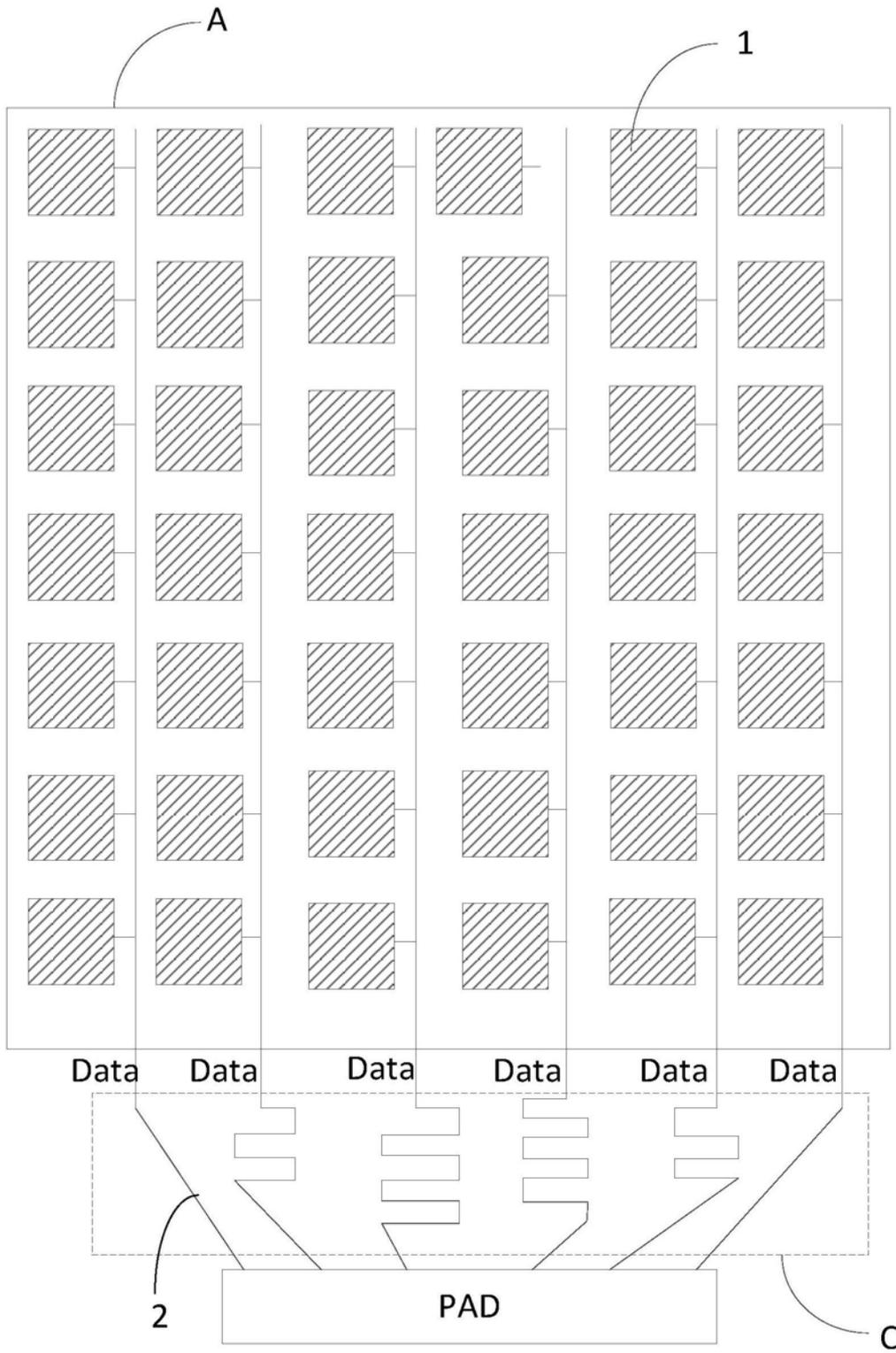


图3

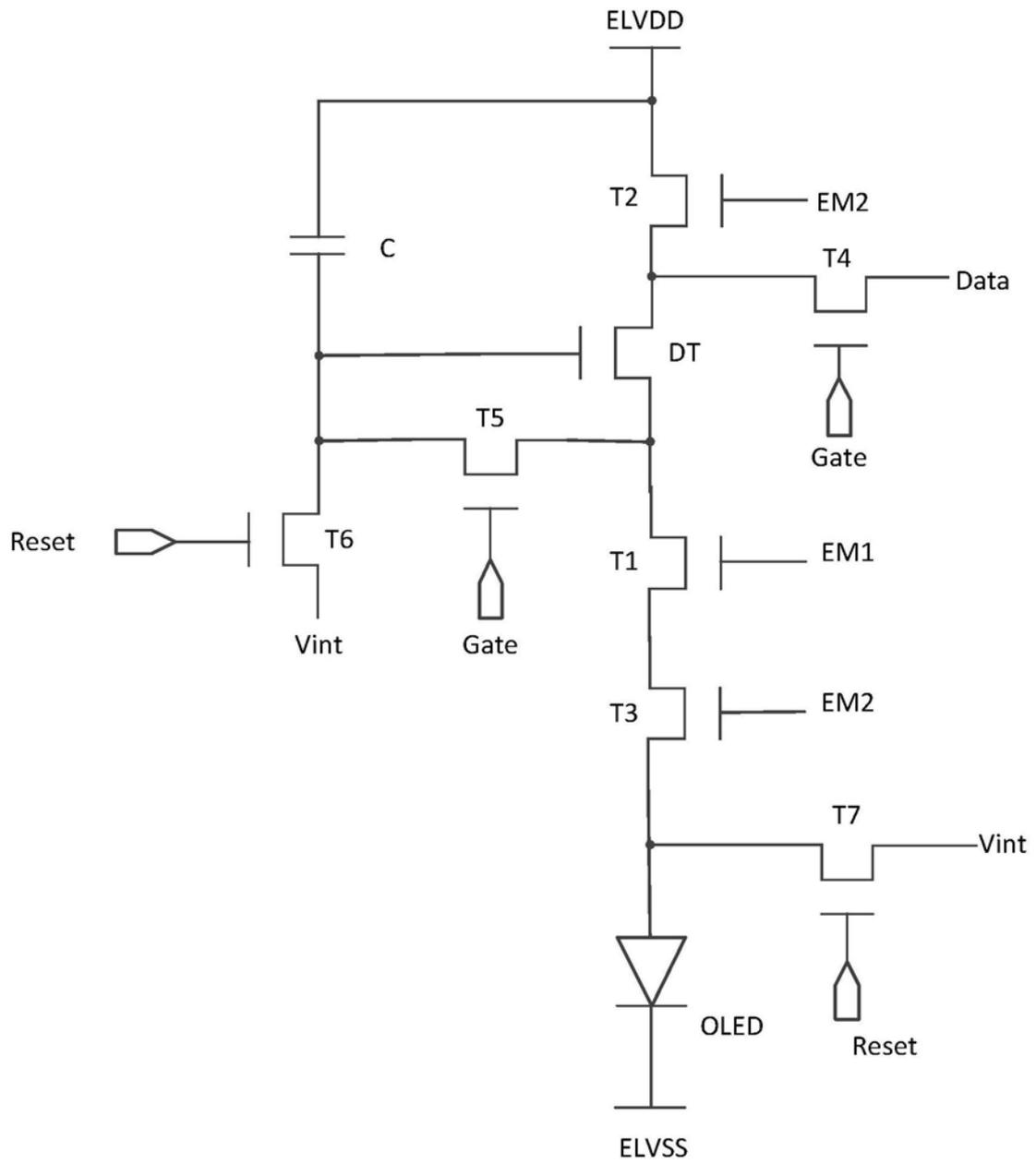


图4

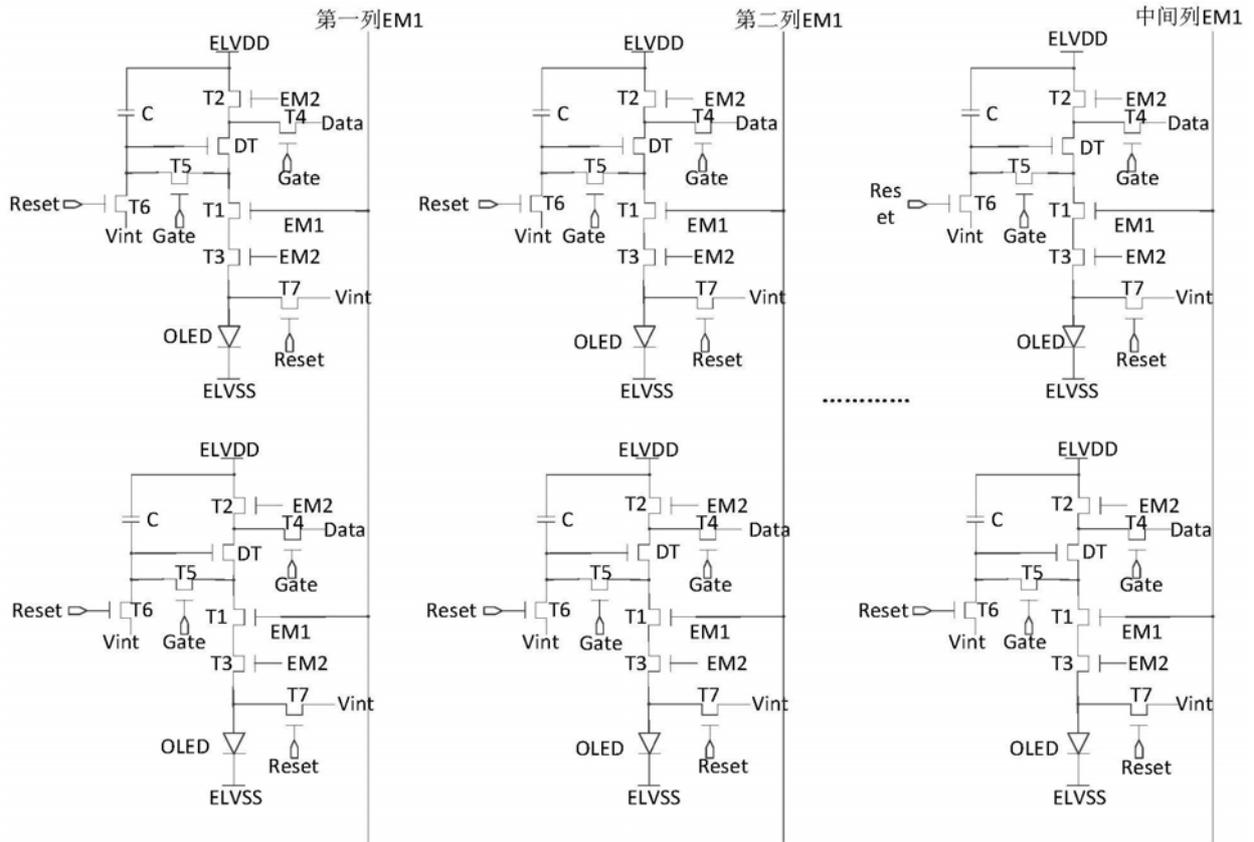


图5

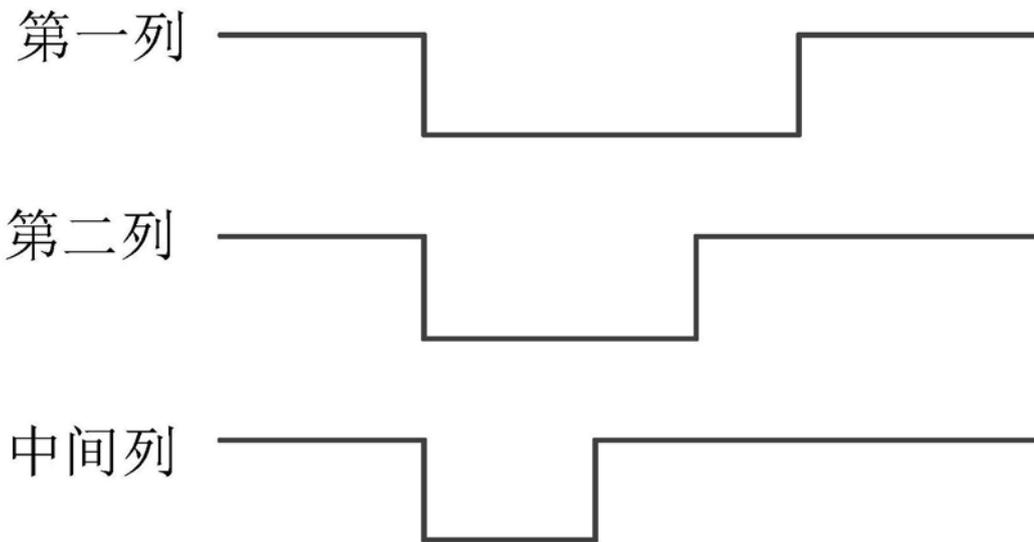


图6

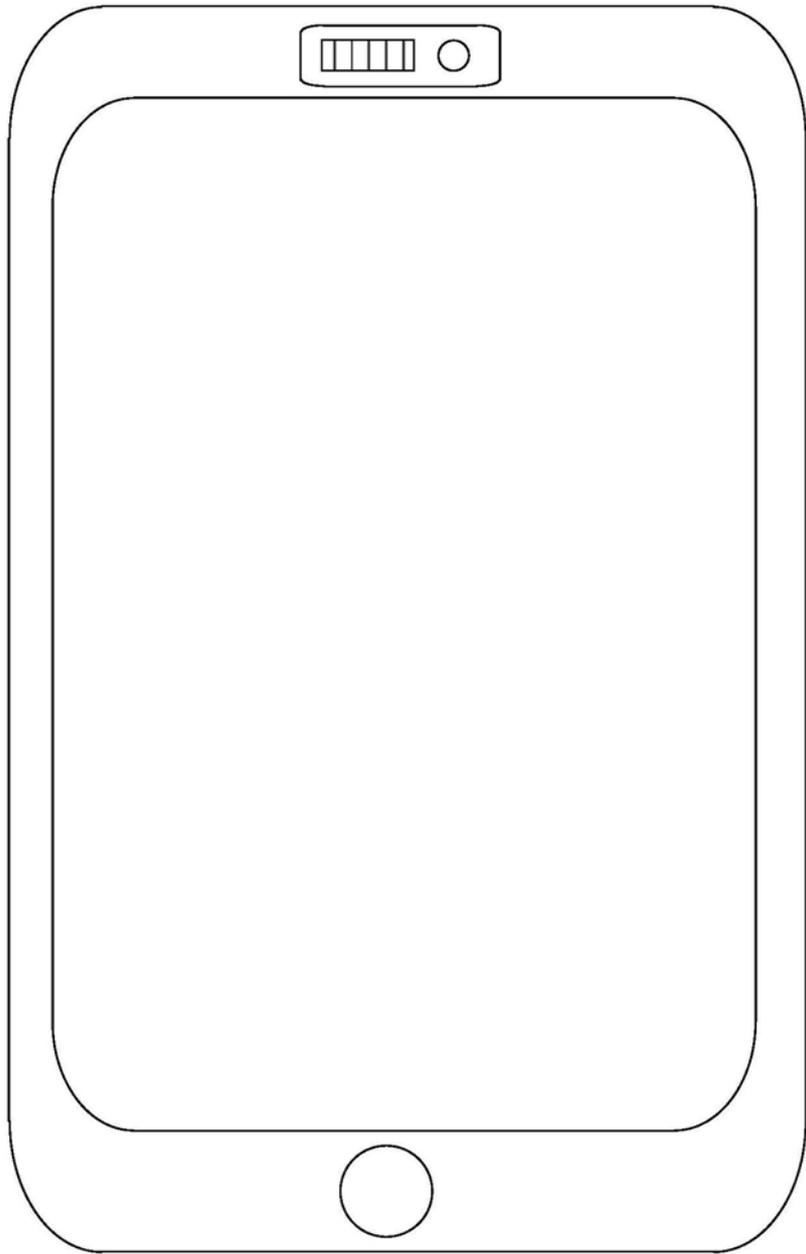


图7

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 像素电路、阵列基板、其驱动方法、显示面板及显示装置                      |         |            |
| 公开(公告)号        | <a href="#">CN110047436A</a>                   | 公开(公告)日 | 2019-07-23 |
| 申请号            | CN201910491973.2                               | 申请日     | 2019-06-06 |
| [标]申请(专利权)人(译) | 京东方科技集团股份有限公司<br>成都京东方光电科技有限公司                 |         |            |
| 申请(专利权)人(译)    | 京东方科技集团股份有限公司<br>成都京东方光电科技有限公司                 |         |            |
| 当前申请(专利权)人(译)  | 京东方科技集团股份有限公司<br>成都京东方光电科技有限公司                 |         |            |
| [标]发明人         | 张娜<br>张斌<br>王静                                 |         |            |
| 发明人            | 张娜<br>张斌<br>王静                                 |         |            |
| IPC分类号         | G09G3/3233 G09G3/3275                          |         |            |
| CPC分类号         | G09G3/3233 G09G3/3275 G09G2320/0233            |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

摘要(译)

本发明实施例提供了一种像素电路、阵列基板、其驱动方法、显示面板及显示装置，该像素电路包括：驱动晶体管、电致发光器件和连接于驱动晶体管与电致发光器件之间的第一发光控制晶体管；第一发光控制晶体管被配置为根据提供数据信号的数据线的负载量控制驱动电流的加载时长，数据线的负载量越大，驱动电流加载的时间越长。在像素电路驱动的过程中，在相同的驱动电压下，数据线的负载量越大则该数据线加载的电流越小，会导致大负载量的数据线连接的电致发光器件在相同的驱动时间下亮度较低，因此，本发明通过增大负载量大的数据线加载驱动电流的时长，从而补偿由于数据线负载量导致的不同列的电致发光器件的亮度不均，以提高显示面板的显示质量。

