



(12)发明专利申请

(10)申请公布号 CN 108281430 A

(43)申请公布日 2018.07.13

(21)申请号 201711477111.1

(22)申请日 2017.12.29

(30)优先权数据

10-2016-0184420 2016.12.30 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 吴锦美 杨仙英 尹珉圣

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 王萍 穆云丽

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

H01L 21/77(2017.01)

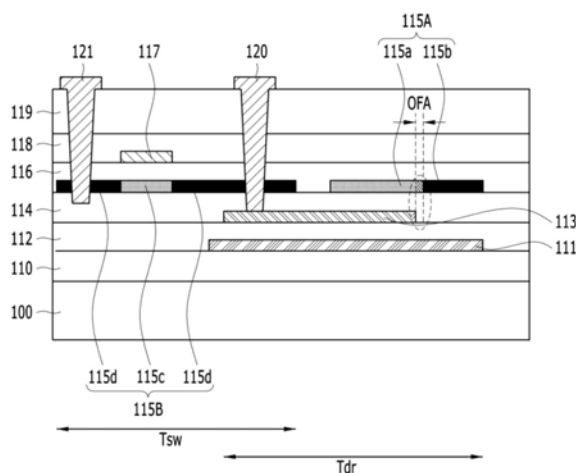
权利要求书3页 说明书14页 附图12页

(54)发明名称

背板基板及制造方法、使用背板基板的有机发光显示装置

(57)摘要

本发明公开了即使通过小像素也能够呈现出高灰度级的背板基板、制造该背板基板的方法以及使用该背板基板的有机发光显示装置。该背板基板包括：具有多个子像素的基板；位于每个子像素处的驱动薄膜晶体管，该驱动薄膜晶体管包括第一栅电极、第一有源层、分别连接至第一有源层的相对侧的第一源电极和第一漏电极、以及设置在第一有源层与第一栅电极之间的第一栅极绝缘膜；以及在每个子像素处电连接至驱动薄膜晶体管的开关薄膜晶体管，该开关薄膜晶体管包括第二栅电极、第二有源层、分别连接至第二有源层的相对侧的第二源电极和第二漏电极、以及设置在第二有源层与第二栅电极之间的第二栅极绝缘膜。通过结构修改，可以实现针对超高分辨率的集成。



1. 一种背板基板,包括:
具有多个子像素的基板;
位于每个子像素处的驱动薄膜晶体管,所述驱动薄膜晶体管包括第一栅电极、第一有源层、分别连接至所述第一有源层的相对侧的第一源电极和第一漏电极、以及设置在所述第一有源层与所述第一栅电极之间的第一栅极绝缘膜;以及
在每个子像素处电连接至所述驱动薄膜晶体管的开关薄膜晶体管,所述开关薄膜晶体管包括第二栅电极、第二有源层、分别连接至所述第二有源层的相对侧的第二源电极和第二漏电极、以及设置在所述第二有源层与所述第二栅电极之间的第二栅极绝缘膜,其中,
所述第一有源层和所述第二有源层位于同一层上,
所述第一栅电极和所述第二栅电极位于不同层上,以及
所述第一有源层具有在平面状态下从所述第一栅电极的边缘突出预定宽度的偏移区以及与所述偏移区相邻并与所述第一栅电极的所述边缘间隔开的第一掺杂区。
2. 根据权利要求1所述的背板基板,其中,所述第二有源层具有在平面状态下与所述第二栅电极的边缘相邻的第二掺杂区。
3. 根据权利要求1所述的背板基板,其中,所述第一栅电极与所述第二有源层交叠,并且所述第一栅电极连接至所述第二源电极。
4. 根据权利要求3所述的背板基板,其中,所述第二源电极穿透所述第二有源层,并且所述第二源电极穿过所述第二有源层在所述第二有源层与所述第一栅电极之间的交叠区域中连接至所述第一栅电极。
5. 根据权利要求4所述的背板基板,还包括与所述第一栅电极交叠的第一存储电极。
6. 根据权利要求5所述的背板基板,其中,所述第一存储电极和所述第一栅电极构成存储电容器。
7. 根据权利要求2所述的背板基板,其中,所述第一掺杂区和所述第二掺杂区掺杂有相同的掺杂剂。
8. 根据权利要求1所述的背板基板,还包括在与所述第二栅电极相同的层上的、与所述偏移区交叠的第一栅极辅助电极。
9. 根据权利要求3所述的背板基板,其中,连接至所述第一栅电极的所述第二源电极具有在与所述第二漏电极所处的层不同的层上的平面部分。
10. 根据权利要求9所述的背板基板,其中,所述第二源电极的所述平面部分与所述第一栅电极之间的第一接触孔的深度大于所述第二漏电极的上表面与所述第二有源层之间的第二接触孔的深度。
11. 根据权利要求9所述的背板基板,还包括第一存储辅助电极,所述第一存储辅助电极连接至所述第一存储电极并且与所述第二源电极的所述平面部分交叠。
12. 根据权利要求1所述的背板基板,其中,
所述第一有源层和所述第二有源层由多晶硅制成,
所述第一有源层具有与所述第一栅电极交叠的第一沟道,以及
所述第二有源层具有与所述第二栅电极交叠的第二沟道。
13. 根据权利要求1所述的背板基板,其中,所述第一栅电极被设置成低于所述第一有源层,并且所述第二栅电极被设置成高于所述第二有源层。

14. 一种制造背板基板的方法,所述方法包括:
制备具有多个子像素的基板;
在每个子像素处形成第一栅电极;
形成第一栅极绝缘膜以覆盖所述第一栅电极;
在所述第一栅极绝缘膜上形成彼此间隔开的第一有源层和第二有源层;
形成第二栅极绝缘膜以覆盖所述第一有源层和所述第二有源层;
在所述第二栅极绝缘膜上形成与所述第二有源层交叠的第二栅电极以及第一栅极辅助电极,所述第一栅极辅助电极与所述第一有源层交叠并且比所述第一栅电极更进一步突出;
使用所述第二栅电极和所述第一栅极辅助电极作为掩模,在所述第一有源层中形成第一掺杂区并且在所述第二有源层中形成第二掺杂区;
形成层间绝缘膜以覆盖所述第二栅电极以及形成第一接触孔至第四接触孔,所述第一有源层和所述第二有源层的相对侧通过所述第一接触孔至所述第四接触孔露出;以及
形成分别通过所述第三接触孔和所述第四接触孔连接至所述第一有源层的相对侧的第一源电极和第一漏电极,以及形成分别通过所述第一接触孔和所述第二接触孔连接至所述第二有源层的相对侧的第二源电极和第二漏电极。
15. 根据权利要求14所述的方法,还包括:去除所述第一栅极辅助电极。
16. 根据权利要求14所述的方法,其中,所述第一栅电极在平面状态下与所述第二有源层部分地交叠。
17. 根据权利要求16所述的方法,其中,形成所述第一接触孔包括:去除所述第二栅极绝缘膜、所述第二有源层和在所述第二有源层下方的所述第一栅极绝缘膜,以及去除在所述第一栅电极与所述第二有源层之间的交叠区域中的所述层间绝缘膜。
18. 根据权利要求17所述的方法,其中,所述第二源电极通过所述第一接触孔连接至所述第一栅电极。
19. 根据权利要求17所述的方法,其中,所述层间绝缘膜包括多个层间绝缘膜。
20. 根据权利要求19所述的方法,其中,
在不同的过程中形成所述第一接触孔和所述第二接触孔,以及
通过相比于所述第二接触孔去除更多数量的层间绝缘膜来形成所述第一接触孔。
21. 根据权利要求14所述的方法,还包括:在制备所述基板的步骤之后,在所述第一栅电极下方形成与所述第一栅电极交叠的第一存储电极。
22. 根据权利要求21所述的方法,还包括:形成第一存储辅助电极,所述第一存储辅助电极连接至所述第一存储电极并与所述第二源电极的平面部分交叠。
23. 一种有机发光显示装置,包括:
背板基板,所述背板基板包括:
具有多个子像素的基板;
位于每个子像素处的驱动薄膜晶体管,所述驱动薄膜晶体管包括第一栅电极、第一有源层、分别连接至所述第一有源层的相对侧的第一源电极和第一漏电极、以及设置在所述第一有源层与所述第一栅电极之间的第一栅极绝缘膜;以及
在每个子像素处电连接至所述驱动薄膜晶体管的开关薄膜晶体管,所述开关薄膜晶体

管包括第二栅电极、第二有源层、分别连接至所述第二有源层的相对侧的第二源电极和第二漏电极、以及设置在所述第二有源层与所述第二栅电极之间的第二栅极绝缘膜,其中,

所述第一有源层和所述第二有源层位于同一层上,

所述第一栅电极和所述第二栅电极位于不同层上,

所述第一有源层具有在平面状态下从所述第一栅电极的边缘突出预定宽度的偏移区以及与所述偏移区相邻并与所述第一栅电极的所述边缘间隔开的第一掺杂区;以及

每个子像素处的有机发光二极管,其包括:连接至所述第一源电极的第一电极、位于所述第一电极上的有机发射层以及位于所述有机发射层上的第二电极。

背板基板及制造方法、使用背板基板的有机发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2016年12月30日提交的韩国专利申请第10-2016-0184420的权益，其通过引用合并到本文中，如同在本文中完全阐述一样。

技术领域

[0003] 本发明涉及一种背板基板，更具体地，涉及一种能够被集成以实现超高分辨率并且即使通过小像素也能够呈现高灰度级的背板基板、制造该背板基板的方法以及使用该背板基板的有机发光显示装置。

背景技术

[0004] 随着诸如移动终端和膝上型计算机的各种便携式电子设备的发展，对于可适用于这些便携式电子设备的平板显示装置的需求增加。

[0005] 已经对作为平板显示装置的液晶显示装置、等离子显示面板装置、场发射显示装置以及有机或无机发光显示装置进行了研究。特别地，可以使用有机发光显示装置的领域的数量增加，这是因为有机发光显示装置可以批量生产，可以容易地驱动，消耗很少的电力，可以实现高质量和大尺寸，并且是柔性的。

[0006] 平板显示装置包括以矩阵形式布置的多个像素以及设置在每个像素中的用于控制该像素的至少一个薄膜晶体管。每个像素可以包括用于颜色呈现的R子像素、G子像素和B子像素。

[0007] 然而，在需要高分辨率的显示装置中，诸如在增强现实或虚拟现实，由于在显示装置的有限尺寸内实现高分辨率，所以每个像素的尺寸变得更小。另外，在针对每个子像素均具有发光器件的显示装置中，如有机发光显示装置，必须在每个小的子像素中包括如下电路装置以呈现每个子像素的选择性灰度级：该电路装置至少包括2个晶体管和1个电容器(2T1C)。在这种情况下，薄膜晶体管具有相同的结构。然而，由于每个子像素的尺寸较小，因此虽然器件特性例如薄膜晶体管的迁移率得以改进，但是当施加栅极电压时，驱动薄膜晶体管在短时间内饱和。因此，难以实现灰度级的多种充分呈现。

[0008] 也就是说，为了高分辨率而减小每个子像素的尺寸，并且在每个子像素的有限区域中包括用于驱动每个子像素的电路。在驱动薄膜晶体管和其他薄膜晶体管被设置为具有相同堆叠结构的情况下，驱动薄膜晶体管的响应速度是快速的，但是难以充分呈现出灰度级。

[0009] 另外，由于具有相同堆叠结构的开关薄膜晶体管和驱动薄膜晶体管必须彼此连接，因此需要提供用于在平面状态下连接晶体管的连接图案。也就是说，为了将具有相同堆叠结构的两个或更多个晶体管彼此连接，需要另外的连接图案。然而，由于这样的连接图案的设置而使每个子像素中的电路集成受到限制，从而难以实现超高分辨率。

发明内容

[0010] 因此,本发明涉及一种背板基板、制造该背板基板的方法以及使用该背板基板的有机发光显示装置,其基本上消除了由于现有技术的限制和缺点而导致的一个或更多个问题。

[0011] 本发明的目的是提供一种能够被集成以实现超高分辨率并且即使通过小像素也能呈现出高灰度级的背板基板、制造该背板基板的方法以及使用该背板基板的有机发光显示装置。

[0012] 本发明的另外的优点、目的和特征将在下面的描述中部分地阐述,并且部分地将在本领域的普通技术人员审阅以下内容时变得明显,或者可以通过本发明的实践而获知。本发明的目的和其他优点可以通过在书面描述及权利要求以及附图中特别指出的结构来实现和获得。

[0013] 在根据本发明的背板基板、制造该背板基板的方法以及包括该背板基板的有机发光显示装置中,在每个子像素中不同的晶体管彼此垂直连接,由此实现器件集成。

[0014] 另外,驱动薄膜晶体管具有包括偏移区(offset area)的底栅形状(bottom gate shape),并且开关薄膜晶体管具有顶栅形状(top gate shape)。驱动薄膜晶体管和开关薄膜晶体管在构造和操作方面彼此不同。即使在超高分辨率结构中,驱动薄膜晶体管也能够呈现出高灰度级,并且开关薄膜晶体管也能够具有高迁移率的电路特性。

[0015] 如在本文中所述和广泛描述的那样,为了实现这些目的和其他优点并且根据本发明的目的,一种背板基板包括:具有多个子像素的基板;位于每个子像素处的驱动薄膜晶体管,该驱动薄膜晶体管包括第一栅电极、第一有源层、分别连接至第一有源层的相对侧的第一源电极和第一漏电极、以及设置在第一有源层与第一栅电极之间的第一栅极绝缘膜;以及在每个子像素处电连接至驱动薄膜晶体管的开关薄膜晶体管,该开关薄膜晶体管包括第二栅电极、第二有源层、分别连接至第二有源层的相对侧的第二源电极和第二漏电极、以及设置在第二有源层与第二栅电极之间的第二栅极绝缘膜。

[0016] 第一有源层和第二有源层可以位于同一层上,第一栅电极和第二栅电极可以位于不同层上,以及第一有源层可以具有在平面状态下从第一栅电极的边缘突出预定宽度的偏移区以及与偏移区相邻并与第一栅电极的边缘间隔开的第一掺杂区。

[0017] 第二有源层可以具有在平面状态下与第二栅电极的边缘相邻的第二掺杂区。

[0018] 第一栅电极可以与第二有源层交叠,并且第一栅电极可以连接至第二源电极。

[0019] 第二源电极可以穿过第二有源层在第二有源层与第一栅电极之间的交叠区域中连接至第一栅电极。

[0020] 背板基板还可以包括与第一栅电极交叠的第一存储电极。

[0021] 第一存储电极和第一栅电极可以构成存储电容器。

[0022] 第一掺杂区和第二掺杂区可以掺杂有相同的掺杂剂。

[0023] 背板基板还可以包括在与第二栅电极相同的层上的、与偏移区交叠的第一栅极辅助电极。

[0024] 连接至第一栅电极的第二源电极可以具有在与第二漏电极所处的层不同的层上的平面部分(planar portion)。

[0025] 第二源电极的平面部分与第一栅电极之间的第一接触孔的深度可以大于第二漏电极的上表面与第二有源层之间的第二接触孔的深度。

[0026] 背板基板还可以包括第一存储辅助电极,第一存储辅助电极连接至第一存储电极并且与第二源电极的平面部分交叠。

[0027] 第一有源层和第二有源层可以由多晶硅制成,第一有源层可以具有与第一栅电极交叠的第一沟道,以及第二有源层可以具有与第二栅电极交叠的第二沟道。

[0028] 第一栅电极可以被设置成低于第一有源层,并且第二栅电极可以被设置成高于第二有源层。

[0029] 在本发明的另一方面中,一种制造背板基板的方法包括:制备具有多个子像素的基板;在每个子像素处形成第一栅电极;形成第一栅极绝缘膜以覆盖第一栅电极;在第一栅极绝缘膜上形成彼此间隔开的第一有源层和第二有源层;形成第二栅极绝缘膜以覆盖第一有源层和第二有源层;在第二栅极绝缘膜上形成与第二有源层交叠的第二栅电极以及第一栅极辅助电极,该第一栅极辅助电极与第一有源层交叠并且比第一栅电极更进一步突出;使用第二栅电极和第一栅极辅助电极作为掩模,在第一有源层中形成第一掺杂区并且在第二有源层中形成第二掺杂区;形成层间绝缘膜以覆盖第二栅电极以及形成第一接触孔至第四接触孔,其中,第一有源层和第二有源层的相对侧通过第一接触孔至第四接触孔露出;以及形成分别通过第三接触孔和第四接触孔连接至第一有源层的相对侧的第一源电极和第一漏电极,以及形成分别通过第一接触孔和第二接触孔连接至第二有源层的相对侧的第二源电极和第二漏电极。

[0030] 该方法还可以包括去除第一栅极辅助电极。

[0031] 第一栅电极可以在平面状态下与第二有源层部分地交叠。

[0032] 形成第一接触孔可以包括:去除第二栅极绝缘膜、第二有源层和在第二有源层下方的第一栅极绝缘膜,以及去除在第一栅电极与第二有源层之间的交叠区域中的层间绝缘膜。

[0033] 第二源电极可以通过第一接触孔连接至第一栅电极。

[0034] 层间绝缘膜可以包括多个层间绝缘膜。

[0035] 可以在不同的过程中形成第一接触孔和第二接触孔,并且可以通过相比于第二接触孔去除更多数量的层间绝缘膜来形成第一接触孔。

[0036] 该方法还可以包括:在制备基板的步骤之后,在第一栅电极下方形成与第一栅电极交叠的第一存储电极。

[0037] 该方法还可以包括:形成第一存储辅助电极,该第一存储辅助电极连接至第一存储电极并与第二源电极的平面部分交叠。

[0038] 在根据本发明的又一方面中,一种有机发光显示装置包括上述背板基板和每个子像素处的有机发光二极管,该有机发光二极管包括:连接至第一源电极的第一电极、位于第一电极上的有机发射层以及位于有机发射层上的第二电极。

[0039] 应该理解,本发明的上述一般性描述和下面的详细描述都是示例性和说明性的,并且旨在提供对所要求保护的本发明的进一步说明。

附图说明

[0040] 本申请包括附图以提供对本发明的进一步理解并且附图被并入本申请中并构成本申请的一部分,附图示出了本发明的实施方式并且与描述一起用于说明本发明的原理。

在附图中：

- [0041] 图1是示出子像素的面积根据分辨率的变化而变化的概念图；
- [0042] 图2是根据本发明的背板基板的每个子像素的电路图；
- [0043] 图3是示出根据本发明的第一实施方式的背板基板的截面图；
- [0044] 图4是示出根据本发明的第二实施方式的背板基板的截面图；
- [0045] 图5是示出根据本发明的第三实施方式的背板基板的截面图；
- [0046] 图6是示出根据本发明的第四实施方式的背板基板的截面图；
- [0047] 图7A至图7E是示出根据本发明的第一实施方式的制造背板基板的方法的过程截面图；
- [0048] 图8A至图8E是示出根据本发明的第二实施方式的制造背板基板的方法的过程截面图；
- [0049] 图9A至图9F是示出根据本发明的第三实施方式的制造背板基板的方法的过程截面图；以及
- [0050] 图10是示出根据本发明的有机发光显示装置的截面图。

具体实施方式

[0051] 参考以下结合附图详细描述的实施方式，本发明的优点和特征以及获得这些优点和特征的方式将变得明显。然而，本发明不限于以下公开的实施方式，并且可以以多种不同的形式实施。相反，提供这些示例性实施方式以使得本公开将是透彻和完整的，并且将向本领域的技术人员充分地传达其范围。本发明的范围应由权利要求来限定。

[0052] 在用于说明本发明的示例性实施方式的附图中，例如，所示出的形状、尺寸、比率、角度和数量是作为示例给出的，因此不限于本发明的公开内容。贯穿本说明书，相同的附图标记表示相同的组成元件。另外，在本发明的以下描述中，当可能使得本发明的主题不清楚时，将省略本文中所包含的已知功能和配置的详细描述。本说明书中使用的术语“包括”、“包含”和/或“具有”不排除存在或添加其他元件，除非与术语“仅”一起使用。除非上下文另外清楚地指出，否则单数形式旨在也包括复数形式。

[0053] 在本发明的各种实施方式中所包括的组成元件的解释中，即使没有明确的描述，组成元件也被解释为包括误差范围。

[0054] 在本发明的各种实施方式的描述中，当描述位置关系时，例如，当使用“在……上”，“在……上方”，“在……下”，“在……旁边”等描述两个部件之间的位置关系时，除非使用术语“直接”或“紧接”，否则一个或多个其他部件可以位于这两个部件之间。

[0055] 在本发明的各种实施方式的描述中，当描述时间关系时，例如，当使用“之后”，“随后”，“接下来”，“之前”等来描述两个动作之间的时间关系时，除非使用术语“直接”或“正好”，否则这些动作可以不相继发生。

[0056] 在本发明的各种实施方式的描述中，尽管可以使用例如“第一”和“第二”的术语来描述各种元素，但是这些术语仅用于将相同或相似的元素进行区分。因此，在本说明书中，除非另外提及，否则在本发明的技术范围内，由“第一”修饰的元素可以与由“第二”修饰的元素相同。

[0057] 本发明的各个实施方式的各个特征可以部分地或全部地彼此耦合并且彼此组合，

并且它们的各种技术联接及驱动是可能的。这些各种实施方式可以彼此独立地执行,或者可以彼此相关联地执行。

[0058] 图1是示出子像素的面积根据分辨率的变化而变化的概念图。

[0059] 在例如增强现实或虚拟现实的需要高分辨率的显示装置中,如图1所示,由于在显示装置的有限尺寸内实现高分辨率,所以每个像素的尺寸变得更小。图1示出了分辨率从全高清(FHD)结构中的403ppi分辨率增加到作为超高分辨率的1500ppi分辨率的示例。在超高分辨率下,每个子像素的面积减小到FHD结构的面积的约1/14。

[0060] 同时,在针对每个子像素均具有作为发光器件的有机发光二极管的显示装置中,如有机发光显示装置,在每个小的子像素中必须包括如下电路装置以呈现每个子像素的选择性灰度级:该电路装置至少包括2个晶体管 and 1个电容器(2T1C)。在这种情况下,薄膜晶体管具有相同的结构。然而,由于每个子像素的尺寸较小,因此虽然器件特性例如薄膜晶体管的迁移率得以改进,但是当施加栅极电压时驱动薄膜晶体管在短时间内饱和。因此,难以实现灰度级的多种充分呈现。

[0061] 也就是说,为了高分辨率而减小每个子像素的尺寸,并且在每个子像素的有限区域中包括用于驱动每个子像素的电路。在驱动薄膜晶体管和其他薄膜晶体管被设置成具有相同堆叠结构的情况下,驱动薄膜晶体管的响应速度迅速,但是难以充分呈现出灰度级。

[0062] 图2是根据本发明的背板基板的每个子像素的电路图。

[0063] 背板基板被配置成使得基板(未示出)主要分为两个部分:中央部分和边缘部分。中央部分被定义为有效区域(active area)AA,并且在有效区域AA周围的边缘部分被定义为其中形成线和焊盘电极的无效区域(dead area)。有效区域AA包括以矩阵形式布置的多个子像素SP。每个子像素具有图2中所示的电路。如图2所示,每个子像素具有沿水平方向延伸的栅极线GL以及与栅极线GL相交并且彼此平行的第一电压线PL和数据线DL。开关薄膜晶体管Tsw设置在栅极线GL与数据线DL之间的交叉点处。驱动薄膜晶体管Tdr设置在开关薄膜晶体管Tsw与第一电压线PL之间。有机发光二极管OLED连接至驱动薄膜晶体管Tdr的源电极。存储电容器Cst设置在驱动薄膜晶体管Tdr的漏电极与栅电极之间。在此,每个薄膜晶体管是pMOS,并且具有沟道的有源层具有p型掺杂区。

[0064] 驱动薄膜晶体管Tdr具有连接至开关薄膜晶体管Tsw的第一栅电极DG、连接至第一电压线PL的第一漏电极DD以及连接至有机发光二极管OLED的第一源电极DS。

[0065] 开关薄膜晶体管Tsw具有连接至栅极线GL的第二栅电极SG、连接至数据线DL的第二漏电极SD、以及连接至存储电容器Cst的一个节点和驱动薄膜晶体管Tdr的第一栅电极DG的第二源电极SS。

[0066] 在此,开关薄膜晶体管Tsw与驱动薄膜晶体管Tdr之间的连接节点被称为第一节点A,并且驱动薄膜晶体管Tdr与有机发光二极管OLED之间的连接节点被称为第二节点B。

[0067] 有机发光二极管OLED的第一电极(阳极)连接至第二节点B。有机发光二极管OLED具有第一电极、连接至接地端子的第二电极(阴极)以及包括在第一电极和第二电极处形成的有机发射层的有机层。在此,有机层可以包括单个有机发射层。可替选地,空穴注入层和空穴传输层可以选择性地或全部地包括在第一电极与有机发射层之间,并且电子传输层和电子注入层可以选择性地或全部地包括在有机发射层与第二电极之间。

[0068] 开关薄膜晶体管Tsw连接至栅极线GL和数据线DL以选择子像素。驱动薄膜晶体管

Tdr驱动由开关薄膜晶体管Tsw选择的子像素的有机发光二极管OLED。

[0069] 根据情况,可以设置另外的薄膜晶体管。例如,在设置有感测薄膜晶体管Tref的情况下,感测薄膜晶体管Tref连接在感测线SSL与第二电压线RL之间以感测或初始化第二节点B的电压值。

[0070] 响应于提供给栅极线GL的栅极信号GS,开关薄膜晶体管Tsw进行切换,以将提供给数据线DL的数据电压Vdata提供给驱动薄膜晶体管Tdr。响应于从开关薄膜晶体管Tsw提供的数据电压Vdata,驱动薄膜晶体管Tdr进行切换,以使用提供给第一电压线PL的驱动电压Vdd来控制流向有机发光二极管OLED的数据电流Ioled。电容器Cst连接在第一漏电极与第一栅电极之间,以存储与提供给第一栅电极的数据电压Vdata对应的电压并且使用所存储的电压接通驱动薄膜晶体管Tdr。

[0071] 有机发光二极管OLED电连接在驱动薄膜晶体管Tdr的第一源电极与地线Vss之间,以使用从驱动薄膜晶体管Tdr提供的数据电流Ioled发光。

[0072] 因此,当在每个子像素中包括上述电路以构成有机发光显示装置时,子像素R、G和B利用驱动薄膜晶体管Tdr基于数据电压Vdata的切换,控制从驱动电压Vdd流到有机发光二极管OLED的数据电流Ioled的幅值以使有机发光二极管OLED发光,由此显示预定的图像。

[0073] 在下文中,将参考截面图来描述根据本发明的背板基板的每个子像素中所设置的驱动薄膜晶体管Tdr和开关薄膜晶体管Tsw的构造以及有机发光显示装置。图2示出了根据本发明的背板基板的每个子像素中所设置的驱动薄膜晶体管Tdr与开关薄膜晶体管Tsw之间的电路连接。

[0074] 图3是示出根据本发明的第一实施方式的背板基板的截面图。

[0075] 图3示出了根据本发明的第一实施方式的背板基板的子像素。部分示出了驱动薄膜晶体管Tdr和与其连接的开关薄膜晶体管Tsw。每个子像素被配置为使得与所示结构相同的结构重复被布置。

[0076] 驱动薄膜晶体管Tdr包括第一栅电极113、第一有源层115A、连接至有源层115A的相对侧的第一源电极DS(参见图2)和第一漏电极DD(参见图2)、以及设置在第一有源层115A与第一栅电极113之间的第一栅极绝缘膜114。

[0077] 开关薄膜晶体管Tsw包括第二栅电极117、第二有源层115B、连接至有源层115B的相对侧的第二源电极120(SS)(参见图2)和第二漏电极121(SD)(参见图2)、以及设置在第二有源层115B与第二栅电极117之间的第二栅极绝缘膜116。

[0078] 也就是说,驱动薄膜晶体管Tdr和开关薄膜晶体管Tsw具有在同一层上的第一有源层115A和第二有源层115B,并且具有在不同层上的第一栅电极113和第二栅电极117。更具体地,第一栅电极113被设置成低于第一有源层115A,并且第二栅电极117被设置成高于第二有源层115B。因此,在第一有源层115A下方的第一栅电极113可以延伸以与第二有源层115B部分地交叠,并且第二源电极120可以向下延伸以连接至第一栅电极113的与第二有源层115B交叠的区域。在这种情况下,第二源电极120延伸穿过第二有源层115B以连接至第二有源层115B下方的第一栅电极113的上部。

[0079] 同时,第一有源层115A具有在平面状态下从第一栅电极113的边缘突出预定宽度的偏移区OFA以及与偏移区OFA相邻并与第一栅电极113的边缘间隔开的第一掺杂区115b。

[0080] 在根据本发明的驱动薄膜晶体管Tdr中,设置偏移区OFA以增加从驱动薄膜晶体管

的关断状态到驱动薄膜晶体管的导通状态的时段,从而使灰度级的呈现多样化。

[0081] 为了描述以上内容,将描述S因子。公式1表示S因子。

[0082] [公式1]

$$[0083] \quad S = 2.3 \frac{kT}{q} \left[1 + \frac{(C_d + C_{it})}{C_i} \right]$$

[0084] 在有机发光显示装置的V_{gs}-I_{ds}的曲线图中,S因子对应于从接通之后到饱和为止的I_{ds}的斜率的倒数。S因子由公式1表示。大的S因子意味着可以进行灰度级调制的ΔV_{gs}相对较大。这意味着当该值是预定值或更大时,可以使灰度级的呈现多样化。

[0085] 在此,C_i表示栅极绝缘膜的电容,C_d表示偏移区(耗尽区)的电容,并且C_{it}表示栅极绝缘膜的间隙中的俘获密度(capture density)。

[0086] 从用于计算S因子的公式可以看出,假设其他条件相同,随着偏移区的增大,C_d的值增大,使得S因子增大。

[0087] 在本发明中,使用具有增大的S因子值的驱动薄膜晶体管来使灰度级的呈现多样化,并且另一晶体管(例如,开关薄膜晶体管)具有小的S因子,这对于高分辨率和保持晶体管的快速响应速度是有利的。如果另一晶体管也具有偏移区,则子像素的总体速度可能降低。为此,只有用于高灰度级呈现的驱动薄膜晶体管具有偏移区。另外,掺杂区可以通过改变驱动薄膜晶体管和开关薄膜晶体管的堆叠结构来改变,从而无需使用用于设置掺杂区的另外的掩模。

[0088] 在根据本发明的第一实施方式的背板基板中,第一有源层115A具有与第一栅电极113交叠并且与偏移区OFA直接相邻的第一沟道115a以及通过偏移区OFA与第一沟道115a间隔开的第一掺杂区115b。

[0089] 第一掺杂区115b可以包括p型掺杂剂。

[0090] 第一沟道115a和偏移区OFA可以是没有掺杂掺杂剂的本征区。

[0091] 偏移区OFA和第一掺杂区115b没有与第一栅电极113交叠。

[0092] 第二有源层115B具有在平面状态下与第二栅电极117的边缘相邻的第二掺杂区115d。第二有源层115B的与第二栅电极117交叠的区域是第二沟道115c,其可以是本征区。第二掺杂区115d由从第二栅电极117露出的部分来限定。不需要另外的掩模来限定第二掺杂区115d。其原因在于第二栅电极117被用作掩模。

[0093] 第一掺杂区115b和第二掺杂区115d中的掺杂剂可以是相同类型的,可以在同一过程中限定,并且可以是p+型掺杂剂,例如硼。

[0094] 同时,像第一掺杂区115b一样,在没有电极的情况下,第一沟道115a和偏移区OFA向上露出。其原因在于,在掺杂剂掺杂过程中去除了覆盖第一沟道115a和第一掺杂区115b的上部的结构。根据情况,覆盖第一沟道115a和第一掺杂区115b的上部的结构可以保留用作驱动薄膜晶体管T_{dr}的辅助栅电极。(在下文中,将在描述根据本发明的第二实施方式的背板基板时描述该结构。)

[0095] 同时,本发明的偏移区OFA相对于第一栅电极113进一步向外突出。这是掺杂区中的位于第一栅电极113上方的结构,其宽度可以调整。

[0096] 另外,除了偏移区以外,本发明还由于驱动薄膜晶体管T_{dr}和开关薄膜晶体管T_{sw}之间的竖直连接关系而具有集成效果。

[0097] 也就是说,第一栅电极113与第二有源层115B交叠并且连接至第二源电极120。具体地,第二源电极120可以穿过第二有源层115B在第二有源层115B与第一栅电极113之间的交叠区域处连接至第一栅电极113。连接区域处的线和有源层(不包括绝缘膜)如下所述从上到下依次布置。第二源电极120的平面部分位于最上方位置,第二有源层115B和第一栅电极113位于其下方,并且第二源电极120竖直延伸穿过第二有源层115B。

[0098] 开关薄膜晶体管 T_{sw} 的第二源电极120和驱动薄膜晶体管 T_{dr} 的第一栅电极113彼此竖直连接。因此,与传统的水平连接结构相比,可以实现集成并且电路被容纳在小的区域中,这对于实现高分辨率是有利的。

[0099] 另外,在第一栅电极113的下方设置有与第一栅电极113交叠的第一存储电极111。在这种情况下,在彼此交叠的第一栅电极113与第一存储电极111之间设置有第一层间绝缘膜112和存储电容器。

[0100] 同时,在上述构造中存在作为未描述的元件的绝缘膜。绝缘膜如下所述。

[0101] 缓冲层110位于基板100上。第一层间绝缘膜112被设置成覆盖缓冲层110上的第一存储电极111。与第一存储电极111交叠的第一栅电极113位于第一层间绝缘膜112上。第一栅极绝缘膜114被设置成覆盖第一栅电极113。第一有源层115A和第二有源层115B位于第一栅极绝缘膜114上并彼此间隔开。第二栅极绝缘膜116被设置成覆盖第一有源层115A和第二有源层115B。与第二有源层115B部分地交叠的第二栅电极117位于第二栅极绝缘膜116上。第二层间绝缘膜118被设置成覆盖第二栅电极117。接着,第三层间绝缘膜119位于第二层间绝缘膜118上。以预定直径去除第三层间绝缘膜119、第二层间绝缘膜118、第二栅极绝缘膜116、第二有源层115B和第一栅极绝缘膜114以形成第一接触孔(参见形成第二源电极的区域)。第二源电极120从一侧延伸穿过第二有源层115B以连接至露出的第一栅电极113。以预定直径去除相同的层(即,第三层间绝缘膜119、第二层间绝缘膜118、第二栅极绝缘膜116、第二有源层115B和第一栅极绝缘膜114)以形成第二接触孔(参见形成第二漏电极的区域)。第二漏电极121从另一侧延伸穿过第二有源层115B以进行连接。

[0102] 第一接触孔和第二接触孔通过额外地蚀刻第二有源层115B的相对端以致第二有源层115B下方的第一栅电极113被露出而形成。在这种情况下,在第二有源层115B下方在第二漏电极121的区域处没有设置金属。因此,仅第一栅极绝缘膜114被蚀刻。

[0103] 根据情况,第二漏电极121和第二源电极120可以具有不同的层结构。在这种情况下,第二漏电极121可以连接至第二有源层115B的上端。然而,在这种情况下,用于第二源电极120和第二漏电极121的掩模不同,由此可以使用比上述示例更少数量的掩模。

[0104] 同时,第一有源层115A和第二有源层115B可以由多晶硅制成。其原因是可以通过集成子像素中的有源层的高迁移率来实现高速驱动。

[0105] 将在下文中描述制造根据本发明的第一实施方式的背板基板的方法。

[0106] 在根据本发明的第一实施方式的背板基板中,在驱动薄膜晶体管 T_{dr} 处设置有偏移区OFA。因此,由于S因子的增大,可以使灰度级的呈现多样化。另外,开关薄膜晶体管 T_{sw} 和驱动薄膜晶体管 T_{dr} 彼此竖直连接。因此,容易实现子像素中的电路集成,这对于实现高分辨率是有利的。

[0107] 图4是示出了根据本发明的第二实施方式的背板基板的截面图。

[0108] 图4所示的根据本发明的第二实施方式的背板基板与第一实施方式的背板基板的

不同之处在于:保留了被设置用于限定第一有源层115A的第一掺杂区115b的第一栅极辅助电极127。根据本发明的第二实施方式的背板基板具有如下相同的效果:可以实现在第一实施方式中所述的由于偏移区OFA的设置而导致的驱动薄膜晶体管Tdr的灰度级呈现的多样化和高集成度。

[0109] 此外,由于设置了第一栅极辅助电极127,所以第一栅电极113和第一栅极辅助电极127之间的电信号被共享,从而提高了驱动薄膜晶体管Tdr的效率。另外,不需要去除第一栅极辅助电极127的另外的过程,从而与第一实施方式相比减少了掩模的数量。

[0110] 同时,将省略第二实施方式的与第一实施方式的部分相同的部分的描述。

[0111] 图5是示出了根据本发明的第三实施方式的背板基板的截面图。

[0112] 在根据本发明的第三实施方式的背板基板中,如图5所示,驱动薄膜晶体管Tdr包括第一栅电极213、第一有源层215A、连接至第一有源层215A的相对侧的第一源电极DS(参见图2)和第一漏电极DD(参见图2)、以及设置在第一有源层215A与第一栅电极213之间的第一栅极绝缘膜214。

[0113] 开关薄膜晶体管Tsw包括第二栅电极217、第二有源层215B、连接至第二有源层215B的相对侧的第二源电极223(SS)(参见图2)和第二漏电极221(SD)(参见图2)、以及设置在第二有源层215B与第二栅电极217之间的第二栅极绝缘膜216。

[0114] 也就是说,驱动薄膜晶体管Tdr和开关薄膜晶体管Tsw具有在同一层上的第一有源层215A和第二有源层215B,并且具有在不同层上的第一栅电极213和第二栅电极217。更具体地,第一栅电极213被设置成低于第一有源层215A,并且第二栅电极217被设置成高于第二有源层215B。因此,第一有源层215A下方的第一栅电极213可以延伸以致与第二有源层215B部分地交叠,并且第二源电极223可以向下延伸以连接至第一栅电极213的与第二有源层215B交叠的区域。在这种情况下,第二源电极223延伸穿过第二有源层215B以连接至第二有源层215B下方的第一栅电极213的上部。

[0115] 同时,第一有源层215A具有在平面状态下从第一栅电极213的边缘突出预定宽度的偏移区OFA和与偏移区OFA相邻并与第一栅电极213的边缘间隔开的第一掺杂区215b。因此,在驱动薄膜晶体管Tdr的 V_{gs} - I_{ds} 的曲线图中,导通时间增加,从而使灰度级的呈现多样化。

[0116] 此外,在本发明的第三实施方式中,如图5所示,与第一栅电极213交叠的第一存储电极211设置在第一栅电极213下方。另外,连接至第一栅电极213的第二源电极223可以具有在与第二漏电极221的层不同的层上的平面部分。

[0117] 第二源电极223的平面部分与第一栅电极213之间的第一接触孔CT1可以具有比第二漏电极221的上表面与第二有源层215B之间的第二接触孔CT2更大的深度。其原因在于:第二源电极223的平面部分位于与第二漏电极221的平面部分所在的层不同的层上,并且第一接触孔CT1被更过多地蚀刻以露出第二有源层215B和第一栅极绝缘膜214。

[0118] 另外,还设置有第一存储辅助电极225以增大交叠区域,从而提高存储电容,该第一存储辅助电极225垂直连接至第一存储电极211并与第二源电极223的平面部分交叠。

[0119] 另外,该交叠区域通过驱动薄膜晶体管Tdr和开关薄膜晶体管Tsw之间的竖直连接而被共享。因此,电路可以集成在每个子像素中,这有利于实现集成。

[0120] 同时,在上述构造中存在作为未描述的元件的绝缘膜。绝缘膜如下所述。

[0121] 缓冲层210位于基板200上。第一层间绝缘膜212被设置成覆盖缓冲层210上的第一存储电极211。与第一存储电极211交叠的第一栅电极213位于第一层间绝缘膜212上。第一栅极绝缘膜214被设置成覆盖第一栅电极213。第一有源层215A和第二有源层215B位于第一栅极绝缘膜214上并彼此间隔开。第二栅极绝缘膜216被设置成覆盖第一有源层215A和第二有源层215B。与第二有源层215B部分地交叠的第二栅电极217位于第二栅极绝缘膜216上。第二层间绝缘膜219被设置成覆盖第二栅电极217。接着,第三层间绝缘膜220位于第二层间绝缘膜219上。以预定直径去除第三层间绝缘膜220、第二层间绝缘膜219、第二栅极绝缘膜216、第二有源层215B和第一栅极绝缘膜214以形成第一接触孔CT1(参见图5)。设置有连接至露出的第一栅电极213的第二源电极223。第二漏电极221形成为连接至通过去除第三层间绝缘膜220、第二层间绝缘膜219和第二栅极绝缘膜216而露出的第二有源层215B的第二掺杂区215d。

[0122] 第三层间绝缘膜222设置在第二源电极223的平面部分与第二漏电极221的平面部分之间。第四层间绝缘膜224设置在第一存储辅助电极225的平面部分与第二源电极223的平面部分之间。

[0123] 与第一实施方式和第二实施方式相比,第三实施方式中的存储电容被进一步提高。即使在由于高集成度而导致每个子像素的面积小时,也可以提供足够的存储电容。

[0124] 同时,第一有源层215A和第二有源层215B可以由多晶硅制成。其原因是可以通过集成子像素中的有源层的高迁移率来实现高速驱动。另外,偏移区OFA没有设置在第二有源层215B处而是设置在第一有源层215A处,由此可以由驱动薄膜晶体管来呈现高灰度级。

[0125] 图6是示出了根据本发明的第四实施方式的背板基板的截面图。

[0126] 图6所示的根据本发明的第四实施方式的背板基板与图5所示的根据第三实施方式的背板基板的区别之处在于:在第一有源层215A上还设置有第一栅极辅助电极227,使得第一栅极辅助电极227可以用作掩模来限定第一有源层215A的第一掺杂区215b。

[0127] 图6所示的背板基板的其余构造与图5所示的背板基板相同,因此将省略其描述。

[0128] 在上述结构中,驱动薄膜晶体管Tdr具有包括有偏移区的底栅形状,并且开关薄膜晶体管Tsw具有顶栅形状。驱动薄膜晶体管Tdr和开关薄膜晶体管Tsw在构造和操作方面彼此不同。即使在超高分辨率结构中,驱动薄膜晶体管也能够呈现高灰度级,并且开关薄膜晶体管能够具有高迁移率的电路特性。

[0129] 在下文中,将参照附图描述根据本发明的制造背板基板的方法。

[0130] 图7A至图7E是示出了根据本发明的第一实施方式的制造背板基板的方法的过程截面图。

[0131] 以下过程在单个子像素中执行。在多个子像素中,可以使用相同的制造方法来重复形成相同的结构。

[0132] 首先,制备具有多个子像素的基板100(参照图7A)。

[0133] 随后,如图7A所示,针对每个子像素在基板100的整个表面上形成缓冲层110,然后在缓冲层110的预定区域上形成第一存储电极111。

[0134] 随后,形成第一层间绝缘膜112以覆盖第一存储电极111。

[0135] 随后,在第一层间绝缘膜112上形成第一栅电极113。

[0136] 随后,如图7B所示,形成第一栅极绝缘膜114以覆盖第一栅电极113。

[0137] 随后,在第一栅极绝缘膜114上沉积非晶硅,然后通过脱氢和激光施加使非晶硅结晶以形成多晶硅。然后,对多晶硅进行图案化以形成彼此间隔开的第一有源层115A和第二有源层115B。第二有源层115B与第一栅电极113部分地交叠。在该步骤中,第一有源层115A和第二有源层115B是未掺杂的本征状态。

[0138] 随后,如图7C所示,形成第二栅极绝缘膜116以覆盖第一有源层115A和第二有源层115B。

[0139] 随后,在第二栅极绝缘膜116上形成与第二有源层115B交叠的第二栅电极117以及与第一有源层115A交叠并且比第一栅电极113更进一步突出的第一栅极辅助电极127。

[0140] 随后,如图7D所示,使用第二栅电极117和第一栅极辅助电极127作为掩模,用p+型掺杂剂对第一有源层115A和第二有源层115B进行掺杂,以分别在第一有源层115A和第二有源层115B中形成第一掺杂区115b和第二掺杂区115d。

[0141] 在此,未掺杂区115a和115c是本征区。特别地,第二有源层115B的与第二栅电极117交叠的区域成为第二沟道115c,并且第一有源层115A的与第一栅电极113交叠的区域成为第一沟道115a。作为本征区之一的、与第一沟道115a直接相邻并且位于第一沟道115a与第一掺杂区115b之间的区域是偏移区OFA,其是具有增大的S因子从而在驱动薄膜晶体管Tdr最终形成之后使灰度级的呈现多样化的元件。

[0142] 随后,如图7E所示,选择性地去除第一栅极辅助电极127。

[0143] 随后,通过沉积依次形成第二层间绝缘膜118和第三层间绝缘膜119,以覆盖第二栅电极117。选择性地去除第三层间绝缘膜119、第二层间绝缘膜118、第二栅极绝缘膜116、第一有源层115A和第二有源层115B以及第一栅极绝缘膜114,以形成延伸穿过第一有源层115A和第二有源层115B的接触孔(图7E中仅示出了第一接触孔CT1和第二接触孔CT2;关于第三接触孔和第四接触孔参见图10)。通过蚀刻其下方设置有第一栅电极113的第二有源层115B的一侧以致第一栅电极113被露出来形成接触孔CT1。在相同的过程中,穿过第二有源层115B的另一侧形成接触孔CT2以具有相同或相似的深度。

[0144] 随后,形成延伸穿过第一有源层115A的相对侧以与第一有源层115A边接触(side-contact)的第一源电极DS(参见图2)和第一漏电极DD(参见图2)以及延伸穿过第二有源层115B的相对侧以与第二有源层115B边接触的第二源电极120和第二漏电极121。第二源电极120连接至第一栅电极113。

[0145] 图8A至图8E是示出了根据本发明的第二实施方式的制造背板基板的方法的过程截面图。

[0146] 在根据本发明的第二实施方式的制造背板基板的方法中,图8A至图8D所示的过程与根据第一实施方式的方法的过程相同,因此将省略其描述。

[0147] 在根据本发明的第二实施方式的制造背板基板的方法中,限定了第一掺杂区115b和第二掺杂区115d,并且用作掺杂掩模的第一栅极辅助电极227没有被去除而是被保留。

[0148] 随后,在图8E所示的过程中,形成接触孔、第一源电极DS(参见图2)、第一漏电极DD(参见图2)、第二源电极120和第二漏电极121。该过程与结合第一实施方式所描述的过程相同,并且将省略其描述。

[0149] 图9A至图9E是示出了根据本发明的第三实施方式的制造背板基板的方法的过程截面图。

- [0150] 首先,制备具有多个子像素的基板200(参见图9A)。
- [0151] 随后,如图9A所示,针对每个子像素在基板200的整个表面上形成缓冲层210,然后在缓冲层210的预定区域上形成第一存储电极211。
- [0152] 随后,形成第一层绝缘膜212以覆盖第一存储电极211。
- [0153] 随后,在第一层绝缘膜212上形成第一栅电极213。
- [0154] 随后,如图9B所示,形成第一栅极绝缘膜214以覆盖第一栅电极213。
- [0155] 随后,在第一栅极绝缘膜214上形成彼此间隔开的第一有源层215A和第二有源层215B。第二有源层215B与第一栅电极213部分地交叠。
- [0156] 随后,如图9C所示,形成第二栅极绝缘膜216以覆盖第一有源层215A和第二有源层215B。
- [0157] 随后,在第二栅极绝缘膜216上形成与第二有源层215B交叠的第二栅电极217以及与第一有源层215A交叠并且比第一栅电极213更进一步突出的第一栅极辅助电极227。
- [0158] 随后,如图9D所示,使用第二栅电极217和第一栅极辅助电极227作为掩模,用p+型掺杂剂对第一有源层215A和第二有源层215B进行掺杂,以分别在第一有源层215A和第二有源层215B中形成第一掺杂区215b和第二掺杂区215d。
- [0159] 在此,未掺杂区是本征区。特别地,第二有源层215B的与第二栅电极217交叠的区域是第二沟道215c,并且第一有源层215A的与第一栅电极213交叠的区域是第一沟道215a。作为本征区之一的、与第一沟道215a直接相邻并且位于第一沟道215a与第一掺杂区215b之间的区域是偏移区0FA,其是具有增大的S因子从而在驱动薄膜晶体管Tdr最终形成之后使灰度级的呈现多样化的元件。
- [0160] 随后,如图9E所示,选择性地去除第一栅极辅助电极227。
- [0161] 随后,通过沉积依次形成第二层绝缘膜219和第三层绝缘膜220,以覆盖第二栅电极217。去除第三层绝缘膜220、第二层绝缘膜219和第二栅极绝缘膜216以形成第二接触孔CT2,第二有源层215B的第二掺杂区215d的一部分通过第二接触孔CT2露出。
- [0162] 随后,形成通过第二接触孔CT2连接至第二有源层215B的第二掺杂区215d的第二漏电极221。第二漏电极221的平面部分位于第三层绝缘膜220上。
- [0163] 随后,如图9F所示,在包括第二漏电极221的第三层绝缘膜220上沉积第四层绝缘膜222。然后,选择性地去除第四层绝缘膜222、第三层绝缘膜220、第二层绝缘膜219、第二栅极绝缘膜216、第二有源层215B的第二掺杂区215d的预定区域以及第一栅极绝缘膜214以形成第一接触孔CT1。
- [0164] 随后,形成通过第一接触孔CT1连接至第一栅电极213的第二源电极223。
- [0165] 第二源电极223的平面部分位于第四层绝缘膜222上,并且可以具有与第一栅电极213的面积相似的面积。
- [0166] 随后,在包括第二源电极223的平面部分的第四层绝缘膜222上形成第五层绝缘膜224。然后,选择性地去除第五层绝缘膜224、第四层绝缘膜222、第三层绝缘膜220、第二层绝缘膜219、第二栅极绝缘膜216、第二有源层215B的第二掺杂区215d的预定区域、第一栅极绝缘膜214以及第一层绝缘膜212以形成存储接触孔。
- [0167] 随后,形成存储接触电极225,该存储接触电极225通过存储接触孔连接至第一存储电极211并与第四层绝缘膜222上的第二源电极223的平面部分部分地交叠。

[0168] 存储接触电极225可以用作驱动薄膜晶体管Tdr的第一源电极或第一漏电极。

[0169] 同时,在根据本发明的第三实施方式的制造背板基板的方法中,如第二实施方式中所述,第一栅极辅助电极227可以不被去除,而是可以保留。

[0170] 在下文中,将描述根据本发明的包括上述背板基板的有机发光显示装置。

[0171] 图10是示出根据本发明的有机发光显示装置的截面图。

[0172] 图10是选择性地仅示出在驱动薄膜晶体管Tdr与有机发光二极管OLED之间的连接的截面图。根据前述实施方式中的任一个实施方式的背板基板可以设置在有机发光二极管下方。在图10中,根据第一实施方式的背板基板设置在有机发光二极管下方。但是,本发明不限于此。根据第二实施方式至第四实施方式中的任一个实施方式的背板基板可以设置在有机发光二极管下方。

[0173] 也就是说,在背板基板的驱动薄膜晶体管Tdr的第一源电极122和第一漏电极123上形成钝化膜125。选择性地去除钝化膜125以形成接触孔,第一源电极122的一部分通过该接触孔露出。形成通过该接触孔连接至第一源电极122的第一电极231,形成堤部250以覆盖非发射部,以及在第一电极231上依次形成包括有机发射层的有机层232以及第二电极240。

[0174] 在此,第一电极231、包括有机发射层的有机层232以及第二电极240构成有机发光二极管OLED。

[0175] 在根据本发明的有机发光显示装置中,如图3至图6或图10所示,通过改变驱动薄膜晶体管和开关薄膜晶体管的堆叠结构来调整每个薄膜晶体管的沟道和栅电极之间的交叠,由此在驱动薄膜晶体管处选择性地设置偏移区。因此,可以增大直接影响灰度级的呈现的驱动薄膜晶体管的S因子,由此可以充分地呈现灰度级。

[0176] 另外,与驱动薄膜晶体管不同,除了驱动薄膜晶体管之外的薄膜晶体管(例如,开关薄膜晶体管)具有高迁移率和快速响应速度,由此可以在高分辨率或超高分辨率结构中充分地执行高性能电路操作。

[0177] 另外,驱动薄膜晶体管和开关薄膜晶体管在平面状态下彼此不连接,而是彼此竖直连接,使得驱动薄膜晶体管和开关薄膜晶体管在平面状态下彼此交叠,由此可以实现器件集成,这有利于实现超高分辨率。

[0178] 从以上描述中明显的是,根据本发明的背板基板、制造该背板基板的方法以及使用该背板基板的有机发光显示装置具有以下效果。

[0179] 首先,通过改变驱动薄膜晶体管和开关薄膜晶体管的堆叠结构来调整每个薄膜晶体管的沟道和栅电极之间的交叠,从而在驱动薄膜晶体管处选择性地设置偏移区。因此,可以增大直接影响灰度级的呈现的驱动薄膜晶体管的S因子,由此可以充分地呈现灰度级。

[0180] 其次,与驱动薄膜晶体管不同,除了驱动薄膜晶体管之外的薄膜晶体管(例如,开关薄膜晶体管)具有高迁移率和快速响应速度,由此可以在高分辨率或超高分辨率结构中充分地执行高性能电路操作。

[0181] 第三,驱动薄膜晶体管和开关薄膜晶体管在平面状态下彼此不连接,而是彼此竖直连接,使得驱动薄膜晶体管和开关薄膜晶体管在平面状态下彼此交叠,由此可以进行实现集成,这有利于实现超高分辨率。

[0182] 对于本领域技术人员来说明显的是,在不脱离本发明的精神或范围的情况下,可以在本发明中进行各种修改和变形。因此,本发明旨在覆盖本发明的修改和变形,只要这些

修改和变型在所附权利要求及其等同内容的范围内即可。

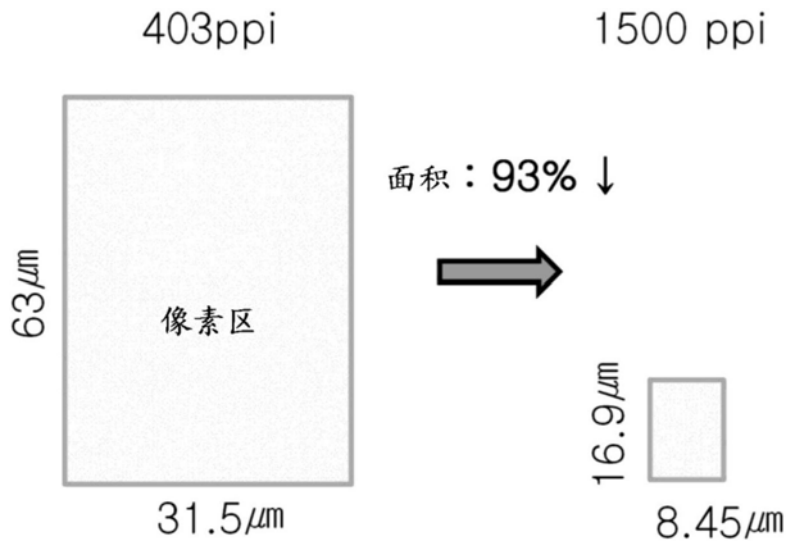


图1

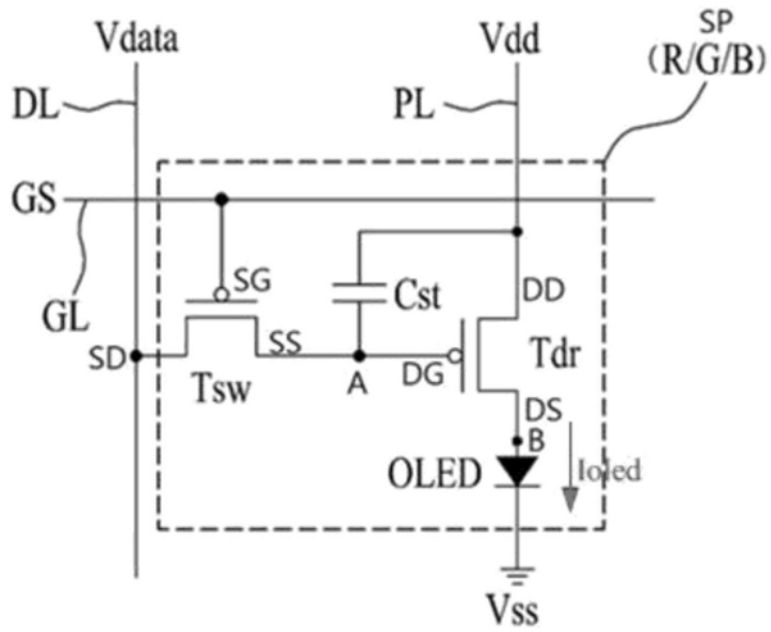


图2

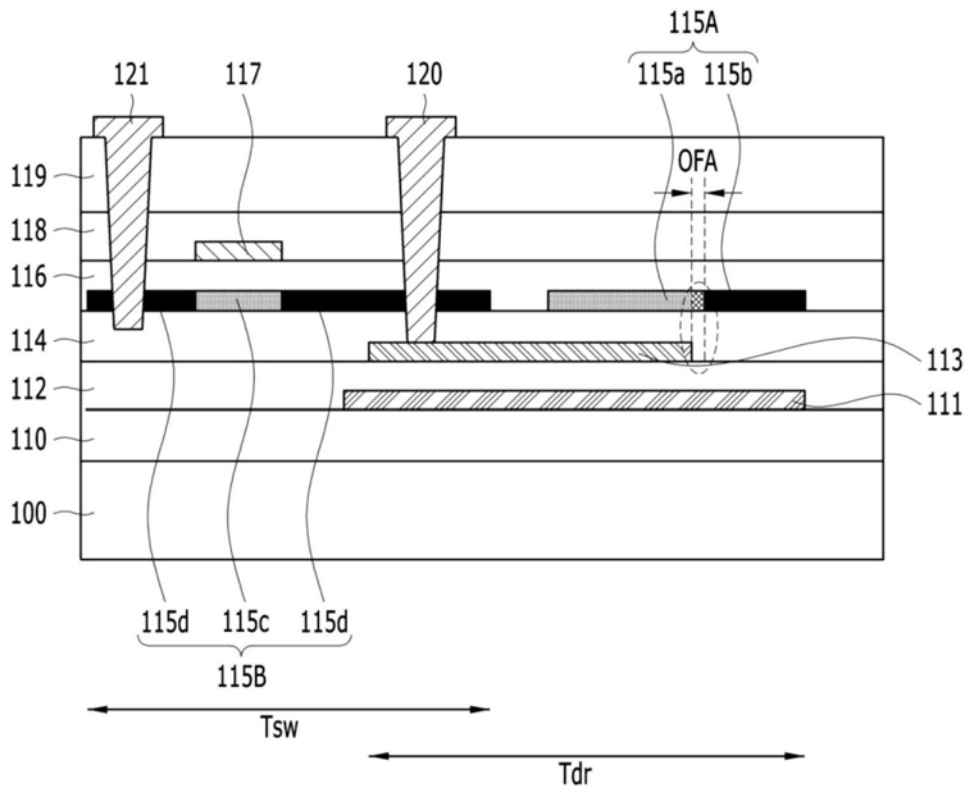


图3

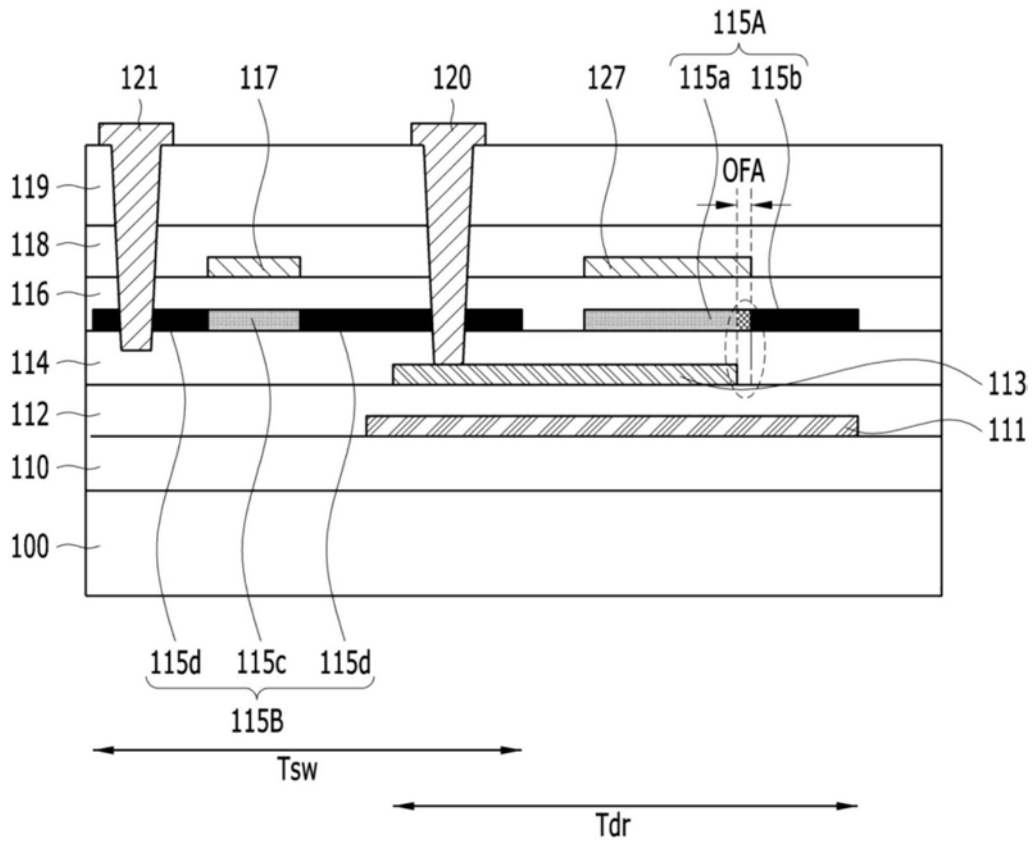


图4

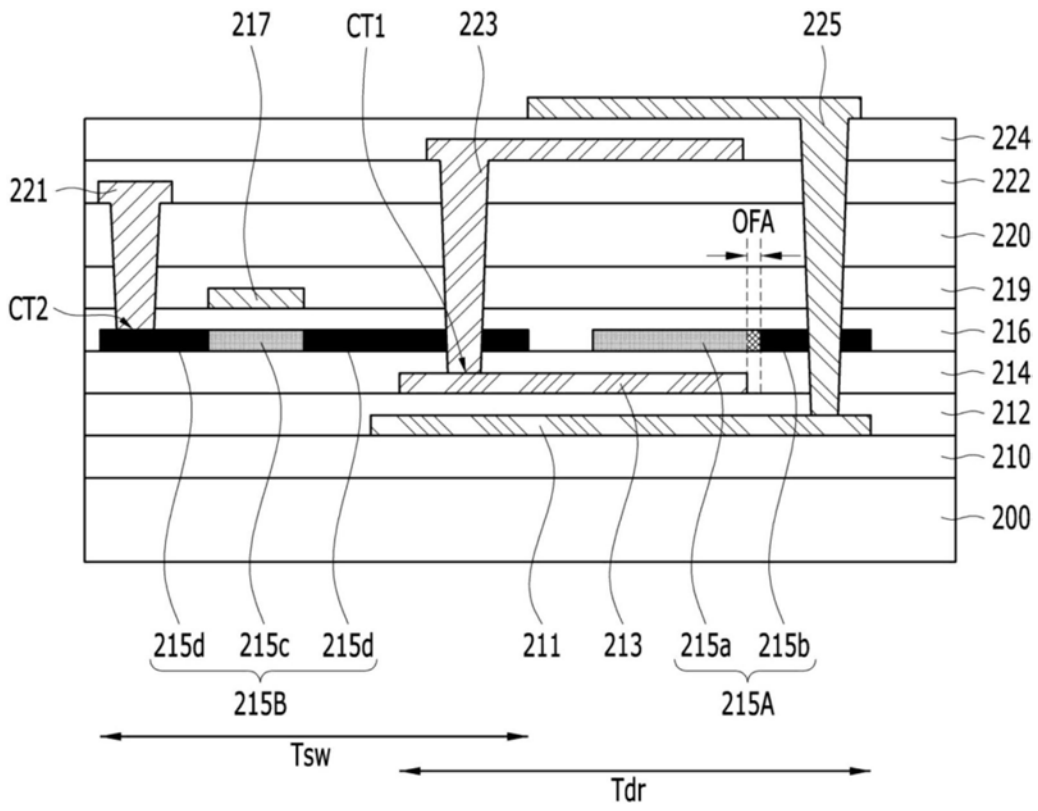


图5

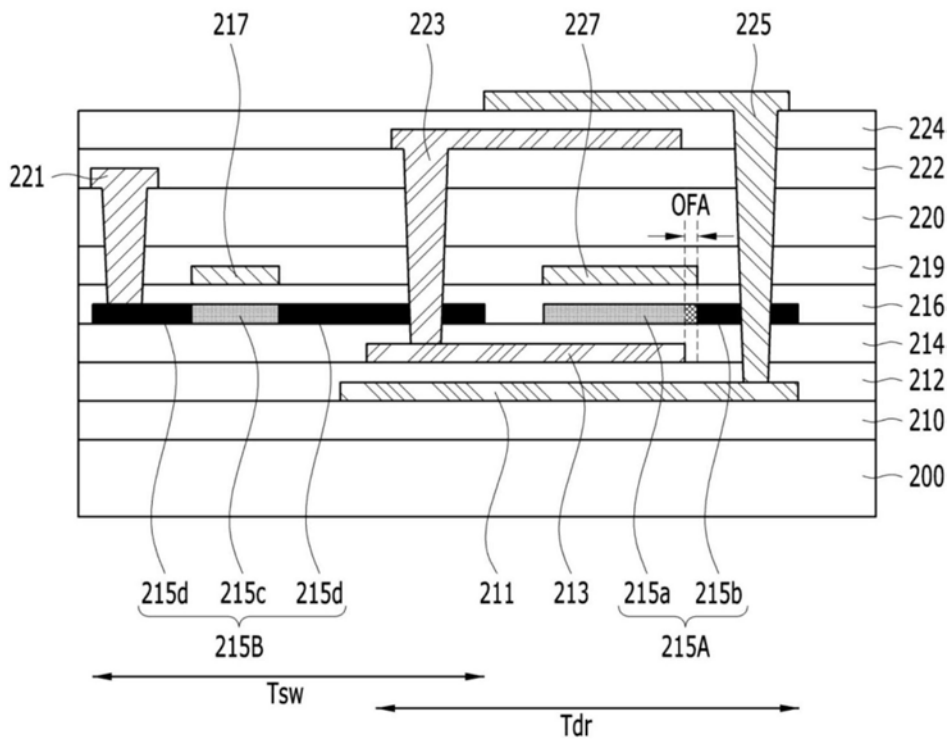


图6

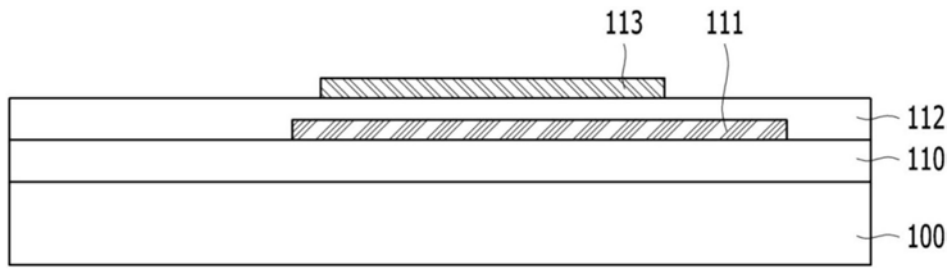


图7A

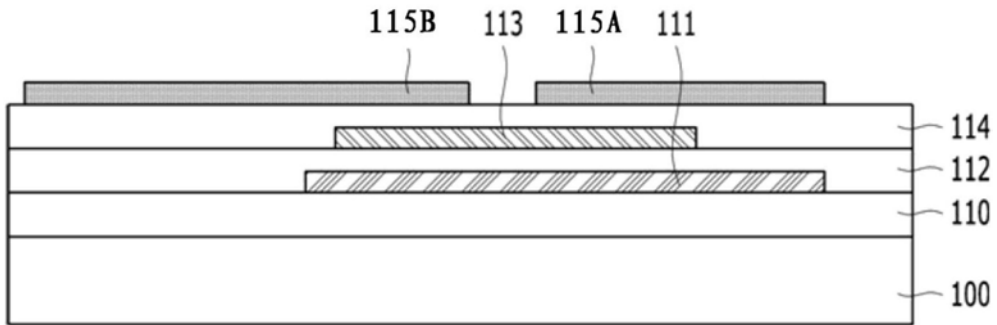


图7B

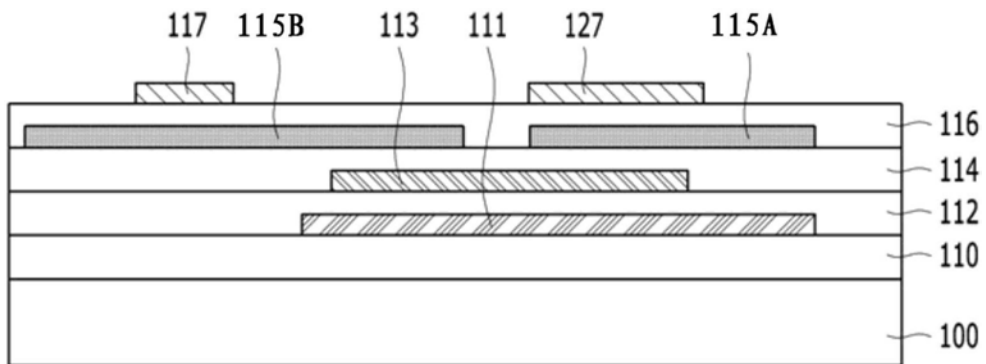


图7C

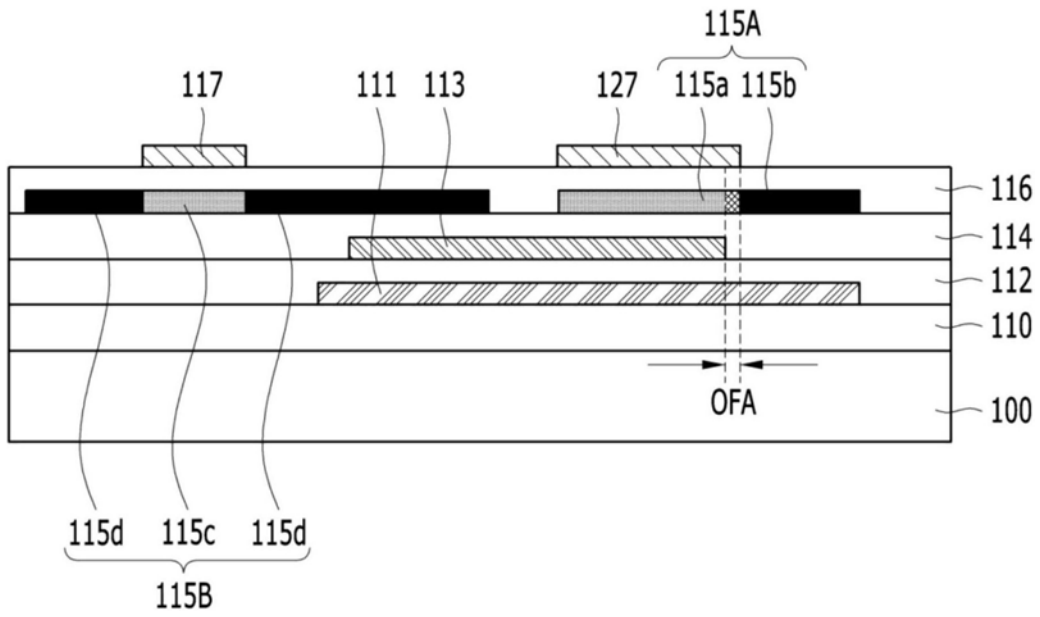


图7D

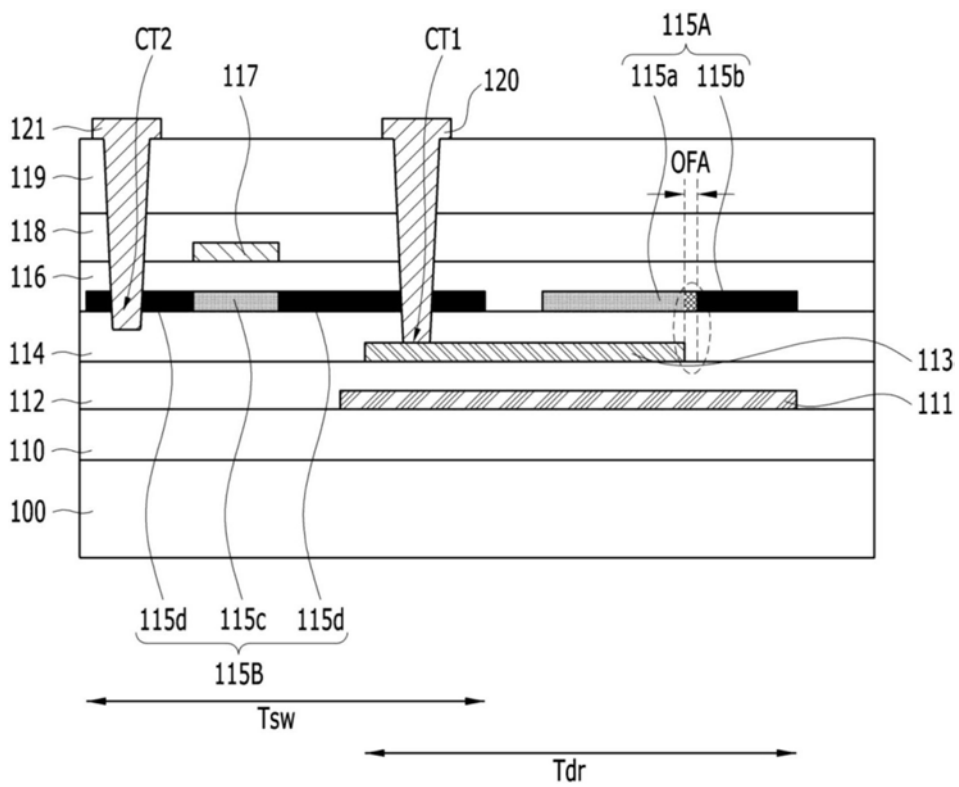


图7E

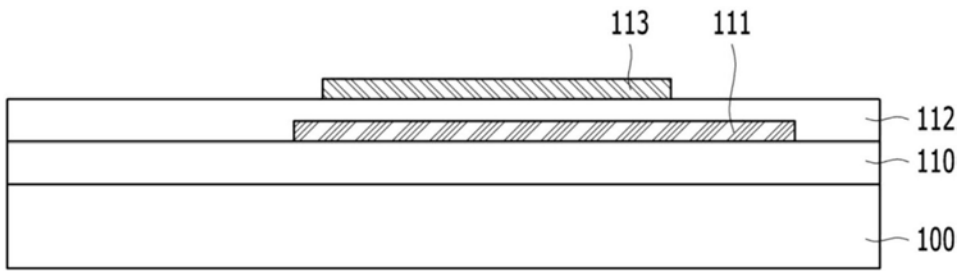


图8A

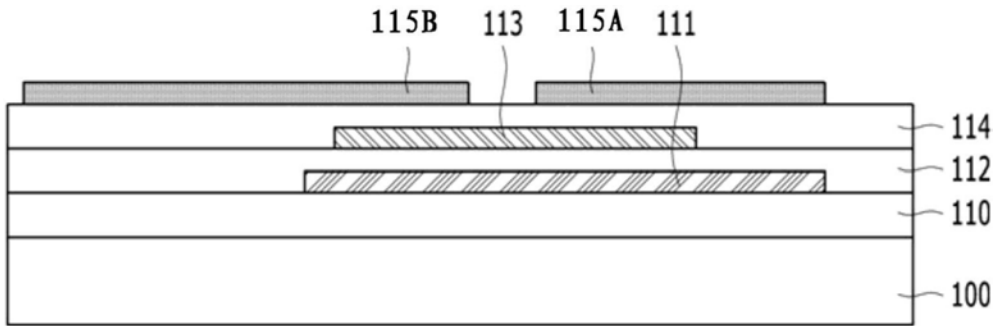


图8B

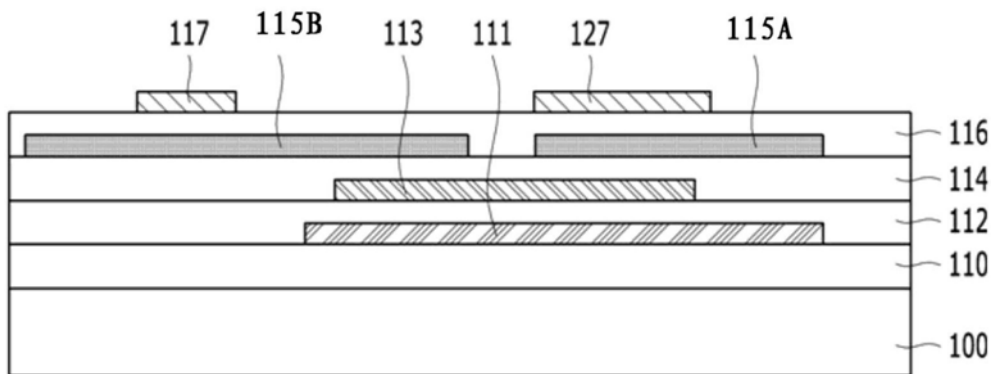


图8C

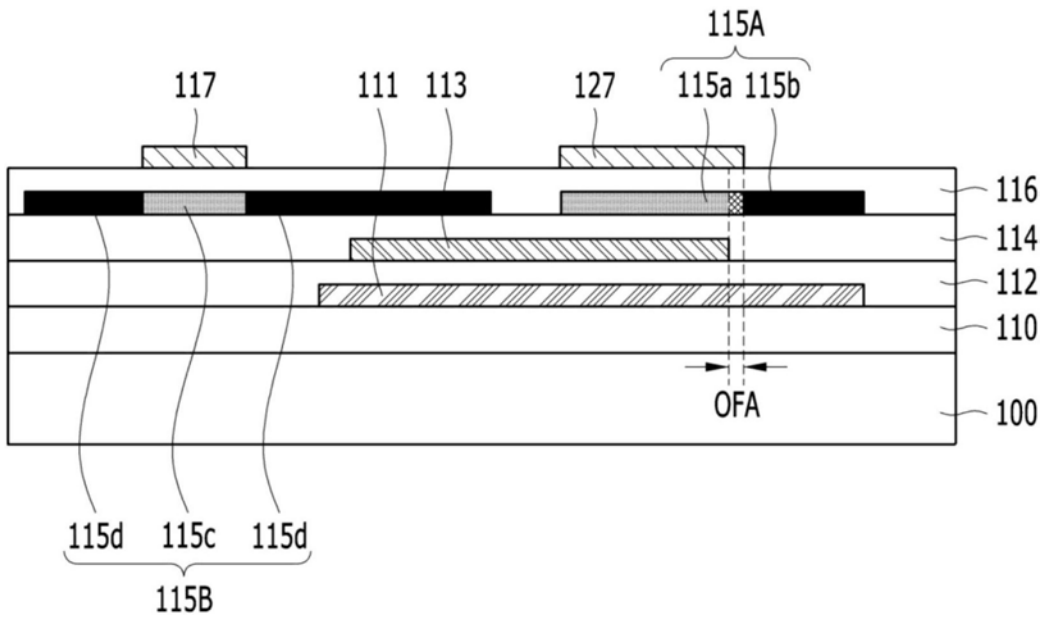


图8D

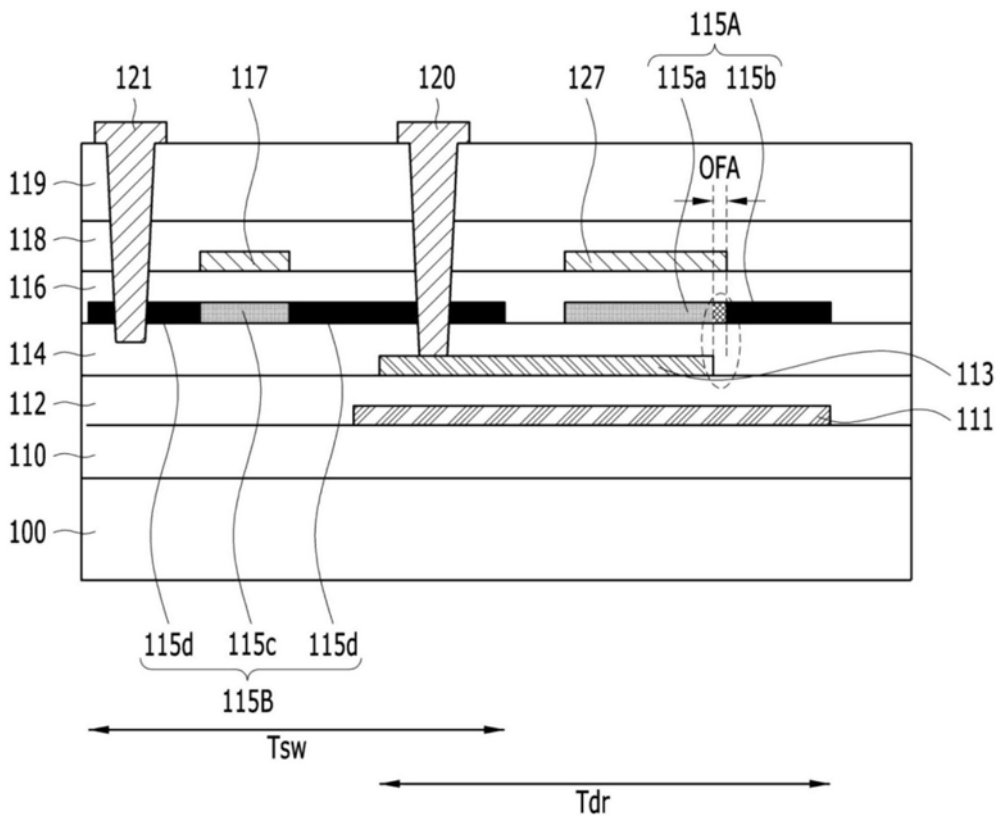


图8E

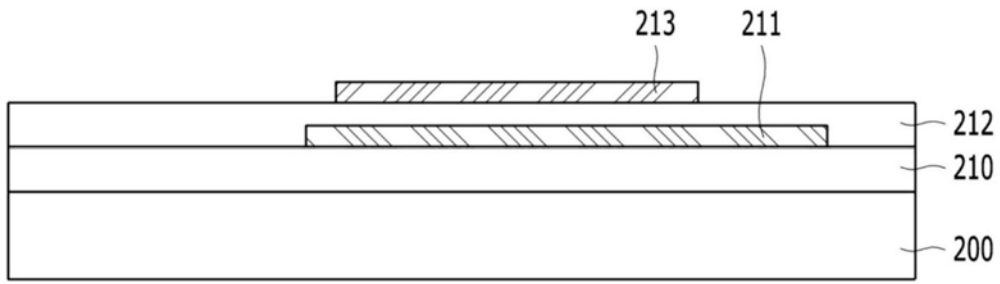


图9A

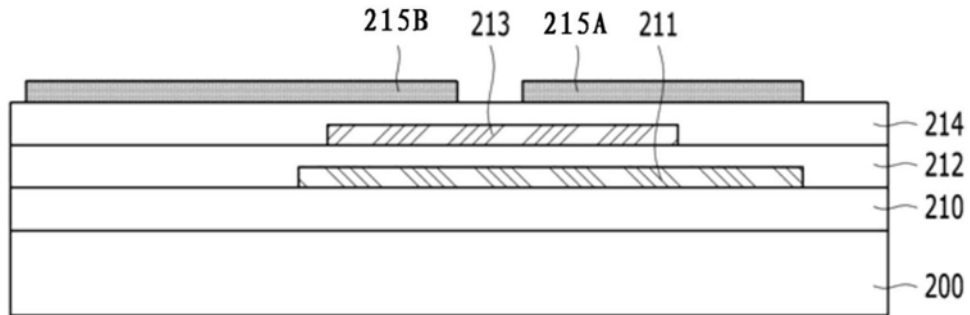


图9B

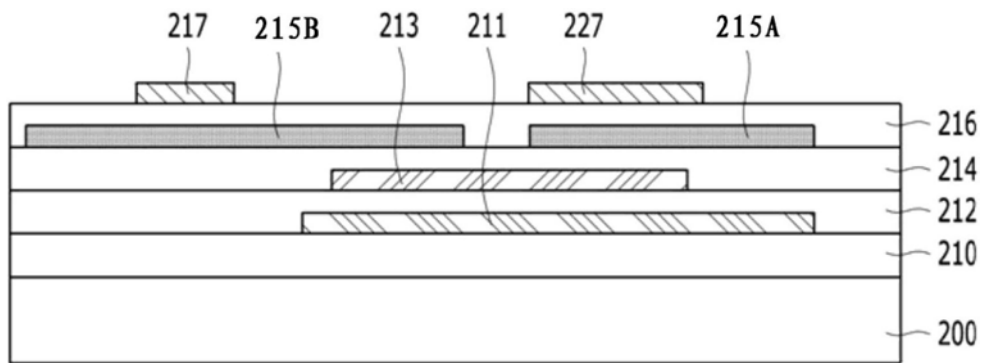


图9C

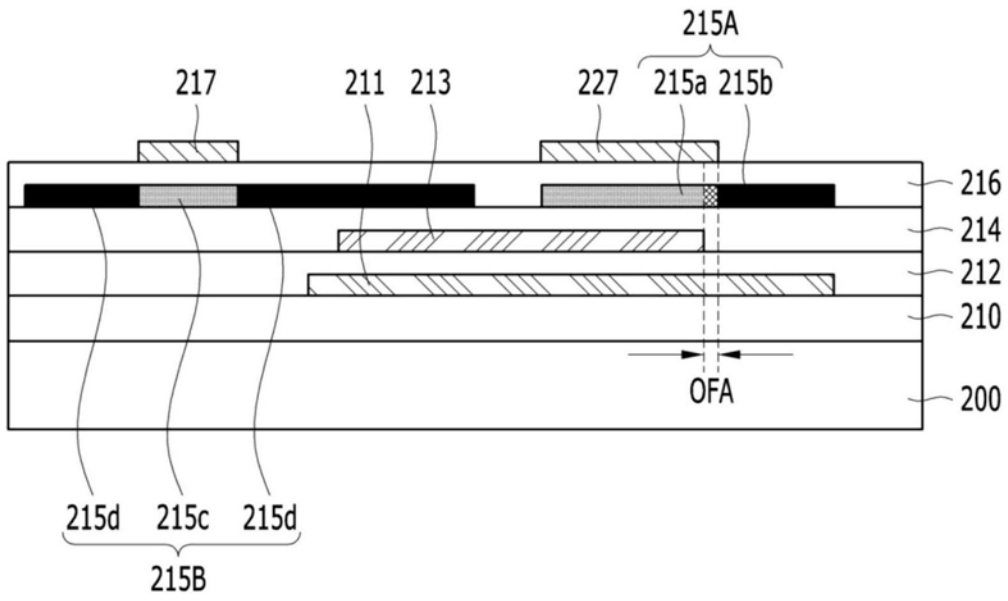


图9D

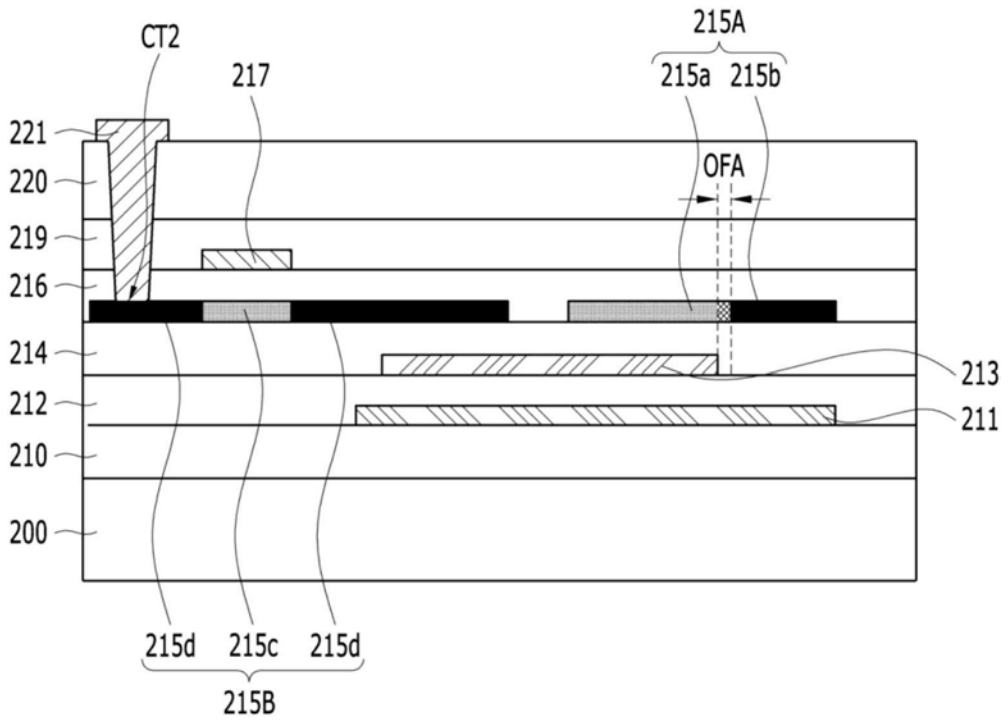


图9E

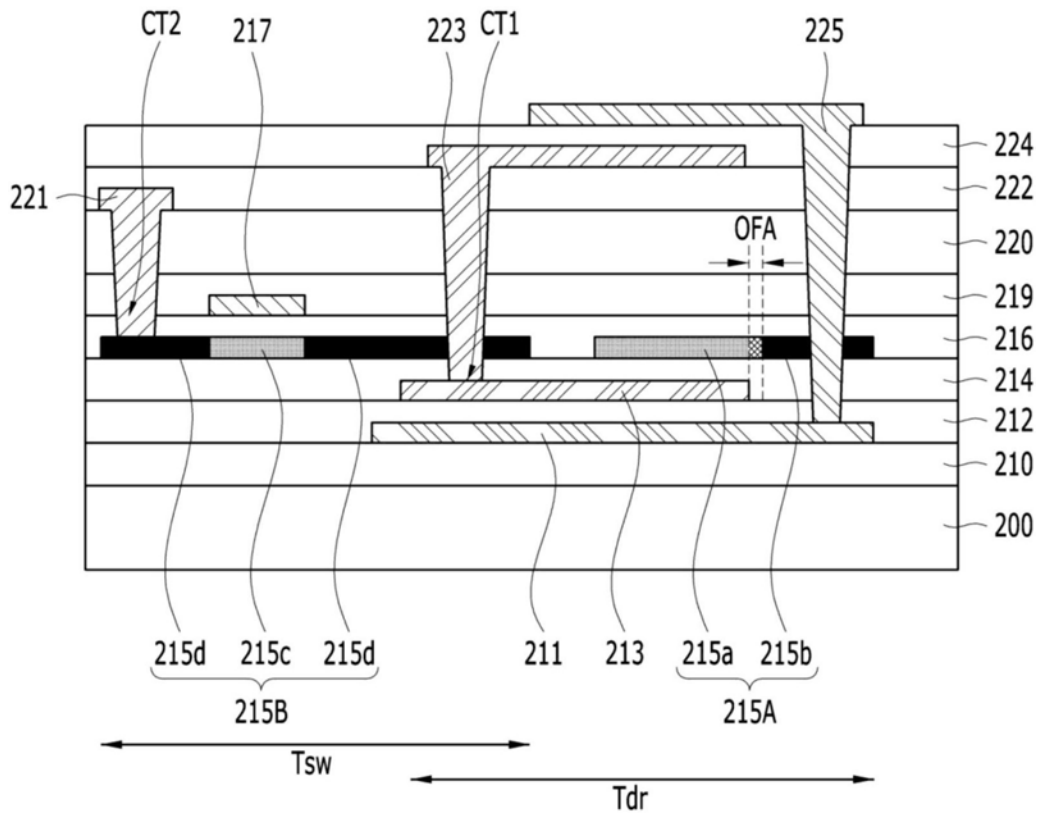


图9F

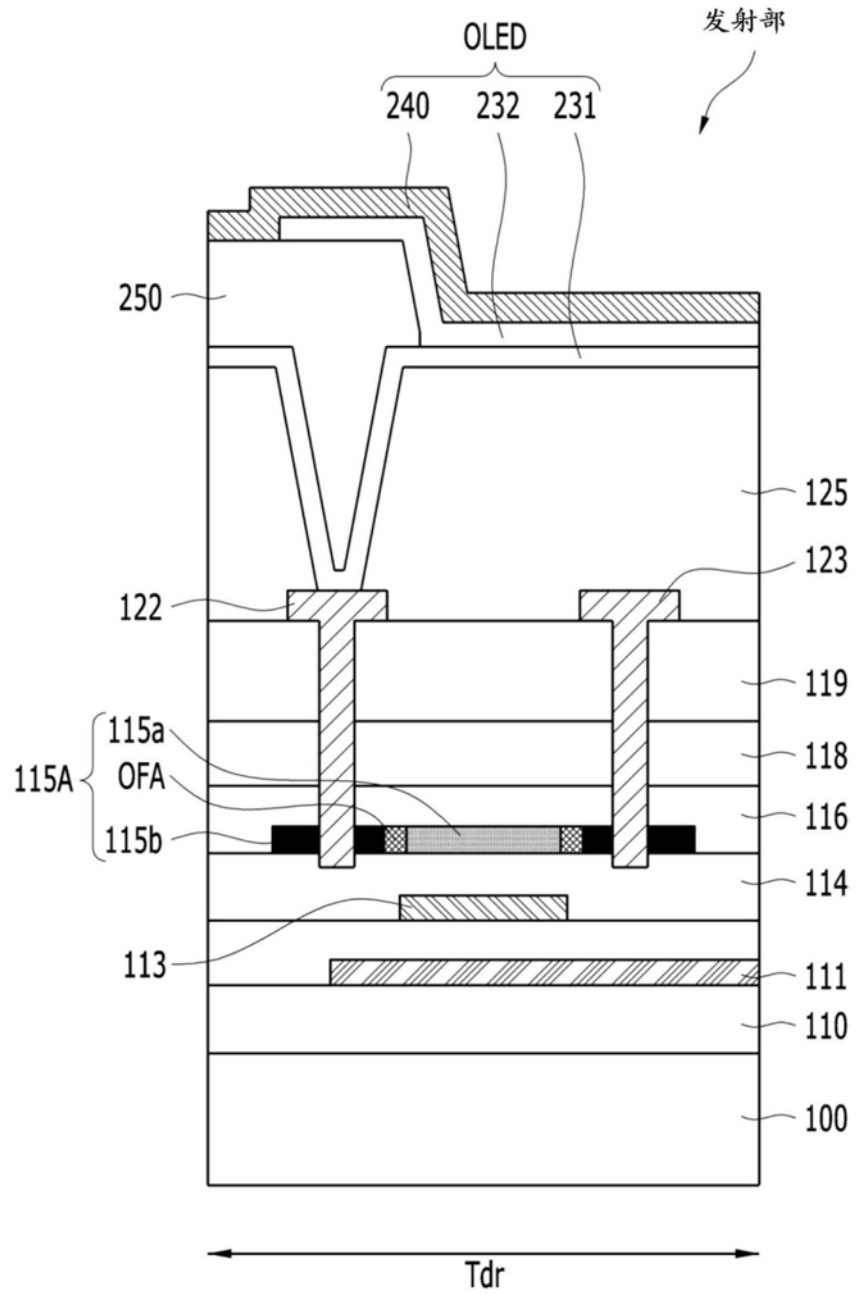


图10

专利名称(译)	背板基板及制造方法、使用背板基板的有机发光显示装置		
公开(公告)号	CN108281430A	公开(公告)日	2018-07-13
申请号	CN201711477111.1	申请日	2017-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	吴锦美 杨仙英 尹珉圣		
发明人	吴锦美 杨仙英 尹珉圣		
IPC分类号	H01L27/12 H01L27/32 H01L21/77		
CPC分类号	H01L27/1255 H01L27/1259 H01L27/3244 H01L2227/323 H01L27/124 H01L27/127 H01L27/3262 H01L27/3265 H01L27/1222 H01L27/1262 H01L27/3211 H01L27/3248 H01L27/3276 H01L29/66765 H01L29/78678		
代理人(译)	王萍		
优先权	1020160184420 2016-12-30 KR		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了即使通过小像素也能够呈现出高灰度级的背板基板、制造该背板基板的方法以及使用该背板基板的有机发光显示装置。该背板基板包括：具有多个子像素的基板；位于每个子像素处的驱动薄膜晶体管，该驱动薄膜晶体管包括第一栅电极、第一有源层、分别连接至第一有源层的相对侧的第一源电极和第一漏电极、以及设置在第一有源层与第一栅电极之间的第一栅极绝缘膜；以及在每个子像素处电连接至驱动薄膜晶体管的开关薄膜晶体管，该开关薄膜晶体管包括第二栅电极、第二有源层、分别连接至第二有源层的相对侧的第二源电极和第二漏电极、以及设置在第二有源层与第二栅电极之间的第二栅极绝缘膜。通过结构修改，可以实现针对超高分辨率的集成。

