



(12) 发明专利申请

(10) 申请公布号 CN 102708792 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210041261. 9

(22) 申请日 2012. 02. 21

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 成都京东方光电科技有限公司

(72) 发明人 祁小敬 青海刚 李天马

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 许静 赵爱军

(51) Int. Cl.
G09G 3/32 (2006. 01)

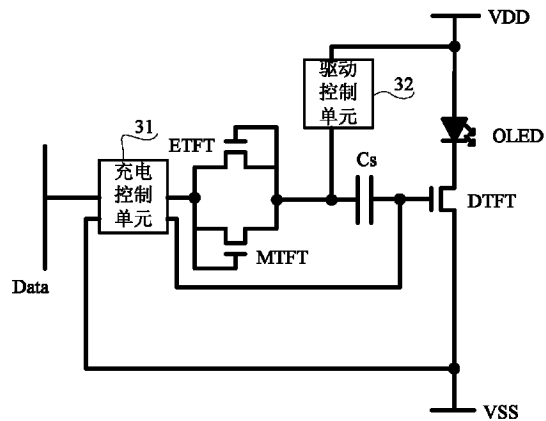
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

一种像素单元驱动电路和方法、像素单元以及显示装置

(57) 摘要

本发明提供了一种像素单元驱动电路和方法、像素单元以及显示装置。像素单元驱动电路包括驱动薄膜晶体管、匹配薄膜晶体管、信号清除薄膜晶体管、充电控制单元、驱动控制单元和存储电容，驱动薄膜晶体管，栅极与存储电容的第一端连接并通过充电控制单元与驱动电源连接，源极与驱动电源连接，漏极与 OLED 连接；匹配薄膜晶体管通过充电控制单元与数据线连接，源极与存储电容的第二端连接；信号清除薄膜晶体管与存储电容的第二端连接；信号清除薄膜晶体管的源极，与匹配薄膜晶体管的栅极和漏极连接，并通过充电控制单元与数据线连接。本发明可以提高 OLED 面板亮度的均匀性。



1. 一种像素单元驱动电路,用于驱动 OLED,包括驱动薄膜晶体管、匹配薄膜晶体管、信号清除薄膜晶体管、充电控制单元、驱动控制单元和存储电容,其中,

所述驱动薄膜晶体管,栅极与所述存储电容的第一端连接并通过所述充电控制单元与所述驱动电源的低电平输出端连接,源极与驱动电源的低电平输出端连接,漏极与所述 OLED 的阴极连接;

所述匹配薄膜晶体管,栅极和漏极通过所述充电控制单元与数据线连接,源极与所述存储电容的第二端连接;

所述信号清除薄膜晶体管,栅极和漏极与所述存储电容的第二端连接,源极与所述匹配薄膜晶体管的栅极和漏极连接,并通过所述充电控制单元与所述数据线连接;

所述存储电容的第二端通过所述驱动控制单元与所述驱动电源的高电平输出端连接;

所述驱动薄膜晶体管、所述匹配薄膜晶体管和所述信号清除薄膜晶体管是 n 型 TFT。

2. 如权利要求 1 所述的像素单元驱动电路,其特征在于,所述充电控制单元包括第一薄膜晶体管和第二薄膜晶体管,所述驱动控制单元包括第三薄膜晶体管;

所述匹配薄膜晶体管的栅极和漏极,以及所述信号清除薄膜晶体管的源极,通过所述第一薄膜晶体管与所述数据线连接;

所述驱动薄膜晶体管的栅极通过所述第二薄膜晶体管与所述驱动电源的低电平输出端连接;

所述存储电容的第二端通过所述第三薄膜晶体管与所述驱动电源的高电平输出端连接。

3. 如权利要求 2 所述的像素单元驱动电路,其特征在于,所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管是 n 型 TFT;

所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述数据线连接;

所述第一薄膜晶体管的源极,分别与所述匹配薄膜晶体管的栅极、漏极以及所述信号清除薄膜晶体管的源极连接;

所述第二薄膜晶体管,栅极与所述第一控制线连接,源极与所述驱动电源的低电平输出端连接,漏极与所述驱动薄膜晶体管的栅极连接;

所述第三薄膜晶体管,栅极与第二控制线连接,源极与所述存储电容的第二端连接,漏极与所述驱动电源的高电平输出端连接。

4. 一种像素单元驱动方法,应用于如权利要求 1 所述的像素单元驱动电路,其特征在于,所述像素单元驱动方法包括以下步骤:

信号清除薄膜晶体管开启,充电控制单元控制存储电容通过信号清除薄膜晶体管对数据线放电,直到所述存储电容的第二端的电压降低到使得所述清除薄膜晶体管关闭;

匹配薄膜晶体管开启,所述充电控制单元控制所述数据线输出的数据电压 V_{data} 对所述存储电容进行充电,直到所述存储电容的第二端的电压上升至 $V_{data}-V_{thm}$,其中, V_{thm} 为所述匹配薄膜晶体管的阈值电压;

所述驱动控制单元控制所述存储电容的第二端的电压跳变为 VDD,驱动薄膜晶体管的栅极处于悬空状态,以使得所述驱动薄膜晶体管的栅极电压跳变从而所述驱动薄膜晶体管工作并其栅源电压补偿所述驱动薄膜晶体管的阈值电压。

5. 一种像素单元,其特征在於,包括 OLED 和如权利要求 1 至 3 中任一权利要求所述的像素单元驱动电路,所述像素单元驱动电路与所述 OLED 的阴极连接,所述 OLED 的阳极与驱动电源的高电平输出端连接。

6. 一种显示装置,其特征在於,包括如权利要求 5 所述的像素单元。

7. 一种像素单元驱动电路,用于驱动 OLED,其特征在於,包括驱动薄膜晶体管、匹配薄膜晶体管、信号清除薄膜晶体管、充电控制单元、驱动控制单元和存储电容,其中,

所述驱动薄膜晶体管,栅极与所述存储电容的第一端连接并通过所述充电控制单元与所述驱动电源的高电平输出端连接,源极与驱动电源的高电平输出端连接,漏极与所述 OLED 的阳极连接;

所述匹配薄膜晶体管,栅极和源极通过所述充电控制单元与数据线连接,漏极与所述存储电容的第二端连接;

所述信号清除薄膜晶体管,栅极和源极与所述存储电容的第二端连接,漏极与所述匹配薄膜晶体管的栅极和源极连接,并通过所述充电控制单元与所述数据线连接;

所述存储电容的第二端通过所述驱动控制单元与所述驱动电源的低电平输出端连接;

所述驱动薄膜晶体管、所述匹配薄膜晶体管和所述信号清除薄膜晶体管是 p 型 TFT。

8. 如权利要求 7 所述的像素单元驱动电路,其特征在於,所述充电控制单元包括第一薄膜晶体管和第二薄膜晶体管,所述驱动控制单元包括第三薄膜晶体管;

所述匹配薄膜晶体管的栅极和源极,以及所述信号清除薄膜晶体管的漏极,通过所述第一薄膜晶体管与所述数据线连接;

所述驱动薄膜晶体管的栅极通过所述第二薄膜晶体管与所述驱动电源的高电平输出端连接;

所述存储电容的第二端通过所述第三薄膜晶体管与所述驱动电源的低电平输出端连接。

9. 如权利要求 8 所述的像素单元驱动电路,其特征在於,所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管是 p 型 TFT;

所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述数据线连接;

所述第一薄膜晶体管的源极,分别与所述匹配薄膜晶体管的栅极、源极以及所述信号清除薄膜晶体管的漏极连接;

所述第二薄膜晶体管,栅极与所述第一控制线连接,源极与所述驱动电源的高电平输出端连接,漏极与所述驱动薄膜晶体管的栅极连接;

所述第三薄膜晶体管,栅极与第二控制线连接,源极与所述存储电容的第二端连接,漏极与所述驱动电源的低电平输出端连接。

10. 一种像素单元,其特征在於,包括 OLED 和如权利要求 7 至 9 中任一权利要求所述的像素单元驱动电路,所述像素单元驱动电路与所述 OLED 的阳极连接,所述 OLED 的阴极与驱动电源的低电平输出端连接。

11. 一种显示装置,其特征在於,包括如权利要求 10 所述的像素单元。

一种像素单元驱动电路和方法、像素单元以及显示装置

技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种像素单元驱动电路和方法、像素单元以及显示装置。

背景技术

[0002] AMOLED(Active Matrix Organic Light Emitting Diode,有源矩阵有机发光二极管)能够发光是由驱动 TFT 在饱和状态时产生的电流所驱动,因为输入相同的灰阶电压时,不同的临界电压会产生不同的驱动电流,造成电流的不一致性。LTPS(低温多晶硅)制程上 V_{th} (晶体管阈值电压)的均匀性非常差,同时 V_{th} 也有漂移,如此传统的 2T1C 像素单元驱动电路亮度均匀性一直很差。

[0003] 传统的 2T1C 像素单元驱动电路如图 1 所示,电路只含有两个 TFT, T1 用作开关,DTFT 用于像素驱动。传统的 2T1C 像素单元驱动电路操作也比较简单,对该 2T1C 像素单元驱动电路的控制时序图如图 2 所示,当扫描线 Scan 上的扫描电平 V_{scan} 为低时, T1 打开,数据线 Data 上的灰阶电压 V_{data} 对电容 C 充电,当扫描电平 V_{scan} 为高时, T1 关闭,电容 C 用来保存灰阶电压。由于 VDD(驱动电源的高电平输出端的输出电压)较高,因此 DTFT 处于饱和状态, OLED 的驱动电流 $I = K(V_{sg} - |V_{th}|)^2 = K(V_{DD} - V_{data} - |V_{th}|)^2$, V_{data} 为数据线 Data 输出的数据电压, K 是一个与晶体管尺寸和载流子迁移率有关的常数,一旦 TFT 尺寸和工艺确定, K 确定。该 2T1C 电路的驱动电流公式中包含了 V_{th} , 如前所述,由于 LTPS 工艺的成熟,即便是同样的工艺参数,制作出来的面板不同位置的 TFT 的 V_{th} 也有较大差异,导致了同一灰阶电压下 OLED 的驱动电流不一样,因此该驱动方案下的面板不同位置亮度会有差异,亮度均匀性差。

发明内容

[0004] 本发明的主要目的在于提供一种像素单元驱动电路和方法、像素单元以及显示装置,以提高 OLED 面板亮度的均匀性。

[0005] 为了达到上述目的,本发明提供了一种像素单元驱动电路,用于驱动 OLED,包括驱动薄膜晶体管、匹配薄膜晶体管、信号清除薄膜晶体管、充电控制单元、驱动控制单元和存储电容,其中,

[0006] 所述驱动薄膜晶体管,栅极与所述存储电容的第一端连接并通过所述充电控制单元与所述驱动电源的低电平输出端连接,源极与驱动电源的低电平输出端连接,漏极与所述 OLED 的阴极连接;

[0007] 所述匹配薄膜晶体管,栅极和漏极通过所述充电控制单元与数据线连接,源极与所述存储电容的第二端连接;

[0008] 所述信号清除薄膜晶体管,栅极和漏极与所述存储电容的第二端连接;

[0009] 所述信号清除薄膜晶体管的源极,与所述匹配薄膜晶体管的栅极和漏极连接,并通过所述充电控制单元与所述数据线连接;

[0010] 所述存储电容的第二端通过所述驱动控制单元与所述驱动电源的高电平输出端连接；

[0011] 所述驱动薄膜晶体管、所述匹配薄膜晶体管和所述信号清除薄膜晶体管是 n 型 TFT。

[0012] 实施时，所述充电控制单元包括第一薄膜晶体管和第二薄膜晶体管，所述驱动控制单元包括第三薄膜晶体管；

[0013] 所述匹配薄膜晶体管的栅极和漏极，以及所述信号清除薄膜晶体管的源极，通过所述第一薄膜晶体管与所述数据线连接；

[0014] 所述驱动薄膜晶体管的栅极通过所述第二薄膜晶体管与所述驱动电源的低电平输出端连接；

[0015] 所述存储电容的第二端通过所述第三薄膜晶体管与所述驱动电源的高电平输出端连接。

[0016] 实施时，所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管是 n 型 TFT；

[0017] 所述第一薄膜晶体管，栅极与第一控制线连接，漏极与所述数据线连接；

[0018] 所述第一薄膜晶体管的源极，分别与所述匹配薄膜晶体管的栅极、漏极以及所述信号清除薄膜晶体管的源极连接；

[0019] 所述第二薄膜晶体管，栅极与所述第一控制线连接，源极与所述驱动电源的低电平输出端连接，漏极与所述驱动薄膜晶体管的栅极连接；

[0020] 所述第三薄膜晶体管，栅极与第二控制线连接，源极与所述存储电容的第二端连接，漏极与所述驱动电源的高电平输出端连接。

[0021] 本发明还提供了一种像素单元驱动方法，应用于上述的像素单元驱动电路，所述像素单元驱动方法包括以下步骤：

[0022] 信号清除薄膜晶体管开启，充电控制单元控制存储电容通过信号清除薄膜晶体管对数据线放电，直到所述存储电容的第二端的电压降低到使得所述清除薄膜晶体管关闭；

[0023] 匹配薄膜晶体管开启，所述充电控制单元控制所述数据线输出的数据电压 V_{data} 对所述存储电容进行充电，直到所述存储电容的第二端的电压上升至 $V_{data}-V_{thm}$ ，其中， V_{thm} 为所述匹配薄膜晶体管的阈值电压；

[0024] 所述驱动控制单元控制所述存储电容的第二端的电压跳变为 VDD，驱动薄膜晶体管的栅极处于悬空状态，以使得所述驱动薄膜晶体管的栅极电压跳变从而所述驱动薄膜晶体管工作并其栅源电压补偿所述驱动薄膜晶体管的阈值电压。

[0025] 本发明还提供了一种像素单元，其特征在于，包括 OLED 和上述的像素单元驱动电路，所述像素单元驱动电路与所述 OLED 的阴极连接，所述 OLED 的阳极与驱动电源的高电平输出端连接。

[0026] 本发明还提供了一种显示装置，包括上述的像素单元。

[0027] 本发明还提供了一种像素单元驱动电路，用于驱动 OLED，包括驱动薄膜晶体管、匹配薄膜晶体管、信号清除薄膜晶体管、充电控制单元、驱动控制单元和存储电容，其中，

[0028] 所述驱动薄膜晶体管，栅极与所述存储电容的第一端连接并通过所述充电控制单元与所述驱动电源的高电平输出端连接，源极与驱动电源的高电平输出端连接，漏极与所

述 OLED 的阳极连接；

[0029] 所述匹配薄膜晶体管，栅极和源极通过所述充电控制单元与数据线连接，漏极与
所述存储电容的第二端连接；

[0030] 所述信号清除薄膜晶体管，栅极和源极与所述存储电容的第二端连接；

[0031] 所述信号清除薄膜晶体管的漏极，与所述匹配薄膜晶体管的栅极和源极连接，并
通过所述充电控制单元与所述数据线连接；

[0032] 所述存储电容的第二端通过所述驱动控制单元与所述驱动电源的低电平输出端
连接；

[0033] 所述驱动薄膜晶体管、所述匹配薄膜晶体管和所述信号清除薄膜晶体管是 p 型
TFT。

[0034] 实施时，所述充电控制单元包括第一薄膜晶体管和第二薄膜晶体管，所述驱动控
制单元包括第三薄膜晶体管；

[0035] 所述匹配薄膜晶体管的栅极和源极，以及所述信号消除薄膜晶体管的漏极，通过
所述第一薄膜晶体管与所述数据线连接；

[0036] 所述驱动薄膜晶体管的栅极通过所述第二薄膜晶体管与所述驱动电源的高电平
输出端连接；

[0037] 所述存储电容的第二端通过所述第三薄膜晶体管与所述驱动电源的低电平输出
端连接。

[0038] 实施时，所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管是 p
型 TFT；

[0039] 所述第一薄膜晶体管，栅极与第一控制线连接，漏极与所述数据线连接；

[0040] 所述第一薄膜晶体管的源极，分别与所述匹配薄膜晶体管的栅极、源极以及所述
信号消除薄膜晶体管的漏极连接；

[0041] 所述第二薄膜晶体管，栅极与所述第一控制线连接，源极与所述驱动电源的高电
平输出端连接，漏极与所述驱动薄膜晶体管的栅极连接；

[0042] 所述第三薄膜晶体管，栅极与第二控制线连接，源极与所述存储电容的第二端连
接，漏极与所述驱动电源的低电平输出端连接。

[0043] 本发明还提供了一种像素单元，包括 OLED 和上述的像素单元驱动电路，所述像素
单元驱动电路与所述 OLED 的阳极连接，所述 OLED 的阴极与驱动电源的低电平输出端连接。

[0044] 本发明还提供了一种显示装置，包括上述的像素单元。

[0045] 与现有技术相比，本发明所述的像素单元驱动电路和方法、像素单元以及显示装
置，利用同一像素内两个相同设计的 TFT 电性较匹配的原理，补偿 OLED 驱动管的临界电压，
改善了 OLED 面板亮度不均匀性。

附图说明

[0046] 图 1 是传统的 2T1C 像素单元驱动电路的电路图；

[0047] 图 2 是对该传统的 2T1C 像素单元驱动电路的控制时序图；

[0048] 图 3 是本发明第一实施例所述的像素单元驱动电路的电路图；

[0049] 图 4 是本发明第二实施例所述的像素单元驱动电路的电路图；

- [0050] 图 5 是本发明第三实施例所述的像素单元驱动电路的电路图；
- [0051] 图 6 是本发明第四实施例所述的像素单元驱动电路的电路图；
- [0052] 图 7 是本发明第五实施例所述的像素单元驱动电路的电路图；
- [0053] 图 8 是本发明第六实施例所述的像素单元驱动电路的电路图；
- [0054] 图 9A 是本发明第三实施例所述的像素单元驱动电路工作时在第一时间段的等效电路图；
- [0055] 图 9B 是本发明第三实施例所述的像素单元驱动电路工作时在第二时间段的等效电路图；
- [0056] 图 9C 是本发明第三实施例所述的像素单元驱动电路工作时在第三时间段的等效电路图；
- [0057] 图 10 是本发明第三实施例所述的像素单元驱动电路在工作时，第一控制信号 S1、数据线 Data 输出的信号以及第二控制信号 S2 的时序图；
- [0058] 图 11 是本发明第六实施例所述的像素单元驱动电路在工作时，第一控制信号 S1、数据线 Data 输出的信号以及第二控制信号 S2 的时序图。

具体实施方式

[0059] 如图 3 所示，本发明第一实施例所述的像素单元驱动电路，用于驱动 OLED，包括驱动薄膜晶体管 DTFT、匹配薄膜晶体管 MTFT、信号清除薄膜晶体管 ETFT、充电控制单元 31、驱动控制单元 32 和存储电容 Cs，其中，

[0060] 所述驱动薄膜晶体管 DTFT 的栅极，与所述存储电容 Cs 的第一端连接，还通过所述充电控制单元 31 与所述驱动电源的低电平输出端连接；

[0061] 所述驱动薄膜晶体管 DTFT，源极与驱动电源的低电平输出端连接，漏极与所述 OLED 的阴极连接；

[0062] 所述匹配薄膜晶体管 MTFT，栅极和漏极通过所述充电控制单元 31 与数据线 Data 连接，源极与所述存储电容 Cs 的第二端连接；

[0063] 所述信号清除薄膜晶体管 ETFT，栅极和漏极与所述存储电容 Cs 的第二端连接；

[0064] 所述信号清除薄膜晶体管 ETFT 的源极，与所述匹配薄膜晶体管 MTFT 的栅极和漏极连接，并通过所述充电控制单元 31 与数据线 Data 连接；

[0065] 所述存储电容 Cs 的第二端通过所述驱动控制单元 32 与所述驱动电源的高电平输出端连接；

[0066] 所述 OLED 的阳极与所述驱动电源的高电平输出端连接；

[0067] 所述驱动薄膜晶体管 DTFT、所述匹配薄膜晶体管 MTFT 和所述信号清除薄膜晶体管 ETFT 是 n 型 TFT；所述驱动电源的高电平输出端的输出电压为 VDD，所述驱动电源的低电平输出端的输出电压为 VSS。

[0068] 如图 4 所示，本发明第二实施例所述的像素单元驱动电路的电路图。本发明第二实施例所述的像素单元驱动电路基于本发明第一实施例所述的像素单元驱动电路。

[0069] 在本发明第二实施例所述的像素单元驱动电路中，所述充电控制单元 31 包括第一薄膜晶体管 T1 和第二薄膜晶体管 T2，所述驱动控制单元 32 包括第三薄膜晶体管 T3；

[0070] 所述匹配薄膜晶体管 MTFT 的栅极和漏极，以及所述信号清除薄膜晶体管 ETFT 的

源极,通过所述第一薄膜晶体管 T1 与所述数据线 Data 连接;

[0071] 所述驱动薄膜晶体管 DTFT 的栅极通过所述第二薄膜晶体管 T2 与所述驱动电源的低电平输出端连接;

[0072] 所述存储电容 Cs 的第二端通过所述第三薄膜晶体管 T3 与所述驱动电源的高电平输出端连接。

[0073] 如图 5 所示,本发明第三实施例所述的像素单元驱动电路的电路图。本发明第三实施例所述的像素单元驱动电路基于本发明第二实施例所述的像素单元驱动电路。

[0074] 在本发明第三实施例所述的像素单元驱动电路中,所述第一薄膜晶体管 T1、所述第二薄膜晶体管 T2 和所述第三薄膜晶体管 T3 是 n 型 TFT;

[0075] 所述第一薄膜晶体管 T1,栅极与输出第一控制信号 S1 的第一控制线连接,漏极与所述数据线 Data 连接;

[0076] 所述第一薄膜晶体管 T1 的源极,分别与所述匹配薄膜晶体管 MTFT 的栅极、漏极以及所述信号清除薄膜晶体管 ETFT 的源极连接;

[0077] 所述第二薄膜晶体管 T2,栅极与所述第一控制线连接,源极与所述驱动电源的低电平输出端连接,漏极与所述驱动薄膜晶体管 DTFT 的栅极连接;

[0078] 所述第三薄膜晶体管 T3,栅极与输出第二控制信号 S2 的第二控制线连接,源极与所述存储电容 Cs 的第二端连接,漏极与所述驱动电源的高电平输出端连接。

[0079] 如图 6 所示,本发明第四实施例所述的像素单元驱动电路,用于驱动 OLED,包括驱动薄膜晶体管 DTFT、匹配薄膜晶体管 MTFT、信号清除薄膜晶体管 ETFT、充电控制单元 61、驱动控制单元 62 和存储电容 Cs,其中,

[0080] 所述驱动薄膜晶体管 DTFT 的栅极与所述存储电容 Cs 的第一端连接,还通过所述充电控制单元 61 与所述驱动电源的高电平输出端连接;

[0081] 所述驱动薄膜晶体管 DTFT,源极与驱动电源的高电平输出端连接,漏极与所述 OLED 的阳极连接;

[0082] 所述匹配薄膜晶体管 MTFT,栅极和源极通过所述充电控制单元 61 与数据线 Data 连接,漏极与所述存储电容 Cs 的第二端连接;

[0083] 所述信号清除薄膜晶体管 ETFT,栅极和源极与所述存储电容 Cs 的第二端连接;

[0084] 所述信号清除薄膜晶体管 ETFT 的漏极,与所述匹配薄膜晶体管 MTFT 的栅极和源极连接,并通过所述充电控制单元 61 与数据线 Data 连接;

[0085] 所述存储电容 Cs 的第二端通过所述驱动控制单元 62 与所述驱动电源的低电平输出端连接;

[0086] 所述 OLED 的阴极与所述驱动电源的低电平输出端连接;

[0087] 所述驱动薄膜晶体管 DTFT、所述匹配薄膜晶体管 MTFT 和所述信号清除薄膜晶体管 ETFT 是 p 型 TFT;

[0088] 所述驱动电源的高电平输出端的输出电压为 VDD,所述驱动电源的低电平输出端的输出电压为 VSS。

[0089] 如图 7 所示,在本发明第五实施例所述的像素单元驱动电路中,所述充电控制单元 61 包括第一薄膜晶体管 T1 和第二薄膜晶体管 T2,所述驱动控制单元 62 包括第三薄膜晶体管 T3;

[0090] 所述匹配薄膜晶体管 MTFT 的栅极和源极,以及所述信号消除薄膜晶体管 ETFT 的漏极,通过所述第一薄膜晶体管 T1 与所述数据线 Data 连接;

[0091] 所述驱动薄膜晶体管 DTFT 的栅极通过所述第二薄膜晶体管 T2 与所述驱动电源的高电平输出端连接;

[0092] 所述存储电容 Cs 的第二端通过所述第三薄膜晶体管 T3 与所述驱动电源的低电平输出端连接。

[0093] 如图 8 所示,在本发明第六实施例所述的像素单元驱动电路中,所述第一薄膜晶体管 T1、所述第二薄膜晶体管 T2 和所述第三薄膜晶体管 T3 是 p 型 TFT;

[0094] 所述第一薄膜晶体管 T1,栅极与输出第一控制信号 S1 的第一控制线连接,漏极与所述数据线 Data 连接;

[0095] 所述第一薄膜晶体管 T1 的源极,分别与所述匹配薄膜晶体管 MTFT 的栅极、源极以及所述信号消除薄膜晶体管 ETFT 的漏极连接;

[0096] 所述第二薄膜晶体管 T2,栅极与所述第一控制线连接,源极与所述驱动电源的高电平输出端连接,漏极与所述驱动薄膜晶体管 DTFT 的栅极连接;

[0097] 所述第三薄膜晶体管 T3,栅极与输出第二控制信号 S2 的第二控制线连接,源极与所述存储电容 Cs 的第二端连接,漏极与所述驱动电源的低电平输出端连接。

[0098] 下面介绍本发明第三实施例所述的像素单元驱动电路的工作过程:

[0099] 图 10 是本发明第三实施例所述的像素单元驱动电路在工作时,第一控制信号 S1、数据线 Data 输出的信号以及第二控制信号 S2 的时序图,其中,A、B、C 分别指的是第一时间段、第二时间段、第三时间段。

[0100] 如图 10 所示,本发明第三实施例所述的像素单元驱动电路在工作时,

[0101] 在第一时间段,即开始阶段,如图 9A 所示,T1、T2 均开启,T3 为关闭,由于 T1 打开,数据线 Data 输入一个很低的电压 V_{d1} ;由于 ETFT 为二极管连接,且旧的讯号电压远大于 V_{d1} ,因此 ETFT 开启。此时由于 T2 打开,DTFT 的栅极被下拉为 VSS,DTFT 关闭;由于 ETFT 开启,存储电容 Cs 通过 ETFT 对数据线放电以清除上一帧的讯号,放电直到 P 点(即与所述存储电容 Cs 的第二端连接的节点)的电位 V_p 为 $V_{d1}+V_{the}$,此时 ETFT 关闭;

[0102] 接着在第二时间段,如图 9B 所示,T1、T2 开启,T3 为关闭。DTFT 由于栅极的下拉仍然关闭,处于工作停止状态;数据线 Data 输出的电压从 V_{d1} 跳变为 V_{data} ,由于 V_{data} 远大于 V_{d1} ,因此 MTFT 开启,数据线 Data 输出的数据电压 V_{data} 对存储电容 Cs 充电,直到 P 点电位上升为 $V_{data}-V_{thm}$, $V_c = V_g - V_p = VSS - (V_{data} - V_{thm})$;

[0103] 在第三时间段,如图 9C 所示,T1、T2 关闭,T3 开启,由于 P 点电位由 $V_{data}-V_{thm}$ 跳变至 VDD,T2 关闭,DTFT 的栅极处于悬空状态,因此 G 点(即与 DTFT 的栅极和存储电容 Cs 的第一端连接的节点)的电位 V_g 跳变为 $V_g = VSS - (V_{data} - V_{thm}) + VDD$,此时 $V_{gs} = V_g - VSS = VSS - (V_{data} - V_{thm}) + VDD - VSS = VDD - (V_{data} - V_{thm})$;DTFT 工作,流过 DTFT 的电流 $I = K(V_{gs} - V_{thd})^2 = K(VDD - (V_{data} - V_{thm}) - V_{thd})^2 = K(VDD - V_{data})^2$, ($V_{thm} = V_{thd}$), OLED 开始发光,直到下一帧;

[0104] V_{thm} 为 MTFT 的阈值电压, V_{gs} 为 DTFT 的栅源电压, V_{thd} 为 DTFT 的阈值电压, V_{the} 为 ETFT 的阈值电压, V_{data} 为数据电压,VDD 为驱动电源的高电平输出端的输出电压,VSS 为驱动电源的低电平输出端的输出电压;

[0105] 可以发现流过 DTFT 的电流 I 和 DTFT 的阈值电压 V_{th} 没有关系了,如此可以改善电流的均匀性,达到亮度的均匀。

[0106] 图 11 是本发明第六实施例所述的像素单元驱动电路在工作时,第一控制信号 $S1$ 、数据线 $Data$ 输出的信号以及第二控制信号 $S2$ 的时序图,其中,A、B、C 分别指的是第一时间段、第二时间段、第三时间段。

[0107] 如图 11 所示,本发明第六实施例所述的像素单元驱动电路在工作时:

[0108] 第一时间段, $T1$ 、 $T2$ 开启, $T3$ 关闭,DTFT 栅极的电压被拉到 VDD ,DTFT 关闭,此时数据线上的电压为 V_{dh} ,该电压是比所有 V_{data} 高的电压,由于 ETFT 是二极管连接,因此 ETFT 开启, P 点电位被充电至 $V_{dh}-|V_{the}|$,然后 ETFT 关闭。

[0109] 第二时间段, $T1$ 、 $T2$ 开启, $T3$ 关闭,数据线上的电压从 V_{dh} 跳变到 V_{data} ,由于 V_{data} 相比 V_{dh} 要低很多,因此 MTFT 的连接形成一个二极管,MTFT 开启, P 点通过 MTFT 对数据线放电,直到 P 点电位下降到 $V_{data}+|V_{thm}|$,此时 MTFT 关闭。

[0110] 第三时间段, $T1$, $T2$ 关闭, $T3$ 开启,此时 DTFT 的栅极处于悬空状态,而 P 点的电位从 $V_{data}+|V_{thm}|$ 跳变到 VSS ,因此 G 点的电位 V_g 的电位也跳变为 $V_g = VDD+VSS-(V_{data}+|V_{thm}|)$,DTFT 的源极和栅极之间的电压差值 $V_{sg} = VDD-V_g = V_{data}+|V_{thm}|-VSS$,流过 DTFT 的电流 $I = K(V_{sg}-|V_{thd}|)^2 = (V_{data}+|V_{thm}|-VSS-|V_{thd}|)^2 = (V_{data}-VSS)^2$;其中, $V_{thm} = V_{thd}$;OLED 开始发光,直到下一帧;

[0111] 其中, V_{thm} 为 MTFT 的阈值电压, V_{sg} 为 DTFT 的源极和栅极之间的电压差值, V_{thd} 为 DTFT 的阈值电压, V_{the} 为 ETFT 的阈值电压, V_{data} 为数据电压, VDD 为驱动电源的高电平输出端的输出电压, VSS 为驱动电源的低电平输出端的输出电压。

[0112] 本发明所述的像素单元驱动电路的最大特点是利用同一像素内两个相同设计的 TFT 电性较匹配的原理,补偿 OLED 驱动管的临界电压(在同一个像素内部,两个相同设计的 TFT 由于相互的位置非常接近,即使在现有的不成熟的工艺条件下,它们的工艺环境也非常一致,因此工艺上引起的电性差异非常小,可以视为等同,即匹配薄膜晶体管的阈值电压 V_{thm} 与驱动管 DTFT 的阈值电压 V_{thd} 相同)。

[0113] 以上说明对本发明而言只是说明性的,而非限制性的,本领域普通技术人员理解,在不脱离所附权利要求所限定的精神和范围的情况下,可做出许多修改、变化或等效,但都将落入本发明的保护范围内。

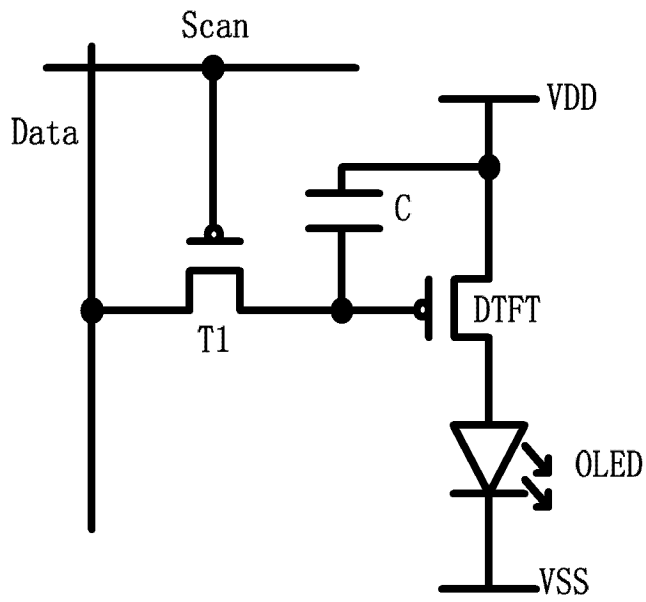


图 1

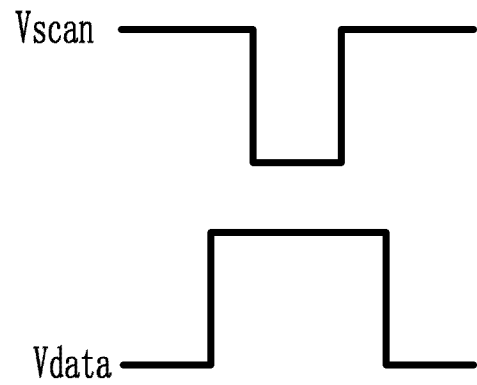


图 2

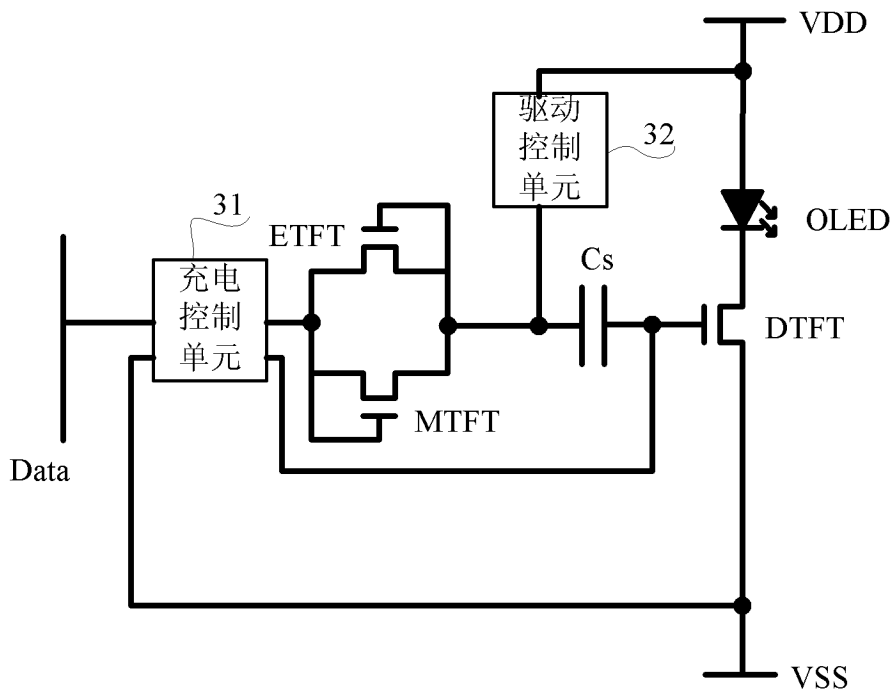


图 3

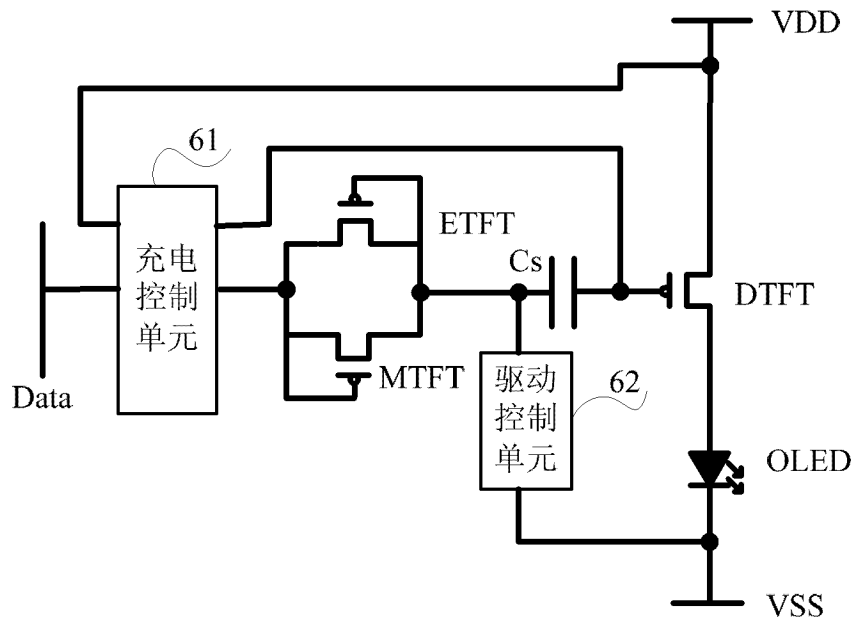


图 6

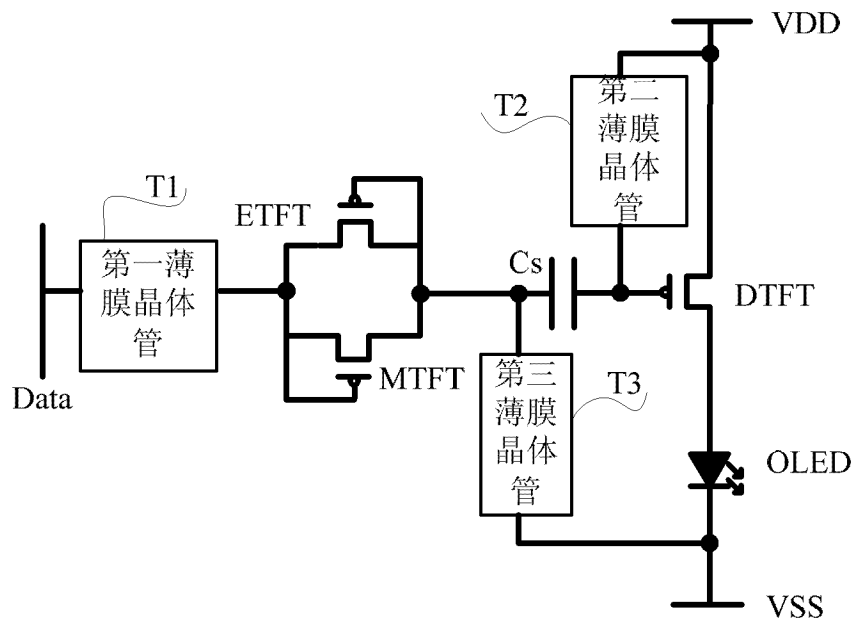


图 7

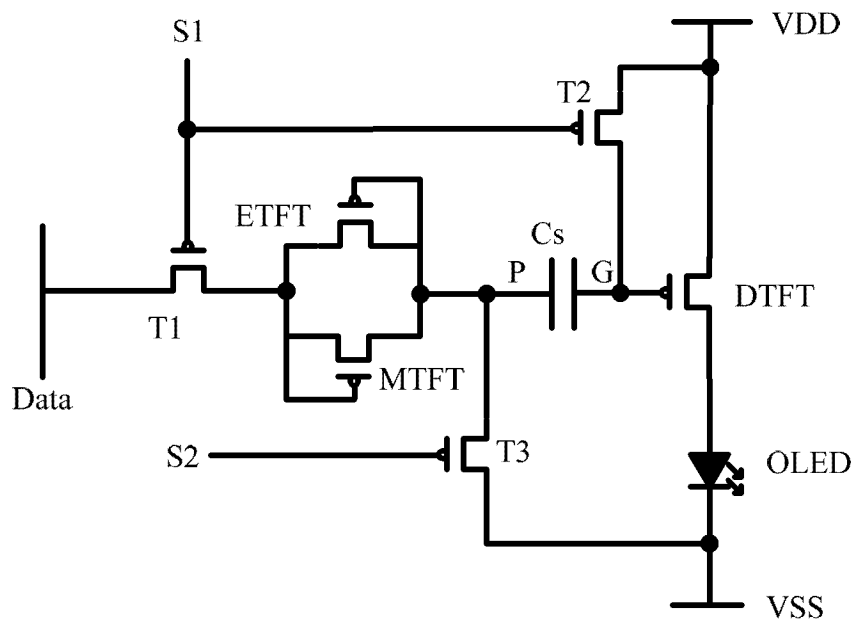


图 8

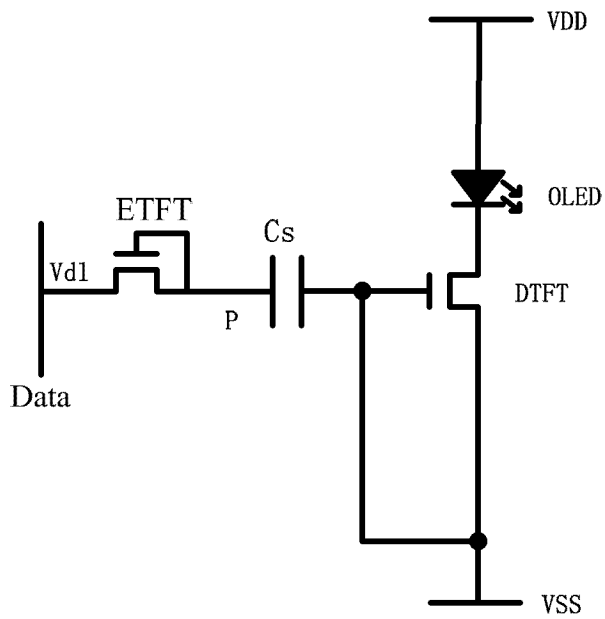


图 9A

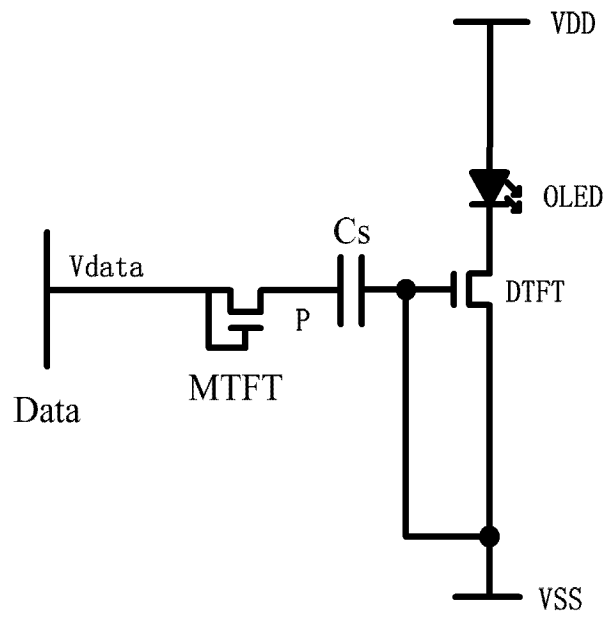


图 9B

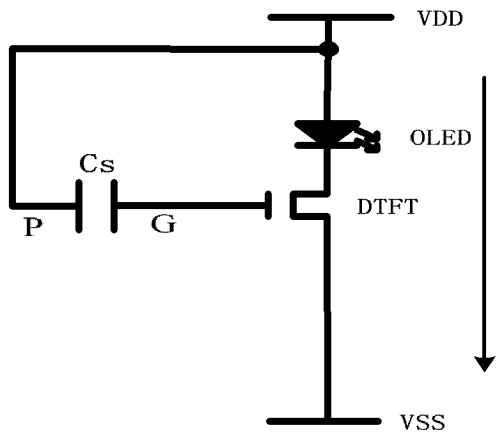


图 9C

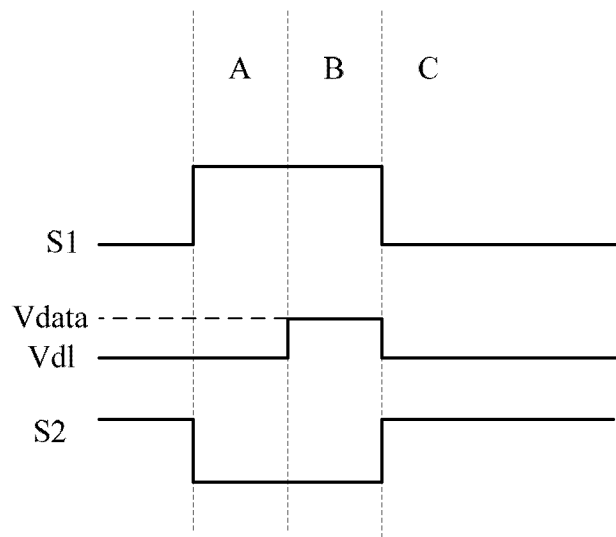


图 10

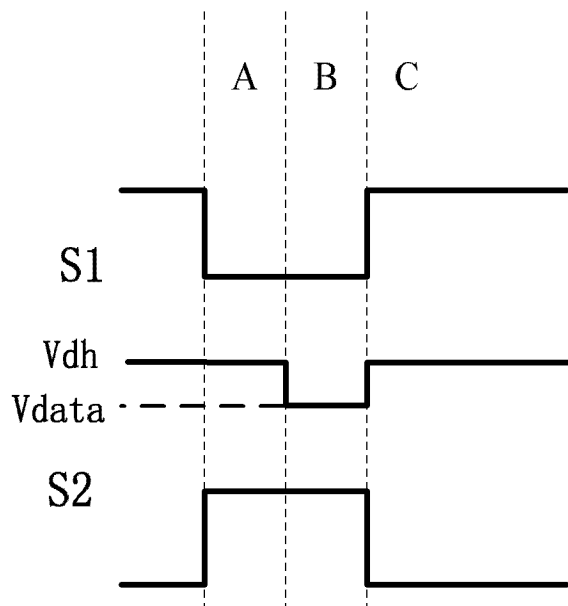


图 11

专利名称(译)	一种像素单元驱动电路和方法、像素单元以及显示装置		
公开(公告)号	CN102708792A	公开(公告)日	2012-10-03
申请号	CN201210041261.9	申请日	2012-02-21
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	祁小敬 青海刚 李天马		
发明人	祁小敬 青海刚 李天马		
IPC分类号	G09G3/32		
CPC分类号	G09G2310/0262 G09G3/32 G09G2320/0233 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2320/043 G09G3/3258 G09G2310/0251 H05B45/60		
代理人(译)	许静 赵爱军		
其他公开文献	CN102708792B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素单元驱动电路和方法、像素单元以及显示装置。像素单元驱动电路包括驱动薄膜晶体管、匹配薄膜晶体管、信号清除薄膜晶体管、充电控制单元、驱动控制单元和存储电容，驱动薄膜晶体管，栅极与存储电容的第一端连接并通过充电控制单元与驱动电源连接，源极与驱动电源连接，漏极与OLED连接；匹配薄膜晶体管通过充电控制单元与数据线连接，源极与存储电容的第二端连接；信号清除薄膜晶体管与存储电容的第二端连接；信号清除薄膜晶体管的源极，与匹配薄膜晶体管的栅极和漏极连接，并通过充电控制单元与数据线连接。本发明可以提高OLED面板亮度的均匀性。

