



(12)发明专利申请

(10)申请公布号 CN 111063698 A

(43)申请公布日 2020.04.24

(21)申请号 201911310569.7

(22)申请日 2019.12.18

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 合肥鑫晟光电科技有限公司

(72)发明人 胡迎宾 赵策 丁远奎 宋威
倪柳松 宋嘉文 陈皖青 闫梁臣

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138
代理人 杨广宇

(51) Int. Cl.
H01L 27/12(2006.01)
H01L 21/77(2017.01)
H01L 27/32(2006.01)

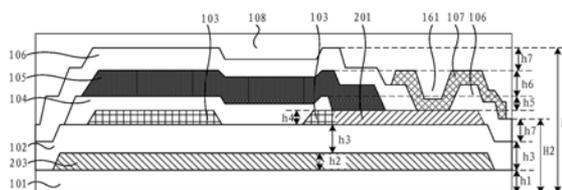
权利要求书2页 说明书8页 附图6页

(54)发明名称

有机发光二极管阵列基板及制作方法、显示
面板和装置

(57)摘要

本公开是关于一种有机发光二极管阵列基板及制作方法、显示面板和装置,属于显示技术领域。有机发光二极管阵列基板具有多个像素区域,每个像素区域内设置有至少两个薄膜晶体管和一个电容,至少两个薄膜晶体管包括驱动薄膜晶体管;有机发光二极管阵列基板包括依次叠层设置的衬底基板、有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层;有源层包括各个薄膜晶体管的有源部和电容的第一极板,栅极层包括薄膜晶体管的栅极,源漏极层包括薄膜晶体管的源极、漏极和电容的第二极板;驱动薄膜晶体管的栅极和第一极板连接,至少两个薄膜晶体管中的至少一个薄膜晶体管的源极与第一极板连接。



1. 一种有机发光二极管阵列基板,其特征在于,所述有机发光二极管阵列基板具有多个像素区域(1),每个所述像素区域(1)内设置有至少两个薄膜晶体管(10)和一个电容(20),所述至少两个薄膜晶体管(10)包括驱动薄膜晶体管(100);

所述有机发光二极管阵列基板包括依次叠层设置的衬底基板(101)、有源层(103)、栅极绝缘层(104)、栅极层(105)、层间电介质层(106)和源漏极层(107);

所述有源层(103)包括各个所述薄膜晶体管(10)的有源部(130)和所述电容(20)的第一极板(201),所述栅极层(105)包括所述薄膜晶体管(10)的栅极(150),所述源漏极层(107)包括所述薄膜晶体管(10)的源极(170)、漏极(171)和所述电容(20)的第二极板(202);

所述驱动薄膜晶体管(100)的栅极(150)和所述第一极板(201)连接,所述至少两个薄膜晶体管(10)中的至少一个所述薄膜晶体管(10)的所述源极(170)与所述第一极板(201)连接。

2. 根据权利要求1所述的有机发光二极管阵列基板,其特征在于,所述栅极绝缘层(104)覆盖所述有源部(130),所述第一极板(201)的至少部分从所述栅极绝缘层(104)中露出,所述驱动薄膜晶体管(100)的栅极(150)延伸到所述第一极板(201)上与之搭接。

3. 根据权利要求1或2所述的有机发光二极管阵列基板,其特征在于,所述层间电介质层(106)与所述第一极板(201)对应的位置开设有过孔(161),至少一个所述薄膜晶体管(10)的所述源极(170)通过所述过孔(161)与所述第一极板(201)连接。

4. 根据权利要求1或2所述的有机发光二极管阵列基板,其特征在于,所述有机发光二极管阵列基板还包括缓冲层(102)和平坦化层(108)中的至少一个;

所述缓冲层(102)位于所述衬底基板(101)与所述有源层(103)之间,所述平坦化层(108)覆盖在所述源漏极层(107)上。

5. 根据权利要求4所述的有机发光二极管阵列基板,其特征在于,所述有机发光二极管阵列基板还包括位于所述衬底基板(101)和所述缓冲层(102)之间的所述电容(20)的第三极板(203)。

6. 一种有机发光二极管阵列基板的制作方法,其特征在于,所述有机发光二极管阵列基板具有多个像素区域,所述方法包括:

提供一衬底基板;

在所述衬底基板上依次制作有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层,以在每个所述像素区域内设置有至少两个薄膜晶体管和一个电容,所述至少两个薄膜晶体管包括驱动薄膜晶体管;所述有源层包括各个所述薄膜晶体管的有源部和所述电容的第一极板,所述栅极层包括栅极,所述源漏极层包括所述薄膜晶体管的源极、漏极和所述电容的第二极板;所述驱动薄膜晶体管的栅极和所述第一极板连接,所述至少两个薄膜晶体管中的至少一个所述薄膜晶体管的所述源极与所述第一极板连接。

7. 根据权利要求6所述的有机发光二极管阵列基板的制作方法,其特征在于,所述在所述衬底基板上依次制作有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层,包括:

在所述衬底基板上制作有源层;

在所述有源层上制作覆盖所述薄膜晶体管的有源部的栅极绝缘层;

在所述栅极绝缘层上制作栅极层,所述栅极层的所述驱动薄膜晶体管的栅极一端与所

述第一极板连接；

在所述栅极上制作层间电介质层；

在所述层间电介质层上开设与所述第一极板对应的过孔；

在所述层间电介质层上制作源漏极层，所述至少两个薄膜晶体管中的至少一个所述薄膜晶体管的所述源极与所述第一极板通过所述过孔连接。

8. 根据权利要求7所述的有机发光二极管阵列基板的制作方法，其特征在于，所述在所述衬底基板上制作有源层，包括：

在所述衬底基板上制作有源层薄膜；

对所述有源层薄膜进行图形化得到所述薄膜晶体管的有源部和待处理有源块；

在所述有源层上制作栅极绝缘层；

对所述栅极绝缘层进行图形化处理，使得所述待处理有源块露出；

对所述待处理有源块进行金属化处理。

9. 根据权利要求7所述的有机发光二极管阵列基板的制作方法，其特征在于，所述方法还包括：

在制作缓冲层之前，在所述衬底基板上制作所述电容的第三极板。

10. 一种显示装置，其特征在于，所述显示装置包括如权利要求1至5任一项所述的有机发光二极管阵列基板。

有机发光二极管阵列基板及制作方法、显示面板和装置

技术领域

[0001] 本公开涉及显示技术领域,特别涉及一种有机发光二极管阵列基板及制作方法、显示面板和装置。

背景技术

[0002] 有机发光二极管(英文:Organic Light-Emitting Diode,简称:OLED)显示面板存在2T1C、3T1C、7T1C等像素结构,其中T是指薄膜晶体管(英文:Thin Film Transistor,简称:TFT),C是指电容。

[0003] 在一个像素单元中,多个薄膜晶体管和电容之间互相连接,共同控制该像素单元的发光。其中,存在一个薄膜晶体管的源极和另一个薄膜晶体管的栅极连接的情况。

[0004] OLED显示面板的阵列基板包括衬底基板、缓冲层、有源层、栅极绝缘层、栅极层、层间绝缘层、源漏极层和平坦化层。栅极层包括每个薄膜晶体管的栅极,栅极为块状结构,使得层间绝缘层在栅极处形成台阶,此时可以将源极和漏极布置在栅极层两侧。而一个薄膜晶体管的源极需要和另一个薄膜晶体管的栅极连接,则只能从栅极顶部的层间绝缘层上开设过孔,通过过孔实现源极和栅极的连接。

[0005] 由于是通过过孔连接,源极必须经过过孔上方,造成栅极处的膜层厚度较大,一方面增大了整个显示面板的厚度,另一方面,造成未制作平坦化层时的阵列基板的凹凸不平的情况非常严重,使得平坦化层制作难度增加。

发明内容

[0006] 本公开实施例提供了一种有机发光二极管阵列基板及制作方法、显示面板和装置,可以减小平面的厚度,减少未制作平坦化层时的阵列基板的凹凸不平的情况,减小平坦化层制作的难度。所述技术方案如下:

[0007] 第一方面,本公开提供了一种有机发光二极管阵列基板,所述有机发光二极管阵列基板具有多个像素区域,每个所述像素区域内设置有至少两个薄膜晶体管和一个电容,所述至少两个薄膜晶体管包括驱动薄膜晶体管;

[0008] 所述有机发光二极管阵列基板包括依次叠层设置的衬底基板、有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层;

[0009] 所述有源层包括各个所述薄膜晶体管的有源部和所述电容的第一极板,所述栅极层包括所述薄膜晶体管的栅极,所述源漏极层包括所述薄膜晶体管的源极、漏极和所述电容的第二极板;

[0010] 所述驱动薄膜晶体管的栅极和所述第一极板连接,所述至少两个薄膜晶体管中的至少一个所述薄膜晶体管的所述源极与所述第一极板连接。

[0011] 在本公开实施例的一种实现方式中,所述栅极绝缘层覆盖所述有源部,所述第一极板的至少部分从所述栅极绝缘层中露出,所述驱动薄膜晶体管的栅极延伸到所述第一极板上与之搭接。

[0012] 在本公开实施例的一种实现方式中,所述层间电介质层与所述第一极板对应的位置开设有穿孔,至少一个所述薄膜晶体管的所述源极通过所述穿孔与所述第一极板连接。

[0013] 在本公开实施例的一种实现方式中,所述有机发光二极管阵列基板还包括缓冲层和平坦化层中的至少一个;

[0014] 所述缓冲层位于所述衬底基板与所述有源层之间,所述平坦化层覆盖在所述源漏极层上。

[0015] 在本公开实施例的一种实现方式中,所述阵列基板还包括位于所述衬底基板和所述缓冲层之间的所述电容的第三极板。

[0016] 第二方面,本公开提供了一种有机发光二极管阵列基板的制作方法,所述有机发光二极管阵列基板具有多个像素区域,所述方法包括:

[0017] 提供一衬底基板;

[0018] 在所述衬底基板上依次制作有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层,以在每个所述像素区域内设置有至少两个薄膜晶体管和一个电容,所述至少两个薄膜晶体管包括驱动薄膜晶体管;所述有源层包括各个所述薄膜晶体管的有源部和所述电容的第一极板,所述栅极层包括栅极,所述源漏极层包括所述薄膜晶体管的源极、漏极和所述电容的第二极板;所述驱动薄膜晶体管的栅极和所述第一极板连接,所述至少两个薄膜晶体管中的至少一个所述薄膜晶体管的所述源极与所述第一极板连接。

[0019] 在本公开实施例的一种实现方式中,所述在所述衬底基板上依次制作有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层,包括:

[0020] 在所述衬底基板上依次制作缓冲层;

[0021] 在所述衬底基板上制作有源层;

[0022] 在所述有源层上制作覆盖所述薄膜晶体管的有源部的栅极绝缘层;

[0023] 在所述栅极绝缘层上制作栅极层,所述栅极层的所述驱动薄膜晶体管的栅极一端与所述第一极板连接;

[0024] 在所述栅极上制作层间电介质层;

[0025] 在所述层间电介质层上开设与所述第一极板对应的穿孔;

[0026] 在所述层间电介质层上制作源漏极层,所述至少两个薄膜晶体管中的至少一个所述薄膜晶体管的所述源极与所述第一极板通过所述穿孔连接;

[0027] 在所述源漏极层上制作平坦化层。

[0028] 在本公开实施例的一种实现方式中,所述在所述衬底基板上制作有源层,包括:

[0029] 在所述衬底基板上制作有源层薄膜;

[0030] 对所述有源层薄膜进行图形化得到,所述薄膜晶体管的有源部和待处理有源块;

[0031] 在所述有源层上制作栅极绝缘层;

[0032] 对所述栅极绝缘层进行图形化处理,使得所述待处理有源块露出;

[0033] 对所述待处理有源块进行金属化处理。

[0034] 在本公开实施例的一种实现方式中,所述方法还包括:

[0035] 在制作缓冲层之前,在所述衬底基板上制作所述电容的第三极板。

[0036] 第三方面,本公开提供了一种显示面板,所述显示面板包括第一方面任一项所述的有机发光二极管阵列基板。

[0037] 第四方面,本公开提供了显示装置,所述显示装置包括第三方面所述的显示面板。

[0038] 本公开实施例提供的技术方案带来的有益效果是:

[0039] 在本公开实施例中,像素区域的至少两个TFT和电容共同控制像素单元的发光,将TFT的有源部和电容的第一极板均布置在有源层中,其中驱动TFT的栅极和电容的第一极板连接,至少一个TFT的源极与同样与电容的第一极板连接,将至少一个TFT的源极与驱动TFT的栅极通过有源层内的第一极板连接。也即连接驱动TFT的栅极的源极只需要经过该有源层的第一极板的上方即可,不再需要经过驱动TFT的栅极的上方,从而使得连接驱动TFT的栅极的源极可以不与驱动TFT的栅极重叠,使得驱动TFT栅极处的膜层厚度减小,减小了整个显示面板的厚度,同时减少了整个未制作平坦化层时的阵列基板的凹凸不平的情况,降低了平坦化层制作的难度。

附图说明

[0040] 为了更清楚地说明本公开实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0041] 图1是本公开实施例提供的一种OLED阵列基板的俯视图;

[0042] 图2是本公开实施例提供的一种像素结构的电路图;

[0043] 图3是本公开实施例提供的一种OLED阵列基板的截面图;

[0044] 图4是本公开实施例提供的一种OLED阵列基板在另一个方向上的截面示意图;

[0045] 图5是相关技术中OLED阵列基板的截面图;

[0046] 图6是本公开实施例提供的另一种像素结构的电路图;

[0047] 图7是本公开实施例提供的一种OLED阵列基板制作方法的流程图;

[0048] 图8是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0049] 图9是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0050] 图10是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0051] 图11是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0052] 图12是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0053] 图13是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0054] 图14是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0055] 图15是本公开实施例提供的一种制作OLED阵列基板的过程图;

[0056] 图16是本公开实施例提供的一种制作OLED阵列基板的过程图。

具体实施方式

[0057] 为使本公开的目的、技术方案和优点更加清楚,下面将结合附图对本公开实施方式作进一步地详细描述。

[0058] 图1是本公开实施例提供的一种OLED阵列基板的俯视图。参见图1,OLED阵列基板具有多个像素区域1。图2示出了每个像素区域中的一种像素结构的电路图。参见图2,每个像素区域1内设置有至少两个TFT 10和一个电容20,至少两个TFT 10包括驱动薄膜晶体管

100。图3是本公开实施例提供的一种OLED阵列基板在一个方向上的截面示意图。参见图3，OLED阵列基板包括依次叠层设置的衬底基板(英文:Substrate) 101、有源(英文:Active)层 103、栅极绝缘(英文:Gate Insulator,简称:GI)层104、栅极(英文:Gate)层105、层间电介质(英文:Inter Layer Dielectric,简称:ILD)层106和源漏极(英文:Source Drain,简称:SD)层107。

[0059] 可选地,该OLED阵列基板还可以包括缓冲(英文:Buffer)层102和平坦化层108中的至少一个;缓冲层102位于衬底基板101与有源层103之间,平坦化层108覆盖在源漏极层107上。

[0060] 图4是本公开实施例提供的一种OLED阵列基板在另一个方向上的截面图。参见图3和图4,有源层103包括各个TFT 10的有源部130和电容20的第一极板201,栅极层105包括TFT 10的栅极150,源漏极层107包括TFT 10的源极170、漏极171和电容20的第二极板202。参见图2和图3,驱动薄膜晶体管(英文:Drive Thin Film Transistor,简称:DR TFT) 100的栅极150和第一极板201连接,至少两个TFT 10中的至少一个TFT 10的源极170与第一极板201连接。

[0061] 在本公开实施例中,TFT 10和电容20连接共同控制像素区域1内的像素单元发光。将TFT 10的有源部和电容20的第一极板201布置在有源层103,充分利用有源层103的空间,同时将电容20的第二极板202布置在源漏极层107,不需要另外设置膜层布置第一极板201和第二衬底基板1012,降低OLED显示面板的厚度。

[0062] 在本公开实施例中,像素区域的至少两个TFT和电容共同控制像素单元的发光,将TFT的有源部和电容的第一极板均布置在有源层中,其中驱动TFT的栅极和电容的第一极板连接,至少一个TFT的源极与同样与电容的第一极板连接,将至少一个TFT的源极与驱动TFT的栅极通过有源层内的第一极板连接。也即连接驱动TFT的栅极的源极只需要经过该有源层的第一极板的上方即可,不再需要经过驱动TFT的栅极的上方,从而使得连接驱动TFT的栅极的源极可以不与驱动TFT的栅极重叠,使得驱动TFT栅极处的膜层厚度减小,减小了整个显示面板的厚度,同时减少了整个未制作平坦化层时的阵列基板的凹凸不平的情况,降低了平坦化层制作的难度。

[0063] 再次参见图3,OLED阵列基板还包括位于衬底基板101和缓冲层102之间的电容20的第三极板203。这里第三极板203可以采用金属制作而成。

[0064] 在该实现方式中,通过设置三块极板形成夹心电容结构,以增加电容的电容量。

[0065] 再次参见图3,在本公开实施例中OLED阵列基板的厚度最大值为 $H1=h1+h2+h3+h4+h5+h6+h7$,厚度最小值为 $H2=h1+h3+h7$ 。那么本公开实施例中OLED阵列基板的厚度的最大值与厚度的最小值的差值为 $H3=h2+h4+h5+h6$ 。

[0066] 其中, $h1$ 表示衬底基板101的厚度, $h2$ 表示第三极板203的厚度, $h3$ 表示缓冲层102的厚度, $h4$ 表示有源层103的厚度, $h5$ 表示栅极绝缘层104的厚度, $h6$ 表示栅极层105的厚度, $h7$ 表示层间电介质层106的厚度。

[0067] 图5是相关技术中OLED阵列基板的截面图,参见图5,驱动TFT 100的栅极150与相邻的TFT 10的源极170通过栅极层105上方的层间电介质层106的过孔连接的。那么在图5的OLED阵列基板的厚度最大值为 $H4=h1+h2+h3+h4+h5+h6+h7+h8$,厚度最小值为 $H5=h1+h3+h7$ 。那么在图5中OLED阵列基板厚度的最大值与厚度的最小值的差值为 $H6=h2+h4+h5+h6+$

h8。其中，h8表示源漏极层107的厚度。

[0068] 从H1和H4可以看出，本申请中阵列基板的厚度降低的数值为源漏极层107的厚度h8，厚度降低的效果明显。从H3和H6可以看出，本公开的OLED阵列基板的最大厚度差相比相关技术中OLED阵列基板最大厚度差要小，且减小的数值为源漏极层107的厚度h8，大大降低了未制作平坦化层时阵列基板的平坦程度，从而降低后续平坦化层制作的难度。

[0069] 在本公开实施例的一种实现方式中，OLED阵列基板的厚度的最大值与厚度的最小值的差值H3的范围在1至2微米之间。

[0070] 从图3和图5可以看出，本公开实施例提供的OLED阵列基板中TFT 10之间的电连接关系并未改变，即驱动TFT 100的栅极150和TFT 10中的至少一个TFT 10的源极170连接，该TFT 10与驱动TFT 100之间仍然能够传输电信号，并不会对OLED阵列基板造成不良的影响。

[0071] 再次参见图2，对于2T1C的像素结构，一般只存在一个TFT 10的源极170与驱动TFT 100的栅极150连接。

[0072] 图6是本公开实施例提供的另一种像素结构的电路图。参见图6，该像素结构与图2的不同在于，图2提供的像素结构为2T1C，而图4提供的像素结构则是7T1C，在图6所述的像素结构中，存在两个TFT 10的源极170与驱动TFT 100的栅极150连接。当存在两个TFT 10的源极170与驱动TFT 100的栅极150连接时，这两个TFT 10的源极170均通过电容的第一极板201与驱动TFT 100的栅极150连接。

[0073] 在其他实现方式中，该像素结构还可以是3T1C、6T1C等，本申请实施例对此不做限制。且对于不同的像素结构，可以存在一个、两个、甚至多个TFT 10的源极170与驱动TFT 100的栅极150连接，本申请对此也不做限制。

[0074] 在本公开实施例中，衬底基板101可以采用透明衬底基板，例如为玻璃基板。

[0075] 在本公开实施例中，缓冲层102、栅极绝缘层104和层间电介质层106均可以采用有机绝缘层或无机绝缘层，三个绝缘层的材料可以相同或不同。例如，缓冲层102、栅极绝缘层104和层间电介质层106均采用为氮化硅绝缘层。

[0076] 在本公开实施例中，栅极层105和源漏极层107均可以为金属层或氧化铟锡薄膜层。

[0077] 在本公开实施例中，平坦化层108可以为树脂层或其他有机膜层。

[0078] 在本公开实施例中，有源层103可以为低温多晶硅层。其中，有源层103中的有源部130为常规有源层，而第一极板201为导体化的有源层，也即采用金属化处理后的低温多晶硅层，这样第一极板201才能更好地在源极170和栅极150之间传递信号。

[0079] 再次参见图3，栅极绝缘层104覆盖TFT的有源部130，而电容的第一极板201的至少部分从栅极绝缘层104中露出，栅极层105中驱动TFT 100的栅极150延伸到第一极板201上与之搭接，这种方式实现的栅极150和第一极板201的连接，连接关系简单，制作方便，且不影响整个阵列基板的厚度。

[0080] 在该实现方式中，栅极绝缘层104未完全覆盖第一极板201，可以通过在栅极绝缘层104上进行图形化处理，开设过孔使得第一极板201的至少部分露出栅极绝缘层。

[0081] 再次参见图3，层间电介质层106对应第一极板201的位置开设有过孔161，至少一个TFT 10的源极170通过过孔161与第一极板201连接。

[0082] 在该实现方式中，设置过孔161方便TFT 10的源极170与第一极板201连接。此时，

可以看出,该源极170不再需要经过栅极150上方,大大降低了阵列基板的厚度。

[0083] 这里,层间电介质层106上开设的过孔数量可以不限于1,例如可以基于与该栅极150连接的源极170的数量对应设置过孔,每个源极170通过一个过孔161与栅极150连接。

[0084] 示例性地,该过孔161可以通过刻蚀或者激光打孔的方式形成。

[0085] 图7是本公开实施例提供的一种OLED阵列基板制作方法的流程图。参见图7,所述方法包括:

[0086] 步骤S1:提供一衬底基板。

[0087] 图8至图16本公开实施例提供的一种制作OLED阵列基板的过程图,下面结合图6至图12对OLED阵列基板的制作方法进行介绍。参见图8,提供一衬底基板101。

[0088] 衬底基板101可以采用透明衬底基板,例如为玻璃基板。

[0089] 步骤S2:在衬底基板上依次制作有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层。以在每个像素区域内设置有至少两个薄膜晶体管和一个电容,至少两个薄膜晶体管包括驱动薄膜晶体管;有源层包括各个薄膜晶体管的有源部和电容的第一极板,栅极层包括栅极,源漏极层包括薄膜晶体管的源极、漏极和所述电容的第二极板;驱动薄膜晶体管的栅极和第一极板连接,至少两个薄膜晶体管中的至少一个薄膜晶体管的源极与第一极板连接。

[0090] 在本公开实施例中,像素区域的至少两个TFT和电容共同控制像素单元的发光,将TFT的有源部和电容的第一极板均布置在有源层中,其中驱动TFT的栅极和电容的第一极板连接,至少一个TFT的源极与同样与电容的第一极板连接,将至少一个TFT的源极与驱动TFT的栅极通过有源层内的第一极板连接。也即连接驱动TFT的栅极的源极只需要经过该有源层的第一极板的上方即可,不再需要经过驱动TFT的栅极的上方,从而使得连接驱动TFT的栅极的源极可以不与驱动TFT的栅极重叠,使得驱动TFT栅极处的膜层厚度减小,减小了整个显示面板的厚度,同时减少了整个未制作平坦化层时的阵列基板的凹凸不平的情况,降低了平坦化层制作的难度。

[0091] 下面结合对如何在衬底基板上依次制作有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层进行详细说明。

[0092] 先在衬底基板上制作有源层。

[0093] 例如,可以先在衬底基板上制作缓冲层。然后,在缓冲层上制作有源层。

[0094] 参见图9,在衬底基板101上制作缓冲层102。示例性地,可以通过沉积的方式在衬底基板101上制作缓冲层102。

[0095] 可选地,在衬底基板101上制作缓冲层102之前可以在衬底基板101上制作电容20的第三极板203。

[0096] 在缓冲层102上制作有源层103。示例性地,可以通过沉积的方式在缓冲层102上制作有源层103。

[0097] 在缓冲层102上制作有源层103,包括:

[0098] 参见图10,在缓冲层102上制作有源层薄膜131。

[0099] 参见图11,对有源层薄膜131进行图形化得到TFT 10的有源部130和待处理有源块132。

[0100] 示例性地,可以对有源层薄膜131进行刻蚀形成TFT 10的有源部130和待处理有源

块132。在其他实现方式中,也可以通过掩膜(Mask)的方式在缓冲层102上分别制作TFT 10的有源部130和待处理有源块132。

[0101] 参见图12,在有源层103上制作栅极绝缘层104。可以通过沉积的方式在有源层103上沉积一层栅极绝缘层104。采用沉积的方式制作栅极绝缘层104可以称为栅极绝缘层沉积(英文:GI Dep)。

[0102] 参见图13,对栅极绝缘层104进行图形化处理,使得待处理有源块132露出。

[0103] 示例性地,可以在有源块132对应的栅极绝缘层104上制作过孔141,露出有源块132。示例性地,可以在栅极绝缘层104上覆盖一层栅极绝缘掩模板(英文:GI Mask)露出栅极绝缘层104上需要刻蚀的区域,采用干法刻蚀的方法对栅极绝缘层104进行挖孔,形成过孔141,使得待处理有源块132露出。

[0104] 参见图14,对待处理有源块132进行金属化处理。

[0105] 示例性地,可以采用等离子法对露出的待处理有源块132进行金属化处理,使露出的待处理有源块132可以导电。

[0106] 例如,采用氢原子或者氦气对露出的待处理有源块132进行轰击,使露出的待处理有源块132内的氧原子被置换出来,使露出的待处理有源块132可以导电。

[0107] 如图15所示,在栅极绝缘层104上制作栅极层105,栅极层105的驱动薄膜晶体管100的栅极150一端与第一极板201连接。示例性地,可以采用溅射和图形化处理的方式在栅极绝缘层104上制作栅极层105。例如,先通过溅射的方式在栅极绝缘层104上制作一层栅极层薄膜,然后对栅极层薄膜进行图形化处理得到栅极层105。

[0108] 再次参见图15,在栅极绝缘层104上制作栅极层105之后,该方法还可以包括如下可选步骤:对位于有源块132上的栅极绝缘层104进行大面积图像化处理,使有源块132进一步地露出,并对露出的有源块132再次进行金属化处理,使该部分有源块132也能够导电。就可以形成图15所示的膜层结构。

[0109] 示例性地,可以采用刻蚀的方法对栅极绝缘层104进行图形化处理。采用采用等离子法对露出的有源块132进行金属化处理。

[0110] 如图16所示,在栅极上制作层间电介质层106;在层间电介质层106上开设与第一极板201对应的过孔161。示例性地,可以通过刻蚀或者激光打孔的方式形成过孔161。

[0111] 在层间电介质层106上制作源漏极层107,至少两个薄膜晶体管中的至少一个薄膜晶体管的源极与第一极板201通过过孔161连接。在源漏极层107上制作平坦化层108。就可以得到如图3所示的OLED阵列基板的膜层图。

[0112] 在本公开实施例中,缓冲层102、栅极绝缘层104和层间电介质层106均可以采用有机绝缘层或无机绝缘层,三个绝缘层的材料可以相同或不同。例如,缓冲层102、栅极绝缘层104和层间电介质层106均采用为氮化硅绝缘层。

[0113] 在本公开实施例中,栅极层105和源漏极层107均可以为金属层或氧化铟锡薄膜层。

[0114] 可选地,在制作完源漏极层107后,可以在源漏极层107上制作一层平坦化层108。该平坦化层108可以为树脂层或其他有机膜层。

[0115] 本公开实施例还提供了一种显示面板,该显示面板包括如前任一附图所示的OLED阵列基板。

[0116] 示例性地,该显示面板可以为分辨率为8K顶发射OLED面板。在这种面板中,金属线宽细,厚度大,通过本方案减少一层源漏极层的厚度,可以大大降低整体面板厚度。

[0117] 在本公开实施例中,像素区域的至少两个TFT和电容共同控制像素单元的发光,将TFT的有源部和电容的第一极板均布置在有源层中,其中驱动TFT的栅极和电容的第一极板连接,至少一个TFT的源极与同样与电容的第一极板连接,将至少一个TFT的源极与驱动TFT的栅极通过有源层内的第一极板连接。也即连接驱动TFT的栅极的源极只需要经过该有源层的第一极板的上方即可,不再需要经过驱动TFT的栅极的上方,从而使得连接驱动TFT的栅极的源极可以不与驱动TFT的栅极重叠,使得驱动TFT栅极处的膜层厚度减小,减小了整个显示面板的厚度,同时减少了整个未制作平坦化层时的阵列基板的凹凸不平的情况,降低了平坦化层制作的难度。

[0118] 本公开实施例还提供了一种显示装置,显示装置包括前述所述的显示面板。

[0119] 在具体实施时,本公开实施例提供的显示装置可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0120] 在本公开实施例中,像素区域的至少两个TFT和电容共同控制像素单元的发光,将TFT的有源部和电容的第一极板均布置在有源层中,其中驱动TFT的栅极和电容的第一极板连接,至少一个TFT的源极与同样与电容的第一极板连接,将至少一个TFT的源极与驱动TFT的栅极通过有源层内的第一极板连接。也即连接驱动TFT的栅极的源极只需要经过该有源层的第一极板的上方即可,不再需要经过驱动TFT的栅极的上方,从而使得连接驱动TFT的栅极的源极可以不与驱动TFT的栅极重叠,使得驱动TFT栅极处的膜层厚度减小,减小了整个显示面板的厚度,同时减少了整个未制作平坦化层时的阵列基板的凹凸不平的情况,降低了平坦化层制作的难度。

[0121] 以上所述仅为本公开的可选实施例,并不用以限制本公开,凡在本公开的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本公开的保护范围之内。

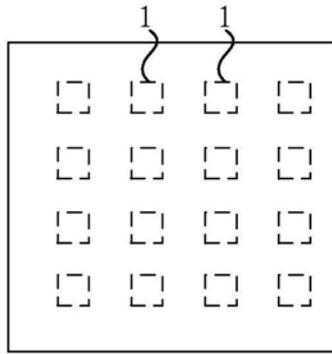


图1

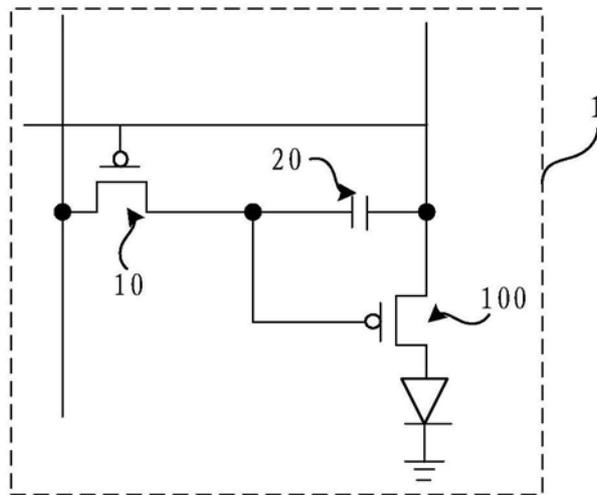


图2

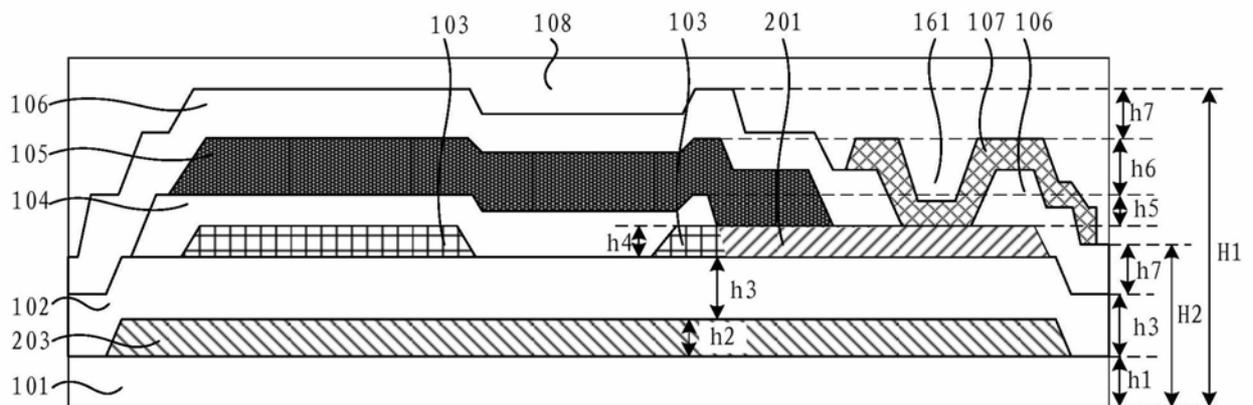


图3

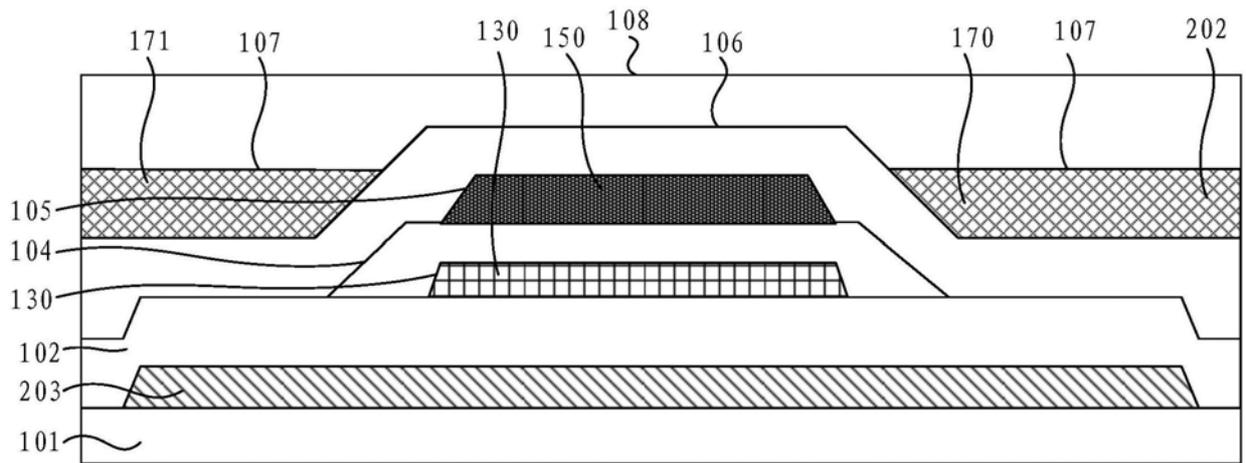


图4

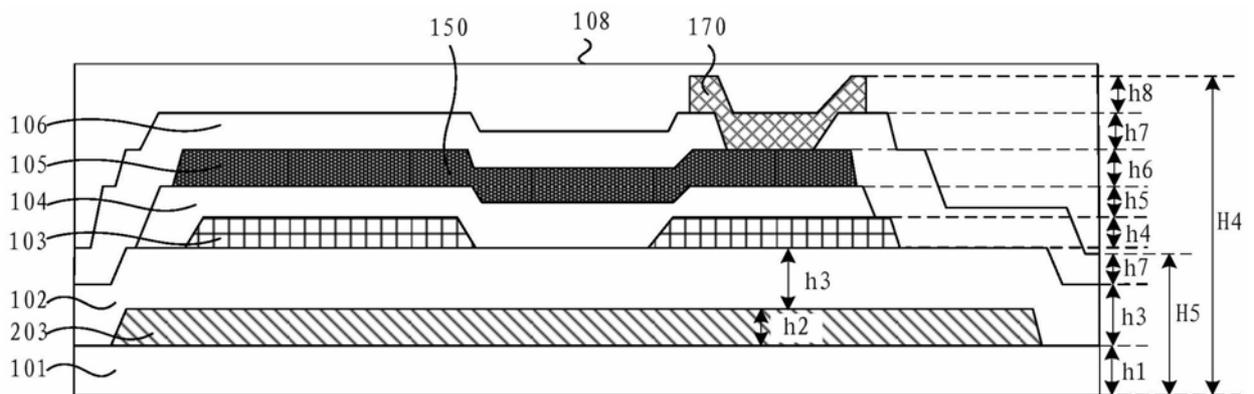


图5

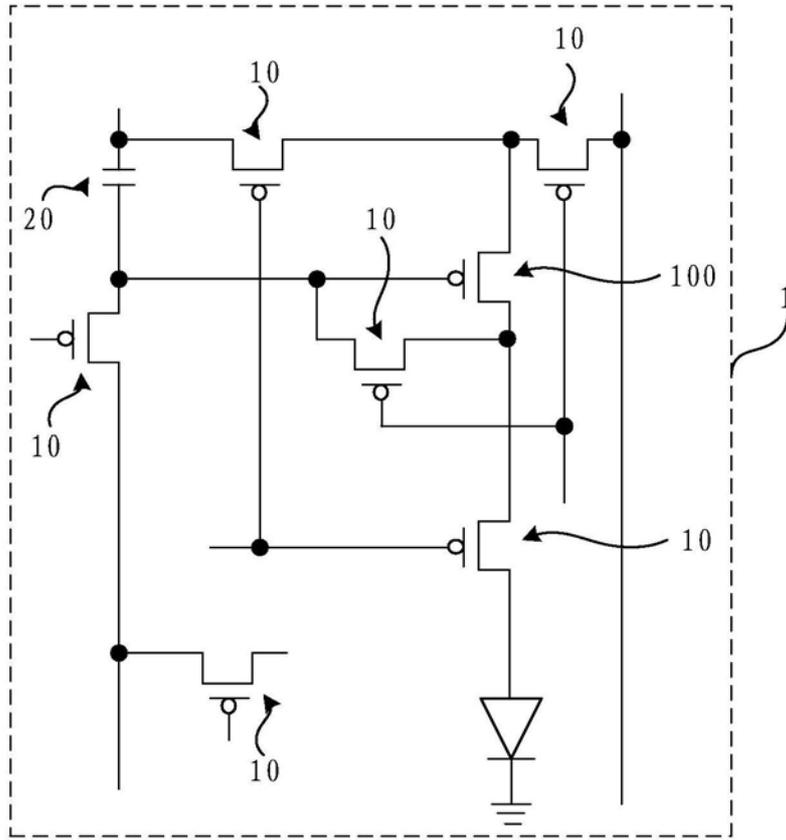


图6

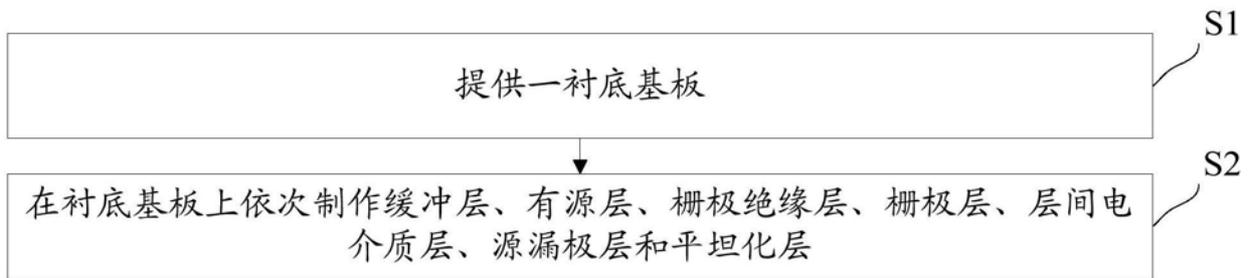


图7



图8

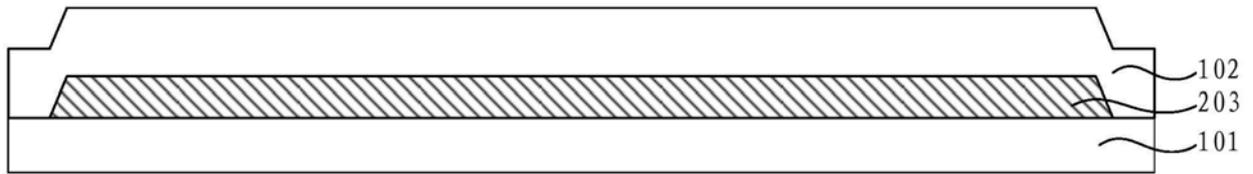


图9

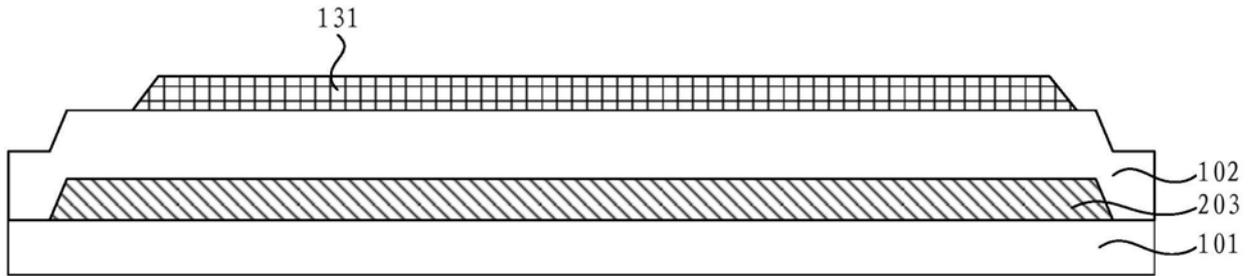


图10

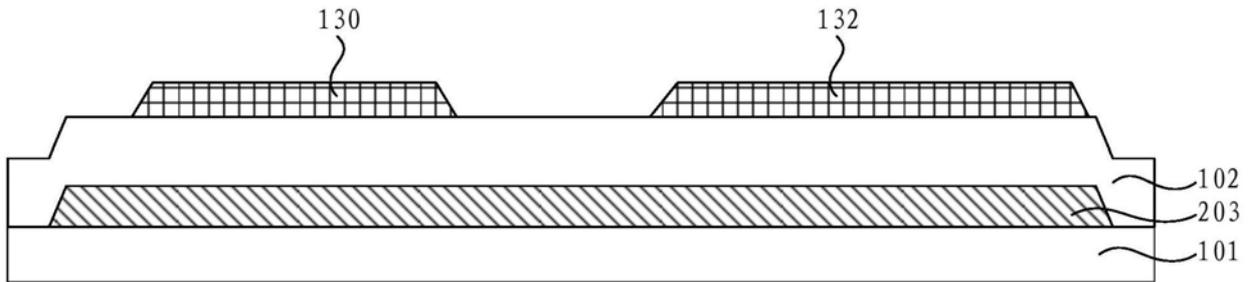


图11

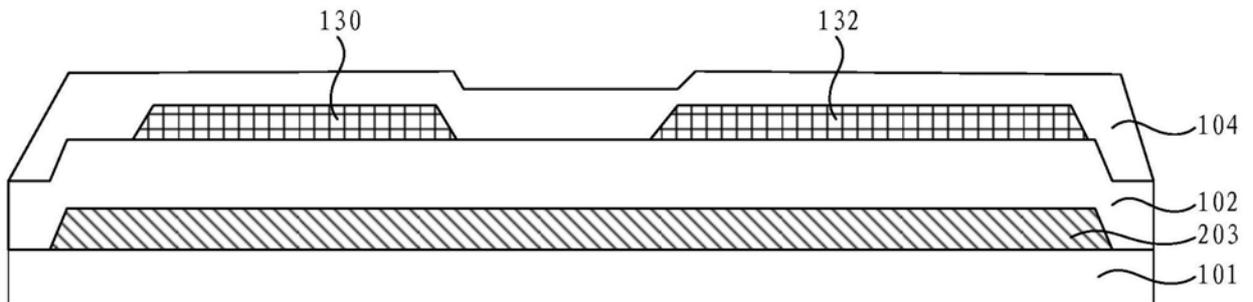


图12

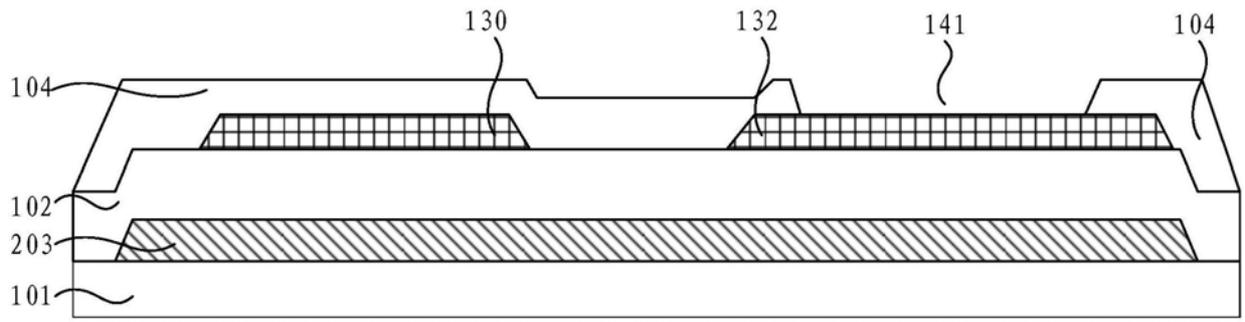


图13

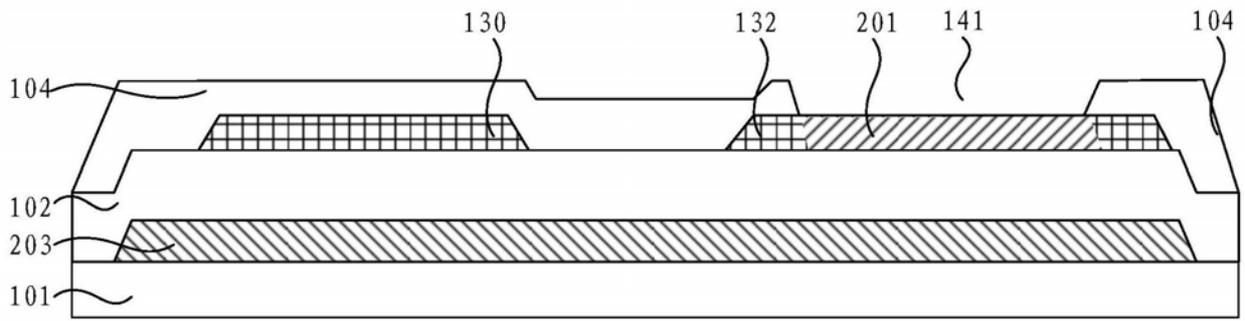


图14

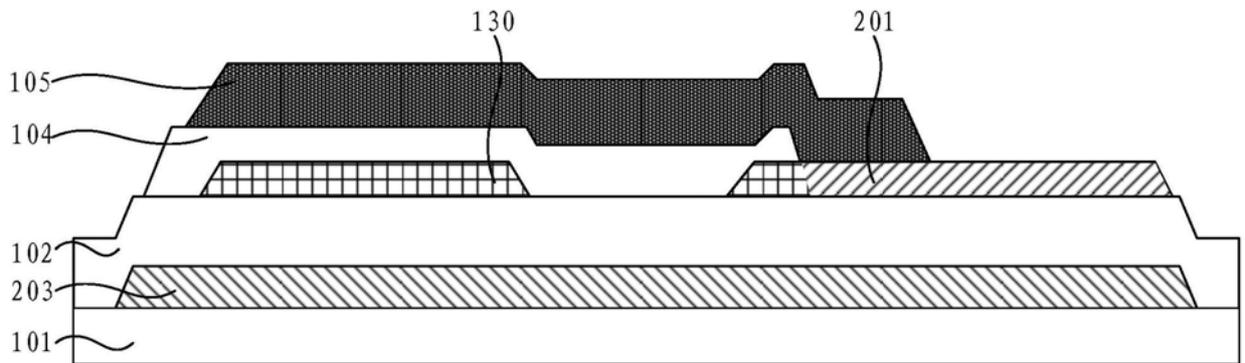


图15

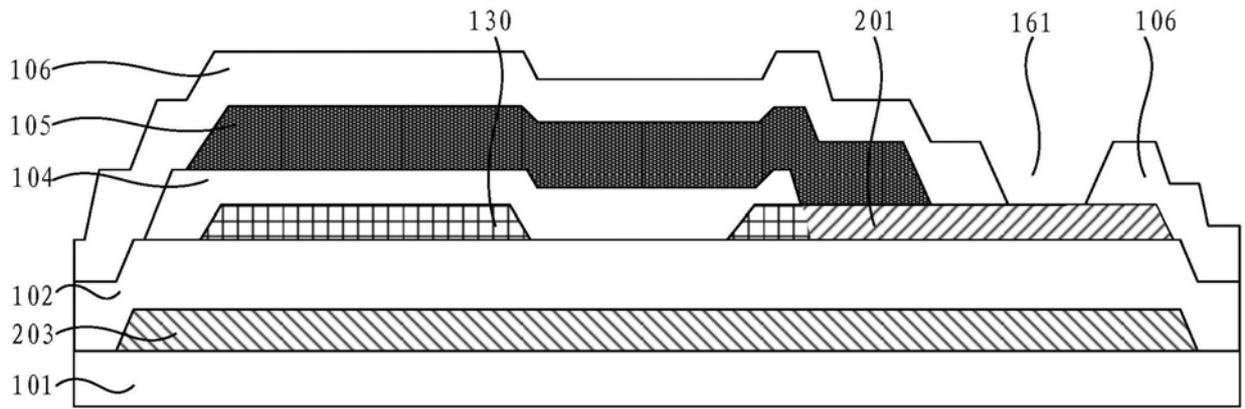


图16

专利名称(译)	有机发光二极管阵列基板及制作方法、显示面板和装置		
公开(公告)号	CN111063698A	公开(公告)日	2020-04-24
申请号	CN2019111310569.7	申请日	2019-12-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
[标]发明人	胡迎宾 赵策 丁远奎 宋威 倪柳松 宋嘉文 闫梁臣		
发明人	胡迎宾 赵策 丁远奎 宋威 倪柳松 宋嘉文 陈皖青 闫梁臣		
IPC分类号	H01L27/12 H01L21/77 H01L27/32		
CPC分类号	H01L21/77 H01L27/1255 H01L27/1259 H01L27/3244		
代理人(译)	杨广宇		
外部链接	Espacenet SIPO		

摘要(译)

本公开是关于一种有机发光二极管阵列基板及制作方法、显示面板和装置，属于显示技术领域。有机发光二极管阵列基板具有多个像素区域，每个像素区域内设置有至少两个薄膜晶体管和一个电容，至少两个薄膜晶体管包括驱动薄膜晶体管；有机发光二极管阵列基板包括依次叠层设置的衬底基板、有源层、栅极绝缘层、栅极层、层间电介质层和源漏极层；有源层包括各个薄膜晶体管的有源部和电容的第一极板，栅极层包括薄膜晶体管的栅极，源漏极层包括薄膜晶体管的源极、漏极和电容的第二极板；驱动薄膜晶体管的栅极和第一极板连接，至少两个薄膜晶体管中的至少一个薄膜晶体管的源极与第一极板连接。

