



(12)发明专利申请

(10)申请公布号 CN 110649045 A

(43)申请公布日 2020.01.03

(21)申请号 201911055091.8

(22)申请日 2019.10.31

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 成都京东方光电科技有限公司

(72)发明人 包征 辛燕霞 胡红伟 李雪萍
吴奕昊

(74)专利代理机构 北京天昊联合知识产权代理
有限公司 11112

代理人 柴亮 姜春咸

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

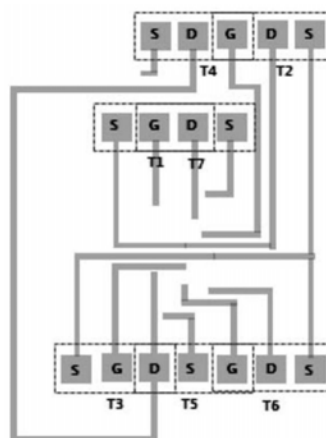
权利要求书2页 说明书13页 附图8页

(54)发明名称

有机发光显示面板及显示装置

(57)摘要

本发明一些实施例提供一种有机发光显示面板及显示装置,所述至少一个测试单元区中的每个测试单元区包括:衬底基板;和衬底基板上的至少两个测试像素单元,所述至少两个测试像素单元具有与所述显示区域的至少两个相邻的像素单元相同的结构,并且所述至少两个测试像素单元包括至少一个中心测试像素单元;所述至少一个中心测试像素单元中的每个所述中心测试像素单元具有至少一个薄膜晶体管;以及所述有机发光显示面板还包括设置在所述至少一个薄膜晶体管所在层的远离所述衬底基板的一侧上的第一线路层,所述第一线路层包括与所述薄膜晶体管的所述第一电极、所述栅极和所述第二电极对应电连接的第一上部端子、第二上部端子和第三上部端子。



SD1

1. 一种有机发光显示面板, 包括具有多个像素单元的显示区域和至少一个测试单元区, 其中,

所述至少一个测试单元区中的每个测试单元区包括: 衬底基板; 和衬底基板上的至少两个测试像素单元, 所述至少两个测试像素单元具有与所述显示区域的至少两个相邻的像素单元相同的结构, 并且所述至少两个测试像素单元包括至少一个中心测试像素单元;

所述至少一个中心测试像素单元中的每个所述中心测试像素单元具有至少一个薄膜晶体管, 所述至少一个薄膜晶体管中的每个薄膜晶体管包括第一电极、栅极和第二电极; 以及

所述有机发光显示面板还包括设置在所述至少一个薄膜晶体管所在层的远离所述衬底基板的一侧上的第一线路层, 所述第一线路层包括与所述薄膜晶体管的所述第一电极、所述栅极和所述第二电极对应电连接的第一上部端子、第二上部端子和第三上部端子。

2. 根据权利要求1所述的有机发光显示面板, 其中, 所述至少两个测试像素单元包括多个相同的测试像素单元组, 每个测试像素单元组包括一个中心测试像素单元, 所述中心测试像素单元中的至少一个薄膜晶体管的所述第一上部端子、所述第二上部端子和所述第三上部端子排列为预定形状,

各个所述测试像素单元组的中心测试像素单元中的至少一个薄膜晶体管的所述第一电极、所述栅极和所述第二电极对应电连接的所述第一上部端子、所述第二上部端子和所述第三上部端子构造成多个所述预定形状的重复排列。

3. 根据权利要求2所述的有机发光显示面板, 其中, 至少两个测试像素单元包括多个具有 $(2n+1)$ 行 $(2n+1)$ 列测试像素单元的所述测试像素单元组, 以及第 $(n+1)$ 行第 $(n+1)$ 列测试像素单元为中心测试像素单元, 其中 n 为大于等于1的整数。

4. 根据权利要求1-3任一项所述的有机发光显示面板, 其中, 所述至少一个测试单元区的每一个还包括设置在所述至少一个薄膜晶体管和所述第一线路层之间的第二线路层, 所述第二线路层包括与所述第一电极、所述栅极和所述第二电极对应电连接的第一下部端子、第二下部端子和第三下部端子, 且所述第一上部端子、所述第二上部端子和所述第三上部端子分别通过所述第一下部端子、第二下部端子和第三下部端子与所述第一电极、所述栅极和所述第二电极电连接;

所述第一线路层与所述第二线路层之间设置有平坦层。

5. 根据权利要求4所述的有机发光显示面板, 其中, 至少一个薄膜晶体管所在层包括依次设置在所述衬底基板上的有源层、第一栅极绝缘层和第一栅极层;

所述第一栅极层的远离所述衬底基板的一侧设置有层间介质层;

至少一个薄膜晶体管包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管和第七薄膜晶体管。

6. 根据权利要求5所述的有机发光显示面板, 其中, 所述第三薄膜晶体管对应的所述第一栅极层的远离所述衬底基板的一侧依次设置有第二栅极绝缘层和第二栅极层;

在所述第一薄膜晶体管、第二薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管和第七薄膜晶体管对应的第一栅极层、以及所述第三薄膜晶体管对应的第二栅极层的远离所述衬底基板的一侧设置层间介质层;

所述第三薄膜晶体管所在层包括:

第一过孔,其通过贯穿第二栅极层的第一子过孔和贯穿第二栅极绝缘层、第二栅极层和层间介质层的第二子过孔嵌套形成,以暴露出所述第三薄膜晶体管的第一栅极,所述第三薄膜晶体管的第一栅极通过所述第一过孔与所述第二下部端子电连接;

第二过孔,其通过贯穿第二栅极层的第三子过孔和贯穿第一栅极绝缘层、第二栅极绝缘层、第二栅极层和层间介质层的第四子过孔嵌套形成,以暴露出所述第三薄膜晶体管的第一电极,所述第三薄膜晶体管的第一电极通过所述第二过孔与所述第一下部端子电连接;

第三过孔,其贯穿第一栅极绝缘层、第二栅极绝缘层、第二栅极层和层间介质层,以暴露出所述第三薄膜晶体管的第二电极,所述第三薄膜晶体管的第二电极通过所述第三过孔与所述第三下部端子电连接;

所述第二薄膜晶体管和所述第六薄膜晶体管与所述第三薄膜晶体管共用第一电极或第二电极;

所述至少一个薄膜晶体管所在层还包括贯穿第一栅极绝缘层、第二栅极绝缘层、第二栅极层和层间介质层的第七过孔至第十一过孔,以暴露出有源层。

7. 根据权利要求6所述的有机发光显示面板,其中,所述至少一个薄膜晶体管所在层的所述第一薄膜晶体管和所述第七薄膜晶体管之间、所述第二薄膜晶体管和所述第四薄膜晶体管之间、所述第五薄膜晶体管和所述第六薄膜晶体管之间的位置分别设置第四过孔、第五过孔和第六过孔,其贯穿所述第二栅极绝缘层和所述层间介质层,以暴露出所述第一薄膜晶体管和所述第七薄膜晶体管的第二栅极、所述第二薄膜晶体管和所述第四薄膜晶体管的第三栅极以及所述第五薄膜晶体管和所述第六薄膜晶体管的第四栅极。

8. 根据权利要求7所述的有机发光显示面板,其中,所述第一过孔、所述第二过孔、所述第三过孔、所述第四过孔、第五过孔和第六过孔中覆盖第二线路层,并在层间介质层上形成对应所述第一薄膜晶体管至所述第七薄膜晶体管的每一个的第一下部端子、第二下部端子和第三下部端子;

所述第三薄膜晶体管的栅极与所述第二薄膜晶体管的第二电极的第二线路断开以形成独立的对应所述第三薄膜晶体管的第二下部端子、以及对应所述第二薄膜晶体管的第三下部端子。

9. 根据权利要求1-3任一项所述的有机发光显示面板,其中,各个所述薄膜晶体管对应的第一上部端子、第二上部端子和第三上部端子形成为在行方向和/或列方向上的直线排列。

10. 一种显示装置,包括权利要求1-9任一项所述的有机发光显示面板。

有机发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种有机发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(OLED,Organic Light-Emitting Diode)是一种有机薄膜电致发光器件,其因具有制备工艺简单、成本低、功耗小、亮度高、视角宽、对比度高及可实现柔性显示等优点,而越来越受到人们的关注。在OLED显示面板中,薄膜晶体管作为有源矩阵显示器件的核心器件受到了极大的关注并被广泛应用。

发明内容

[0003] 本发明一些实施例提供一种有机发光显示面板,包括具有多个像素单元的显示区域和至少一个测试单元区,其中,

[0004] 所述至少一个测试单元区中的每个测试单元区包括:衬底基板;和衬底基板上的至少两个测试像素单元,所述至少两个测试像素单元具有与所述显示区域的至少两个相邻的像素单元相同的结构,并且所述至少两个测试像素单元包括至少一个中心测试像素单元;

[0005] 所述至少一个中心测试像素单元中的每个所述中心测试像素单元具有至少一个薄膜晶体管,所述至少一个薄膜晶体管中的每个薄膜晶体管包括第一电极、栅极和第二电极;以及

[0006] 所述有机发光显示面板还包括设置在所述至少一个薄膜晶体管所在层的远离所述衬底基板的一侧上的第一线路层,所述第一线路层包括与所述薄膜晶体管的所述第一电极、所述栅极和所述第二电极对应电连接的第一上部端子、第二上部端子和第三上部端子。

[0007] 在一些实施例中,所述至少两个测试像素单元包括多个相同的测试像素单元组,每个测试像素单元组包括一个中心测试像素单元,所述中心测试像素单元中的至少一个薄膜晶体管的所述第一上部端子、所述第二上部端子和所述第三上部端子排列为预定形状,各个所述测试像素单元组的中心测试像素单元中的至少一个薄膜晶体管的所述第一电极、所述栅极和所述第二电极对应电连接的所述第一上部端子、所述第二上部端子和所述第三上部端子构造成多个所述预定形状的重复排列。

[0008] 在一些实施例中,至少两个测试像素单元包括多个具有 $(2n+1)$ 行 $(2n+1)$ 列测试像素单元的所述测试像素单元组,以及第 $(n+1)$ 行第 $(n+1)$ 列测试像素单元为中心测试像素单元,其中 n 为大于等于1的整数。

[0009] 在一些实施例中,所述至少一个测试单元区的每一个还包括设置在所述至少一个薄膜晶体管和所述第一线路层之间的第二线路层,所述第二线路层包括与所述第一电极、所述栅极和所述第二电极对应电连接的第一下部端子、第二下部端子和第三下部端子,且所述第一上部端子、所述第二上部端子和所述第三上部端子分别通过所述第一下部端子、第二下部端子和第三下部端子与所述第一电极、所述栅极和所述第二电极电连接;所述第

一线路层与所述第二线路层之间设置有平坦层。

[0010] 在一些实施例中,至少一个薄膜晶体管所在层包括依次设置在所述衬底基板上的有源层、第一栅极绝缘层和第一栅极层;

[0011] 所述第一栅极层的远离所述衬底基板的一侧设置有层间介质层;

[0012] 至少一个薄膜晶体管包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管和第七薄膜晶体管。

[0013] 在一些实施例中,所述第三薄膜晶体管对应的所述第一栅极层的远离所述衬底基板的一侧依次设置有第二栅极绝缘层和第二栅极层;在所述第一薄膜晶体管、第二薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管和第七薄膜晶体管对应的第一栅极层、以及所述第三薄膜晶体管对应的第二栅极层的远离所述衬底基板的一侧设置层间介质层;

[0014] 所述第三薄膜晶体管所在层包括:

[0015] 第一过孔,其通过贯穿第二栅极层的第一子过孔和贯穿第二栅极绝缘层、第二栅极层和层间介质层的第二子过孔嵌套形成,以暴露出所述第三薄膜晶体管的第一栅极,所述第三薄膜晶体管的第一栅极通过所述第一过孔与所述第二下部端子电连接。

[0016] 第二过孔,其通过贯穿第二栅极层的第三子过孔和贯穿第一栅极绝缘层、第二栅极绝缘层、第二栅极层和层间介质层的第四子过孔嵌套形成,以暴露出所述第三薄膜晶体管的第一电极,所述第三薄膜晶体管的第一电极通过所述第二过孔与所述第一下部端子电连接。

[0017] 第三过孔,其贯穿第一栅极绝缘层、第二栅极绝缘层、第二栅极层和层间介质层,以暴露出所述第三薄膜晶体的第二电极,所述第三薄膜晶体的第二电极通过所述第三过孔与所述第三下部端子电连接;

[0018] 所述第二薄膜晶体管和所述第六薄膜晶体管与所述第三薄膜晶体管共用第一电极或第二电极;

[0019] 所述至少一个薄膜晶体管所在层还包括贯穿第一栅极绝缘层、第二栅极绝缘层、第二栅极层和层间介质层的第七过孔至第十一过孔,以暴露出有源层。

[0020] 在一些实施例中,所述至少一个薄膜晶体管所在层的所述第一薄膜晶体管和所述第七薄膜晶体管之间、所述第二薄膜晶体管和所述第四薄膜晶体管之间、所述第五薄膜晶体管和所述第六薄膜晶体管之间的位置分别设置第四过孔、第五过孔和第六过孔,其贯穿所述第二栅极绝缘层和所述层间介质层,以暴露出所述第一薄膜晶体管和所述第七薄膜晶体的第二栅极、所述第二薄膜晶体管和所述第四薄膜晶体的第三栅极以及所述第五薄膜晶体管和所述第六薄膜晶体的第四栅极。

[0021] 在一些实施例中,所述第一过孔、所述第二过孔、所述第三过孔、所述第四过孔、第五过孔和第六过孔中覆盖第二线路层,并在层间介质层上形成对应所述第一薄膜晶体管至所述第七薄膜晶体的每一个的第一下部端子、第二下部端子和第三下部端子;

[0022] 所述第三薄膜晶体的栅极与所述第二薄膜晶体的第二电极的第二线路断开以形成独立的对应所述第三薄膜晶体的第二下部端子、以及对应所述第二薄膜晶体的第三下部端子。

[0023] 在一些实施例中,各个所述薄膜晶体管对应的第一上部端子、第二上部端子和第

三上部端子形成为在行方向和/或列方向上的直线排列。

[0024] 本发明一些实施例提供一种显示装置,包括如上所述的有机发光显示面板。

附图说明

[0025] 为了更清楚地说明本发明的技术方案,下面将参照附图对本发明的实施例进行描述。

[0026] 图1为本发明实施例提供的有机发光显示面板的测试单元区的结构布局示意图;

[0027] 图2为本发明实施例提供的有机发光显示面板的布局示意图;

[0028] 图3为本发明实施例提供的测试单元区中的有源层的结构示意图;

[0029] 图4为本发明实施例提供的测试单元区中的第一栅极层的结构示意图;

[0030] 图5为本发明实施例提供的测试单元区中的第二栅极层的结构示意图;

[0031] 图6a至6d为本发明实施例提供的中心测试像素单元中的薄膜晶体管的各层的过孔的具体结构示意图;

[0032] 图6e为本发明实施例提供的中心测试像素单元中的薄膜晶体管的过孔布局示意图;

[0033] 图7为本发明实施例提供的测试单元区中的第二线路层布局示意图;

[0034] 图8为本发明实施例提供的测试单元区中对应第二线路层的开口的布局示意图;

[0035] 图9为本发明实施例提供的测试单元区中的第一线路层的布局示意图;

[0036] 图10为图9所示的测试单元区中的等效电路图;

[0037] 图11为第一薄膜晶体管T1至第七薄膜晶体管T7的每一个的结构示意图;

[0038] 图12为本发明实施例提供的有机发光显示面板的制作方法的流程示意图;

[0039] 图13为本发明实施例提供的有机发光显示面板的制作方法的流程示意图。

具体实施方式

[0040] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图对本发明作进一步详细描述。

[0041] 目前,有机发光显示面板的驱动电路的薄膜晶体管(Thin Film Transistor,TFT)的电学特性的监控主要通过检测测试单元区(Test Element Region,TEG)的TFT的电学特性来表征。该测试单元区的TFT是彼此独立的,而显示区域中的TFT是彼此互联的,并且显示区域中的TFT又有周围物理因素(诸如寄生电容耦合等)的影响,再加上工艺制成的不稳定性,测试单元区的TFT很难真实地表征显示区域的TFT的特性。现在常用的方法是用聚焦离子束对显示区域的TFT进行线路修补,引出扎针垫子,并利用电学参数测试设备的手动探针进行电学测试,但这种方案成功率低、样品制备时间长,且无法大批量监控。

[0042] 本发明一些实施例提供一种有机发光显示面板,图1为本发明一些实施例的有机发光显示面板的测试单元区的结构布局示意图,图2为本发明一些实施例提供的有机发光显示面板的布局示意图。如图1和图2所示,该有机发光显示面板可以包括具有多个像素单元的显示区域A和至少一个测试单元区B,每个测试单元区B具有与显示区域A的像素单元相同的薄膜晶体管结构。

[0043] 每个测试单元区B可以包括:衬底基板;衬底基板上阵列排布的像素单元,每个像

素单元具有至少一个薄膜晶体管,薄膜晶体管可以包括第一电极、栅极和第二电极。

[0044] 例如,至少一个测试单元区中的每个测试单元区包括:衬底基板;和衬底基板上的至少两个测试像素单元,至少两个测试像素单元具有与显示区域的至少两个相邻的像素单元相同的结构,并且至少两个测试像素单元包括至少一个中心测试像素单元;至少一个中心测试像素单元中的每个中心测试像素单元具有至少一个薄膜晶体管,至少一个薄膜晶体管中的每个薄膜晶体管包括薄膜晶体管第一电极、栅极和第二电极。

[0045] 该有机发光显示面板还可以包括设置在薄膜晶体管所在层的远离衬底基板的一侧上的第一线路层SD1,第一线路层SD1可以包括与每个薄膜晶体管的第一电极、栅极和第二电极对应电连接的第一上部端子S、第二上部端子G和第三上部端子D,且第一上部端子S、第二上部端子G和第三上部端子D形成规则排布。

[0046] 本实施例中的规则排布是指每个中心测试像素单元的所有的薄膜晶体管的第一上部端子S、第二上部端子G和第三上部端子D根据检测的需要设置成任意便于检测的排布。

[0047] 在一些实施例中,中心测试像素单元中的所有的薄膜晶体管的第一上部端子、第二上部端子和第三上部端子排列为预定形状,各个中心测试像素单元的所有的薄膜晶体管的第一上部端子S、第二上部端子G和第三上部端子D构成为多个预定形状的重复排列。例如,中心测试像素单元中的所有的薄膜晶体管的第一上部端子S、第二上部端子G和第三上部端子D排列为如图1所示的“三”字形形状。各个中心测试像素单元的所有的薄膜晶体管的第一上部端子S、第二上部端子G和第三上部端子D构成为多个“三”字形形状的重复排列。

[0048] 本发明一些实施例的有机发光显示面板,其在测试单元区中具有与显示区域的像素单元相同的薄膜晶体管结构,从而在测试单元区中模拟显示区域中的物理空间,避免周围物理因素对其稳定性和精确性的影响;并且在第一线路层中设置规则排布的第一上部端子、第二上部端子和第三上部端子,从而实现自动化检测。

[0049] 本发明一些实施例提供另一种有机发光显示面板,如图2所示,该有机发光显示面板还可以包括围绕显示区域A的周边区域C,周边区域C也可以配置成为测试单元区B。在上述实施例的有机发光显示面板的测试单元区B基础上,本实施例中的至少一个测试单元区中的每个测试单元区包括多个重复的测试像素单元组,每个测试像素单元组包括一个中心测试像素单元,所述中心测试像素单元中的至少一个薄膜晶体管的第一上部端子、第二上部端子和第三上部端子排列为预定形状,各个测试像素单元组的中心测试像素单元中的至少一个薄膜晶体管的第一电极、栅极和第二电极对应电连接的第一上部端子、第二上部端子和第三上部端子构造成多个所述预定形状的重复排列。

[0050] 例如,每个测试单元区包括多个排列成阵列的具有 $(2n+1)$ 行 $(2n+1)$ 列测试像素单元的测试像素单元组,以及第 $(n+1)$ 行第 $(n+1)$ 列测试像素单元为中心测试像素单元,其中 n 为大于等于1的整数。

[0051] 图3为本发明一些实施例提供的测试单元区中的有源层的结构示意图,如图3所示,以每个测试单元区包括5行且5列测试像素单元为例,中心测试像素单元可以为第3行且第3列的测试像素单元。本实施例中的测试单元区B的每个像素单元中的至少一个薄膜晶体管所在层可以构造成规则排列的第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7。

[0052] 例如,薄膜晶体管所在层可以包括依次设置在衬底基板上的有源层L1和第一栅极

绝缘层L2(图3中未示出)。如图3所示,以中心像素单元为例,第一薄膜晶体管T1和第七薄膜晶体管T7设置在有源层L1图案的一端(如图3所示视角的上端),第二薄膜晶体管T2和第四薄膜晶体管T4设置在有源层L1图案的中间部位,第五薄膜晶体管T5和第六薄膜晶体管T6设置在有源层L1图案的另一端(如图3所示视角的下端),第三薄膜晶体管T3设置在第二薄膜晶体管T2和第四薄膜晶体管T4、以及第五薄膜晶体管T5和第六薄膜晶体管T6的中间位置。对应各像素单元的成矩阵排列的有源层L1图案形成在衬底基板的整个表面上。

[0053] 例如,薄膜晶体管所在层还可以包括设置在第一栅极绝缘层L2的远离衬底基板一侧上的第一栅极层L3。图4为本发明一些实施例提供的测试单元区中的第一栅极层的结构示意图,如图4所示,在每个像素单元对应的有源层L1图案中,其两端和中间分别覆盖有长条状的第一栅极层L3。以中心像素单元为例,第一薄膜晶体管T1和第七薄膜晶体管T7设置在有源层L1图案的一端,其共用设置在该有源层L1图案的一端的第一栅极层L3;第二薄膜晶体管T2和第四薄膜晶体管T4设置在有源层L1图案的中间部位,其共用设置在该中间位置的第一栅极层L3;第五薄膜晶体管T5和第六薄膜晶体管T6设置在有源层L1图案的另一端,其共用设置在该有源层L1图案的另一端的第一栅极层L3。又例如,对应每个像素单元的有源层L1图案的中心位置设置有块状的第一栅极层L3,其对应第三薄膜晶体管T3的栅极。

[0054] 例如,图5为本发明一些实施例提供的测试单元区中的第二栅极层的结构示意图,如图5所示,第三薄膜晶体管T3对应的第一栅极层L3的远离衬底基板的一侧依次设置有第二栅极绝缘层L4(图5未示出)和第二栅极层L5。第二栅极层L5可以覆盖第三薄膜晶体管T3的栅极,在其他实施例中,第二栅极层L5还可以覆盖第三薄膜晶体管T3的栅极、第一电极和第二电极,即源极和漏极。例如,该第二栅极层L5与位于其下方的第一栅极层L3之间形成寄生电容。

[0055] 例如,在对应第一薄膜晶体管T1、第二薄膜晶体管T2、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7的第一栅极层L3、以及对应第三薄膜晶体管T3的第二栅极层L5的远离衬底基板的一侧设置层间介质层L6。

[0056] 图6e为本发明一些实施例提供的中心测试像素单元中的薄膜晶体管的过孔布局示意图,图6a至6d为本发明一些实施例提供的中心测试像素单元中的薄膜晶体管的过孔的具体结构示意图,如图6e所示,第一薄膜晶体管T1至第七薄膜晶体管T7的第一电极、栅极和第二电极分别对应设置有连接过孔。

[0057] 例如,第三薄膜晶体管T3所在层可以包括第一过孔1,如图6a所示,该第一过孔1可以通过贯穿第二栅极层L5的第一子过孔(未示出)和贯穿第二栅极绝缘层L4、第二栅极层L5和层间介质层L6的第二子过孔(未示出)嵌套形成,以暴露出第三薄膜晶体管T3的第一栅极,第三薄膜晶体管T3的栅极通过第一过孔1与位于其所在层远离衬底基板的一侧的端子电连接,例如,与位于第一线路层SD1的第二上部端子G电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0058] 例如,第三薄膜晶体管T3所在层可以包括第二过孔2,如图6b所示,该第二过孔2可以通过贯穿第二栅极层L5的第三子过孔(未示出)和贯穿第一栅极绝缘层L2、第二栅极绝缘层L4、第二栅极层L5和层间介质层L6的第四子过孔(未示出)嵌套形成,以暴露出第三薄膜晶体管T3的第一电极,第三薄膜晶体管T3的第一电极通过第二过孔2与位于其所在层远离衬底基板的一侧的端子电连接,例如,与位于第一线路层SD1的第一上部端子S电连接,在其

他实施例中,还可以与其它对应的端子电连接。

[0059] 例如,第三薄膜晶体管T3所在层可以包括第三过孔3,如图6c所示,该第三过孔3贯穿第一栅极绝缘层L2、第二栅极绝缘层L4和层间介质层L6,以暴露出第三薄膜晶体管T3的第二电极,第三薄膜晶体管T3的第二电极通过第三过孔3与位于其所在层远离衬底基板的一侧的端子电连接,例如,与位于第一线路层SD1的第三上部端子D电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0060] 需要说明的是,第二栅极层L5可以覆盖第三薄膜晶体管T3的第一电极和/或第二电极,若第三薄膜晶体管T3的第一电极和/或第二电极表面覆盖有第二栅极层L5,则该第一电极和/或第二电极需要通过图6b所示的过孔嵌套的方式与位于其所在层远离衬底基板的一侧的端子电连接。

[0061] 例如,至少一个薄膜晶体管所在层的第一薄膜晶体管T1和第七薄膜晶体管T7之间设置第四过孔4,第二薄膜晶体管T2和第四薄膜晶体管T4之间设置第五过孔5,第五薄膜晶体管T5和第六薄膜晶体管T6之间设置第六过孔6。如图6d所示,该第四过孔4可以贯穿第二栅极绝缘层L4和层间介质层L6,与第四过孔4相同,第五过孔5和第六过孔6也可以贯穿第二栅极绝缘层L4和层间介质层L6,以分别暴露出第一薄膜晶体管T1和第七薄膜晶体管T7的栅极、第二薄膜晶体管T2和第四薄膜晶体管T4的栅极以及第五薄膜晶体管T5和第六薄膜晶体管T6的栅极。第一薄膜晶体管T1和第七薄膜晶体管T7、第二薄膜晶体管T2和第四薄膜晶体管T4、以及第五薄膜晶体管T5和第六薄膜晶体管T6分别通过对应的栅极与位于其所在层远离衬底基板的一侧的端子电连接,例如,与位于第一线路层SD1的相应的第二上部端子G电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0062] 例如,第二薄膜晶体管T2和第六薄膜晶体管T6可以与第三薄膜晶体管T3共用第一电极或第二电极,即第二薄膜晶体管T2和第六薄膜晶体管T6可以通过第三薄膜晶体管T3的第三过孔3与位于其所在层远离衬底基板的一侧的端子电连接;第四薄膜晶体管T4和第五薄膜晶体管T5可以与第三薄膜晶体管T3共用第一电极或第二电极,即第四薄膜晶体管T4和第五薄膜晶体管T5可以通过第三薄膜晶体管T3的第二过孔2与位于其所在层远离衬底基板的一侧的端子电连接。例如,该第一电极或第二电极分别与位于第一线路层SD1的第一上部端子S或第三上部端子D电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0063] 例如,可以在第五薄膜晶体管T5和第六薄膜晶体管T6的有源层L1图案的对应其第一栅极层L3的下方(图6e中所示视角)的位置的分别设置第七过孔7和第八过孔8,第七过孔7和第八过孔8可以形成为与图6c中所示的第三过孔3相同的结构,即第七过孔7和第八过孔8贯穿第一栅极绝缘层L2、第二栅极绝缘层L4和层间介质层L6,以分别暴露第五薄膜晶体管T5和第六薄膜晶体管T6的第一电极或第二电极。第五薄膜晶体管T5和第六薄膜晶体管T6分别通过该第七过孔7和第八过孔8与位于其所在层远离衬底基板的一侧的端子电连接。例如,该第一电极或第二电极与位于第一线路层SD1的第一上部端子S或第三上部端子D电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0064] 例如,可以在第四薄膜晶体管T4的有源层L1图案的对应第一栅极层L3的上方(图6e中所示视角)的位置设置第九过孔9,第九过孔9可以形成为与图6c中所示的第三过孔3相同的结构,即第九过孔9贯穿第一栅极绝缘层L2、第二栅极绝缘层L4和层间介质层L6,以暴露第四薄膜晶体管T4的第一电极或第二电极。第四薄膜晶体管T4的第一电极或第二电极通

过该第九过孔9与位于其所在层远离衬底基板的一侧的端子电连接。例如,该第一电极或第二电极与位于第一线路层SD1的第一上部端子S或第三上部端子D电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0065] 例如,可以在第一薄膜晶体管T1和第二薄膜晶体管T2的有源层L1图案的对应位于第一薄膜晶体管T1和第二薄膜晶体管T2的第一栅极层L3的之间的位置设置第十过孔10,第十过孔10可以形成为与图6c中所示的第三过孔3相同的结构,即第十过孔10贯穿第一栅极绝缘层L2、第二栅极绝缘层L4和层间介质层L6,以暴露第一薄膜晶体管T1和第二薄膜晶体管T2的第一电极或第二电极。第一薄膜晶体管T1和第二薄膜晶体管T2通过该第十过孔10与位于其所在层远离衬底基板的一侧的端子电连接。例如,该第一电极或第二电极与位于第一线路层SD1的第一上部端子S或第三上部端子D电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0066] 例如,可以在第一薄膜晶体管T1和第七薄膜晶体管T7的有源层L1图案的对应其第一栅极层L3的下方的位置的设置第十一过孔11,第十一过孔11可以形成为与图6c中所示的第三过孔3相同的结构,即第十一过孔11贯穿第一栅极绝缘层L2、第二栅极绝缘层L4和层间介质层L6,以暴露第一薄膜晶体管T1和第七薄膜晶体管T7的第一电极或第二电极。第一薄膜晶体管T1和第七薄膜晶体管T7通过该第十一过孔11与位于其所在层远离衬底基板的一侧的端子电连接。例如,该第一电极或第二电极与位于第一线路层SD1的第一上部端子S或第三上部端子D电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0067] 例如,第七薄膜晶体管T7可以与其相邻的像素单元中的第六薄膜晶体管T6共用第八过孔8,以暴露第七薄膜晶体管T7的第一电极或第二电极。第七薄膜晶体管T7通过该第八过孔8与位于其所在层远离衬底基板的一侧的端子电连接。例如,该第一电极或第二电极与位于第一线路层SD1的第一上部端子S或第三上部端子D电连接,在其他实施例中,还可以与其它对应的端子电连接。

[0068] 需要说明的是,以上仅以中心测试像素单元为例说明薄膜晶体管所在层的结构,衬底基板上的所有的像素单元均可以为上述薄膜晶体管所在层的结构,其技术原理和技术效果类似,在此不再赘述。

[0069] 本发明一些实施例的有机发光显示面板,其在测试单元区B中具有与显示区域A相同的彼此互联的第一薄膜晶体管T1和第七薄膜晶体管T7的结构,从而在测试单元区B中模拟显示区域A中的物理空间,避免周围物理因素对其稳定性和精确性的影响。

[0070] 本发明一些实施例提供另一种有机发光显示面板,该有机发光显示面板在上述实施例的基础上,图7为本发明一些实施例提供的测试单元区中的第二线路层布局示意图,如图7所示,测试单元区B还可以包括设置在至少一个薄膜晶体管所在层和第一线路层SD1之间的第二线路层SD2。第二线路层SD2可以对应中心测试像素单元构造第一下部端子、第二下部端子和第三下部端子(未示出)。在第二线路层SD2与薄膜晶体管所在层之间,第一下部端子、第二下部端子和第三下部端子与至少一个薄膜晶体管(例如第一薄膜晶体管T1至第七薄膜晶体管T7)的每一个的第一电极、栅极和第二电极对应电连接。在第一线路层SD1与第二线路层SD2之间,第一下部端子、第二下部端子和第三下部端子分别与第一上部端子S、第二上部端子G和第三上部端子D对应电连接。

[0071] 例如,第一薄膜晶体管T1至第七薄膜晶体管T7的每一个的第一电极、栅极和第二

电极通过各自对应的第一过孔1至第十一过孔11与相应的第一下部端子、第二下部端子和第三下部端子电连接。又例如,在诸如第一过孔1至第十一过孔11的各个过孔中覆盖第二线路层SD2,并在层间介质层L6上形成对应第一薄膜晶体管T1至第七薄膜晶体管T7的每一个的第一电极、栅极和第二电极的第一下部端子、第二下部端子和第三下部端子。

[0072] 位于同一列的像素单元中的各个像素单元中的第二线路层SD2可以包括直线型信号线和折线形信号线。

[0073] 例如,如图7所示,位于同一列的像素单元中的各个像素单元的第四薄膜晶体管T4的第一电极或第二电极通过一列向的直线型信号线电连接,位于同一列的像素单元中的各个像素单元的第五薄膜晶体管T5的第一电极或第二电极通过一列向的折线形信号线电连接。

[0074] 第一下部端子、第二下部端子和第三下部端子可以是形成在与其电连接的电极对应的过孔中的第二线路层SD2的部分,也可以是第二线路层SD2的从该过孔中引出的线路部分。

[0075] 例如,该直线型信号线和折线形信号线对应的各个薄膜晶体管的第一电极和第二电极的位置,即可以作为该薄膜晶体管的电极对应的第一下部端子和第三下部端子的位置。例如,各个薄膜晶体管的第一电极、栅极和第二电极对应的过孔位置也可以作为该薄膜晶体管的第一电极、栅极和第二电极对应的第一下部端子、第二下部端子和第三下部端子的位置。

[0076] 在一些实施例中,第三薄膜晶体管T3的栅极与第二薄膜晶体管T2的第二电极对应的第二线路断开,以形成独立的对应第三薄膜晶体管T3的栅极的第二下部端子、以及对应第二薄膜晶体管T2的第二电极的第三下部端子,以避免在测试的过程中,第三薄膜晶体管T3的栅极与第二薄膜晶体管T2的第二电极彼此之间的信号干扰。

[0077] 第二线路层SD2的远离衬底基板的一侧上还可以设置平坦层L7,第一线路层SD1的远离衬底基板的一侧上还可以设置像素限定层(未示出)。

[0078] 例如,层间介质层L6设置在第二线路层SD2与第二栅极层L5之间,平坦层L7设置在第二线路层SD2与第一线路层SD1之间。

[0079] 图8为本发明一些实施例提供的测试单元区中对应第二线路层的开口的布局示意图,如图8所示,该平坦层L7中对应于各个薄膜晶体管对应的第一下部端子、第二下部端子和第三下部端子的位置处分别设置连接开口。例如对应上述所述的第一过孔1至第十一过孔11设置第一开口至第十一开口(未示出),以暴露各个薄膜晶体管对应的第一下部端子、第二下部端子和第三下部端子。第二线路层SD2的各个第一下部端子、第二下部端子和第三下部端子分别通过第一开口至第十一开口中对应的开口与位于第一线路层SD1的相应第一上部端子S、第二上部端子G和第三上部端子D电连接。

[0080] 例如,第一下部端子对应电连接至少一个第一上部端子S,第二下部端子对应电连接至少一个第二上部端子G,第三下部端子对应电连接至少一个第三上部端子D。

[0081] 例如,继续参见图1,第三薄膜晶体管T3的第二电极与第二线路层SD2上的对应的第一下部端子电连接,该对应的第一下部端子分别与第一线路层SD1上的第二薄膜晶体管T2对应的第一上部端子S、第三薄膜晶体管T3对应的第一上部端子S和第六薄膜晶体管T6对应的第一上部端子S电连接。

[0082] 在一些实施例中,类似于第二薄膜晶体管T2、第三薄膜晶体管T3和第六薄膜晶体管T6,各个薄膜晶体管对应的的第一上部端子S、第二上部端子G和第三上部端子D均可以通过对应的开口从第二线路层SD2上的对应的第一下部端子、第一下部端子和第一下部端子引出,并排列成规则的形状。

[0083] 各个薄膜晶体管的第一电极、栅极和第二电极对应的第一线路层SD1中的第一上部端子S、第二上部端子G和第三上部端子D可以构造成规则形状,以便于检测。

[0084] 例如,图9为本发明一些实施例提供的测试单元区中的第一线路层的布局示意图。各个中心测试像素单元中的所有的薄膜晶体管的对应的第一线路层SD1上的第一上部端子、第二上部端子和第三上部端子的多个预定形状的重复排列构造成在第一上部端子、第二上部端子和第三上部端子的行方向和列方向上的直线排列。在一些实施例中,第一线路层SD1的各个上部端子可以形成为在行方向和列方向上的直线排列,第一线路层SD1中对应各个薄膜晶体管的第一上部端子S、第二上部端子G和第三上部端子D在行方向上成直线排列,且在列方向上也成直线排列,以便于测试。

[0085] 例如,如图9所示,中心测试像素单元中的任一薄膜晶体管T对应第一线路层SD1的在行方向上成直线排列的第一上部端子S、第二上部端子G和第三上部端子D。各个中心测试像素单元中的各个薄膜晶体管T对应的第一上部端子S、第二上部端子G和第三上部端子D构造成在行方向上成直线排列,且在列方向上也成直线排列。

[0086] 在其它实施例中,第一线路层SD1中对应各个薄膜晶体管的第一上部端子S、第二上部端子G和第三上部端子D还可以为其它的规则排列的形式,例如非直线型的排列,例如,不同像素单元的各个薄膜晶体管对应的第一上部端子S、第二上部端子G和第三上部端子D的排布相同,而同一个像素单元的各个薄膜晶体管对应的第一上部端子S、第二上部端子G和第三上部端子D对应的各个端子之间的距离、端子的排列顺序等均可以不同,其均可以通过对测试的探针位移的设计和自动化调节来改变。

[0087] 图10为图9所示的测试单元区中的等效电路图,在本发明一些实施例中,第一线路层SD1中的各个薄膜晶体管的第一电极、栅极和第二电极与对应的第一上部端子S、第二上部端子G和第三上部端子D的电连接可以等效于图10所示的电路图,如图10所示,第一薄膜晶体管T1至第七薄膜晶体管T7之间通过共用第一电极、栅极和第二电极而互联在一起,第一栅极层L3和第二栅极层L5还形成为寄生电容器的第一电极和第二电极。因此,本发明一些实施例还原了显示区域A的薄膜晶体管的彼此互联的结构,又有周围物理因素(诸如寄生电容耦合)的影响,从而真实的表征显示区域A的薄膜晶体管的特性。

[0088] 在一些实施例中,通过电学参数测试设备对各个薄膜晶体管进行测试,如图10所示,例如,电学参数测试设备可以包括探针,该探针具有三个针扎,检测过程中,通过该三个针扎分别向第一上部端子S、第二上部端子G和第三上部端子D输入检测信号,并获得反馈信号。例如,第一上部端子S、第二上部端子G和第三上部端子D的排列顺序可以任意,仅需在对应针扎中输入对应信号。

[0089] 在一些实施例中,上述第一薄膜晶体管T1至第七薄膜晶体管T7中的每一个可以形成为如图11所示的结构。例如,有源层L1、第一栅极绝缘层L2、第一栅极层L3、第二栅极绝缘层L4和层间介质层L6和平坦层L7依次形成在基板L0上。本实施例中的基板L0可以包括衬底基板和形成在衬底基板上的缓冲层和阻挡层等。

[0090] 图11为第一薄膜晶体管T1至第七薄膜晶体管T7的每一个的结构示意图,如图11所示,第一线路层SD1和第二线路层SD2形成在贯穿第二栅极绝缘层L4和层间介质层L6和平坦层L7的相应过孔中,并形成薄膜晶体管的栅极G1;第一线路层SD1和第二线路层SD2形成在贯穿第一栅极绝缘层L2、第一栅极层L3、第二栅极绝缘层L4和层间介质层L6和平坦层L7的相应过孔中,并形成薄膜晶体管的源极S1;第一线路层SD1和第二线路层SD2形成在贯穿第一栅极绝缘层L2、第一栅极层L3、第二栅极绝缘层L4和层间介质层L6和平坦层L7的相应过孔中,并形成薄膜晶体管的漏极D1。

[0091] 需要说明的是,本实施例仅设置一层第二线路层SD2,在其他实施例中,可以根据情况设置多个第二线路层SD2,其均能够从各个薄膜晶体管的第一电极、栅极和第二电极中引出测试端子,第二线路层SD2可以起到有效的缓冲作用,从而避免从各个电极直接引出到第一线路层SD1的测试端子需要形成的过孔太深而使得在工艺上难以实现。另一方面,该第一线路层SD1和第二线路层SD2的双层线路结构还可以有效减小线路的电阻值,有效节省电能。

[0092] 需要说明的是,以上仅以中心像素单元为例说明第一线路层SD1和第二线路层SD2的结构,衬底基板上的所有的像素单元均可以为上述第一线路层SD1和第二线路层SD2的结构,其技术原理和技术效果类似,再次不再赘述。

[0093] 本发明一些实施例的有机发光显示面板,其在测试单元区中具有第一线路层和第二线路层的双层线路结构,从而避免从各个电极直接引出到第一线路层的测试端子需要形成的过孔太深而使得在工艺上难以实现;该第一线路层和第二线路层的双层线路结构还可以有效减小线路的电阻值,有效节省电能;并且在第一线路层中设置规则排布的第一上部端子、第二上部端子和第三上部端子,从而实现自动化检测。

[0094] 本发明一些实施例还提供一种显示装置,该显示装置可以包括上述的有机发光显示面板。

[0095] 例如,本发明实施例提供的触控装置可以为液晶触控显示面板、电子纸、OLED(有机发光二极管)触控显示面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0096] 本发明一些实施例的显示装置的有机发光显示面板,其在测试单元区中具有与显示区域的像素单元相同的薄膜晶体管结构,从而在测试单元区中模拟显示区域中的物理空间,避免周围物理因素对其稳定性和精确性的影响;并且在第一线路层中设置规则排布的第一上部端子、第二上部端子和第三上部端子,从而实现自动化检测。

[0097] 本发明一些实施例还提供一种有机发光显示面板的制造方法,有机发光显示面板可以包括具有多个像素单元的显示区域和至少一个测试单元区,测试单元区具有与显示区域的像素单元相同的薄膜晶体管结构,制造方法可以包括测试单元区的制造方法。

[0098] 实施例中的至少一个测试单元区中的每个测试单元区包括多个重复的测试像素单元组,每个测试像素单元组包括一个中心测试像素单元,各个测试像素单元组的中心测试像素单元中的薄膜晶体管的第一电极、栅极和第二电极对应电连接的第一上部端子、第二上部端子和第三上部端子成规则排列。

[0099] 例如,每个测试单元区包括多个排列成阵列的具有 $(2n+1)$ 行 $(2n+1)$ 列测试像素单元的测试像素单元组,以及第 $(n+1)$ 行第 $(n+1)$ 列测试像素单元为中心测试像素单元,其中 n

为大于等于1的整数。

[0100] 图12为本发明一些实施例的有机发光显示面板的制造方法的流程示意图,如图12所示,测试单元区的制造方法可以包括步骤100至步骤102。

[0101] 步骤100、提供衬底基板。

[0102] 步骤101、在衬底基板上形成至少一个薄膜晶体管,薄膜晶体管可以包括第一电极、栅极和第二电极。

[0103] 步骤102、在至少一个薄膜晶体管的远离衬底基板的一侧上形成第一线路层,第一线路层可以包括与每个薄膜晶体管的第一电极、栅极和第二电极对应电连接的第一上部端子、第二上部端子和第三上部端子,且第一上部端子、第二上部端子和第三上部端子形成规则排布。

[0104] 本发明一些实施例的有机发光显示面板的制造方法,其在衬底基板上形成至少一个薄膜晶体管,在至少一个薄膜晶体管的远离衬底基板的一侧上形成第一线路层,从而在测试单元区中模拟显示区域中的物理空间,避免周围物理因素对其稳定性和精确性的影响;并且在第一线路层中设置规则排布的第一上部端子、第二上部端子和第三上部端子,从而实现自动化检测。

[0105] 本发明一些实施例还提供一种有机发光显示面板的制造方法,本实施例的有机发光显示面板还可以包括围绕显示区域的周边区域,周边区域配置成为测试单元区,并且,测试单元区的每个像素单元可以包括第一薄膜晶体管至第七薄膜晶体管。图13为本发明一些实施例的有机发光显示面板的制造方法的另一流程示意图,如图13所示,测试单元区的制造方法可以包括步骤200至步骤212。

[0106] 步骤200、提供衬底基板。

[0107] 步骤201、在衬底基板上形成有源层。

[0108] 例如,可以在衬底基板上形成多晶硅层,并进行准分子激光退火(excimer laser anneal,ELA)工艺和Vth掺杂工艺。在一示例中,在衬底基板的整个表面上形成如图3所示的对应各像素单元的成矩阵排列的图案形状的有源层。

[0109] 步骤202、在有源层上形成第一栅极绝缘层。

[0110] 例如,第一栅极绝缘层沉积在有源层的整个表面上。

[0111] 步骤203、在第一栅极绝缘层上形成第一栅极层。

[0112] 例如,在第一栅极绝缘层上的对应有源层图案的两端和中间位置分别形成长条状的第一栅极层,如图4所示,第一薄膜晶体管和第七薄膜晶体管共用设置在一端的第一栅极层;第二薄膜晶体管和第四薄膜晶体管共用设置在中间位置的第一栅极层;第五薄膜晶体管和第六薄膜晶体管共用设置在另一端的第一栅极层。又例如,每个有源层图案的中心位置设置有对应第三薄膜晶体管的栅极的第一栅极层。

[0113] 例如,在形成第一栅极层后进行磷掺杂。

[0114] 步骤204、在第一栅极层上形成第二栅极绝缘层。

[0115] 例如,可以在第一栅极层上形成覆盖整个衬底基板表面的第二栅极绝缘层。

[0116] 步骤205、在第二栅极绝缘层上形成第二栅极层。

[0117] 例如,在第二栅极绝缘层上通过掩模板沉积形成如图5所示的第二栅极层。第二栅极层可以覆盖第三薄膜晶体管的栅极对应的第二栅极绝缘层,还可以覆盖第三薄膜晶体管

的第一电极和第二电极对应的第二栅极绝缘层。例如,该第二栅极层与位于其下方的第一栅极层之间形成寄生电容。

[0118] 步骤206、在第二栅极层中形成第一子过孔和第三子过孔。

[0119] 例如,在第三薄膜晶体管的栅极和第一电极对应的第二栅极层中形成如图6a所示的贯穿该第二栅极层的第一子过孔和第三子过孔。

[0120] 步骤207、在第二栅极层上形成层间介质层。

[0121] 例如,在第二栅极层上以及第二栅极绝缘层上形成覆盖整个衬底基板的间介质层,当然,该间介质层覆盖上述第一子过孔和第三子过孔。

[0122] 步骤208、在层间介质层中形成对应第一子过孔的第二子过孔、对应第三子过孔的第四子过孔、以及第三过孔至第六过孔。

[0123] 例如,第二子过孔可以贯穿、第二栅极绝缘层、第二栅极层和层间介质层,第二子过孔嵌套在上述第一子过孔中形成对应第三薄膜晶体管的第一过孔,如图6a所示;第四子过孔可以贯穿第一栅极绝缘层、第二栅极绝缘层、第二栅极层和层间介质层,第四子过孔嵌套在上述第三子过孔中形成对应第三薄膜晶体管的第二过孔,如图6b所示。

[0124] 对应第三薄膜晶体管的第三过孔形成为贯穿层间介质层、第一栅极绝缘层和第二栅极绝缘层,如图6c所示。

[0125] 例如,分别设置在第一薄膜晶体管和第七薄膜晶体管之间、第二薄膜晶体管和第四薄膜晶体管之间、以及第五薄膜晶体管和第六薄膜晶体管之间并且对应其栅极的第四过孔至第六过孔形成为贯穿层间介质层和第二栅极绝缘层,如图6d所示;分别对应第一薄膜晶体管和第七薄膜晶体管、第二薄膜晶体管和第四薄膜晶体管、以及第五薄膜晶体管和第六薄膜晶体管的第一电极/第二电极的第五过孔至第十一过孔形成为贯穿层间介质层、第二栅极绝缘层和第一栅极绝缘层,其结构可以与如图6c所示的第三过孔相同。

[0126] 例如,形成第一过孔至第十一过孔后进行退火工艺。

[0127] 步骤209、形成覆盖第一过孔至第十一过孔的第二线路层,并形成对应第一薄膜晶体管至第七薄膜晶体管的每一个的第一下部端子、第二下部端子和第三下部端子。

[0128] 例如,通过沉积刻蚀工艺在第一过孔至第十一过孔中沉积第二线路层。如图7所示,各个薄膜晶体管的第一电极、栅极和第二电极对应的过孔位置、以及各个过孔之间的连接线路均可以作为该薄膜晶体管的第一电极、栅极和第二电极对应的第一下部端子、第二下部端子和第三下部端子的位置。

[0129] 例如,第三薄膜晶体管的栅极和第二薄膜晶体管的第二电极之间的第二线路层断开,形成彼此独立的端子。

[0130] 例如,形成第二线路层后进行退火工艺。

[0131] 步骤210、在第二线路层的远离衬底基板的一侧形成平坦层。

[0132] 例如,在第二线路层的整个表面上形成平坦层。

[0133] 步骤211、通过涂覆工艺在平坦层中形成对应第一过孔至第十一过孔的第一开口至第十一开口。

[0134] 例如,通过曝光、显影和固化工艺在该平坦层中对应于各个薄膜晶体管对应的第一下部端子、第二下部端子和第三下部端子的位置处分别设置开口,例如,如图8所示,对应上述所述的第一过孔至第十一过孔的第一开口至第十一开口,以暴露各个薄膜晶体管对应

的第一下部端子、第二下部端子和第三下部端子。

[0135] 步骤212、形成覆盖第一开口至第十一开口的第一线路层,并形成对应第一薄膜晶体管至第七薄膜晶体管的每一个的第一上部端子、第二上部端子和第三上部端子。

[0136] 例如,通过刻蚀工艺形成第一线路层的图案,如图9所示,第一线路层的远离衬底基板的一侧形成在行方向和列方向上的直线排列的第一上部端子、第二上部端子和第三上部端子。

[0137] 例如,第一薄膜晶体管至第七薄膜晶体管的每一个对应的第一上部端子、第二上部端子和第三上部端子形成为在行方向和列方向上的直线排列。

[0138] 例如,第一线路层的相应第一上部端子、第二上部端子和第三上部端子分别通过第一开口至第十一开口中对应的开口与位于第二线路层的各个第一下部端子、第二下部端子和第三下部端子电连接。并且,第一下部端子形成为对应电连接至少一个第一上部端子,第二下部端子形成为对应电连接至少一个第二上部端子,第三下部端子形成为对应电连接至少一个第三上部端子。

[0139] 例如,形成第一线路层的图案后进行退火工艺。例如,可以在第一线路层形成平坦层和像素限定层。

[0140] 需要说明的是,以上形成各膜层的步骤中使用的掩模板可以通过修改原显示区域使用的掩模板得到,例如在原显示区域使用的掩模板中增加测试区域(原测试区域和周边区域)的相应图案,从而节省设备,并简化工艺。

[0141] 本发明一些实施例的有机发光显示面板的制造方法可以为制作上述图1至图11所示实施例的有机发光显示面板的方法,在本发明的其它实施例中,还可以通过其它工艺形成上述图1至图11所示实施例的有机发光显示面板。各结构的具体特征及实现方式可以参考上述,在此不再赘述。

[0142] 本发明一些实施例的有机发光显示面板,其在测试单元区中具有第一线路层和第二线路层的双层线路结构,从而避免从各个电极直接引出到第一线路层的测试端子需要形成的过孔太深而使得在工艺上难以实现;其在测试单元区中具有与显示区域相同的彼此互联的第一薄膜晶体管和第七薄膜晶体管的结构,从而在测试单元区中模拟显示区域中的物理空间,避免周围物理因素对其稳定性和精确性的影响;并且在第一线路层中设置规则排列的第一上部端子、第二上部端子和第三上部端子,从而实现自动化检测。

[0143] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

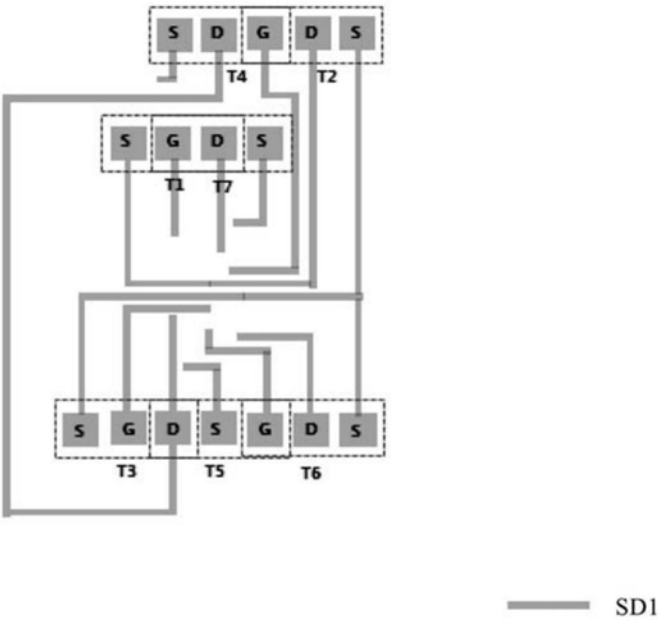


图1

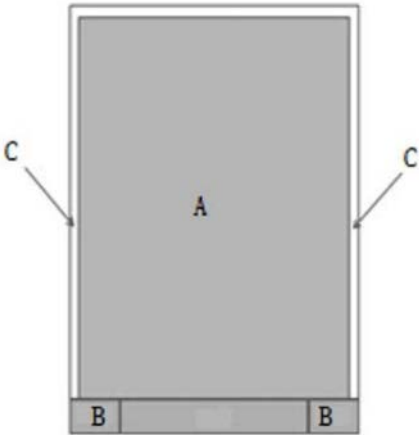


图2

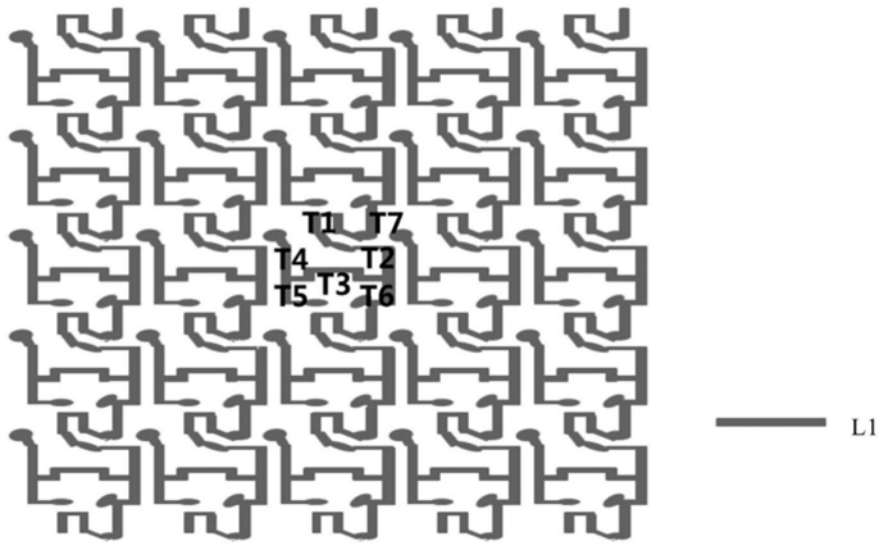


图3

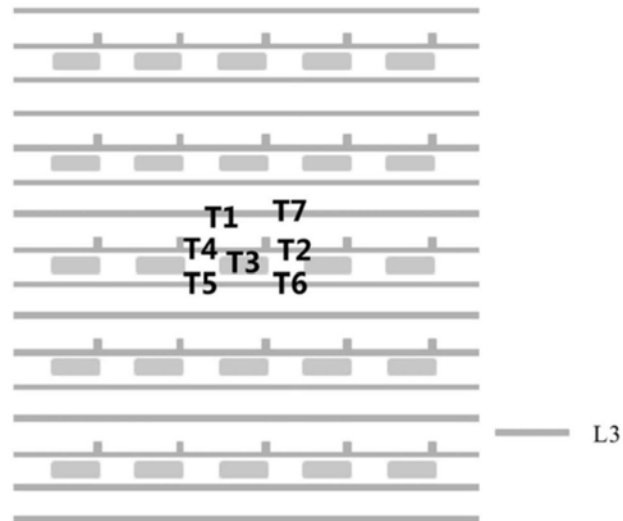


图4

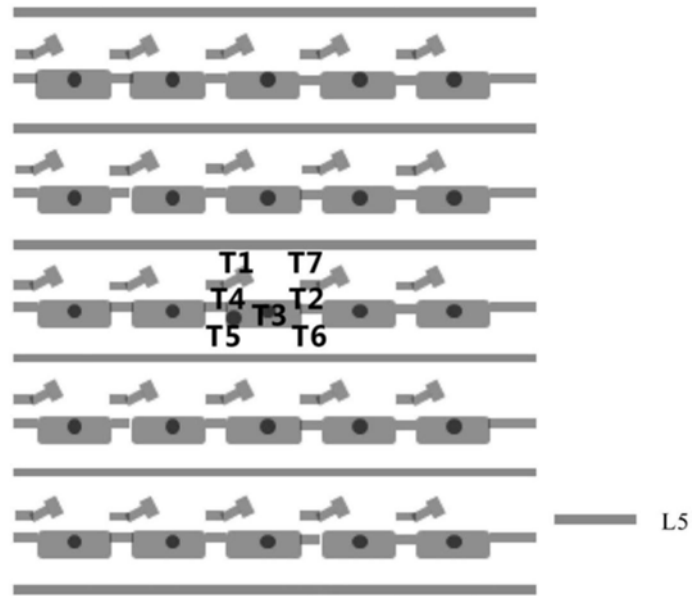


图5

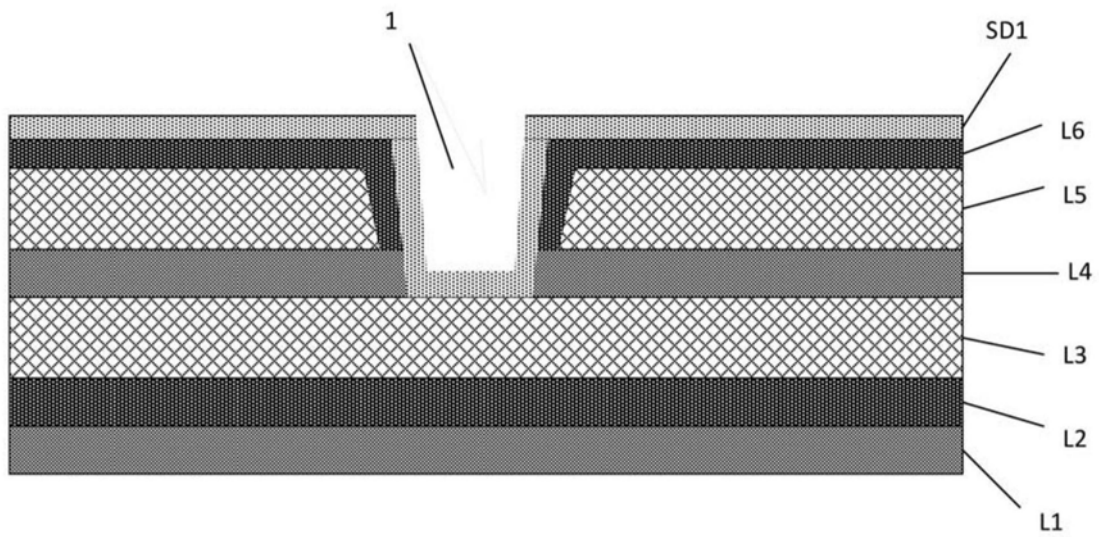


图6a

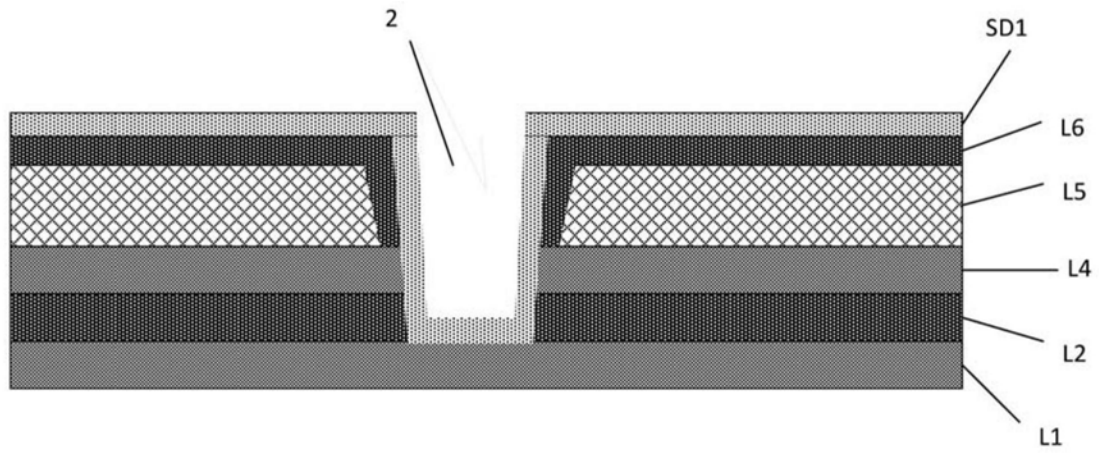


图6b

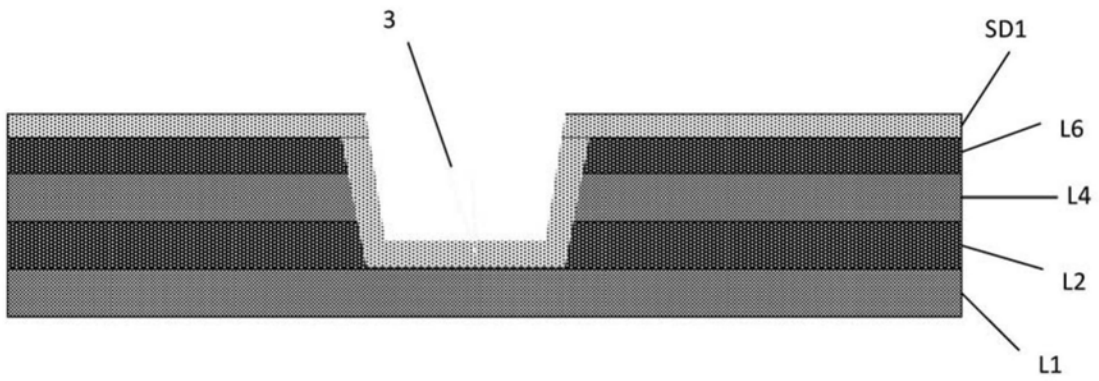


图6c

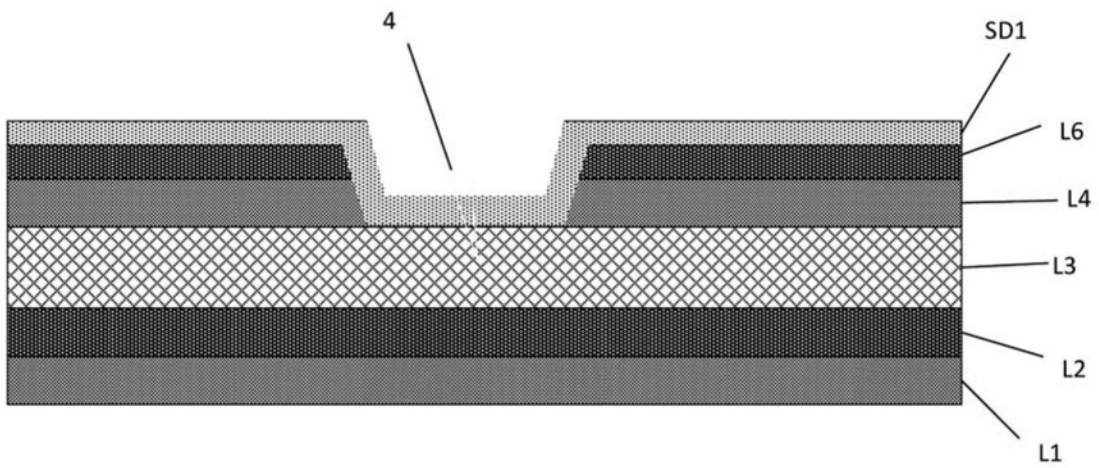


图6d

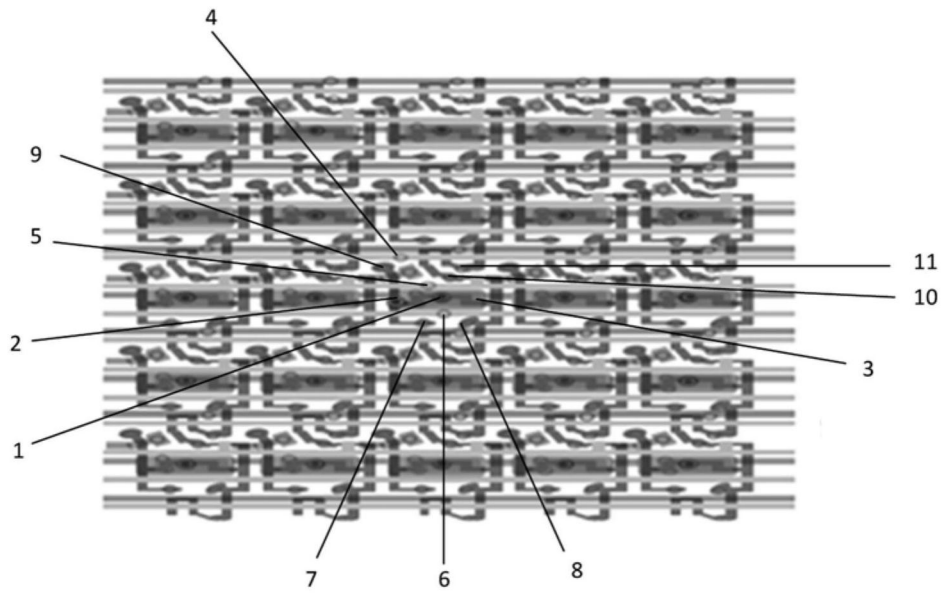


图6e

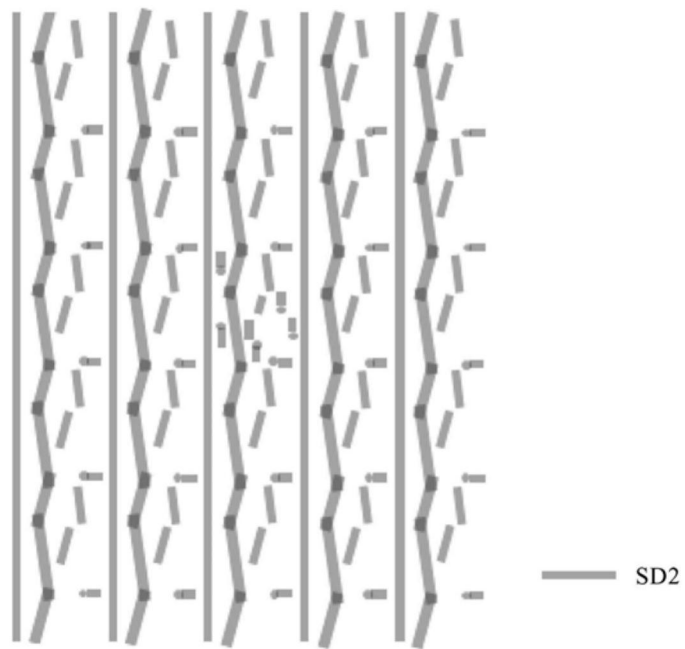


图7

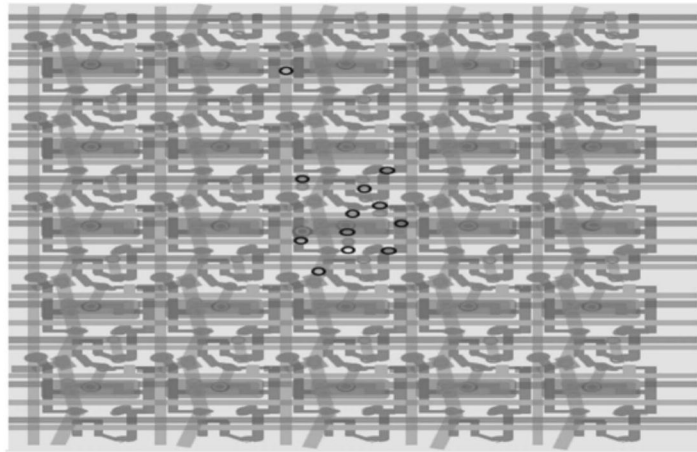


图8

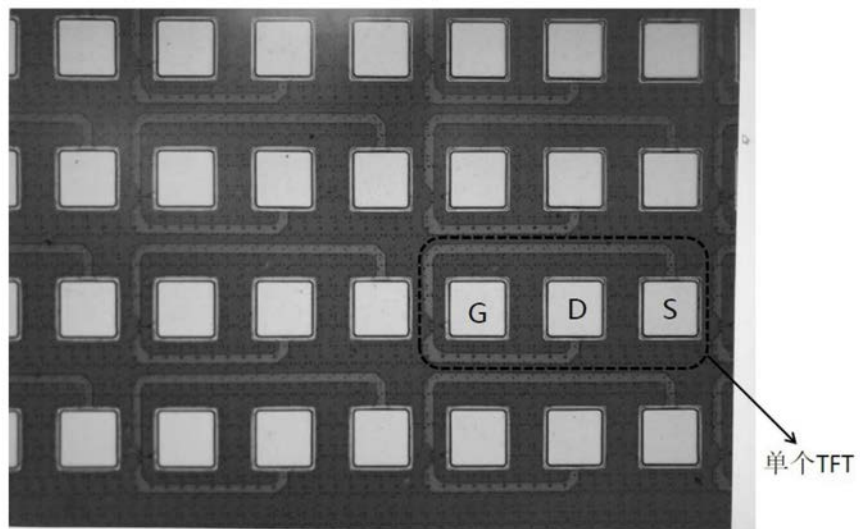


图9

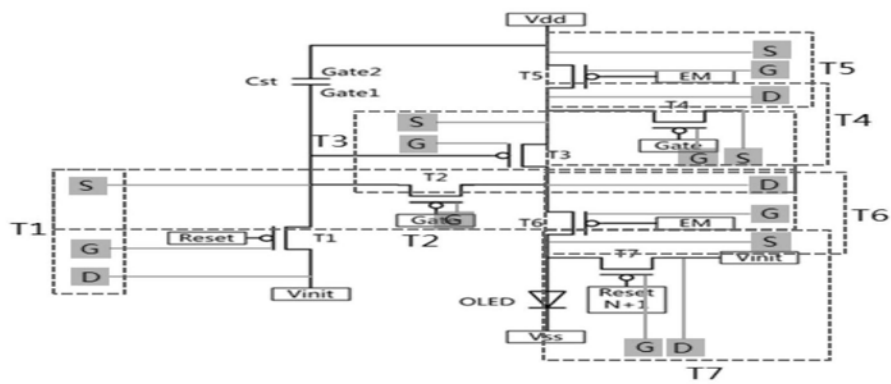


图10

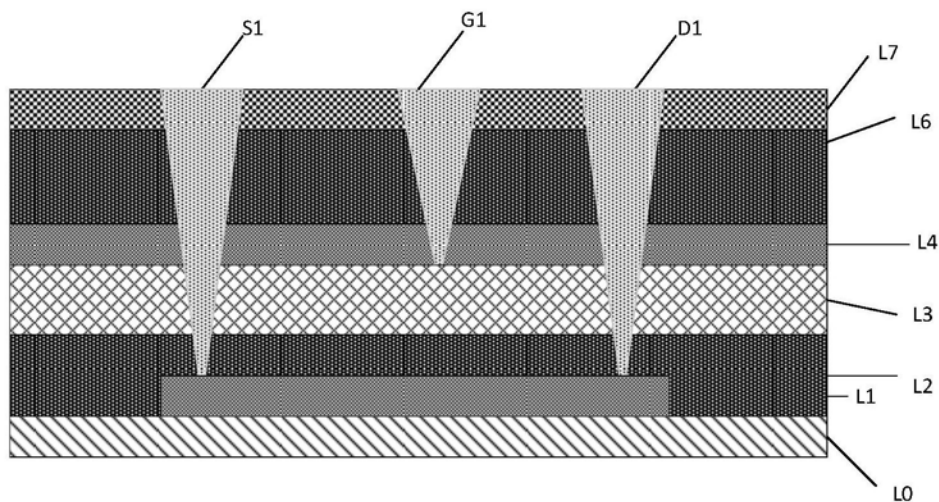


图11

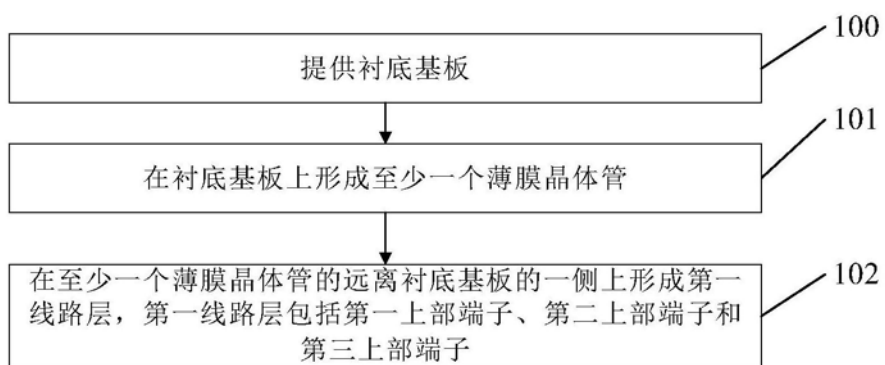


图12



图13

专利名称(译)	有机发光显示面板及显示装置		
公开(公告)号	CN110649045A	公开(公告)日	2020-01-03
申请号	CN201911055091.8	申请日	2019-10-31
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	包征 辛燕霞 胡红伟 李雪萍 吴奕昊		
发明人	包征 辛燕霞 胡红伟 李雪萍 吴奕昊		
IPC分类号	H01L27/12 H01L27/32		
CPC分类号	H01L27/1214 H01L27/124 H01L27/3246 H01L27/326 H01L27/3276		
代理人(译)	柴亮		
外部链接	Espacenet SIPO		

摘要(译)

本发明一些实施例提供一种有机发光显示面板及显示装置，所述至少一个测试单元区中的每个测试单元区包括：衬底基板；和衬底基板上的至少两个测试像素单元，所述至少两个测试像素单元具有与所述显示区域的至少两个相邻的像素单元相同的结构，并且所述至少两个测试像素单元包括至少一个中心测试像素单元；所述至少一个中心测试像素单元中的每个所述中心测试像素单元具有至少一个薄膜晶体管；以及所述有机发光显示面板还包括设置在所述至少一个薄膜晶体管所在层的远离所述衬底基板的一侧上的第一线路层，所述第一线路层包括与所述薄膜晶体管的所述第一电极、所述栅极和所述第二电极对应电连接的第一上部端子、第二上部端子和第三上部端子。

