



(12)发明专利

(10)授权公告号 CN 108231002 B

(45)授权公告日 2019.12.24

(21)申请号 201810054338.3

审查员 王鑫

(22)申请日 2018.01.19

(65)同一申请的已公布的文献号

申请公布号 CN 108231002 A

(43)申请公布日 2018.06.29

(73)专利权人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72)发明人 张金方 吴剑龙 张露 韩珍珍
胡思明 朱晖

(74)专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 智云

(51)Int.Cl.

G09G 3/3225(2016.01)

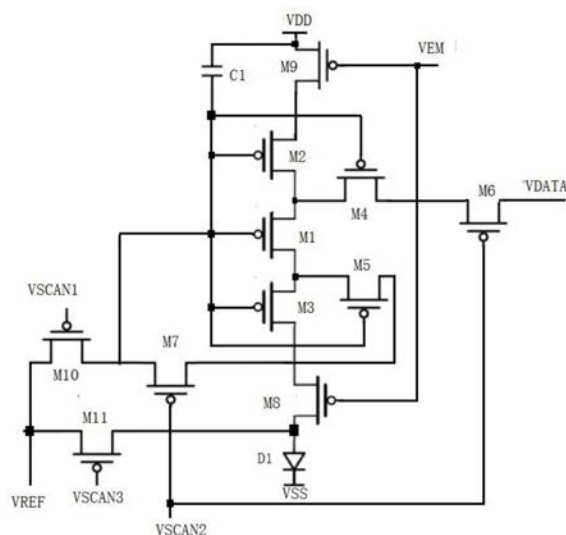
权利要求书2页 说明书9页 附图1页

(54)发明名称

像素电路及其驱动方法、有机电致发光器件、显示装置

(57)摘要

本发明提供了一种像素电路及其驱动方法、有机电致发光器件、显示装置,所述像素电路包括补偿电路、第六晶体管、第七晶体管、第八晶体管、第九晶体管和存储元件,其中:所述补偿电路包括第一端、第二端、第三端、第四端,从所述第一端到所述第二端之间串接多个晶体管,从所述第三端到所述第四端之间串接多个晶体管,所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量;所述第六晶体管的第二电极电连接至所述第一端;所述第七晶体管的第一电极电连接至所述第二端;所述第八晶体管的第一电极电连接至所述第三端;所述第九晶体管的第二电极电连接至所述第四端。本发明实现了薄膜晶体管阈值电压的补偿。



1. 一种像素电路,其特征在于,所述像素电路包括补偿电路、第六晶体管、第七晶体管、第八晶体管、第九晶体管和存储元件,其中:

所述补偿电路包括第一端、第二端、第三端、第四端,从所述第一端到所述第二端之间串接多个晶体管,从所述第三端到所述第四端之间串接多个晶体管,所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量;

所述第六晶体管的栅极电连接至一第二扫描线,所述第六晶体管的第一电极电连接至一数据线,所述第六晶体管的第二电极电连接至所述第一端;

所述第七晶体管的栅极电连接至所述第二扫描线,所述第七晶体管的第一电极电连接至所述第二端,所述第七晶体管的第二电极电连接至所述存储元件的第二电极;

所述第八晶体管的栅极电连接至一发射控制线,所述第八晶体管的第一电极电连接至所述第三端,所述第八晶体管的第二电极电连接至一发光器件;

所述第九晶体管的栅极电连接至所述发射控制线,所述第九晶体管的第一电极电连接至一第一电源,所述第九晶体管的第二电极电连接至所述第四端;

所述存储元件的第一电极电连接至所述第一电源,所述存储元件的第二电极电连接至所述补偿电路;

所述补偿电路包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管,其中:

所述第一晶体管的栅极电连接至所述存储元件的第二电极,所述第一晶体管的第一电极电连接至所述第二晶体管的第二电极,所述第一晶体管的第二电极电连接至所述第三晶体管的第二电极;

所述第二晶体管的栅极电连接至所述存储元件的第二电极,所述第二晶体管的第一电极电连接至所述第九晶体管的第二电极,所述第二晶体管的第二电极电连接至所述第一晶体管的第二电极;

所述第三晶体管的栅极电连接至所述存储元件的第二电极,所述第三晶体管的第一电极电连接至所述第一晶体管的第二电极,所述第三晶体管的第二电极电连接至所述第八晶体管的第二电极;

所述第四晶体管的栅极电连接至所述存储元件的第二电极,所述第四晶体管的第一电极电连接至所述第六晶体管的第二电极,所述第四晶体管的第二电极电连接至所述第一晶体管的第二电极;

所述第五晶体管的栅极电连接至所述存储元件的第二电极,所述第五晶体管的第一电极电连接至所述第七晶体管的第一电极,所述第五晶体管的第二电极电连接至所述第一晶体管的第二电极。

2. 如权利要求1所述的像素电路,其特征在于,所述像素电路还包括第十晶体管和第十一晶体管,其中:

所述第十晶体管的栅极电连接至一第一扫描线,所述第十晶体管的第一电极电连接至所述第一晶体管的栅极,所述第十晶体管的第二电极电连接至一第二电源;

所述第十一晶体管的栅极电连接至一第三扫描线,所述第十一晶体管的第一电极电连接至所述发光器件,所述第十一晶体管的第二电极电连接至所述第二电源。

3. 如权利要求2所述的像素电路,其特征在于,所述第一晶体管、第二晶体管、第三晶体

管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管均为P型薄膜晶体管；

或者，所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管均为N型薄膜晶体管。

4. 如权利要求1所述的像素电路，其特征在于，所述存储元件包括电容元件。

5. 一种如权利要求2中所述的像素电路的驱动方法，其特征在于，包括：

在第一阶段，所述第二扫描线输出的第二扫描信号使第六晶体管和第七晶体管导通，所述数据线输出的数据信号电压沿第六晶体管、第四晶体管、第一晶体管、第五晶体管和第七晶体管，耦合到第一晶体管的栅极；

在第二阶段，发射控制线输出的发射控制信号使第八晶体管和第九晶体管导通，所述第一电源的电压通过第九晶体管、第二晶体管、第一晶体管、第三晶体管和第八晶体管耦合到所述发光器件。

6. 如权利要求5所述像素电路的驱动方法，其特征在于，包括：

在第一次初始化阶段，所述第一扫描线输出的第一扫描信号使第十晶体管导通，所述第二电源的电压耦合到所述第一晶体管的栅极；

在第二次初始化阶段，所述第三扫描线输出的第三扫描信号使第十一晶体管导通，所述第二电源的电压耦合到所述发光器件。

7. 如权利要求6所述像素电路的驱动方法，其特征在于，所述第一次初始化阶段发生在所述第一阶段前；所述第二次初始化阶段发生在所述第一阶段和所述第二阶段之间。

8. 一种有机电致发光器件，其特征在于，包括：

多个如权利要求1-4任一项所述的像素电路以及与多个所述像素电路对应的多个发光器件；

数据驱动电路，用于产生数据信号电压，通过多条数据线向多个所述像素电路提供多个所述数据信号电压；

扫描电路，用于产生第一扫描信号、第二扫描信号和第三扫描信号，通过多条第一扫描线向每个所述像素电路提供所述第一扫描信号，通过多条第二扫描线向每个所述像素电路提供所述第二扫描信号，通过多条第三扫描线向每个所述像素电路提供所述第三扫描信号；

发射控制电路，用于产生发射控制信号，通过多条发射控制线向每个所述像素电路提供所述发射控制信号。

9. 一种显示装置，其特征在于，包括如权利要求8所述的有机电致发光器件。

像素电路及其驱动方法、有机电致发光器件、显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素电路及其驱动方法、有机电致发光器件、显示装置。

背景技术

[0002] 有机发光二极管(OLED)具有视角广,对比度高,低功耗,轻薄,可实现柔性显示与大面积全色显示等诸多优点,被业界公认为是最具有发展潜力的显示装置,随着技术发展,大尺寸,高分辨率的OLED显示逐渐发展起来,LTPS工艺造成晶体管阈值电压 V_{th} 不一致,进而使得不同薄膜晶体管对应电流不同,这影响屏体的一致性,导致相同的数据信号输入情况下,每个像素电路获得的电压、电流、亮度输出不同,结果为整个面板的显示不均匀。

发明内容

[0003] 本发明的目的在于提供一种像素电路及其驱动方法、有机电致发光器件、显示装置,以解决现有的薄膜晶体管阈值电压影响像素电路发光效果的问题。

[0004] 为解决上述技术问题,本发明提供一种像素电路,所述像素电路包括补偿电路、第六晶体管、第七晶体管、第八晶体管、第九晶体管和存储元件,其中:

[0005] 所述补偿电路包括第一端、第二端、第三端、第四端,从所述第一端到所述第二端之间串接多个晶体管,从所述第三端到所述第四端之间串接多个晶体管,所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量;

[0006] 所述第六晶体管的栅极电连接至一第二扫描线,所述第六晶体管的第一电极电连接至一数据线,所述第六晶体管的第二电极电连接至所述第一端;

[0007] 所述第七晶体管的栅极电连接至所述第二扫描线,所述第七晶体管的第一电极电连接至所述第二端,所述第七晶体管的第二电极电连接至所述存储元件的第二电极;

[0008] 所述第八晶体管的栅极电连接至一发射控制线,所述第八晶体管的第一电极电连接至所述第三端,所述第八晶体管的第二电极电连接至一发光器件;

[0009] 所述第九晶体管的栅极电连接至所述发射控制线,所述第九晶体管的第一电极电连接至一第一电源,所述第九晶体管的第二电极电连接至所述第四端;

[0010] 所述存储元件的第一电极电连接至所述第一电源,所述存储元件的第二电极电连接至所述补偿电路。

[0011] 可选的,在所述的像素电路中,所述补偿电路包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管,其中:

[0012] 所述第一晶体管的栅极电连接至所述存储元件的第二电极,所述第一晶体管的第一电极电连接至所述第二晶体管的第二电极,所述第一晶体管的第二电极电连接至所述第三晶体管的第一电极;

[0013] 所述第二晶体管的栅极电连接至所述存储元件的第二电极,所述第二晶体管的第一电极电连接至所述第九晶体管的第二电极,所述第二晶体管的第二电极电连接至所述第

一晶体管的第一电极；

[0014] 所述第三晶体管的栅极电连接至所述存储元件的第二电极，所述第三晶体管的第一电极电连接至所述第一晶体管的第二电极，所述第三晶体管的第二电极电连接至所述第八晶体管的第一电极；

[0015] 所述第四晶体管的栅极电连接至所述存储元件的第二电极，所述第四晶体管的第一电极电连接至所述第六晶体管的第二电极，所述第四晶体管的第二电极电连接至所述第一晶体管的第一电极；

[0016] 所述第五晶体管的栅极电连接至所述存储元件的第二电极，所述第五晶体管的第一电极电连接至所述第七晶体管的第一电极，所述第五晶体管的第二电极电连接至所述第一晶体管的第二电极。

[0017] 可选的，在所述的像素电路中，所述像素电路还包括第十晶体管和第十一晶体管，其中：

[0018] 所述第十晶体管的栅极电连接至一第一扫描线，所述第十晶体管的第一电极电连接至所述第一晶体管的栅极，所述第十晶体管的第二电极电连接至一第二电源；

[0019] 所述第十一晶体管的栅极电连接至一第三扫描线，所述第十一晶体管的第一电极电连接至所述发光器件，所述第十一晶体管的第二电极电连接至所述第二电源。

[0020] 可选的，在所述的像素电路中，所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管均为P型薄膜晶体管；

[0021] 或者，所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管均为N型薄膜晶体管。

[0022] 可选的，在所述的像素电路中，所述存储元件包括电容元件。

[0023] 本发明还提供一种如上所述的像素电路的驱动方法，包括：

[0024] 在第一阶段，所述第二扫描线输出的第二扫描信号使第六晶体管和第七晶体管导通，所述数据线输出的数据信号电压沿第六晶体管、第四晶体管、第一晶体管、第五晶体管和第七晶体管，耦合到第一晶体管的栅极；

[0025] 在第二阶段，发射控制线输出的发射控制信号使第八晶体管和第九晶体管导通，所述第一电源的电压通过第九晶体管、第二晶体管、第一晶体管、第三晶体管和第八晶体管耦合到所述发光器件。

[0026] 可选的，在所述像素电路的驱动方法中，包括：

[0027] 在第一次初始化阶段，所述第一扫描线输出的第一扫描信号使第十晶体管导通，所述第二电源的电压耦合到所述第一晶体管的栅极；

[0028] 在第二次初始化阶段，所述第三扫描线输出的第三扫描信号使第十一晶体管导通，所述第二电源的电压耦合到所述发光器件。

[0029] 可选的，在所述像素电路的驱动方法中，所述第一次初始化阶段发生在所述第一阶段前；所述第二次初始化阶段发生在所述第一阶段和所述第二阶段之间。

[0030] 本发明还提供一种有机电致发光器件，包括：

[0031] 多个如上述任一项所述的像素电路以及与多个所述像素电路对应的多个发光器

件；

[0032] 数据驱动电路，用于产生数据信号电压，通过多条数据线向多个所述像素电路提供多个所述数据信号电压；

[0033] 扫描电路，用于产生第一扫描信号、第二扫描信号和第三扫描信号，通过多条第一扫描线向每个所述像素电路提供所述第一扫描信号，通过多条第二扫描线向每个所述像素电路提供所述第二扫描信号，通过多条第三扫描线向每个所述像素电路提供所述第三扫描信号；

[0034] 发射控制电路，用于产生发射控制信号，通过多条发射控制线向每个所述像素电路提供所述发射控制信号。

[0035] 本发明还提供一种显示装置，包括如上所述的有机电致发光器件。

[0036] 在本发明提供的像素电路及其驱动方法、有机电致发光器件、显示装置中，像素电路数据信号电压向存储元件充电时，电流通过第六晶体管、补偿电路第一端到第二端之间的晶体管和第七晶体管，第一电源根据数据信号电压驱动发光器件时，电流通过第九晶体管、补偿电路第四端到第三端之间的晶体管和第八晶体管，由于所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量，使得两个过程中，电流通过的晶体管数量相等，晶体管阈值电压的变化不影响数据信号电压充电以及发光器件发光的效果。

附图说明

[0037] 图1是本发明一实施例中像素电路示意图；

[0038] 图2是本发明一实施例中像素电路的驱动方法示意图。

具体实施方式

[0039] 以下结合附图和具体实施例对本发明提出的像素电路及其驱动方法、有机电致发光器件、显示装置作进一步详细说明。根据下面说明和权利要求书，本发明的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本发明实施例的目的。

[0040] 本发明的核心思想在于提供一种像素电路及其驱动方法、有机电致发光器件、显示装置，以解决现有的薄膜晶体管阈值电压影响像素电路发光效果的问题。

[0041] 为实现上述思想，本发明提供了一种像素电路及其驱动方法、有机电致发光器件、显示装置，所述像素电路包括补偿电路、第六晶体管、第七晶体管、第八晶体管、第九晶体管和存储元件，其中：所述补偿电路包括第一端、第二端、第三端、第四端，从所述第一端到所述第二端之间串接多个晶体管，从所述第三端到所述第四端之间串接多个晶体管，所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量；所述第六晶体管的栅极电连接至一第二扫描线，所述第六晶体管的第一电极电连接至一数据线，所述第六晶体管的第二电极电连接至所述第一端；所述第七晶体管的栅极电连接至所述第二扫描线，所述第七晶体管的第一电极电连接至所述第二端，所述第七晶体管的第二电极电连接至所述存储元件的第二电极；所述第八晶体管的栅极电连接至一发射控制线，所述第八晶体管的第一电极电连接至所述第三端，所述第八晶体管的第二电极电连接至一

发光器件;所述第九晶体管的栅极电连接至所述发射控制线,所述第九晶体管的第一电极电连接至一第一电源,所述第九晶体管的第二电极电连接至所述第四端;所述存储元件的第一电极电连接至所述第一电源,所述存储元件的第二电极电连接至所述补偿电路。

[0042] <实施例一>

[0043] 本实施例提供一种像素电路,如图1所示,所述像素电路包括补偿电路、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9和存储元件C1,其中:所述补偿电路包括第一端、第二端、第三端、第四端,从所述第一端到所述第二端之间串接多个晶体管,从所述第三端到所述第四端之间串接多个晶体管,所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量;所述存储元件C1的第一电极电连接至一第一电源VDD,所述存储元件C1的第二电极电连接至所述补偿电路。

[0044] 所述第六晶体管M6的栅极电连接至一第二扫描线,所述第二扫描线向第六晶体管M6提供第二扫描信号VSCAN2以控制第六晶体管M6的导通和关断,所述第六晶体管M6的第一电极电连接至一数据线,所述数据线提供数据信号电压VDATA,所述第六晶体管M6的第二电极电连接至所述第一端;所述第七晶体管M7的栅极电连接至所述第二扫描线,所述第二扫描线向第七晶体管M7提供第二扫描信号VSCAN2以控制第七晶体管M7的导通和关断,所述第七晶体管M7的第一电极电连接至所述第二端,所述第七晶体管M7的第二电极电连接至所述存储元件C1的第二电极;可见,第六晶体管M6和第七晶体管M7均连接在数据线和存储元件C1之间,并统一由第二扫描信号VSCAN2控制。

[0045] 所述第八晶体管M8的栅极电连接至一发射控制线,所述发射控制线向第八晶体管M8提供发射控制信号VEM以控制第八晶体管M8的导通和关断,所述第八晶体管M8的第一电极电连接至所述第三端,所述第八晶体管M8的第二电极电连接至一发光器件D1;所述第九晶体管M9的栅极电连接至所述发射控制线,所述发射控制线向第九晶体管M9提供发射控制信号VEM以控制第九晶体管M9的导通和关断,所述第九晶体管M9的第一电极电连接至所述第一电源VDD,所述第九晶体管M9的第二电极电连接至所述第四端;可见,第八晶体管M8和第九晶体管M9连接在第一电源VDD和发光器件D1之间,并统一由发射控制信号VEM控制。

[0046] 在本实施例提供的像素电路中,像素电路数据信号电压VDATA向存储元件C1充电时,电流通过第六晶体管M6、补偿电路第一端到第二端之间的晶体管和第七晶体管M7,第一电源VDD根据数据信号电压VDATA驱动发光器件D1时,电流通过第九晶体管M9、补偿电路第四端到第三端之间的晶体管和第八晶体管M8,由于所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量,使得两个过程中,电流通过的晶体管数量相等,晶体管阈值电压的变化不影响数据信号电压VDATA充电以及发光器件D1发光的效果。

[0047] 具体的,在所述的像素电路中,所述补偿电路包括第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5,其中:所述第一晶体管M1的栅极电连接至所述存储元件C1的第二电极,所述第一晶体管M1的第一电极电连接至所述第二晶体管M2的第二电极,所述第一晶体管M1的第二电极电连接至所述第三晶体管M3的第一电极;所述第二晶体管M2的栅极电连接至所述存储元件C1的第二电极,所述第二晶体管M2的第一电极电连接至所述第九晶体管M9的第二电极,所述第二晶体管M2的第二电极电连接至所述第一晶体管M1的第一电极;所述第三晶体管M3的栅极电连接至所述存储元件C1的第二电极,所述第

三晶体管M3的第一电极电连接至所述第一晶体管M1的第二电极,所述第三晶体管M3的第二电极电连接至所述第八晶体管M8的第一电极;所述第四晶体管M4的栅极电连接至所述存储元件C1的第二电极,所述第四晶体管M4的第一电极电连接至所述第六晶体管M6的第二电极,所述第四晶体管M4的第二电极电连接至所述第一晶体管M1的第一电极;所述第五晶体管M5的栅极电连接至所述存储元件C1的第二电极,所述第五晶体管M5的第一电极电连接至所述第七晶体管M7的第一电极,所述第五晶体管M5的第二电极电连接至所述第一晶体管M1的第二电极。

[0048] 进一步的,在所述的像素电路中,所述像素电路还包括第十晶体管M10和第十一晶体管M11,其中:所述第十晶体管M10的栅极电连接至一第一扫描线,所述第一扫描线向第十晶体管M10提供第一扫描信号VSCAN1以控制第十晶体管M10的导通和关断,所述第十晶体管M10的第一电极电连接至所述第一晶体管M1的栅极,所述第十晶体管M10的第二电极电连接至一第二电源VREF;所述第十一晶体管M11的栅极电连接至一第三扫描线,所述第三扫描线向第十一晶体管M11提供第三扫描信号VSCAN3以控制第十一晶体管M11的导通和关断,所述第十一晶体管M11的第一电极电连接至所述发光器件D1,所述第十一晶体管M11的第二电极电连接至所述第二电源VREF。

[0049] 另外,在所述的像素电路中,所述第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11均为P型薄膜晶体管;或者,所述第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11均为N型薄膜晶体管。所述存储元件C1包括电容元件。发光器件D1的另一端连接第三电源VSS。

[0050] 所述第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11应均为同一种型号的薄膜晶体管,以使所述第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11的阈值电压在理想情况下相等。

[0051] 所述第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11的第一电极优选的为源极,所述第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11的第二电极优选的为漏极。

[0052] 本实施例还提供一种有机电致发光器件,包括:多个如上述所述的像素电路以及与多个所述像素电路对应的多个发光器件D1;数据驱动电路,用于产生数据信号电压VDATA,通过多条数据线向多个所述像素电路提供多个所述数据信号电压VDATA;扫描电路,用于产生第一扫描信号VSCAN1、第二扫描信号VSCAN2和第三扫描信号VSCAN3,通过多条第一扫描线向每个所述像素电路提供所述第一扫描信号VSCAN1,通过多条第二扫描线向每个所述像素电路提供所述第二扫描信号VSCAN2,通过多条第三扫描线向每个所述像素电路提供所述第三扫描信号VSCAN3;发射控制电路,用于产生发射控制信号VEM,通过多条发射控制线向每个所述像素电路提供所述发射控制信号VEM。

[0053] 本实施例还提供一种显示装置,包括如上所述的有机电致发光器件。

[0054] 在本实施例提供的像素电路、有机电致发光器件及显示装置中,像素电路数据信号电压VDATA向存储元件C1充电时,电流通过第六晶体管M6、补偿电路第一端到第二端之间的晶体管和第七晶体管M7,第一电源VDD根据数据信号电压VDATA驱动发光器件D1时,电流通过第九晶体管M9、补偿电路第四端到第三端之间的晶体管和第八晶体管M8,由于所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量,使得两个过程中,电流通过的晶体管数量相等,晶体管阈值电压的变化不影响数据信号电压VDATA充电以及发光器件D1发光的效果。

[0055] 综上,上述实施例对像素电路、有机电致发光器件及显示装置的不同构型进行了详细说明,当然,本发明包括但不限于上述实施中所列举的构型,任何在上述实施例提供的构型基础上进行变换的内容,均属于本发明所保护的范围。本领域技术人员可以根据上述实施例的内容举一反三。

[0056] <实施例二>

[0057] 本实施例提供一种如上所述的像素电路的驱动方法,包括:在第一阶段,所述第二扫描线输出的第二扫描信号VSCAN2使第六晶体管M6和第七晶体管M7导通,所述数据线输出的数据信号电压沿第六晶体管M6、第四晶体管M4、第一晶体管M1、第五晶体管M5和第七晶体管M7,耦合到第一晶体管M1的栅极;在第二阶段,发射控制线输出的发射控制信号使第八晶体管M8和第九晶体管M9导通,所述第一电源VDD的电压通过第九晶体管M9、第二晶体管M2、第一晶体管M1、第三晶体管M3和第八晶体管M8耦合到所述发光器件D1。

[0058] 进一步的,在所述像素电路的驱动方法中,包括:在第一次初始化阶段,所述第一扫描线输出的第一扫描信号VSCAN1使第十晶体管M10导通,所述第二电源VREF的电压耦合到所述第一晶体管M1的栅极;在第二次初始化阶段,所述第三扫描线输出的第三扫描信号VSCAN3使第十一晶体管M11导通,所述第二电源VREF的电压耦合到所述发光器件D1。所述第一次初始化阶段发生在所述第一阶段前;所述第二次初始化阶段发生在所述第一阶段和所述第二阶段之间。

[0059] 本发明通过提供一种像素的补偿电路,将三个串联的驱动型薄膜晶体管M1、M2和M3驱动发光器件发光,而像素充电时补偿电路三个串联在一起的M1、M4和M5阈值电压 V_{th} 补偿了M1、M2和M3的阈值电压,实现该电路对阈值电压 V_{th} 补偿的效果。

[0060] 具体的,第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5的连接关系如图1所示,五个薄膜晶体管栅极连接在一起,且第二晶体管M2和第四晶体管M4的漏极与第一晶体管M1的源极连接在一起,第一晶体管M1和第五晶体管M5的漏极与第三晶体管M3的源极连接在一起,五个薄膜晶体管宽长比分别为 $W/L1$ 、 $W/L2$ 、 $W/L3$ 、 $W/L4$ 和 $W/L5$,由于上述五个薄膜晶体管为同一种型号,因此,宽长比相等,宽长比与阈值电压相关联,即阈值电压相等。

[0061] 如图2所示,当数据写入和编程时,电流从VDATA开始,依次经过M6、M4、M1、M5、M7流入存储元件C1的第二电极,给C1充电;当发光器件发光时,电流从VDD开始,依次经过M9、M2、M1、M3、M8和发光器件流向VSS,发光器件电流主要受M2、M1和M3共同决定。

[0062] 在 $t1$ 阶段,VSCAN1为低电平,此时M10开启,存储器件C1的第二电极处被初始化到第二电源的电压VREF,此时M1、M2、M3、M4和M5的栅极电压为VREF。在 $t2$ 阶段,VSCAN2为低电

平,M6和M7开启,此时M4、M1和M5可看成是一个宽长比为 $W/(L4+L1+L5)$ 的薄膜晶体管,M7开启使M5的栅极和漏极导通,此时M4、M1和M5组成的薄膜晶体管为一个二极管,则存储器件C1的第二电极处电压为 $V_{DATA}-V_{th}(M4+M1+M5)$, $V_{th}(M4+M1+M5)$ 是宽长比为 $W/(L4+L1+L5)$ 的薄膜晶体管的阈值电压。

[0063] 在 t_3 阶段,VSCAN3为低电平,此时M11管开启,发光器件阳极电压被反向初始化到VREF电位。在 t_4 阶段,VEM为低电平,此时M9和M8管开启,电流流向如右图中红色虚线所示,发光器件开始发光;此时由于M2、M1和M3三个薄膜晶体管串联在一起,并且栅极也连接在一起,可以认为是一个宽长比为 $W/(L2+L1+L3)$ 的薄膜晶体管,这个薄膜晶体管工作饱和区电流计算公式为:

[0064] $I_{oled} = 1/2 \mu C_{ox} [W/(L2+L1+L3)] (V_{DATA}-V_{DD})^2$, μ 是薄膜晶体管迁移率, C_{ox} 是薄膜晶体管栅极绝缘层单位面积的电容。

[0065] 使用HD 3.0/40um DTFT Model软件仿真,仿真条件包括电压设置:第一电源电压VDD为4.6V;第三电源电压VSS为-3V;第二电源电压VREF为-4V,得到的阈值电压 V_{th} 补偿能力如表1所示,在 V_{th} 波动范围在1.2V的情况下, I_{oled} 波动10%以内。

[0066]

VDATA (V)	Vth (V)	Ioled (nA)
2.8	-2.4	66
2.8	-2.3	65
2.8	-2.2	64
2.8	-2.1	63
2.8	-2.0	62
2.8	-1.9	61
2.8	-1.8	60
2.8	-1.7	59
2.8	-1.6	58
2.8	-1.5	58
2.8	-1.4	57
2.8	-1.3	57
2.8	-1.2	57
2.8	-1.1	58
2.8	-1.0	60
2.8	-0.9	63

[0067]

2.8	-0.8	66
2.8	-0.7	70
2.8	-0.6	73
ΔV_{th}	1.2V	

[0068] 表1

[0069] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的系统而言,由于与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0070] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发

明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

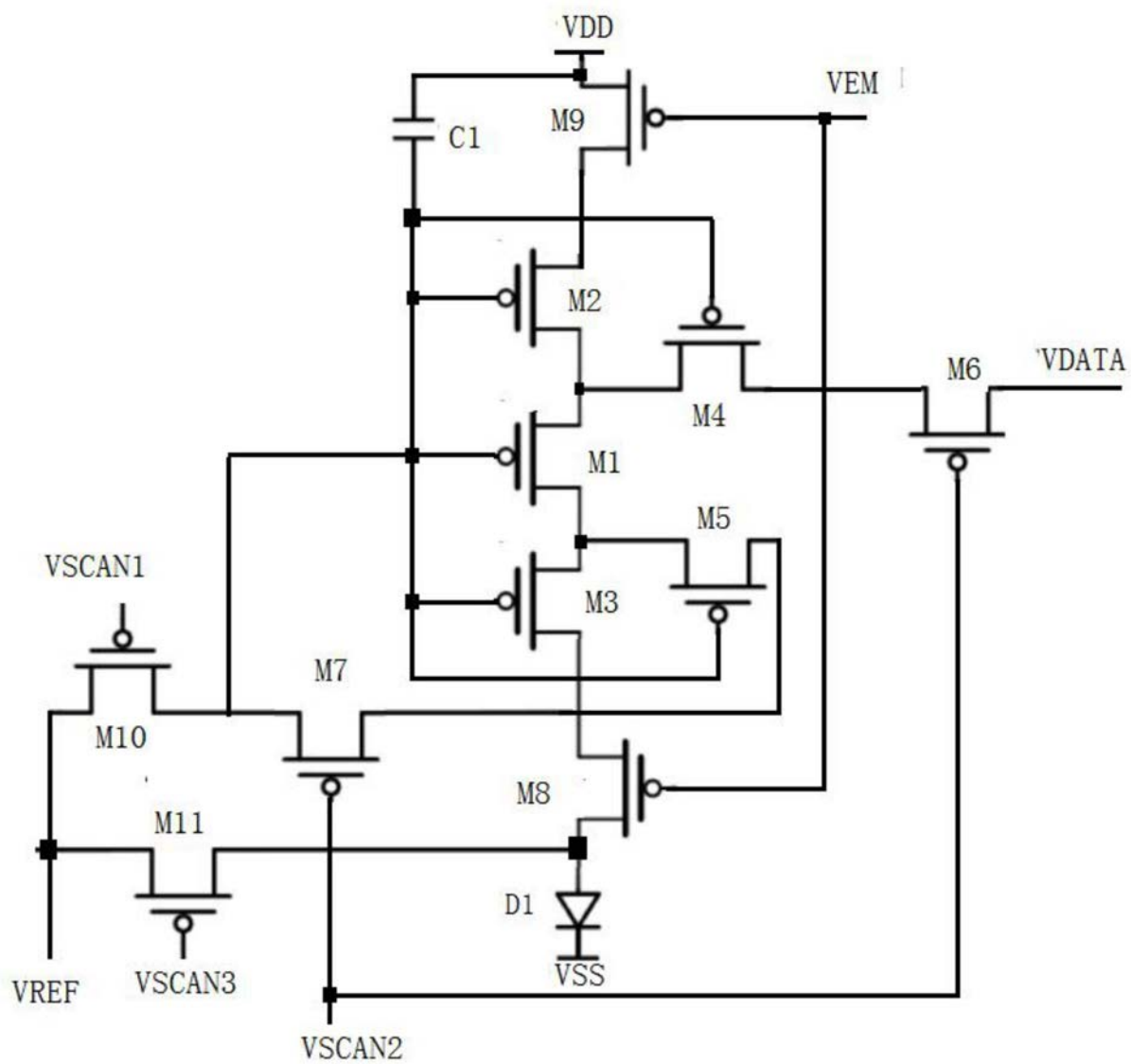


图1

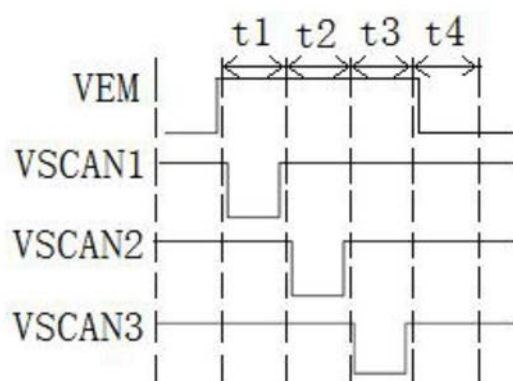


图2

专利名称(译)	像素电路及其驱动方法、有机电致发光器件、显示装置		
公开(公告)号	CN108231002B	公开(公告)日	2019-12-24
申请号	CN201810054338.3	申请日	2018-01-19
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	张金方 吴剑龙 张露 韩珍珍 胡思明 朱晖		
发明人	张金方 吴剑龙 张露 韩珍珍 胡思明 朱晖		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225		
审查员(译)	王鑫		
其他公开文献	CN108231002A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素电路及其驱动方法、有机电致发光器件、显示装置，所述像素电路包括补偿电路、第六晶体管、第七晶体管、第八晶体管、第九晶体管和存储元件，其中：所述补偿电路包括第一端、第二端、第三端、第四端，从所述第一端到所述第二端之间串接多个晶体管，从所述第三端到所述第四端之间串接多个晶体管，所述第一端与所述第二端之间的晶体管数量等于所述第三端与所述第四端之间的晶体管数量；所述第六晶体管的第二电极电连接至所述第一端；所述第七晶体管的第一电极电连接至所述第二端；所述第八晶体管的第一电极电连接至所述第三端；所述第九晶体管的第二电极电连接至所述第四端。本发明实现了薄膜晶体管阈值电压的补偿。

