



(12) 发明专利

(10) 授权公告号 CN 103226931 B

(45) 授权公告日 2015. 09. 09

(21) 申请号 201310153391. 6

CN 203325407 U, 2013. 12. 04,

(22) 申请日 2013. 04. 27

US 2008211397 A1, 2008. 09. 04,

(73) 专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号

审查员 李小艳

(72) 发明人 王颖

(74) 专利代理机构 北京天昊联合知识产权代理  
有限公司 11112

代理人 彭瑞欣 陈源

(51) Int. Cl.

G09G 3/32(2006. 01)

(56) 对比文件

CN 102930824 A, 2013. 02. 13,

CN 102930824 A, 2013. 02. 13,

CN 101814268 A, 2010. 08. 25,

US 2011134100 A1, 2011. 06. 09,

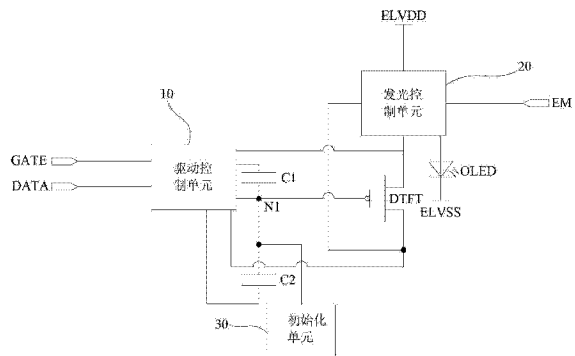
权利要求书2页 说明书8页 附图5页

(54) 发明名称

像素电路和有机发光显示器

(57) 摘要

像素电路和有机发光显示器。本发明提供一种像素电路,该像素电路包括驱动薄膜晶体管和发光二极管,该发光二极管串联在驱动电源的低电平输入端和高电平输入端之间,其中,像素电路还包括第一电容和驱动控制单元,第一电容的第一端通过驱动控制单元与驱动薄膜晶体管的第一极电连接,第一电容的第二端与驱动薄膜晶体管的栅极连接,驱动薄膜晶体管的第二极和驱动薄膜晶体管的栅极通过驱动控制单元电连接,驱动控制单元与栅线和数据线连接。本发明还提供一种有机发光显示器。像素电路可以输出均匀的电流,从而使像素电路中的发光二极管亮度均匀,进而使得包括像素电路的有机发光显示亮度均匀。



1. 一种像素电路,所述像素电路包括驱动薄膜晶体管和发光二极管,所述发光二极管串联在驱动电源的低电平输入端和高电平输入端之间,其特征在于,所述像素电路还包括第一电容和驱动控制单元,所述第一电容的第一端通过所述驱动控制单元与所述驱动薄膜晶体管的第一极电连接,所述第一电容的第二端与所述驱动薄膜晶体管的栅极连接,所述驱动薄膜晶体管的第二极和所述驱动薄膜晶体管的栅极通过所述驱动控制单元电连接,所述驱动控制单元与栅线和数据线连接,所述驱动控制单元在数据写入阶段控制所述第一电容的第一端与所述驱动薄膜晶体管的第一极导通、所述驱动薄膜晶体管的栅极与所述驱动薄膜晶体管的第二极导通,所述驱动薄膜晶体管开启。

2. 根据权利要求1所述的像素电路,其特征在于,所述像素电路还包括第二电容,所述第二电容的第一端与所述第一电容的第二端连接,所述第二电容的第二端通过所述驱动控制单元与所述数据线电连接。

3. 根据权利要求2所述的像素电路,其特征在于,所述驱动控制单元还包括第一驱动控制晶体管,所述第一驱动控制晶体管的栅极与所述栅线连接,所述第一驱动控制晶体管的第一极与数据线连接,所述第一驱动控制晶体管的第二极与所述第二电容的第二端连接。

4. 根据权利要求3所述的像素电路,其特征在于,所述像素电路还包括具有低电平的初始化单元,所述初始化单元电连接在所述第一电容的第二端和所述第二电容的第一端之间。

5. 根据权利要求4所述的像素电路,其特征在于,所述初始化单元包括初始化晶体管,所述初始化晶体管的第一极连接在所述第一电容的第二端和所述第二电容的第一端之间,所述初始化晶体管的第二极与低电平输入端连接,所述初始化晶体管的栅极与复位信号输入端相连。

6. 根据权利要求1至4中任意一项所述的像素电路,其特征在于,所述驱动控制单元包括第二驱动控制晶体管和第三驱动控制晶体管,所述第二驱动控制晶体管的栅极与所述栅线连接,所述第二驱动控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接,所述第二驱动控制晶体管的第二极与所述驱动薄膜晶体管的栅极电连接,所述第三驱动控制晶体管的栅极与所述栅线连接,所述第三驱动控制晶体管的第一极与所述第一电容的第一端连接,所述第三驱动控制晶体管的第二极与所述驱动薄膜晶体管的第一极连接。

7. 根据权利要求5所述的像素电路,其特征在于,所述驱动控制单元包括第二驱动控制晶体管和第三驱动控制晶体管,所述第二驱动控制晶体管的栅极与所述栅线连接,所述第二驱动控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接,所述第二驱动控制晶体管的第二极与所述驱动薄膜晶体管的栅极电连接,所述第三驱动控制晶体管的栅极与所述栅线连接,所述第三驱动控制晶体管的第一极与所述第一电容的第一端连接,所述第三驱动控制晶体管的第二极与所述驱动薄膜晶体管的第一极连接。

8. 根据权利要求7所述的像素电路,其特征在于,所述像素电路还包括发光控制单元,所述发光控制单元与发光控制线连接,所述发光控制单元能够根据所述发光控制线给出的信号将驱动电源的高电平输入端与所述驱动薄膜晶体管的第一极导通,和/或将所述驱动电源低电平输入端与所述驱动薄膜晶体管的第二极导通。

9. 根据权利要求8所述的像素电路,其特征在于,所述发光控制单元包括第一发光控

制晶体管和第二发光控制晶体管,所述第一发光控制晶体管的栅极与所述发光控制线连接,所述第一发光控制晶体管的第一极与所述驱动薄膜晶体管的第一极连接,所述第一发光控制晶体管的第二极与所述驱动电源的高电平输入端连接,所述第二发光控制晶体管的栅极与所述发光控制线连接,所述第二发光控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接,所述第二发光控制晶体管的第二极与所述发光二极管的阳极连接,所述发光二极管的阴极与所述驱动电源的低电平输入端连接。

10. 根据权利要求 9 所述的像素电路,其特征在于,所述驱动薄膜晶体管、所述第一驱动控制晶体管、所述第二驱动控制晶体管、所述第三驱动控制晶体管、所述初始化晶体管、所述第一发光控制晶体管和所述第二发光控制晶体管均为 P 型晶体管。

11. 一种有机发光显示器,其特征在于,所述有机发光显示器包括权利要求 1 至 10 中任意一项所述的像素电路。

## 像素电路和有机发光显示器

### 技术领域

[0001] 本发明涉及有机发光显示领域,具体地,涉及一种像素电路和一种包括该像素电路的有机发光显示器。

### 背景技术

[0002] AMOLED (有源发光二极管,Active Matrix/Organic Light Emitting Diode)显示背板的发光亮度和提供给 OLED (有机发光二极管,Organic Light-Emitting Diode)的驱动电流大小成正比。为了实现最佳的显示效果,需要较大的驱动电流。低温多晶硅技术由于可以提供较高的迁移率而成为 AMOLED 显示背板的最佳选择。但是低温多晶硅技术固有的薄膜晶体管阈值电压  $V_{th}$  漂移的问题造成像素电路输出的电流不均匀,从而也使得显示亮度不均匀。

[0003] 因此,如何使像素电路输出均匀的电流成为本领域亟待解决的技术问题。

### 发明内容

[0004] 本发明的目的在于提供一种像素电路和一种包括该像素电路的有机发光显示器。所述像素电路可以输出均匀的电流,从而使像素电路中的发光二极管亮度均匀,进而使得包括所述像素电路的有机发光显示器显示亮度均匀。

[0005] 作为本发明的一个方面,提供一种像素电路,所述像素电路包括驱动薄膜晶体管和发光二极管,所述发光二极管串联在驱动电源的低电平输入端和高电平输入端之间,其中,所述像素电路还包括第一电容和驱动控制单元,所述第一电容的第一端通过所述驱动控制单元与所述驱动薄膜晶体管的第一极电连接,所述第一电容的第二端与所述驱动薄膜晶体管的栅极连接,所述驱动薄膜晶体管的第二极和所述驱动薄膜晶体管的栅极通过所述驱动控制单元电连接,所述驱动控制单元与栅线和数据线连接,所述驱动控制单元在数据写入阶段控制所述第一电容的第一端与所述驱动薄膜晶体管的第一极导通、所述驱动薄膜晶体管的栅极与所述驱动薄膜晶体管的第二极导通,所述驱动薄膜晶体管开启。

[0006] 优选地,所述像素电路还包括第二电容,所述第二电容的第一端与所述第一电容的第二端连接,所述第二电容的第二端通过所述驱动控制单元与所述数据线电连接。

[0007] 优选地,所述驱动控制单元还包括第一驱动控制晶体管,所述第一驱动控制晶体管的栅极与所述栅线连接,所述第一驱动控制晶体管的第一极与数据线连接,所述第一驱动控制晶体管的第二极与所述第二电容的第二端连接。

[0008] 优选地,所述像素电路还包括具有低电平的初始化单元,所述初始化单元电连接在所述第一电容的第二端和所述第二电容的第一端之间。

[0009] 优选地,所述初始化单元包括初始化晶体管,所述初始化晶体管的第一极连接在所述第一电容的第二端和所述第二电容的第一端之间,所述初始化晶体管的第二极与低电平输入端连接,所述初始化晶体管的栅极与复位信号输入端相连。

[0010] 优选地,所述驱动控制单元包括第二驱动控制晶体管和第三驱动控制晶体管,所

述第二驱动控制晶体管的栅极与所述栅线连接,所述第二驱动控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接,所述第二驱动控制晶体管的第二极与所述驱动薄膜晶体管的栅极电连接,所述第三驱动控制晶体管的栅极与栅线连接,所述第三驱动控制晶体管的第一极与所述第一电容的第一端连接,所述第三驱动控制晶体管的第二极与所述驱动薄膜晶体管的第一极连接。

[0011] 优选地,所述像素电路还包括发光控制单元,所述发光控制单元与发光控制线连接,所述发光控制单元能够根据所述发光控制线给出的信号将驱动电源的高电平输入端与所述驱动薄膜晶体管的第一极导通,和/或将所述驱动电源低电平输入端与所述驱动薄膜晶体管的第二极导通。

[0012] 优选地,所述发光控制单元包括第一发光控制晶体管和第二发光控制晶体管,所述第一发光控制晶体管的栅极与所述发光控制线连接,所述第一发光控制晶体管的第一极与所述驱动薄膜晶体管的第一极连接,所述第一发光控制晶体管的第二极与所述驱动电源的高电平输入端连接,所述第二发光控制晶体管的栅极与所述发光控制线连接,所述第二发光控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接,所述第二发光控制晶体管的第二极与所述发光二极管的阳极连接,所述发光二极管的阴极与所述驱动电源的低电平输入端连接。

[0013] 优选地,所述驱动薄膜晶体管、所述第一驱动控制晶体管、所述第二驱动控制晶体管、所述第三驱动控制晶体管、所述初始化晶体管、所述第一发光控制晶体管和所述第二发光控制晶体管均为 P 型晶体管。

[0014] 作为本发明的另一个方面,还提供一种有机发光显示器,其中,所述有机发光显示器包括本发明所提供的上述像素电路。

[0015] 在本发明提供的像素电路中,在像素电路的数据写入阶段,驱动控制单元控制第一电容的第一端与所述驱动薄膜晶体管的第一极导通,所述驱动薄膜晶体管的栅极与所述驱动薄膜晶体管的第二极导通,此时的驱动薄膜晶体管实际上形成了一个处于临界导通状态的二极管,驱动薄膜晶体管的栅极电压  $V_g$  即为第一电容的第二端的电压  $V_{N1}$  减去所述驱动薄膜晶体管的阈值电压  $V_{th,D1FT}$ , (即,  $V_g = V_{N1} - V_{th,D1FT}$ )。在该数据写入阶段,第一电容将驱动薄膜晶体管的栅极记录下来并保持至像素电路的发光二极管发光阶段。在像素电路的发光二极管 OLED 发光阶段,驱动薄膜晶体管处于饱和状态,该驱动薄膜晶体管的栅极电压为第一电容所保持的电压  $V_{N1} - V_{th,D1FT}$ ,所述驱动薄膜晶体管的栅源电压  $V_{gs}$  为该驱动薄膜晶体管源极输入的电压  $V_{dd}$  与该薄膜晶体管的栅极电压之差,即,  $V_{gs} = V_{dd} - (V_{N1} - V_{th,D1FT})$ 。而计算驱动薄膜晶体管的漏极电流的公式如下:

$$[0016] \quad I_d = \frac{1}{2} \mu C_{ox} (W/L) \left( V_{gs, D1FT} - |V_{th,D1FT}| \right)^2$$

$$[0017] \quad = \frac{1}{2} \mu C_{ox} (W/L) \left[ V_{dd} - (V_{N1} - V_{th,D1FT}) - V_{th,D1FT} \right]^2$$

$$[0018] \quad = \frac{1}{2} \mu C_{ox} (W/L) (V_{dd} - V_{N1})^2$$

[0019] 通过上述公式可知,在发光二极管的发光阶段,驱动薄膜晶体管的漏极电流与驱动薄膜晶体管的阈值电压无关(换言之,驱动薄膜晶体管的阈值电压得到了补偿)进而解决



驱动电源的低电平输入端 ELVSS 和高电平输入端 ELVDD 之间。在除数据写入阶段之外的其他阶段,驱动薄膜晶体管 DTFT 的栅极与该驱动薄膜晶体管 DTFT 第一极之间,以及驱动薄膜晶体管 DTFT 的栅极与驱动薄膜晶体管 DTFT 的第二极之间都是断开的。

[0043] 在数据写入阶段,栅线 GATE 和数据线 DATA 输入的信号有效(如图 3 所示),驱动控制单元 10 使得第一电容 C1 的第一端与驱动薄膜晶体管 DTFT 的第一极导通,驱动薄膜晶体管 DTFT 的栅极与驱动薄膜晶体管的第二极导通,此时的驱动薄膜晶体管 DTFT 实际上形成了一个处于临界导通状态的二极管,此时驱动薄膜晶体管 DTFT 的阈值电压  $V_{th,DTFT}$  被记录下来,且由第一电容 C1 存储。

[0044] 由于此时驱动薄膜晶体管 DTFT 的栅极电压为  $(V_{N1}-V_{th,DTFT})$ ,此处,  $V_{N1}$  指的是,第一电容 C1 的第二端与数据线 DATA 相连的节点 N1 处的电压,  $V_{N1}$  与驱动薄膜晶体管的阈值电压  $V_{th,DTFT}$  无关。在发光二极管 OLED 发光阶段(即,图 3 中的 t3 阶段),驱动薄膜晶体管 DTFT 的栅极电压  $(V_{N1}-V_{th,DTFT})$  被第一电容 C1 保持,因此,在发光二极管 OLED 发光阶段,驱动薄膜晶体管 DTFT 的第一极与驱动薄膜晶体管 DTFT 的第二极之间经过的电流  $I_d$  (即,驱动薄膜晶体管的源极与漏极之间经过的电流)为:

$$[0045] \quad I_d = \frac{1}{2} \mu C_{ox} (W/L) (|V_{gs,DTFT}| - |V_{th,DTFT}|)^2$$

$$[0046] \quad = \frac{1}{2} \mu C_{ox} (W/L) [V_{dd} - (V_{N1} - V_{th,DTFT}) - V_{th,DTFT}]^2$$

$$[0047] \quad = \frac{1}{2} \mu C_{ox} (W/L) (V_{dd} - V_{N1})^2$$

[0048] 其中,  $\mu$  为驱动薄膜晶体管 DTFT 的场效应迁移率;

[0049]  $C_{ox}$  为驱动薄膜晶体管 DTFT 的栅绝缘层单位面积电容;

[0050]  $W$  为驱动薄膜晶体管 DTFT 的沟道宽度;

[0051]  $L$  为驱动薄膜晶体管 DTFT 的沟道长度;

[0052]  $V_{dd}$  为驱动电源的高电平输入端输入的电压。

[0053] 从上文中的描述可以知,驱动薄膜晶体管 DTFT 的第一极与驱动薄膜晶体管 DTFT 的第二极之间经过的电流  $I_d$  与驱动薄膜晶体管的阈值电压  $V_{th,DTFT}$  无关。因此,驱动薄膜晶体管 DTFT 的阈值电压  $V_{th,DTFT}$  的漂移不会对驱动薄膜晶体管 DTFT 输出的电流(即,该驱动薄膜晶体管 DTFT 的漏极电流)产生影响,发光二极管 OLED 的亮度不会受到影响。

[0054] 优选地,所述像素电路还可以包括第二电容 C2,该第二电容 C2 的第一端与第一电容 C1 的第二端连接,第二电容 C2 的第二端通过驱动控制单元 10 与数据线 DATA 电连接。

[0055] 在数据写入阶段(即图 3 所示 t2 阶段),数据线 DATA 通过驱动控制单元 10 向第二电容 C2 充电。在发光二极管 OLED 发光阶段(即图 3 所示 t3 阶段),第二电容 C2 将驱动薄膜晶体管 DTFT 的栅极与数据线 DATA 隔断,从而可以防止漏电。

[0056] 为了进一步防止在发光二极管 OLED 发光阶段(t3 阶段)驱动薄膜晶体管 DTFT 的栅极漏电,优选地,如图 2 所示,驱动控制单元 10 还可以包括第一驱动控制晶体管 T1。

[0057] 第一驱动控制晶体管 T1 的栅极与栅线 GATE 连接,第一驱动控制晶体管 T1 的第一极(第一驱动控制晶体管 T1 的源极和漏极中的一个)与数据线 DATA 连接,所述第一驱动控制晶体管 T1 的第二极(第一驱动控制晶体管 T1 的源极和漏极中的另一个)与所述第二电容

C2 的第二端连接。

[0058] 在数据写入阶段(即图 3 所示 t2 阶段),栅线 GATE 的信号和数据线 DATA 的信号有效,第一驱动控制晶体管 T1 开启(第一驱动控制晶体管 T1 的第一极和第二极导通),数据线 DATA 通过第一驱动控制晶体管 T1 向第二电容 C2 充电。在发光二极管 OLED 发光阶段(即图 3 所示 t3 阶段),第一驱动控制晶体管 T1 关闭(即,第一驱动控制晶体管 T1 的源极和漏极断开),从而可以防止驱动薄膜晶体管 DTFT 的栅极向数据线 DATA 漏电。

[0059] 为了消除第一电容 C1 和第二电容 C2 的残留电量对驱动薄膜晶体管 DTFT 的影响,优选地,所述像素电路还可以包括具有低电平的初始化单元 20。

[0060] 初始化单元 20 电连接在第一电容 C1 和第二电容 C2 公共端一侧,第一电容 C1 的第二端和第二电容 C2 的第一端为公共端。在进行数据写入阶段(即图 3 所示 t2 阶段)之前,可以先进行初始化阶段(即图 3 中的 t1 阶段),通过初始化单元 20 对第一电容 C1 和第二电容 C2 进行放电,完成所述像素电路的初始化。

[0061] 具体地,如图 2 所示,初始化单元 20 可以包括初始化晶体管 T3,该初始化晶体管 T3 的第一极(初始化晶体管 T3 的源极与漏极中的一个)连接在第一电容 C1 的第二端和第二电容 C2 的第一端之间,初始化晶体管 T3 的第二极(初始化晶体管 T3 的源极与漏极中的另一个)与低电平输入端 REF(该低电平输入端 REF 可以提供所述低电平)连接,初始化晶体管 T3 的栅极与复位信号输入端 RESET 相连。在初始化阶段(t1 阶段),复位信号输入端 RESET 输入的复位信号有效,初始化晶体管 T3 导通,从而对第一电容 C1 和第二电容 C2 进行放电,完成像素状态的初始化。

[0062] 作为本发明的一种实施方式,优选地,如图 2 所示,驱动控制单元 10 还可以包括第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6。

[0063] 第二驱动控制晶体管 T2 的栅极与栅线 GATE 连接,第二驱动控制晶体管 T2 的第一极(第二驱动控制晶体管 T2 的源极和漏极中的一个)与驱动薄膜晶体管 DTFT 的第二极连接,第二驱动控制晶体管 T2 的第二极(第二驱动控制晶体管 T2 的源极和漏极中的另一个)与驱动薄膜晶体管 DTFT 的栅极电连接,第三驱动控制晶体管 T6 的栅极与栅线 GATE 连接,第三驱动控制晶体管 T6 的第一极(第三驱动控制晶体管 T6 的源极和漏极中的一个)与第一电容 C1 的第一端连接,第三驱动控制晶体管 T6 的第二极(第三驱动控制晶体管 T6 的源极和漏极中的另一个)与驱动薄膜晶体管 DTFT 的第一极连接。

[0064] 在数据写入阶段(即图 3 所示 t2 阶段),栅线 GATE 和数据线 DATA 的信号有效,第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6 开启,使驱动薄膜晶体管 DTFT 形成二极管连接。在初始化阶段(即图 3 所示 t1 阶段)和发光二极管 OLED 发光阶段(t3)阶段,第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6 关闭。

[0065] 如上所述,发光二极管 OLED 串联在驱动电源的低电平输入端 ELVSS 和高电平输入端 ELVDD 之间,并且驱动薄膜晶体管 DTFT 的第一极和第二极也串联在驱动电源的低电平输入端 ELVSS 和高电平输入端 ELVDD 之间,在驱动薄膜晶体管 DTFT 开启时,电流可以从驱动电源的高电平输入端 ELVDD 流向驱动电源的低电平输入端 ELVSS,从而流经发光二极管 OLED,使发光二极管 OLED 发光。

[0066] 为了便于控制发光二极管 OLED,通常,如图 2 所示,所述像素电路还包括发光控制单元 20,该发光控制单元 20 与发光控制线 EM 连接,发光控制单元 20 可以根据发光控制线

EM给出的信号将驱动电源的高电平输入端 ELVDD 与驱动薄膜晶体管 DTFT 的第一极导通,和 / 或将所述驱动电源低电平输入 ELVSS 端与所述驱动薄膜晶体管 DTFT 的第二极导通。

[0067] 在发光二极管 OLED 发光阶段(即图 3 所示 t3 阶段),只有发光控制线 EM 的信号有效,此时,驱动薄膜晶体管 DTFT 与栅线 GATE 和数据线 DATA 都是断开的。而第一电容 C1 保持了驱动薄膜晶体管 DTFT 的栅极电压,因此,驱动薄膜晶体管 DTFT 是开启状态。并且,由于发光控制线 EM 的信号有效,因此,驱动电源提供的电流可以从高电平输入端 ELVDD 流向低电平输入端 ELVSS,从而使发光二极管 OLED 发光。

[0068] 在发光二极管 OLED 发光阶段(即图 3 所示 t3 阶段)之外的其他阶段,驱动电源的高电平输入端 ELVDD 与驱动电源的低电平输入端 ELVSS 是断开的,发光二极管 OLED 不发光。

[0069] 作为本发明的一种实施方式,如图 2 所示,发光控制单元 20 可以包括第一发光控制晶体管 T5 和第二发光控制晶体管 T4,第一发光控制晶体管 T5 的栅极与发光控制线 EM 连接,第一发光控制晶体管 T5 的第一极(第一发光控制晶体管 T5 的源极和漏极中的一个)与驱动薄膜晶体管 DTFT 的第一极连接,第一发光控制晶体管 T5 的第二极(第一发光控制晶体管 T5 的源极和漏极中的另一个)与驱动电源的高电平输入端 ELVDD 连接,第二发光控制晶体管 T4 的栅极与发光控制线 EM 连接,第二发光控制晶体管 T4 的第一极(第二发光控制晶体管 T4 的源极和漏极中的一个)与驱动薄膜晶体管 DTFT 的第二极连接,第二发光控制晶体管 T4 的第二极(第二发光控制晶体管 T4 的源极和漏极中的另一个)与发光二极管 OLED 的阳极连接,发光二极管 OLED 的阴极与驱动电源的低电平输入端 ELVSS 连接。

[0070] 在本发明中,发光二极管 OLED 还可以串联在第一发光控制晶体管 T5 的第一极与驱动薄膜晶体管 DTFT 的第一极之间。

[0071] 在发光控制线 EM 的信号有效的情况下,第一发光控制晶体管 T5 和第二发光控制晶体管 T4 均开启,电流可以从所述驱动电源的高电平输入端 ELVDD 流向所述驱动电源的低电平输入端 ELVSS,从而可以使发光二极管 OLED 发光。

[0072] 在发光二极管 OLED 发光阶段(即图 3 所示 t3 阶段)之外的其他阶段(即图 3 所示 t1 阶段、t2 阶段)第一发光二极管 T5 关闭,驱动电源的高电平输入端 ELVDD 与驱动薄膜晶体管 DTFT 断开,从而可以避免驱动电源的高电平输入端 ELVDD 的高电平对驱动薄膜晶体管 DTFT 的第一极的电位造成影响。

[0073] 在数据写入阶段(即图 3 所示 t2 阶段),由于驱动薄膜晶体管 DTFT 的栅极与驱动薄膜晶体管的第二极导通,此时的驱动薄膜晶体管 DTFT 实际上形成了一个处于临界导通状态的二极管,第二发光二极管 T4 关闭,从而可以避免驱动薄膜晶体管 DTFT 的漏电流向发光二极管 OLED。

[0074] 在本发明中,对驱动薄膜晶体管 DTFT、第一驱动控制晶体管 T1、第二驱动控制晶体管 T2、第三驱动控制晶体管 T6、初始化晶体管 T3、第一发光控制晶体管 T5 和第二发光控制晶体管 T4 的类型不作具体要求。但是,第一驱动控制晶体管 T1、第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6 的类型应当相同(均为 P 型或均为 N 型),第一发光控制晶体管 T5 和第二发光控制晶体管 T4 的类型应当相同(均为 P 型或均为 N 型)。

[0075] 在本发明的图 2 所示的实施方式中,驱动薄膜晶体管 DTFT、第一驱动控制晶体管 T1、第二驱动控制晶体管 T2、第三驱动控制晶体管 T6、初始化晶体管 T3、第一发光控制晶体

管 T5 和第二发光控制晶体管 T4 均为 P 型晶体管。栅线 GATE、数据线 DATA 以及发光控制线 EM 的低电平信号为有效信号。

[0076] 下面结合图 2、图 4 至图 6 介绍本发明的一种实施方式的工作原理。

[0077] 图 4 所示的是当图 2 中的像素电路处于初始化阶段(即图 3 所示 t1 阶段)时的等效电路图,实线部分代表通电的部分,虚线的部分代表不通电的部分。

[0078] 在初始化阶段,复位信号输入端 RESET 向初始化晶体管 T3 提供有效信号,使初始化晶体管 T3 开启,使第一电容 C1 和第二电容 C2 中残余的电量流向低电平输入端 REF,此时,驱动薄膜晶体管 DTFT 的栅极电压为低电平输入端 REF 提供的电压  $V_{ref}$ ,第二电容 C2 的第一端的电压为低电平输入端 REF 的电压  $V_{ref}$ 。

[0079] 图 5 所示的是当图 2 中的像素电路处于数据写入阶段(即图 3 所示 t2 阶段)时的等效电路图,与图 4 中一样,实线部分代表通电的部分,虚线的部分代表不通电的部分。

[0080] 在数据写入阶段(即图 3 所示 t2 阶段),复位信号输入端 RESET 输入的信号跳变为高电平,初始化晶体管 T3 关闭,第一电容 C1 保持低电平输入端 REF 的电压  $V_{ref}$ 。同时栅线 GATE 信号有效,第一驱动控制晶体管 T1 开启,数据线 DATA 将显示数据信号写入所述像素电路,此时,第二电容 C2 第一端侧 N1 节点处电压为数据线 DATA 的电压  $V_{data}$  与低电平输入端 REF 的电压  $V_{ref}$  之和(即,  $V_{data}+V_{ref}$ )。同时,由于栅线 GATE 信号有效,第二驱动控制晶体管 T2 开启,此时驱动薄膜晶体管 DTFT 的栅极端和驱动薄膜晶体管 DTFT 的第二极导通,此时的驱动薄膜晶体管 DTFT 实际上形成了一个处于临界导通状态的二极管,驱动薄膜晶体管 DTFT 的阈值电压  $V_{th,DTFT}$  被第一电容 C1 记录并保持。此时,驱动薄膜晶体管的栅极电压为  $(V_{data}+V_{ref}-V_{th,DTFT})$ ,且由第一电容 C1 存储。

[0081] 在数据写入阶段(即图 3 所示 t2 阶段),发光控制线 EM 为高电平,第二发光控制二极管 T4 关闭,将数据写入像素这一动作并不会对发光二极管 OLED 的发光状态产生影响,避免了显示的闪烁。同时发光控制线 EM 为高电平保证了第一发光控制二极管 T5 关闭,确保此时驱动薄膜晶体管 DTFT 与驱动电源的高电平输入端 ELVDD 断开,避免了由于驱动薄膜晶体管 DTFT 的漏电对驱动薄膜晶体管 DTFT 的栅极电压造成不良影响。另一方面,栅线 GATE 信号有效,第三驱动控制晶体管 T6 开启,避免了驱动薄膜晶体管 DTFT 的第一极悬空,并且第三驱动控制晶体管 T6 可以将驱动薄膜晶体管 DTFT 的栅极电压引至驱动薄膜晶体管 DTFT 的第一极,即使驱动薄膜晶体管 DTFT 存在漏电现象,也不会对驱动薄膜晶体管 DTFT 的栅极电压造成影响。

[0082] 图 6 所示的是当图 2 中的像素电路处于发光二极管 OLED 发光阶段(即图 3 所示 t3 阶段)时的等效电路图,与图 4 和图 5 中一样,实线部分代表通电的部分,虚线的部分代表不通电的部分。

[0083] 栅线 GATE 信号跳变为高电平,第一驱动控制晶体管 T1、第二驱动控制晶体管 T2 和第三驱动控制晶体管 T3 关闭,驱动薄膜晶体管的栅极电压  $(V_{data}+V_{ref}-V_{th,DTFT})$  由第一电容 C1 保持,该电压确保驱动薄膜晶体管工作在饱和区,则此时,驱动薄膜晶体管 DTFT 的输出电流  $I_d$  为:

$$[0084] \quad I_d = \frac{1}{2} \mu C_{ox} (W/L) (V_{gs,DTFT} - |V_{th}|)^2$$

$$[0085] \quad = \frac{1}{2} \mu C_{ox} (W/L) [V_{dd} - (V_{data} + V_{ref} - V_{th}) - V_{th}]^2$$

$$[0086] \quad = \frac{1}{2} \mu C_{ox} (W/L) (V_{dd} - V_{data} - V_{ref})^2$$

[0087] 由此可知,驱动薄膜晶体管 DTFT 的第一极与驱动薄膜晶体管 DTFT 的第二极之间的电流  $I_d$  与驱动薄膜二极管的阈值电压  $V_{th,DTFT}$  无关。因此,驱动薄膜晶体管 DTFT 的阈值电压  $V_{th,DTFT}$  的漂移不会对驱动薄膜晶体管 DTFT 输出的电流(即,该驱动薄膜晶体管 DTFT 的漏极电流)产生影响,发光二极管 OLED 的亮度不会受到影响。

[0088] 同时,在发光二极管 OLED 发光阶段,第二发光控制晶体管 T4 开启,电流  $I_d$  经第二发光控制晶体管 T4 流入发光二极管 OLED,点亮显示。

[0089] 另外,初始化单元 30 的低电平可以接地。如果驱动电源的高电平输入端 ELVDD 有导线电阻或寄生电阻引起的电压降,则可以对初始化单元 30 的低电平进行调整,使其可以与导线电阻或寄生电阻引起的电压降相互抵消。在这种情况下,所述像素电路还可以补偿驱动电源的导线电阻或寄生电阻引起的电压降,从而避免因导线电阻或寄生电阻引起的电压降而造成的电流  $I_d$  的波动。

[0090] 作为本发明的另一个方面,还提供一种有机发光显示器,其中,该有机发光显示器包括本发明所提供的上述像素电路。由于所述像素电路可以输出均匀的电流,使像素电路中的发光二极管亮度均匀,所以包括所述像素电路的有机发光显示器可以具有均匀的显示亮度。

[0091] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

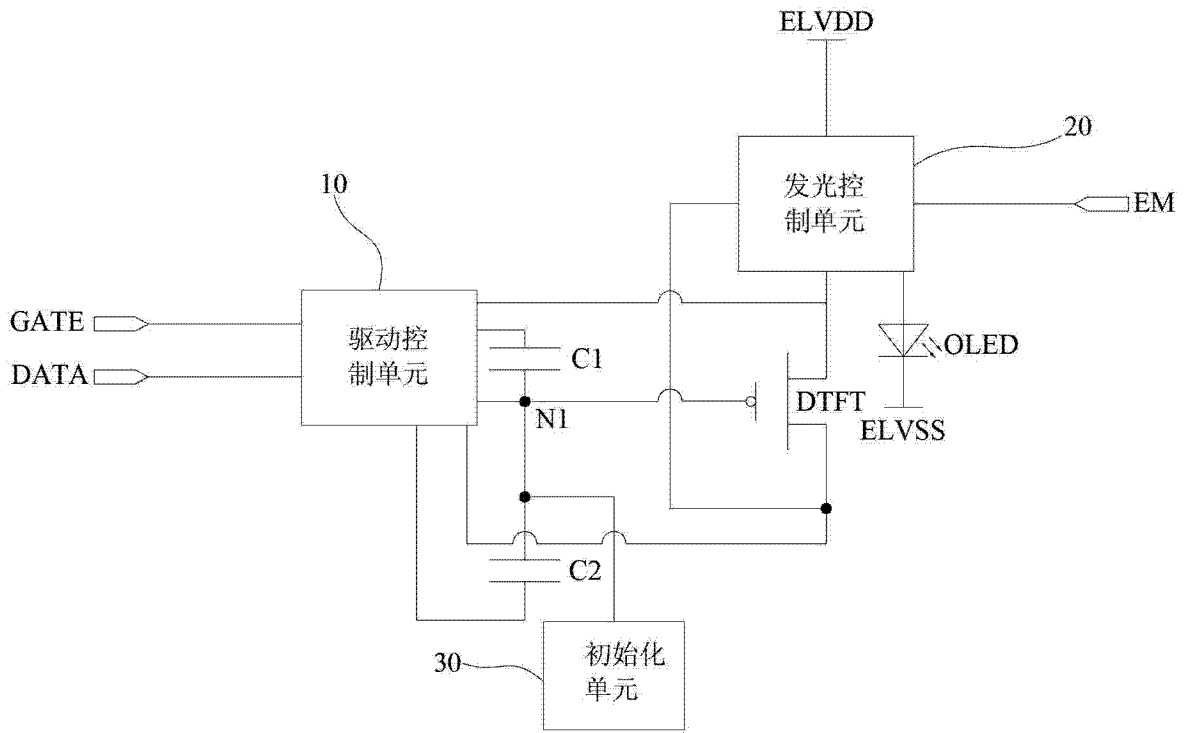


图 1

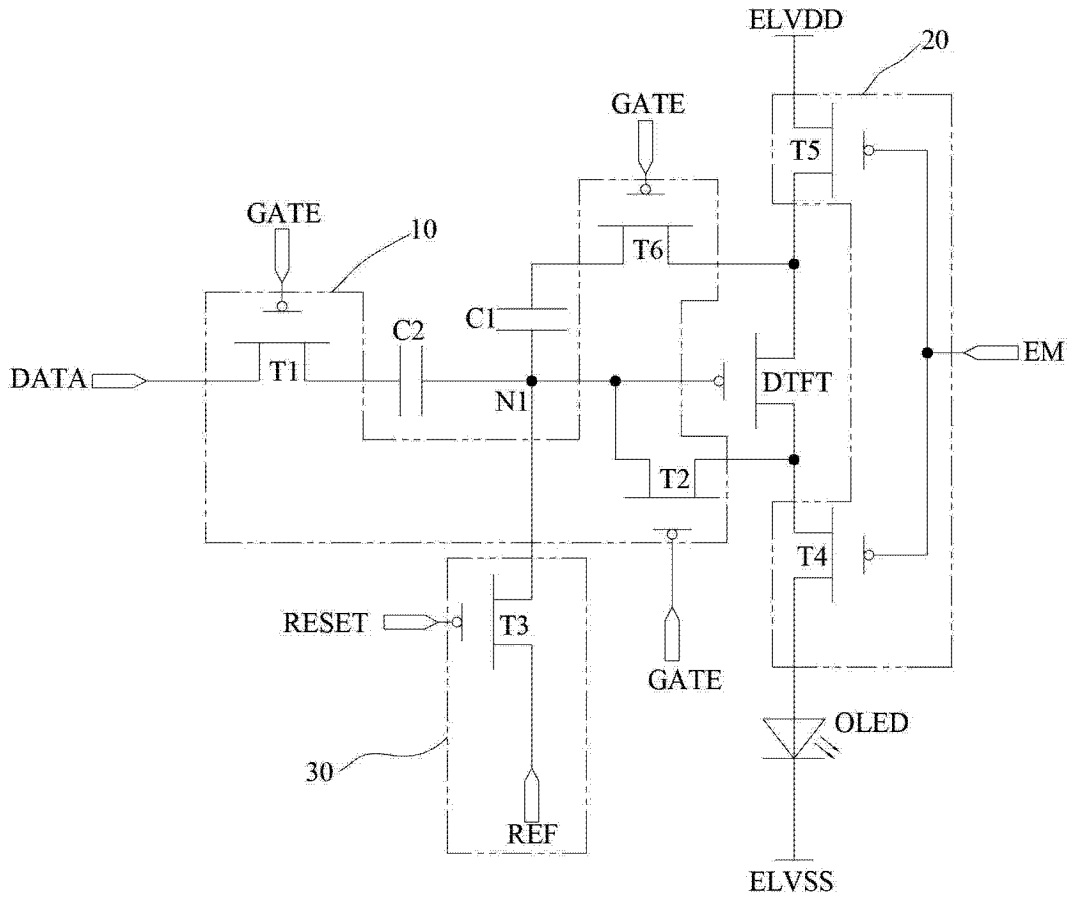


图 2

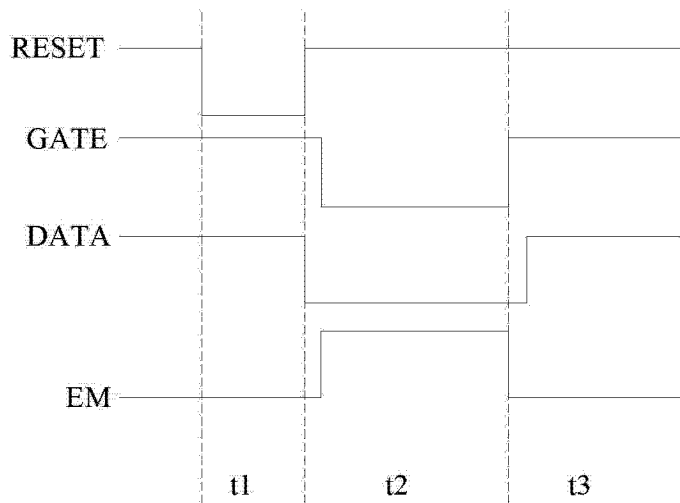


图 3

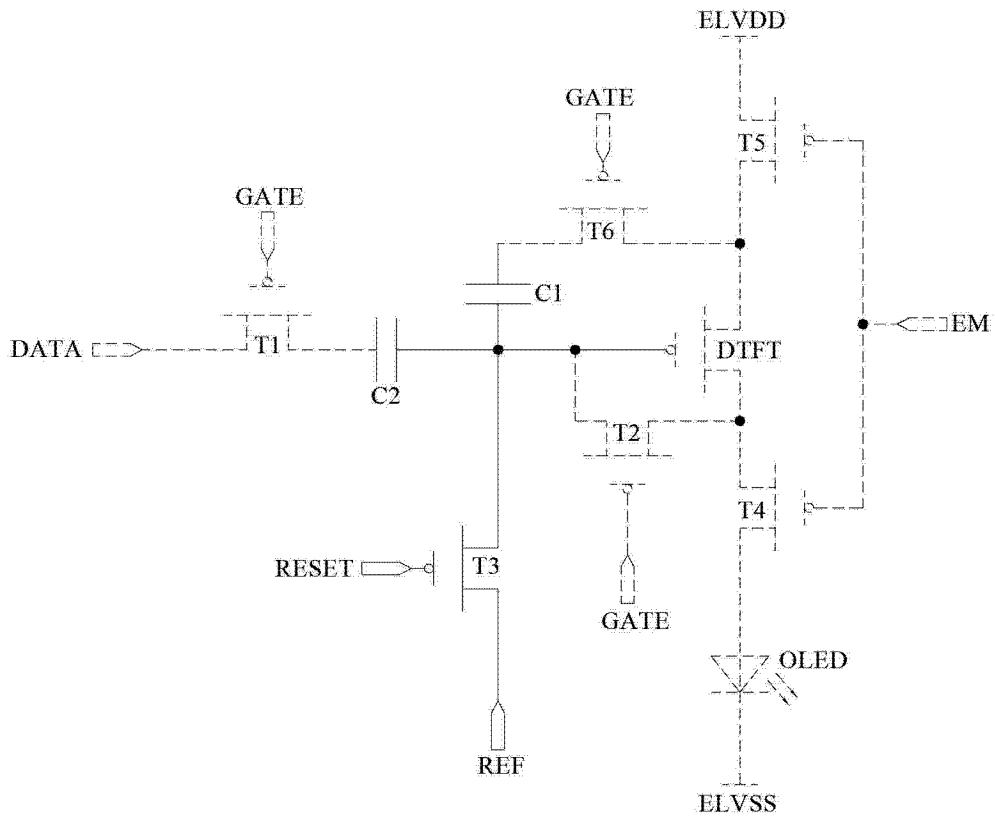


图 4



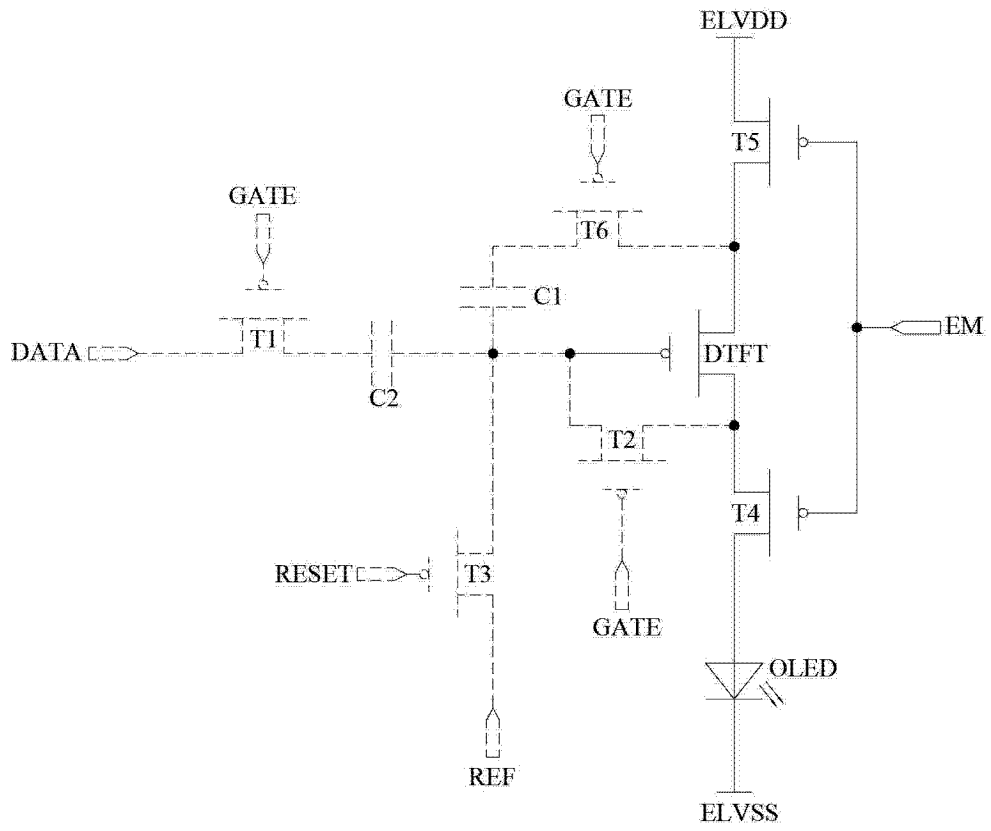


图 6

专利名称(译)	像素电路和有机发光显示器		
公开(公告)号	<a href="#">CN103226931B</a>	公开(公告)日	2015-09-09
申请号	CN201310153391.6	申请日	2013-04-27
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	王颖		
发明人	王颖		
IPC分类号	G09G3/32		
CPC分类号	G09G2320/043 G09G2320/0233 G09G3/3208 G09G2300/0819 G09G2300/0866 G09G2300/0852 G09G2300/0861 G09G3/3233 G09G2310/0251		
代理人(译)	陈源		
审查员(译)	李小艳		
其他公开文献	CN103226931A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

像素电路和有机发光显示器。本发明提供一种像素电路，该像素电路包括驱动薄膜晶体管和发光二极管，该发光二极管串联在驱动电源的低电平输入端和高电平输入端之间，其中，像素电路还包括第一电容和驱动控制单元，第一电容的第一端通过驱动控制单元与驱动薄膜晶体管的第一极电连接，第一电容的第二端与驱动薄膜晶体管的栅极连接，驱动薄膜晶体管的第二极和驱动薄膜晶体管的栅极通过驱动控制单元电连接，驱动控制单元与栅线和数据线连接。本发明还提供一种有机发光显示器。像素电路可以输出均匀的电流，从而使像素电路中的发光二极管亮度均匀，进而使得包括像素电路的有机发光显示显示亮度均匀。

