



(12) 发明专利申请

(10) 申请公布号 CN 102867839 A

(43) 申请公布日 2013. 01. 09

(21) 申请号 201110453864. 5

(22) 申请日 2011. 12. 30

(30) 优先权数据

10-2011-0067499 2011. 07. 07 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 崔熙东 田承峻

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 孙海龙

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 51/56(2006. 01)

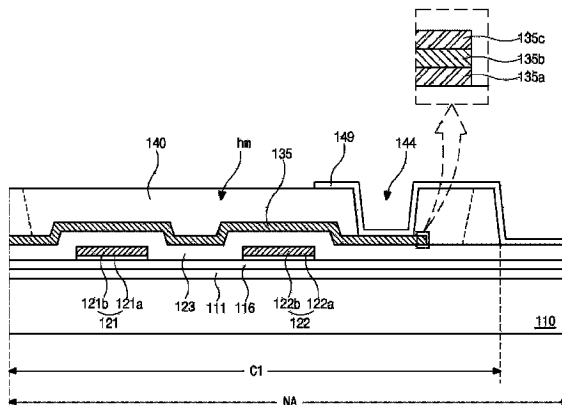
权利要求书 3 页 说明书 8 页 附图 17 页

(54) 发明名称

有机电致发光显示装置的阵列基板及其制造方法

(57) 摘要

本发明涉及有机电致发光显示装置的阵列基板及其制造方法。该阵列基板包括：基板，其包括显示区域和非显示区域；选通线和数据线；薄膜晶体管，其包括多晶硅的半导体层、栅绝缘层、栅极、中间绝缘层、源极、以及漏极；多条辅助线，其由相同的材料形成并在与所述数据线相同的层上；钝化层，其为有机绝缘材料并包括露出漏极的漏接触孔、露出辅助线中的一条辅助线的辅助线接触孔；以及第一电极和线连接图案，其在所述钝化层上，其中所述第一电极接触所述漏极而所述线连接图案连接所述第一辅助图案中的一个。



1. 一种用于有机电致发光显示装置的阵列基板,所述阵列基板包括:
基板,所述基板包括显示区域和非显示区域,其中所述显示区域包括像素区域,所述非显示区域包括电源区域;
选通线和数据线,所述选通线和数据线之间具有中间绝缘层,并且彼此交叉以限定所述像素区域;
薄膜晶体管,所述薄膜晶体管在所述像素区域的驱动区域中并包括多晶硅的半导体层、栅绝缘层、栅极、所述中间绝缘层、源极、以及漏极;
多条辅助线,所述多条辅助线在所述电源区域中,由与所述数据线相同的材料形成,并在与所述数据线相同的层上;
钝化层,所述钝化层被布置在所述薄膜晶体管上并由有机绝缘材料形成,其中所述钝化层具有露出所述漏极的漏接触孔和露出所述电源区域中的所述多条辅助线中的一条辅助线的辅助线接触孔,其中所述钝化层覆盖所述多条辅助线中的所述一条辅助线的端部和/或两侧;以及
第一电极和线连接图案,所述第一电极和线连接图案分别在所述像素区域中和所述电源区域中的所述钝化层上,其中所述第一电极接触所述漏极而所述线连接图案接触所述多条辅助线中的所述一条辅助线。
2. 根据权利要求1所述的阵列基板,所述阵列基板还包括:岸,所述岸与所述第一电极的边缘交叠;以及间隔体,所述间隔体被选择性地形成在所述岸上。
3. 根据权利要求1所述的阵列基板,其中所述钝化层具有露出所述中间绝缘层和所述多条辅助线中的另一条辅助线的凹槽;其中密封图案或釉图案填入所述凹槽并接触所述凹槽两侧的所述钝化层。
4. 根据权利要求1所述的阵列基板,其中所述钝化层包括感光丙烯或苯丙环丁烯中的一种。
5. 根据权利要求1所述的阵列基板,所述阵列基板还包括:
第一存储电极,所述第一存储电极由掺入了杂质的多晶硅形成,并与所述半导体层在相同的层上;
第二存储电极,所述第二存储电极被形成在所述栅绝缘层上、所述第一存储电极上方;以及
第三存储电极,所述第三存储电极被形成在所述中间绝缘层上、所述第二存储电极上方。
6. 根据权利要求1所述的阵列基板,其中所述半导体层包括:第一区域,所述第一区域对应于中心部分;以及第二区域,所述第二区域在所述第一区域的两侧,其中所述第二区域中包含杂质。
7. 根据权利要求1所述的阵列基板,所述阵列基板还包括电源线,所述电源线与所述数据线相间隔并与所述数据线相互平行。
8. 根据权利要求1所述的阵列基板,所述阵列基板还包括缓冲层,所述缓冲层在所述半导体层和整个所述基板之间。
9. 根据权利要求1所述的阵列基板,其中所述辅助线和所述数据线各具有三层结构,所述三层结构包括第一层、第二层和第三层,其中所述第一层和第三层包括钛、钼以及钛钼

合金中的一种,而所述第二层包括铝、例如铝钨的铝合金、铜、以及铜合金中的一种。

10. 根据权利要求 1 所述的阵列基板,其中各所述辅助线包括 Vcc 信号线、Vdd 信号线、Vgh 信号线、Vg1 信号线或 Vref 信号线。

11. 一种制造用于有机电致发光显示装置的阵列基板的方法,所述方法包括以下步骤:

制备基板,所述基板包括显示区域和非显示区域,其中所述显示区域包括像素区域而所述非显示区域包括电源区域;

形成选通线和数据线,所述选通线和所述数据线之间具有中间绝缘层,所述选通线和所述数据线彼此交叉以限定所述像素区域;

在所述像素区域的驱动区域中形成薄膜晶体管,所述薄膜晶体管包括多晶硅的半导体层、栅绝缘层、栅极、所述中间绝缘层、源极、以及漏极;

形成多条辅助线,所述辅助线在所述电源区域中,由与所述数据线相同的材料形成,并与所述数据线在相同的层上;

在所述薄膜晶体管上形成有机绝缘材料的钝化层,其中所述钝化层具有露出所述漏极的漏接触孔和露出所述电源区域中所述多条辅助线中的一条辅助线的辅助线接触孔,其中所述钝化层覆盖所述多条辅助线中的所述一条辅助线的端部和 / 或两侧;以及

形成第一电极和线连接图案,所述第一电极和线连接图案分别在所述像素区域中的所述钝化层上和和在所述电源区域中的所述钝化层上,其中所述第一电极接触所述漏极而所述线连接图案接触所述多条辅助线中的所述一条辅助线。

12. 根据权利要求 11 所述的方法,所述方法还包括以下步骤:形成与所述第一电极的边缘交叠的岸;以及选择性地在所述岸上形成间隔体。

13. 根据权利要求 12 所述的方法,其中形成所述岸和形成所述间隔体的所述步骤通过使用掩模的一个掩模工艺实现,所述掩模包括阻光部、透光部以及半透光部。

14. 根据权利要求 11 所述的方法,其中形成所述钝化层包括形成露出所述中间绝缘层和所述多条辅助线中的另一条辅助线的凹槽。

15. 根据权利要求 14 所述的方法,所述方法还包括形成填入所述凹槽并接触所述凹槽两侧的所述钝化层的密封图案或釉图案的步骤。

16. 根据权利要求 11 所述的方法,所述方法还包括以下步骤:

形成掺入有杂质的多晶硅并与所述半导体层在相同的层上的第一存储电极;

在所述栅绝缘层上所述第一存储电极上方形成第二存储电极;以及

在所述中间绝缘层上所述第二存储电极上方形成第三存储电极。

17. 根据权利要求 16 所述的方法,其中,形成所述薄膜晶体管的步骤包括:

在所述基板上形成非晶硅层;

通过晶化所述非晶硅层形成多晶硅层;

通过对所述多晶硅进行构图来形成所述半导体层和半导体图案;

在所述半导体层和所述半导体图案上形成所述栅绝缘层;

在所述栅绝缘层上形成对应于所述半导体层中心部分的所述栅极和对应于所述半导体图案的所述第二存储电极;

利用所述栅极作为掺杂掩模,通过在所述半导体层和所述半导体图案中掺入杂质来形

成欧姆接触层和所述第一存储电极；

在所述栅极和所述第二存储电极上形成中间绝缘层，所述中间绝缘层具有露出所述欧姆接触层的半导体接触孔；

在所述中间绝缘层上形成所述源极和所述漏极以及所述第三存储电极，所述源极和所述漏极分别接触所述欧姆接触层。

18. 根据权利要求 11 所述的方法，所述方法还包括在所述中间绝缘层上形成电源线的步骤，所述电源线与所述数据线相间隔开，并与所述数据线平行。

19. 根据权利要求 11 所述的方法，所述方法还包括在所述半导体层和整个所述基板之间形成缓冲层的步骤。

20. 根据权利要求 11 所述的方法，其中各所述辅助线和所述数据线具有三层结构，所述三层结构包括第一层、第二层和第三层，其中所述第一层和所述第三层包括钛、钼以及钼钛中的一种，而所述第二层包括铝、诸如铝钽的铝合金、铜、以及铜合金中的一种。

有机电致发光显示装置的阵列基板及其制造方法

技术领域

[0001] 本发明涉及一种有机电致发光显示装置的阵列基板,更具体地说,涉及一种包括以多晶硅作为半导体层的薄膜晶体管的阵列基板及其制造方法。

背景技术

[0002] 随着信息技术的快速发展,迅速开发了用于显示大量信息的显示装置。近来,提出并积极开发了具有侧面薄、重量轻和低功耗特点的平板显示装置(FPD)。

[0003] 其中,有机电致发光显示装置最近因其诸多优点而被关注,这些优点有:有机电致发光显示装置具有较高的亮度和较低的驱动电压;由于有机电致发光显示装置是自发光的,其具有极好的对比度和极薄的厚度;有机电致发光显示装置具有几毫秒的响应时间,从而在显示运动图像时有优势;有机电致发光显示装置视角宽并在低温下保持稳定;由于有机电致发光显示装置在低直流电压(DC)5V至15V下被驱动,因而设计和制造驱动电路十分容易;以及由于基本仅需要沉积和封装装置,有机电致发光显示装置的制造过程很简单。在有机电致发光显示装置中,有源矩阵型显示装置被广泛地应用。

[0004] 有机电致发光显示装置包括阵列基板,在其上形成有用于打开/关闭各像素区域的薄膜晶体管。薄膜晶体管可以以多晶硅作为半导体层。通常,制造包括多晶硅薄膜晶体管的有机电致发光显示装置的阵列基板通过以下10个掩模工艺制造:形成多晶硅的半导体层;形成第一存储电极;形成栅极;形成有半导体接触孔的中间绝缘层;形成源极和漏极;形成无机绝缘材料的第一钝化层;形成有机绝缘材料的第二钝化层;形成阳极;形成岸(bank);以及形成间隔体。

[0005] 在基板上形成材料层后,掩模工艺包括以下步骤:在材料层上形成光刻胶层;通过感光掩模将光刻胶层曝光;显影经曝光的光刻胶层来形成光刻胶图案;使用光刻胶图案作为掩模刻蚀材料层;以及剥离光刻胶图案。

[0006] 因此,为了完成一个掩模工艺,需要进行各步骤的设备和材料,还需要进行各步骤的时间。在制造有机电致发光显示装置时,进行为减少掩模工艺的实验和努力来减少制造成本并提高生产率。提出一种跳过第一和第二钝化层中的一个的方法,但在这种情况下,信号线或连接图案之间可能断开。

发明内容

[0007] 一种有机电致发光显示装置的阵列基板包括:基板,其包括显示区域和非显示区域,其中所述显示区域包括像素区域,所述非显示区域包括电源区域;选通线和数据线,其具有中间绝缘层并且彼此交叉以限定像素区域;薄膜晶体管,其形成于所述像素区域的驱动区域并包括多晶硅的半导体层、栅绝缘层、栅极、所述中间绝缘层、源极、以及漏极;辅助线,其在所述电源区域中由与所述数据线相同的材料形成并在与其相同的层上;钝化层,其设置在所述薄膜晶体管上并由有机绝缘材料形成,其中所述钝化层具有露出所述漏极的漏接触孔和露出所述电源区域中的所述辅助线中一个的辅助线接触孔,所述钝化层覆

盖所述多条辅助线中的所述一条辅助线的端部和 / 或两侧 ; 以及第一电极和线连接图案, 其分别在所述像素区域中和所述电源区域中形成在所述钝化层上, 其中所述第一电极接触所述漏极而所述线连接图案接触所述第一辅助构图中的一个。

[0008] 另一方面, 一种制造有机电致发光显示装置的阵列基板的方法包括 : 制备基板, 所述基板包括显示区域和非显示区域, 其中所述显示区域包括像素区域, 所述非显示区域包括电源区域 ; 形成选通线和数据线, 它们之间具有中间绝缘层, 所述选通线和所述数据线在所述像素区域中彼此交叉 ; 在所述像素区域的驱动区域中形成薄膜晶体管, 所述薄膜晶体管包括多晶硅的半导体层、栅绝缘层、栅极、所述中间绝缘层、源极、以及漏极 ; 形成辅助线, 其在所述电源区域中, 由与所述数据线相同的材料形成, 并与所述数据线在相同的层上 ; 在所述薄膜晶体管上形成有机绝缘材料的钝化层, 其中所述钝化层具有露出所述漏极的漏接触孔和露出所述电源区域中所述辅助线中的一个的辅助线接触孔, 其中所述钝化层具有露出所述中间绝缘层和另一个所述辅助线的凹槽 ; 以及形成第一电极和线连接图案, 它们分别在所述像素区域中和所述电源区域中形成在所述钝化层上, 其中所述第一电极接触所述漏极而所述线连接图案连接所述第一辅助图案中的一个。

[0009] 应当理解的是, 前面的一般描述和后面的具体描述都是示例性和解释性的, 并旨在对所要求保护的本发明提供进一步的解释。

附图说明

[0010] 附图被包括进来以提供对本发明的进一步理解, 并结合到本申请中且构成本申请的一部分, 这些附图例示了本发明的实施方式, 并与说明书一起用于解释本发明的原理。

[0011] 图 1A 至图 1M 是示出了根据本发明的第一实施方式的有机电致发光显示装置的阵列基板的像素区域的按制造步骤的截面图 ;

[0012] 图 2A 至图 2M 是示出了根据本发明的第一实施方式的有机电致发光显示装置的阵列基板的非显示区域的按制造步骤的截面图 ;

[0013] 图 3 是示出了根据比较示例的有机电致发光显示装置的阵列基板的非显示区域的截面图 ;

[0014] 图 4A 至图 4B 是示出了根据本发明的第二实施方式的有机电致发光显示装置的阵列基板的像素区域的按制造步骤的截面图 ;

[0015] 图 5 是示出了根据本发明的示例性实施方式的有机电致发光显示装置的阵列基板的非显示区中的凹槽的截面图。

具体实施方式

[0016] 现在将详细描述本发明的实施方式, 在附图中例示了本发明的优选实施方式的示例。

[0017] 图 1A 至图 1M 是示出了根据本发明的第一实施方式的有机电致发光显示装置的阵列基板的像素区域的按制造步骤的截面图。图 2A 至图 2M 是示出了根据本发明的第一实施方式的有机电致发光显示装置的阵列基板的非显示区域的按制造步骤的截面图。为了便于解释, 在各像素区域 P 中, 将形成薄膜晶体管的区域定义为驱动区域 DA, 并将形成存储电容的区域定义为存储区域 StgA。

[0018] 驱动区域 DA 中的薄膜晶体管起到与有机发光二极管连接的驱动薄膜晶体管的作用,并且虽然图中没有示出,但是形成了与驱动薄膜晶体管的结构相同的开关薄膜晶体管并将其连接到选通线和数据线。

[0019] 在图 1A 和图 2A 中,通过沉积无机绝缘材料(例如硅的氮化物(SiNx)或氧化硅(SiO₂))在基板 110 上形成缓冲层 111。当将非晶硅晶化成为多晶硅时,由激光照射或热处理生成的热会导致基板 110 中的碱离子(例如钾离子(K⁺)或钠离子(Na⁺))扩散。缓冲层 111 避免了多晶硅的半导体层因碱离子劣化。缓冲层 111 可以依基板 110 的材料而被省略。

[0020] 之后,通过在缓冲层 111 上沉积非晶硅,在基板 110 的几乎全部表面上形成非晶硅层(未示出)。

[0021] 之后,通过对非晶硅层进行晶化形成多晶硅层 180,多晶硅层 180 的迁移率特性与非晶硅层对比被改善了。在非晶硅层和多晶硅层 180 中没有掺入杂质。有益的是,可以执行固相晶化(SPC)法或激光晶化法来晶化非晶硅层。

[0022] 更具体地,固相晶化法可以是在 600 摄氏度至 800 摄氏度下进行热处理的热晶化法,或者是在 600 摄氏度至 700 摄氏度下使用交变磁场设备的交变磁场晶化法。激光晶化法可以是准分子激光退火法或顺序横向凝固法。

[0023] 在图 1B 和图 2B 中,通过掩模工艺来构图图 1A 的多晶硅层 180 而分别在驱动区域 DA 和存储区域 StgA 中形成半导体层 113 和半导体图案 114,其中掩模工艺包括施加光刻胶、使用光掩模进行曝光、显影经曝光的光刻胶、刻蚀和剥离。半导体图案 114 在以后将被掺入杂质来改进导电特性,并用作第一存储电极。

[0024] 在图 1C 和图 2C 中,通过沉积无机绝缘材料(例如硅的氮化物(SiNx)或氧化硅(SiO₂))在全部半导体层 113 和半导体图案 114 上形成栅绝缘层 116。

[0025] 通过沉积透明导电材料(例如氧化铟锡(ITO)或氧化铟锡(IZO))在全部栅绝缘层 116 上形成透明导电材料层 182,然后通过沉积一个或两个或更多的电阻率相对低的金属材料(例如铝(Al)、铝合金(例如铝钕(AlNd))、铜(Cu)、铜合金、钼(Mo)、或钼钛(MoTi)合金)在透明导电材料层 182 上形成作为第一金属层的选通金属层 184。透明导电材料层 182 具有 100 埃至 500 埃的厚度。虽然在图中选通金属层 184 为单层结构,但是选通金属层 184 可以为多层结构。

[0026] 之后,通过施加光刻胶在选通金属层 184 上形成光刻胶层(未示出)。在光刻胶层上设置感光掩模(未示出),并通过感光掩模对光刻胶层进行曝光。感光掩模包括透光部、阻光部、以及半透光部。

[0027] 半透光部可以包括狭缝或多层镀层。当光线通过半透光部时,光线可以通过狭缝而被衍射,或可以通过多层镀层而被部分透射。因此,通过半透光部的光线的强度比通过透光部的光线的强度小。

[0028] 对被通过光掩模的光曝光了的光刻胶层进行显影来在选通金属层 184 上形成第一光刻胶图案 191a 和第二光刻胶图案 191b。第一光刻胶图案 191a 对应于感光掩模的透光部并且具有第一厚度。第二光刻胶图案 191b 对应于感光掩模的半透光部并且具有小于第一厚度的第二厚度。去除了对应于光掩模的阻光部的光刻胶层而露出了选通金属层 184。

[0029] 因此,在存储区域 StgA 中形成了具有第二厚度的对应于感光掩模的半透光部的第二光刻胶图案 191b。形成的具有第一厚度的第一光刻胶图案 191a 在驱动区域 DA 中与半

导体层 113 的中心部对应,在非显示区域 NA 的电源区域 C1 中与之后将形成的第一辅助线对应。第一辅助线包括公共线。虽然在图中未示出,但是形成的第一光刻胶图案 191a 还与选通线和选通连接线对应。

[0030] 在图 1D 和图 2D 中,通过顺序刻蚀和去除图 1C 的选通金属层 184 和图 1C 的透明导电材料层 182 来形成栅极 120、第二存储电极 118、伪金属图案 119、以及第一辅助线 121 和 122。栅极 120 包括透明导电材料的下层 120a 和电阻率相对较低的金属材料的上层 120b,其中下层 120a 和上层 120b 在栅绝缘层 116 上对应于半导体层 113 的中心部顺序地成层。第二存储电极 118 由透明导电材料形成,而伪金属图案 119 由金属材料形成。第二存储电极 118 和伪金属图案 119 被顺序地设置在存储区域 StgA 中。

[0031] 第一辅助线 121 和 122 以及选通连接线(未示出)被设置在非显示区域 NA 中,更具体地,被设置在电源区域 C1 中。第一辅助线 121 和 122 包括公共线。第一辅助线 121 和 122 具有透明导电材料的下层 121a 和 122a 以及电阻率相对较低的金属材料的上层 121b 和 122b。此外,选通连接线具有包括透明导电材料的下层和电阻率相对较低的金属材料的上层的多层结构。

[0032] 同时,虽然在图中未示出,但是具有多层结构的选通线被形成在显示区域中的栅绝缘层 116 上,并沿着与像素区域 P 的边界对应的方向延伸。选通线被连接到开关薄膜晶体管的栅极(未示出)。

[0033] 在图 1E 和图 2E 中,进行灰化工艺来去除具有第二厚度的图 1D 的第二光刻胶 191b,露出存储区域 StgA 中的伪金属图案 119。

[0034] 此时,第一光刻胶图案 191 也因灰化工艺而厚度减小并留在栅极 120、选通线、选通连接线、以及第一辅助线 121 和 122 上。

[0035] 在图 1F 和图 2F 中,去除因去除图 1D 的第二光刻胶图案 191b 而露出的伪金属图案 119 来露出存储区域 StgA 中透明导电材料的第二存储电极 118。

[0036] 在图 1G 和图 2G 中,进行剥离工艺来去除图 1F 和图 2F 的第一光刻胶图案 191a 并露出栅极 120、选通线(未示出)、选通连接线(未示出)以及第一辅助线 121 和 122。

[0037] 之后,利用栅极 120 掺入杂质,更具体地,利用栅极 120 的上层 120b 来作为掺杂阻止掩模。杂质可以为 p 型(例如硼(B)、镉(In)或镓(Ga)),或为 n 型(例如磷(P)、砷(As)或锑(Sb))。

[0038] 因此,将第一剂量的杂质掺入到存储区域 StgA 中图 1F 的半导体图案 114 中,而掺入有杂质的图 1F 的半导体图案 114 的电导率增加而变成了第一存储电极 115。

[0039] 此处,虽然透明导电材料的第二存储电极 118 被形成在存储区域 StgA 中,但是第二存储电极 118 具有 100 埃至 500 埃的厚度,从而通过在掺杂工艺中控制杂质的能量密度,杂质能够通过图 1F 的第二存储电极 118 到达半导体图案 114 内。

[0040] 此外,在驱动区域 DA 中,杂质被掺入到没有被栅极 120 的上层 120b 覆盖的半导体层 113 中,形成欧姆接触层 113b。半导体层 113 的中心部分因栅极 120 的上层 120b 而没有掺入杂质并仍然包括本征多晶硅。

[0041] 因此,在掺杂工艺之后,驱动区域 DA 中的半导体层 113 包括本征多晶硅的有源层 113a 和在有源层 113a 两边的、掺入有杂质的多晶硅的欧姆接触层 113b。

[0042] 同时,在存储区域 StgA 中,掺入了杂质的第一存储电极 115、栅绝缘层 116 以及第

二存储电极 118 组成了第一存储电容 StgC1。

[0043] 在图 1H 和图 2H 中,通过在栅极 120、选通线(未示出)、第二存储电极 118、选通连接线(未示出)以及第一辅助线 121 和 122 上沉积无机绝缘材料(例如氧化硅(SiO₂)或硅的氮化物(SiN_x))而形成中间绝缘层 123。

[0044] 之后,通过掩模工艺对中间绝缘层 123 与栅绝缘层 116 进行构图来形成露出半导体层 113 的欧姆接触层 113b 的半导体接触孔 125。

[0045] 之后,在图 1I 和图 2I 中,通过沉积一个或两个或更多的金属材料(例如铝(Al)、铝合金(例如铝钕(AlNd))、铜(Cu)、铜合金、钛(Ti)、钼(Mo)或钼钛(MoTi)合金)在具有半导体接触孔的中间绝缘层 123 上形成第二金属层(未示出)。例如,第二金属层可以具有钛层/铝层/钛层的三层结构。

[0046] 通过掩模工艺对第二金属层进行构图来形成数据线(未示出)和电源线(未示出)。数据线沿着像素区域 P 的另一个边界延伸并与选通线交叉来限定像素区域。电源线和数据线平行并相互间隔开。此时,在非显示区域 NA 的电源区域 C1 中形成第二辅助线 135、电源连接线(未示出)和数据连接线(未示出)。电源连接线被连接到电源线,而数据连接线被连接到数据线。例如,第二辅助线 135 可以为 Vcc 信号线、Vdd 信号线、Vgh 信号线、Vgl 信号线或 Vref 信号线。

[0047] 同时,在驱动区域 DA 中形成了源极 133 和漏极 136。源极 133 和漏极 136 被彼此间隔开并通过半导体接触孔 125 与欧姆接触层 113b 相接触。存储区域 StgA 中的中间绝缘层 123 上、第二存储电极 118 上方形成第三存储电极 134,第三存储电极 134 被连接到源极 133。在存储区域 StgA 中,第二存储电极 118、中间绝缘层 123 以及第三存储电极 134 组成了第二存储电容 StgC2。第一存储电容 StgC1 和第二存储电容 StgC2 通过第二存储电极 118 而被彼此相互并联连接,从而存储电容的总电容增加。

[0048] 在图 1J 和图 2J 中,通过施加具有感光特性的有机绝缘材料(例如感光丙烯酸或苯丙环丁烯(BCB))在源极 133 和漏极 136、数据线(未示出)、数据连接线(未示出)、电源线(未示出)、电源连接线(未示出)、第三存储电极 134 和第二辅助线 135 上形成有机绝缘材料层(未示出)。

[0049] 之后,通过掩模工艺对该有机绝缘材料层进行构图来在显示区域和非显示区域 NA 中形成钝化层 140。钝化层 140 具有漏接触孔 143 和辅助线接触孔 144。漏接触孔 143 露出驱动区域 DA 中的漏极 136。辅助线接触孔 144 露出非显示区域 NA 的电源区域 C1 中的第二辅助线 135。在非显示区域 NA 中,钝化层 140 还露出电源区域 C1 之外的中间绝缘层 123。

[0050] 此处,如虚线所示,在围绕显示区域的非显示区域 NA 的电源区域 C1 的钝化层中形成凹槽 hm。凹槽 hm 对应于将在之后形成的密封图案(未示出)或釉图案(未示出)。如图 5 所示,凹槽 hm 基本露出中间绝缘层 123 和另一条第二辅助线。换言之,凹槽 hm 可以形成在与图 2J 中辅助线接触孔 144 露出的第二辅助线 135 不同的另一条第二辅助线上。

[0051] 同时,钝化层 140 覆盖第二辅助线 135 的端部和/或侧部,第二辅助线 135 被辅助线连接孔 144 露出并将接触图 2K 的线连接图案 149,线连接图案 149 与之后形成的图 1M 的第一电极 147 的材料相同。

[0052] 形成具有凹槽 hm 的有机绝缘材料的钝化层 140,使凹槽 hm 对应于非显示区域 NA 并覆盖将接触与非显示区域 NA 的电源区域 C1 对应的图 2K 的线连接图案 149 的第二辅助

线 135 的端部 / 两侧, 改进了密封图案或釉图案的粘附度并通过将第二辅助线 135 的端部和 / 或两侧的损害最小化来防止第二辅助线 135 的端部和 / 或侧部周围的图 2K 的线连接图案 149 断开。

[0053] 换言之, 当阵列基板被附着在相对基板 (未示出) 进行密封时, 由密封图案或釉图案产生的阵列基板和相反基板之间的粘附度可以因在与非显示区域 NA 对应的钝化层 140 中形成凹槽 hm 并沿凹槽 hm 形成密封图案或釉图案而被改进。

[0054] 如果密封图案或釉图案的粘附度比较低, 当附着阵列基板和相对基板来形成显示板时, 显示板不会被维持并会变得不结实。因此, 来自外面的湿度和氧会渗入显示板, 而缩短电致发光显示装置的寿命。

[0055] 与和有机材料粘附相比, 密封图案或釉图案与无机材料能更好地粘附。因此, 由低粘附度导致的上述问题可以通过选择性地去除有机材料的钝化层 140 来形成露出的中间绝缘层 123 的凹槽 hm 并形成与被该凹槽 hm 露出的中间绝缘层 123 相接触的密封图案或釉图案而被解决。

[0056] 此时, 钝化层 140 没有被全部去除, 并且凹槽 hm 不在之后通过图 2K 的线连接图案 149 接触相邻的另一条第二辅助线或驱动单元的驱动元素 (未示出) 的第二辅助线 135 上, 而钝化层 140 完全覆盖了第二辅助线 135 的端部和 / 或侧部。代之的是, 钝化层 140 具有露出第二辅助线 135 的辅助线接触孔 144 来使图 2K 的线连接图案 149 接触第二辅助线 135。

[0057] 如果钝化层 140 具有在对应于非显示区域 NA 的电源区域 C1 的第二辅助线 135 上的凹槽 hm 从而露出第二辅助线 135, 则该第二辅助线 135 连续地暴露于例如用于对图 1M 的第一电极、图 1M 的岸 155 以及图 1M 的间隔体 160 进行构图的显影剂和 / 或蚀刻剂。

[0058] 在此情况下, 通过凹槽 hm 露出的第二辅助线 135 被暴露于显影剂和 / 或蚀刻剂并被部分刻蚀, 使得第二辅助线 135 的端部和 / 或两边被损伤。

[0059] 图 3 是示出了根据比较示例的有机电致发光显示装置的阵列基板的非显示区域的截面图。相似附图标记将被用于与第一实施方式相同或相似的部分。此处, 可能不在非显示区域的电源区域中形成钝化层 140, 或者凹槽可能被形成为对应全部电源区域。

[0060] 例如在图 3 中, 第二辅助线 235 可以具有钛层 235a、铝层 235b 和钛层 235c 的三层结构。由于第二辅助线 235 的端部和 / 或两部没有被钝化层 240 屏蔽, 因而第二辅助线 235 的端部和 / 或侧部暴露于用于形成另一个元件的显影剂或蚀刻剂。此时, 由于在金属材料之间的选择性刻蚀, 在第二辅助线 235 的端部和 / 或侧部, 铝层 235b 比钛层 235a 和 235c 刻蚀更快, 从而形成钻蚀结构, 在该结构中, 铝层 235b 的端侧比钛层 235a 和 235c 的端侧被布置得更靠内 0.2 微米至 1 微米。

[0061] 如果第二辅助线 235 在其端部和 / 或侧部具有钻蚀结构, 当导体材料的线连接图案 249 沿着第二辅助线 235 的端部和 / 或侧部被形成时, 可能会因第二辅助线 235 端部和 / 或侧部的钻蚀结构而导致连接图案 249 断开。线连接图案 249 可能不被电连接, 从而导致驱动问题。

[0062] 因此, 参照图 1J 和图 2J, 在本发明的第一实施方式中, 在有机材料的钝化层 140 在非显示区域 NA 的电源区域 C1 中具有围绕显示区域的凹槽 hm 来改进密封图案或釉图案的粘附度的同时, 钝化层 140 覆盖了将交叠并接触之后图 2K 的线连接图案 149 的第二辅助线 135 的端部和 / 或侧部。

[0063] 在图 1K 和图 2K 中,通过沉积具有相对较高的逸出功 (work function) 的透明导电材料 (例如氧化铟锡或氧化锌氧化物) 然后通过掩模工艺进行构图而在具有漏接触孔 143、凹槽 hm 以及辅助接触孔 144 的钝化层 140 上形成有机发光二极管的第一电极 147。第一电极 147 通过漏接触孔 143 接触漏极 136。

[0064] 同时,线连接图案 149 被形成在非显示区域 NA 的电源区域 C1 的钝化层 140 上。线连接图案 149 通过辅助线接触孔 144 接触第二辅助线 135。

[0065] 线连接图案 149 接触彼此相邻的两条第二辅助线 135 或接触第二辅助线 135 和驱动单元的驱动元件 (未示出),从而线连接图案 149 电连接该两条第二连接线 135 或电连接第二连接线 135 和驱动单元的驱动元件。此外,在本发明的第一实施方式中,仅第二辅助线 135 的上表面的一部分被辅助线接触孔 144 露出,而第二辅助线 135 的端部和 / 或两侧没有被露出。因此,防止了图 3 的线连接图案 249 因图 3 的第二辅助线 235 的钻蚀结构而在图 3 的第二辅助线 235 的端部和 / 或两侧附近断开。

[0066] 同时,为了改进发光效率,通过沉积具有相对较高反射率的金属材料 and 具有相对较高逸出功的导电材料并对它们进行构图,第一电极 147 可以具有包括反射率相对较高的金属材料的下层和逸出功相对较高的导电材料的上层的双层结构。具有相对较高反射率的金属材料可以包括铝 (Al)、铝合金 (例如铝钕 (AlNd))、或银 (Ag)。具有相对较高逸出功的导电材料可以包括透明导电材料 (例如氧化铟锡或氧化锌铟)。当第一电极 147 具有上述双层结构时,有机电致发光显示装置可以为顶端发射型。

[0067] 之后,在图 1L 和图 2L 中,通过施加或沉积有机绝缘材料 (例如感光丙烯、苯丙环丁烯或聚酰亚胺) 在第一电极 147 上形成第一有机绝缘层 (未示出),对第一有机绝缘层进行构图来形成对应于选通线 (未示出) 和数据线 (未示出) 的岸 155。

[0068] 此处,在各像素区域 P 中,岸 155 与第一电极 147 的边缘交叠。因此,岸 155 在显示区域中的各像素区域 P 的边缘并在平面图中具有晶格形。岸 155 在非显示区域 NA 中被去除。

[0069] 在图 1M 和图 2M 中,通过施加或沉积与岸 155 不同的有机绝缘材料而在岸 155 上形成第二有机绝缘层 (未示出),然后对其构图而在岸 155 上形成间隔体 160。图 2L 和图 2M 与图 2K 大体相同。

[0070] 因此,实现了根据本发明的第一实施方式的有机电致发光显示装置的阵列基板。

[0071] 通过 8 个掩模工艺制造了根据本发明的第一实施方式的阵列基板,与相关技术的 10 个掩模工艺相比,减少了 2 个掩模工艺。

[0072] 图 4A 至图 4B 是示出了根据本发明的第二实施方式的有机电致发光显示装置的阵列基板的像素区域的按制造步骤的截面图。在非显示区域中,第二实施方式具有与第一实施方式相同的结构,故省略非显示区域的图。

[0073] 除形成岸和隔离体的步骤之外,第二实施方式的步骤与第一实施方式的步骤相同。将省略对相同步骤的解释,并将描述形成岸和隔离体的步骤。

[0074] 在图 4A 中,通过施加或沉积具有感光特性的有机绝缘材料 (例如感光丙烯、苯丙环丁烯或聚酰亚胺) 在第一电极 147 上形成有机绝缘层 153。

[0075] 感光掩模 197 被设置在有机绝缘层 153 上。感光掩模 197 包括阻光部 BA、透光部 TA 以及半透光部 HTA。之后,通过感光掩模 197 向有机绝缘层 153 照射光线而实现衍射曝

光或半色调曝光。

[0076] 在图 4B 中,对被曝光的图 4A 的有机绝缘层 153 进行显影,从而沿着像素区域 P 的边缘形成岸 155,并沿着像素区域 P 的一个边缘、在岸 155 上生成隔离体 160。间隔体 160 具有第一高度并对应于图 4A 的感光掩模 197 的阻光部 BA。岸 155 具有低于第一高度的第二高度并对应于图 4A 的感光掩模 197 的半透光部 HTA。岸 155 与第一电极 147 的边缘交叠。

[0077] 对应于图 4A 的感光掩模的透光部 TA 的图 4A 的有机绝缘层 153 在显影工艺中被去除而露出像素区域 P 中的第一电极 147。此处,图 4A 的有机绝缘层 153 为阳型,其中,有机绝缘层 153 被曝光的一部分在显影工艺之后被去除。然而,图 4A 的有机绝缘层 153 可以为阴型,其中有机绝缘层 153 被曝光的一部分在显影工艺之后被保留。

[0078] 因此,实现了根据本发明的第二实施方式的有机电致发光显示装置的阵列基板。

[0079] 在本发明的第二实施方式中,由于岸 155 和间隔体 160 通过一个掩模工艺而被形成,可以通过 7 个掩模工艺制造阵列基板。因此,在本发明的第二实施方式中,与通过 10 个掩模工艺来制造阵列基板的相关技术相比,制造时间和成本被进一步减少了。

[0080] 同时,具有与像素区域 P 对应的开口的阴影掩膜 (shadow mask) 被设置在根据本发明的第一或第二实施方式的阵列基板上,使得阴影掩膜接触间隔体 160,并在真空下进行热沉积,从而在被岸 155 围绕的像素区域 P 中的第一电极 147 上形成有机发光层 (未示出)。

[0081] 之后,通过在全部显示区域上沉积具有相对较低的逸出功的金属材料 (例如铝 (Al)、铝钕 (AlNd) 合金、铝银 (AlAg) 合金、铝镁 (AlMg) 合金、镁银 (MgAg) 合金或银 (Ag)) 在有机发光层上形成第二电极 (未示出)。第一电极 147、有机发光层和第二电极构成了有机发光二极管。

[0082] 之后,可以在阵列基板上布置相对基板 (未示出)。可沿着凹槽 hm 形成密封图案 (未示出) 或釉图案 (未示出),使得密封图案或釉图案在真空或惰性气体的环境下填入凹槽 hm 并接触钝化层 140。因此,阵列基板和相对基板可以相互附着。

[0083] 密封图案或釉图案可以具有比钝化层 140 更高的高度。虽然密封图案或釉图案填入凹槽 hm 并交叠并接触在凹槽 hm 两边的钝化层 140,但是大部分密封图案或釉图案被形成对应于通过去除钝化层 140 形成的凹槽 hm。因此,防止了因为与钝化层 140 接触而导致的粘附度降低。

[0084] 在本发明中,通过七个或八个掩模工艺制造包括多晶硅薄膜晶体管的阵列基板,从而对比于相关技术,制造工艺被减少了。因此,减少了制造时间和成本。

[0085] 此外,虽然省略了无机绝缘材料的钝化层并只形成有机绝缘材料的一层钝化层,但是与源极和漏极处于相同的层并具有与源极和漏极相同的材料的辅助线没有被损伤,防止了与第一电极相同的层上并与第一电极材料相同的线连接图案断开。因此,能够防止信号线或连接图案之间断开。

[0086] 对于本领域技术人员而言,很明显,可以在不脱离本发明的精神或范围的情况下对本发明做出各种修改和变化。因此,本发明旨在涵盖落入所附权利要求及其等同物范围内的本发明的修改和变化。

[0087] 本申请要求 2011 年 7 月 7 日提交的韩国专利申请第 10-2011-0067499 号的优先权,其全部内容通过引用合并于此。

晶化

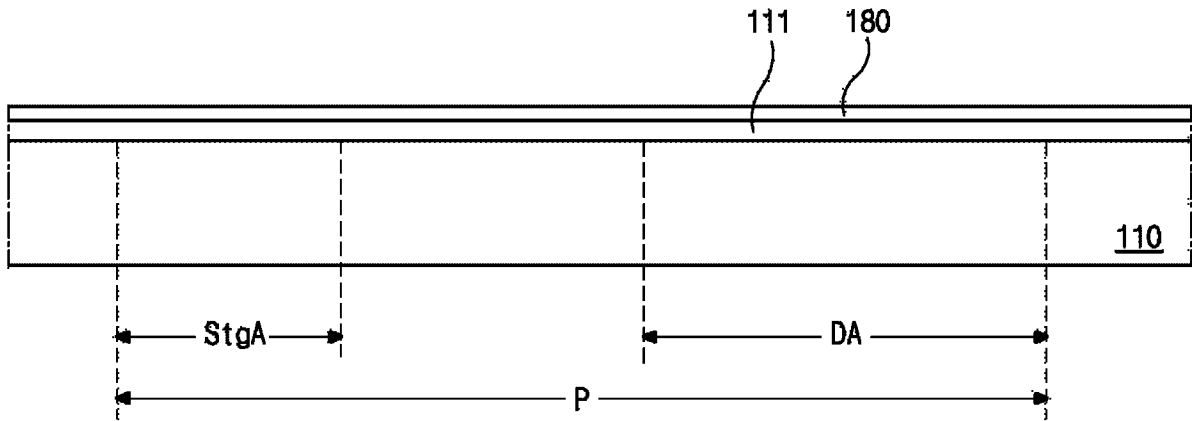


图 1A

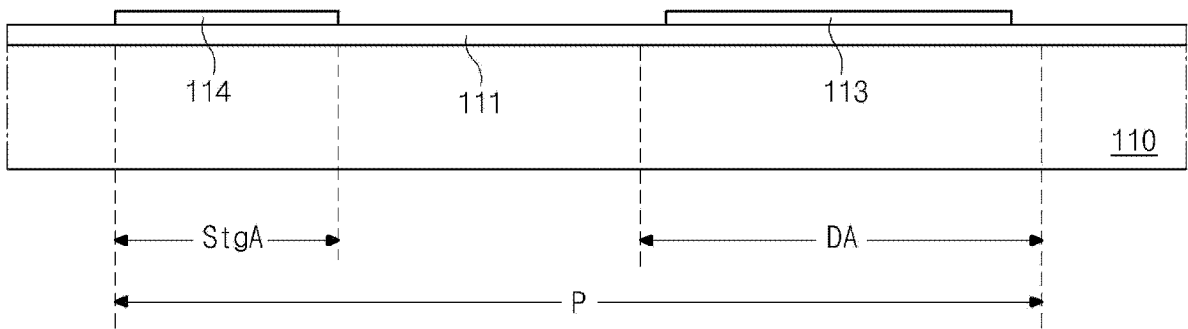


图 1B

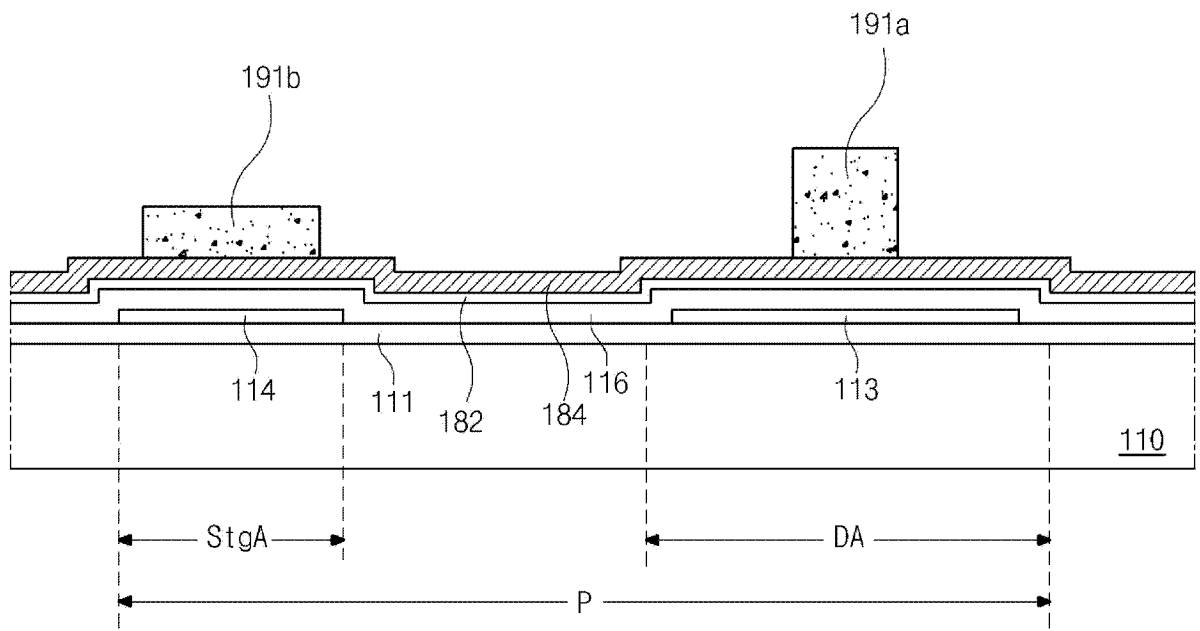


图 1C

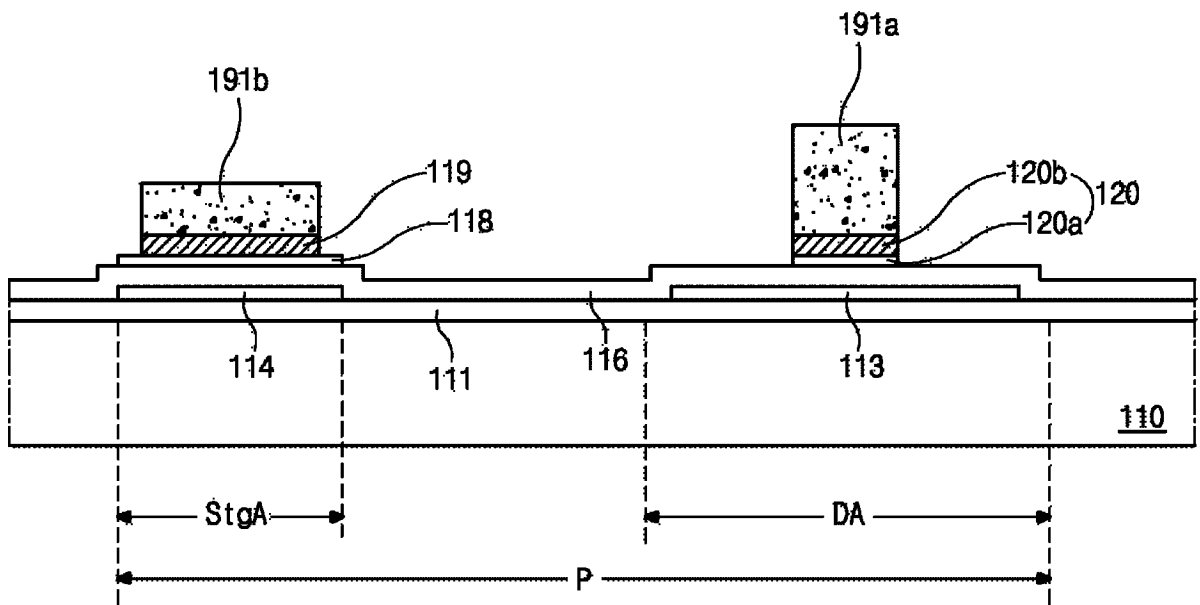


图 1D

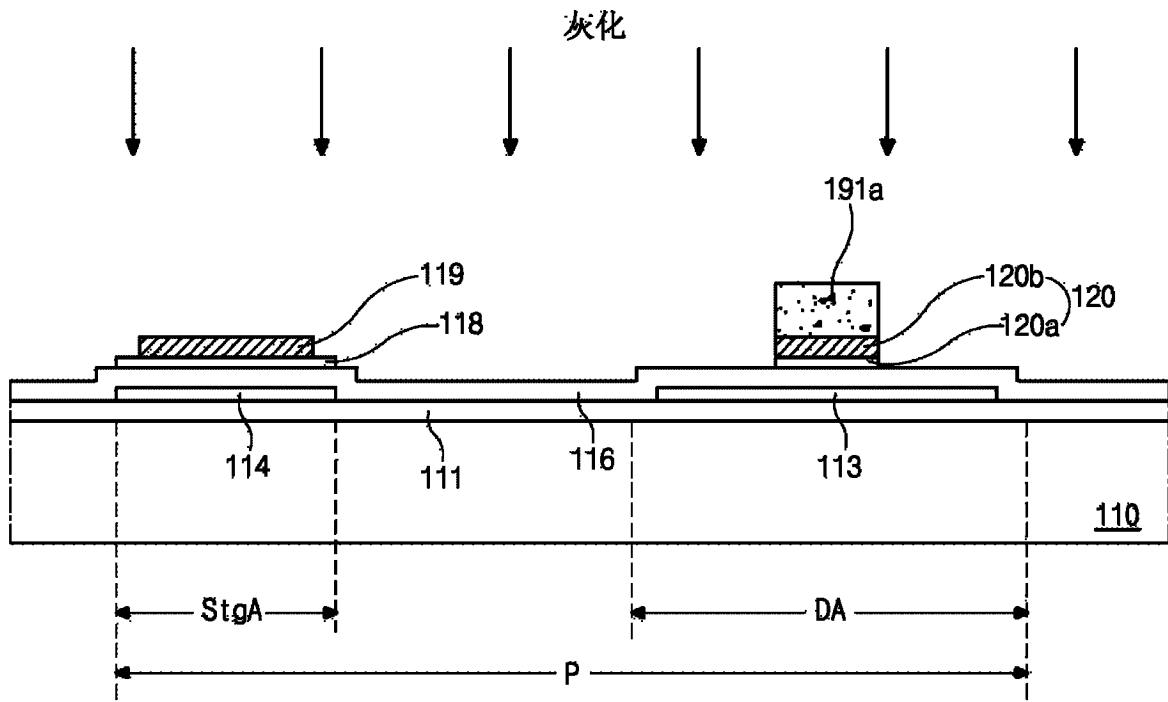


图 1E

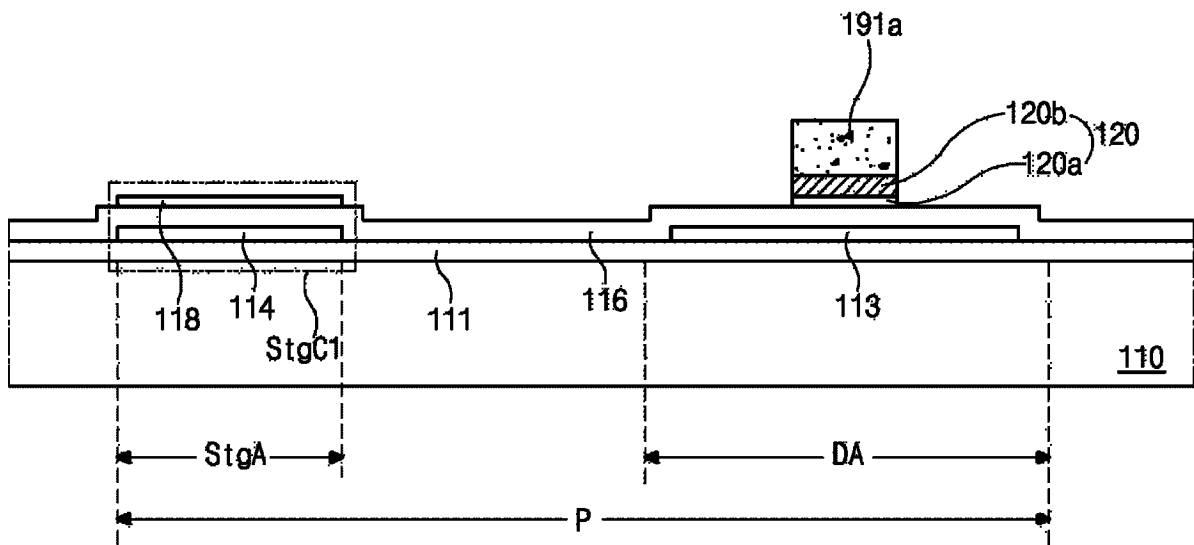


图 1F

掺杂

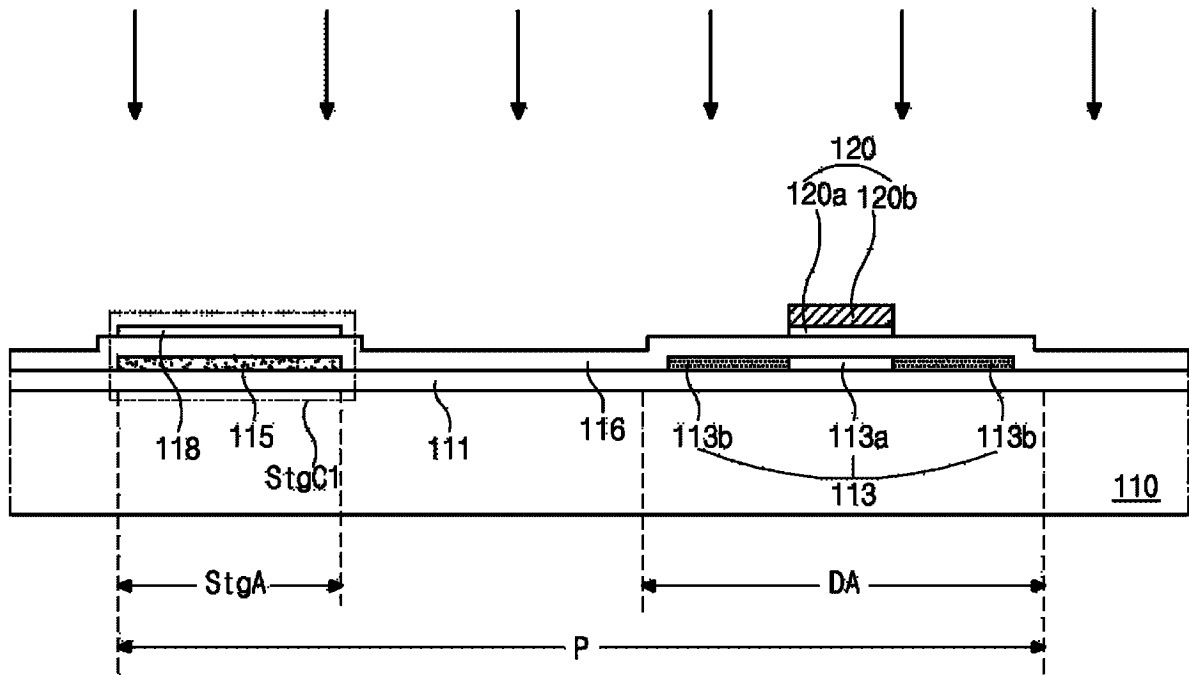


图 1G

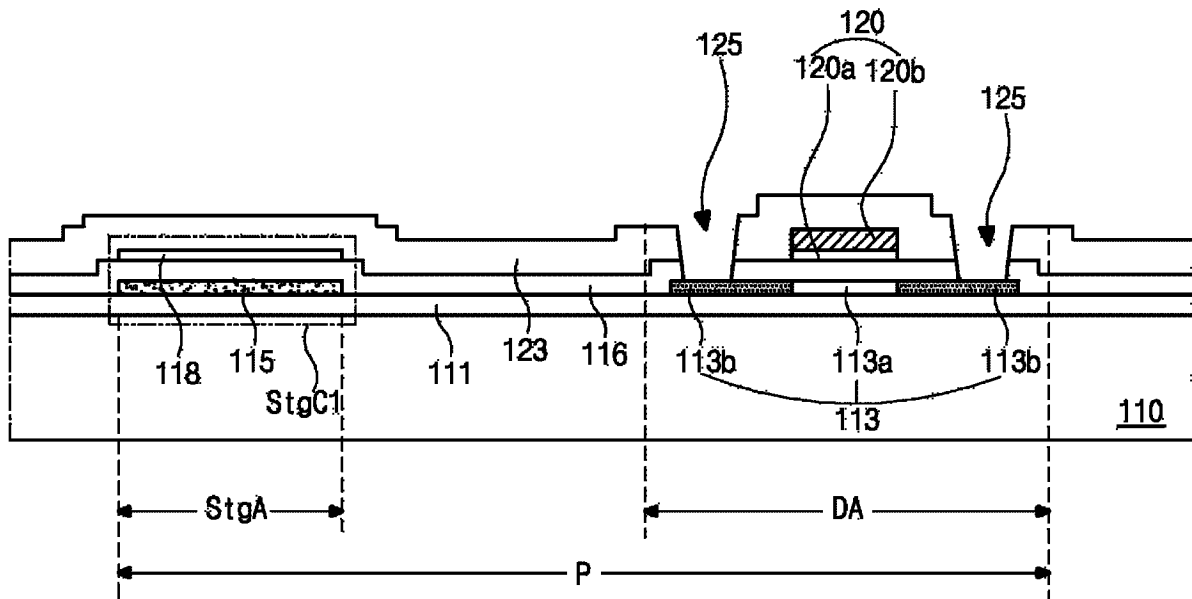


图 1H

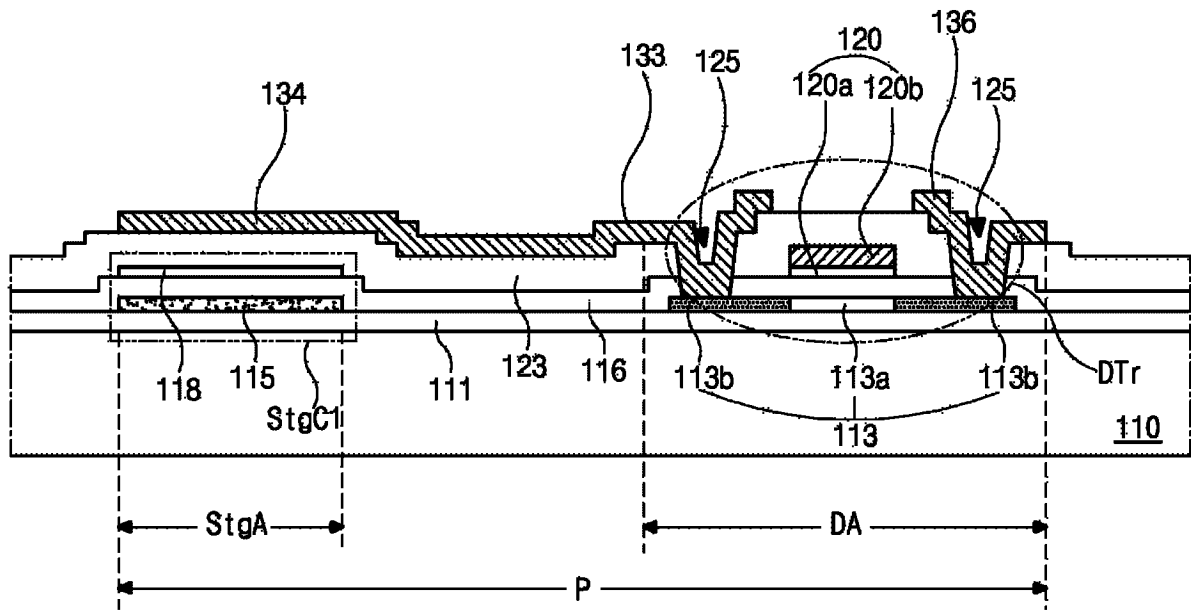


图 1I

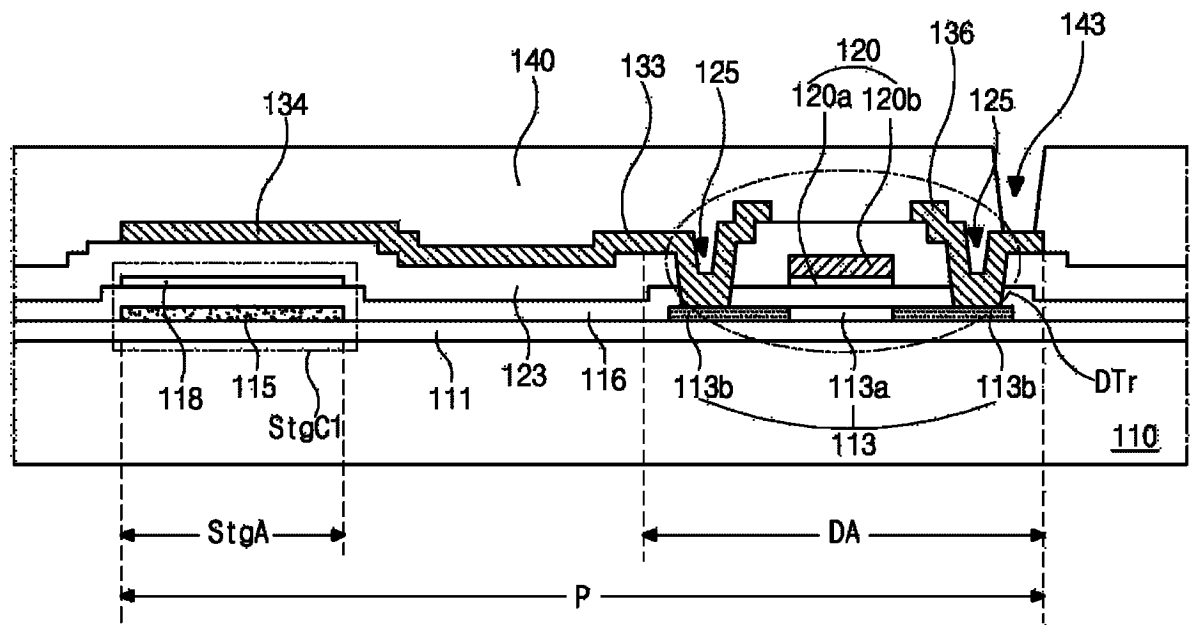


图 1J

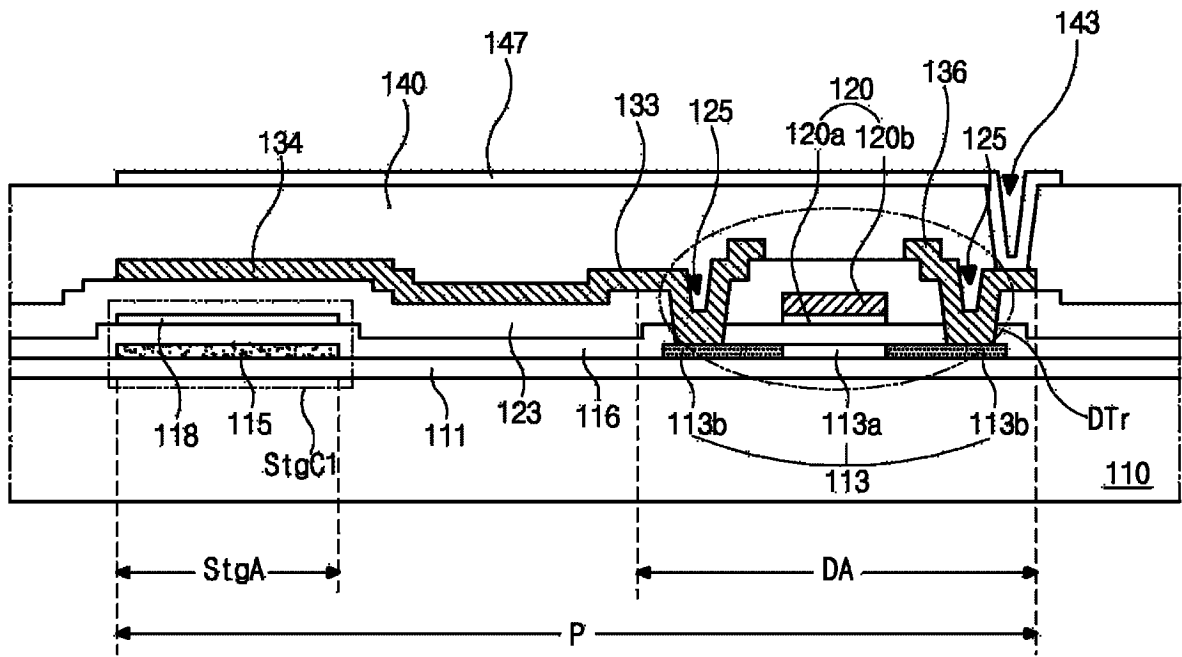


图 1K

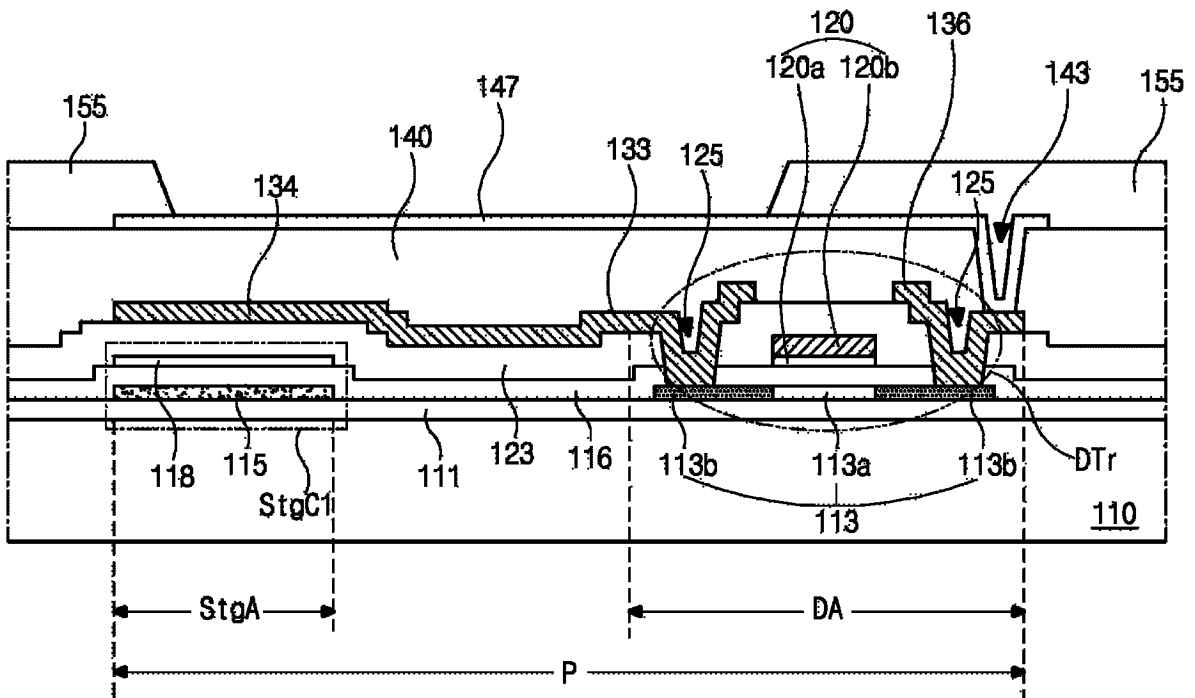


图 1L

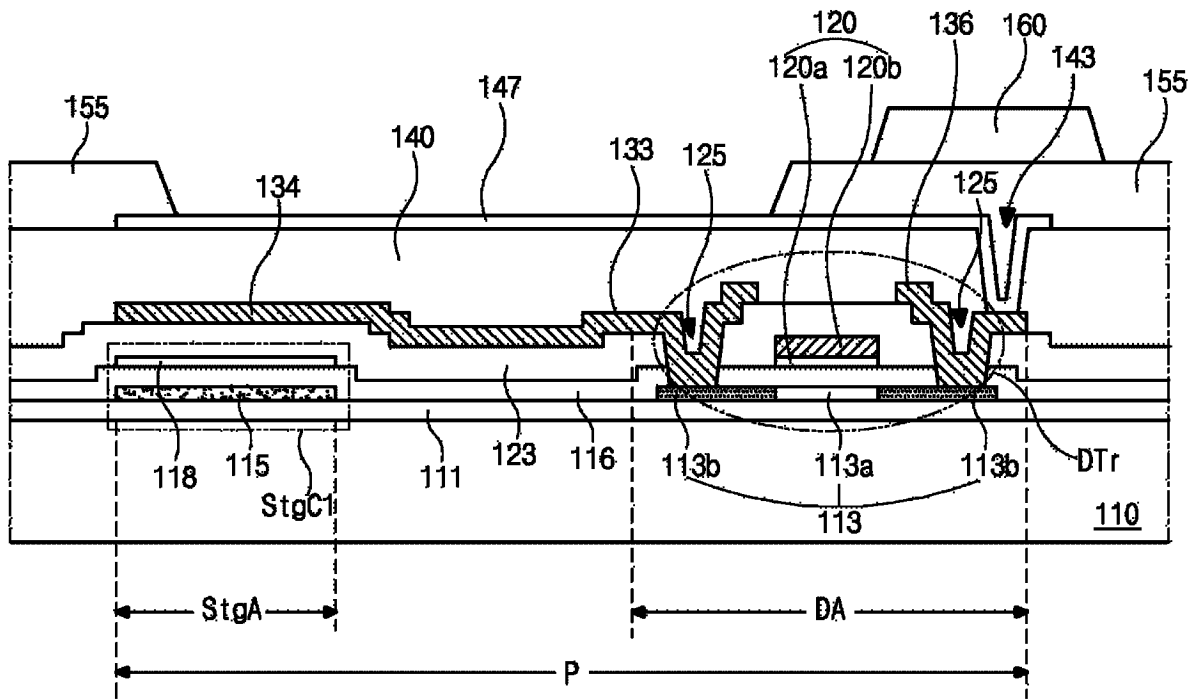


图 1M

晶化

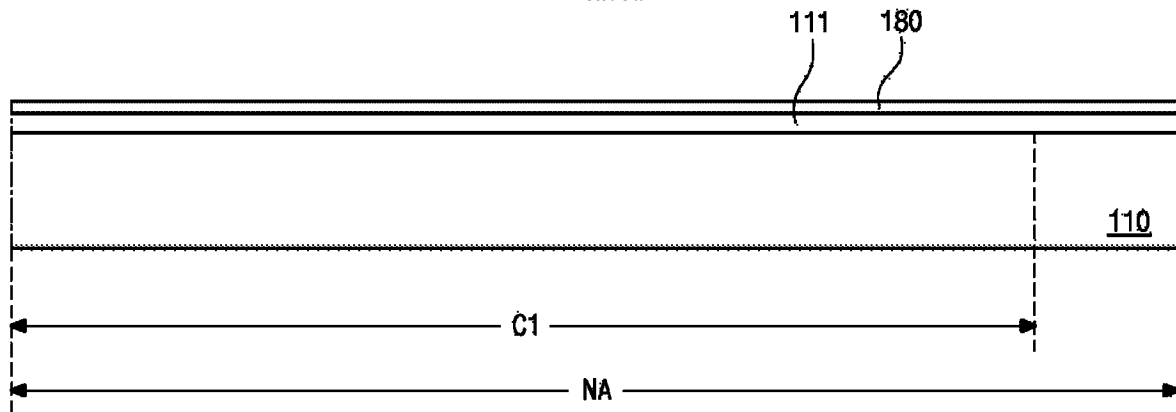


图 2A

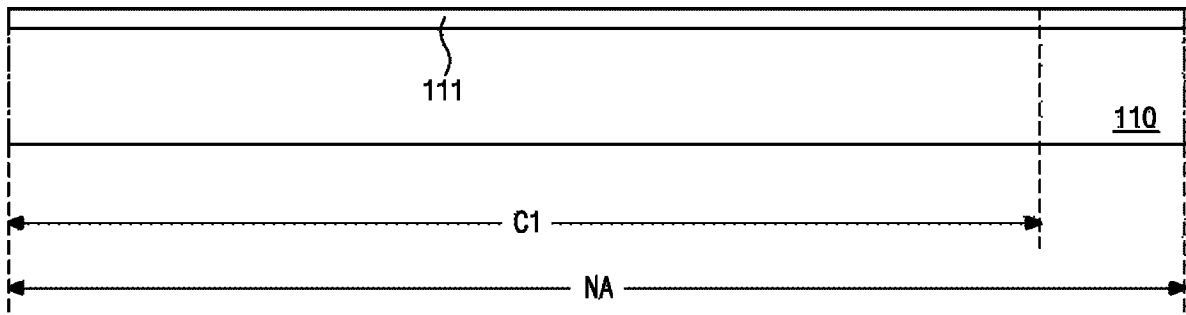


图 2B

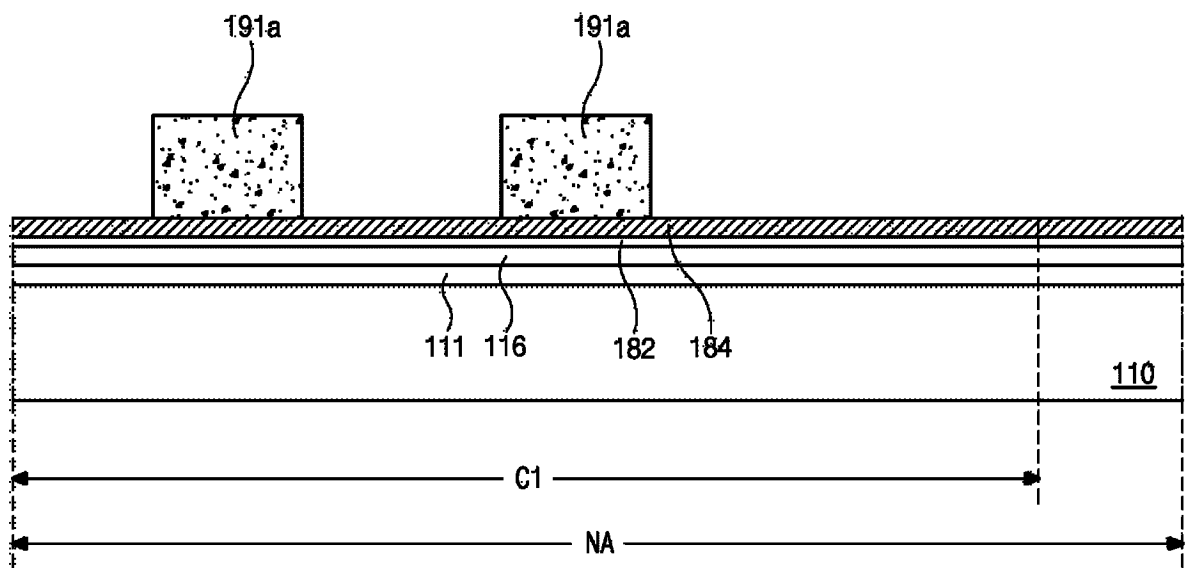


图 2C

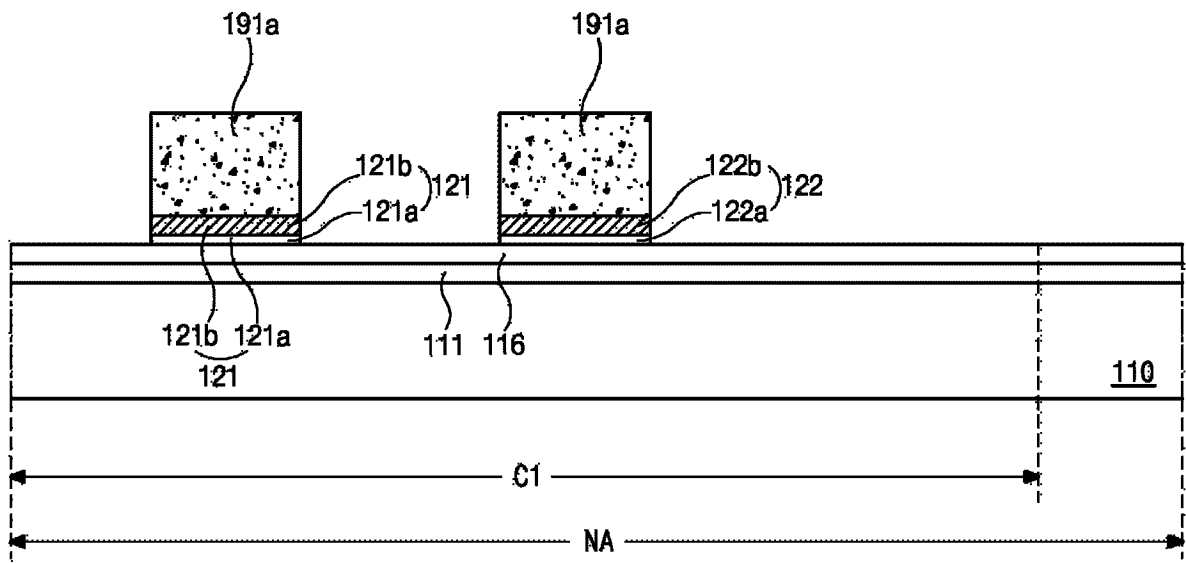


图 2D

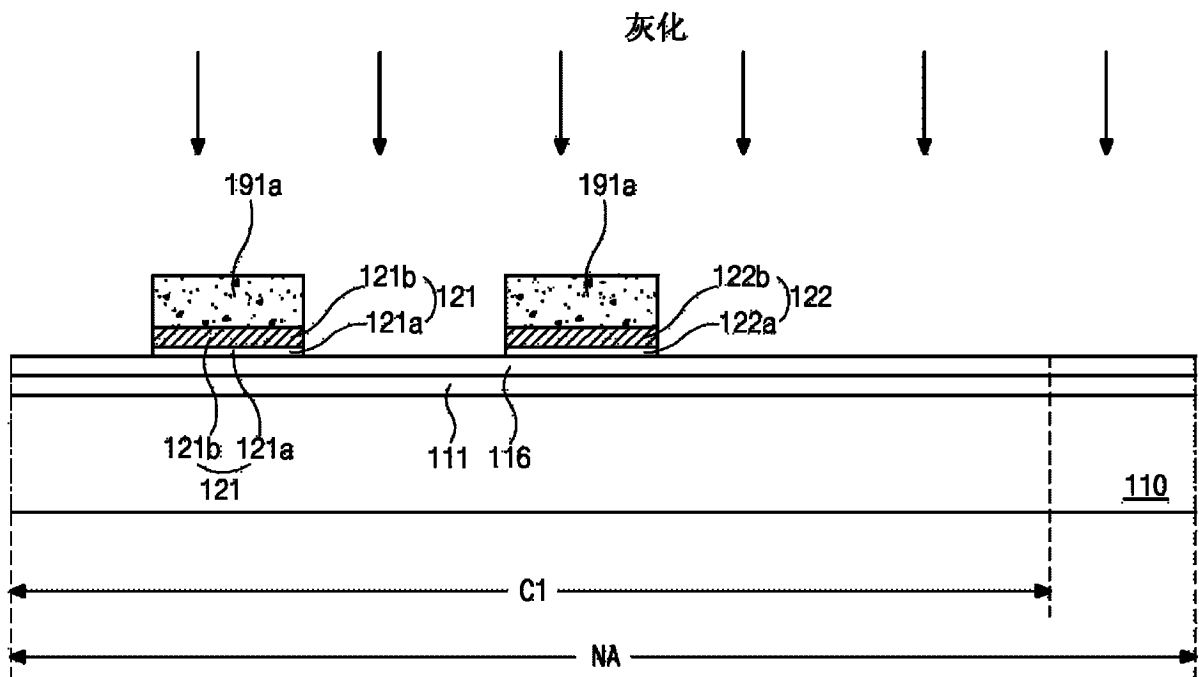


图 2E

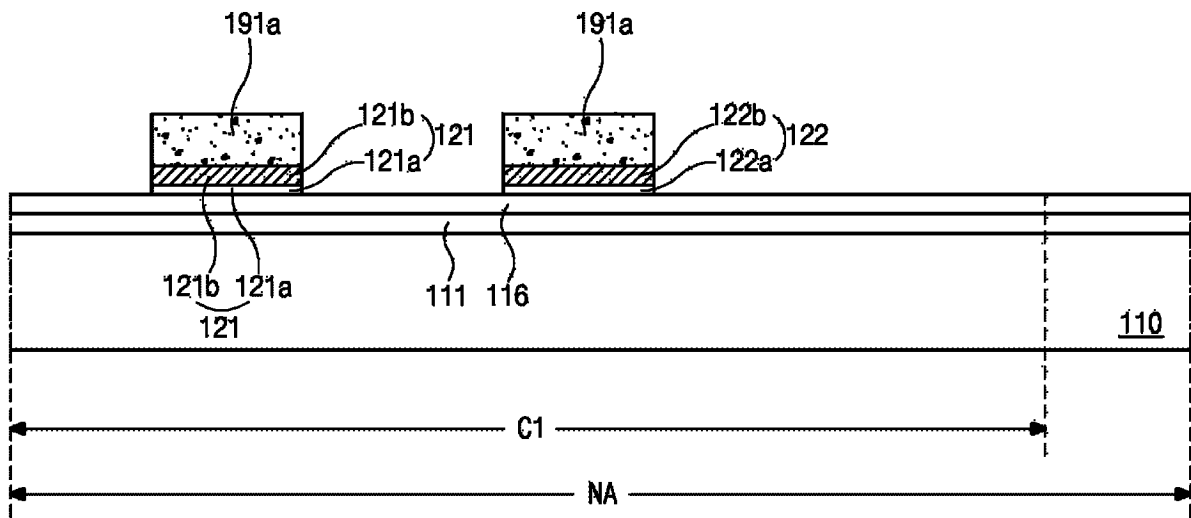


图 2F

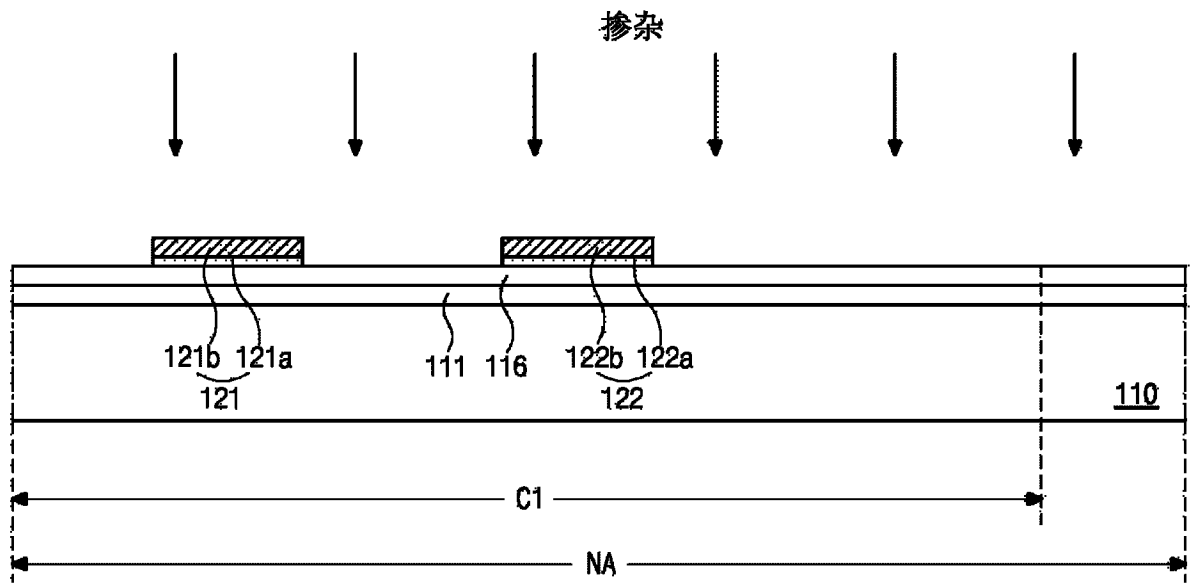


图 2G

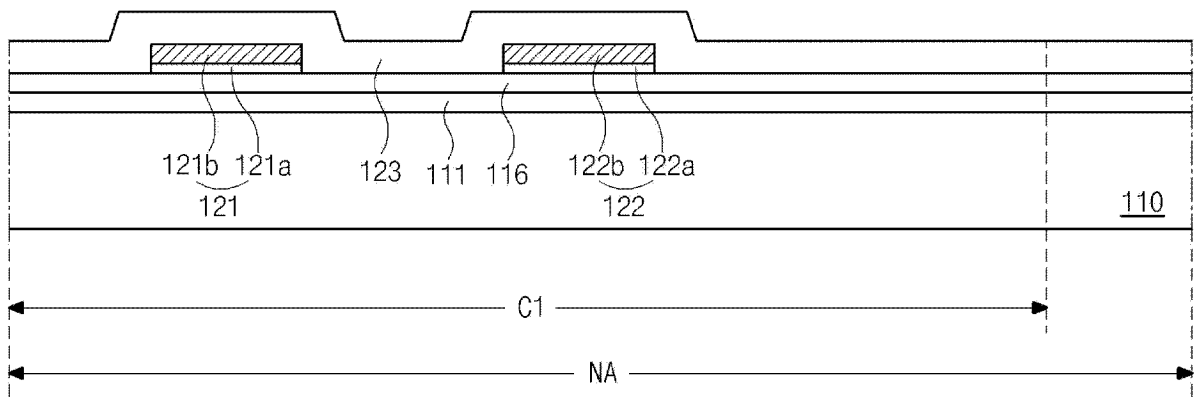


图 2H

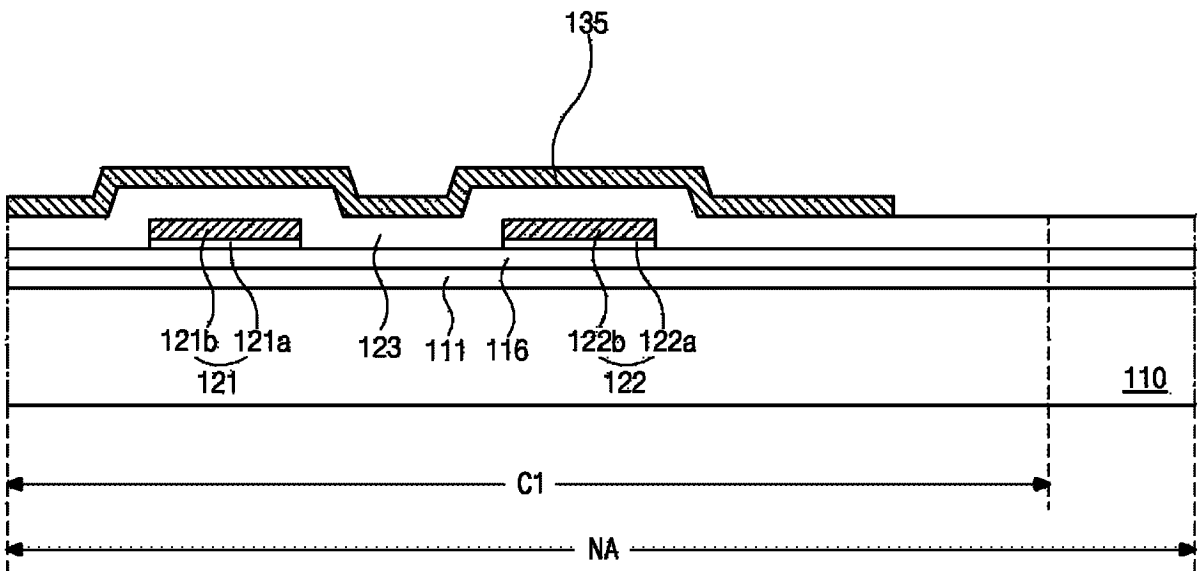


图 2I

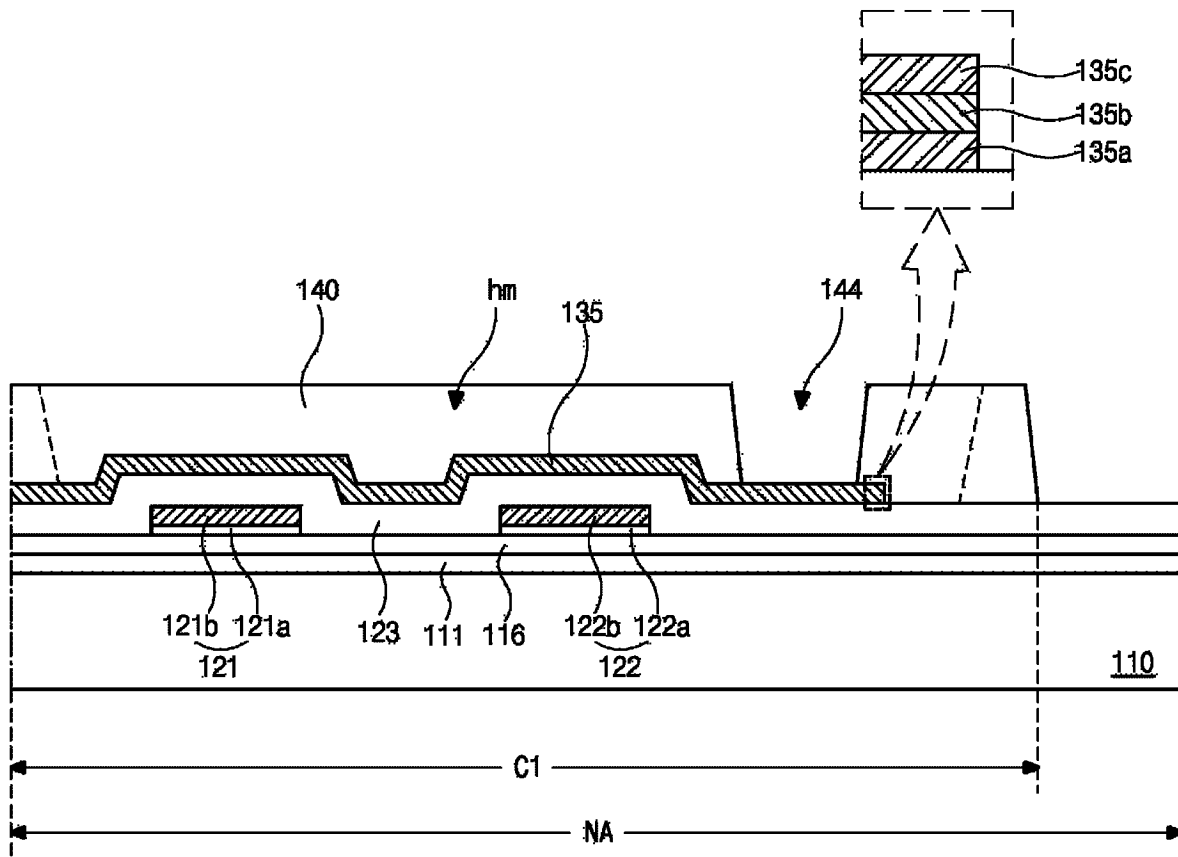


图 2J

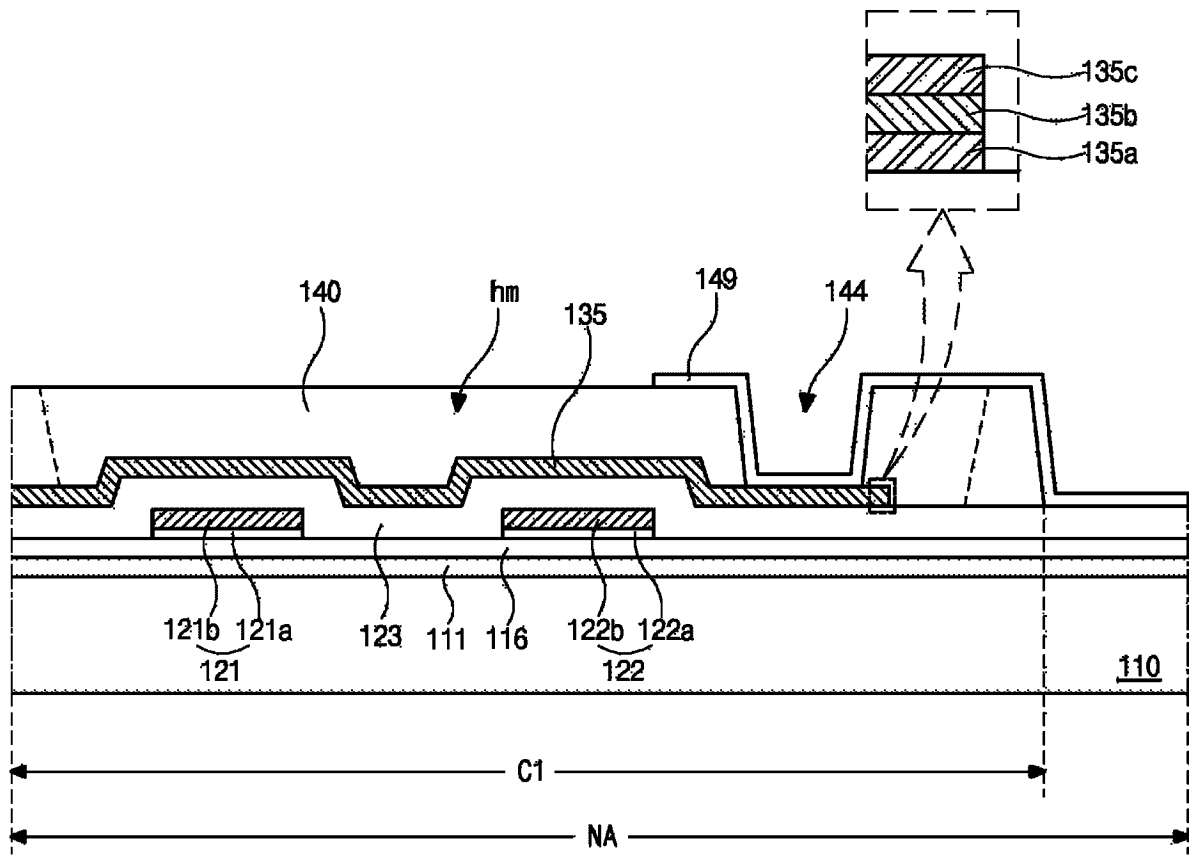


图 2K

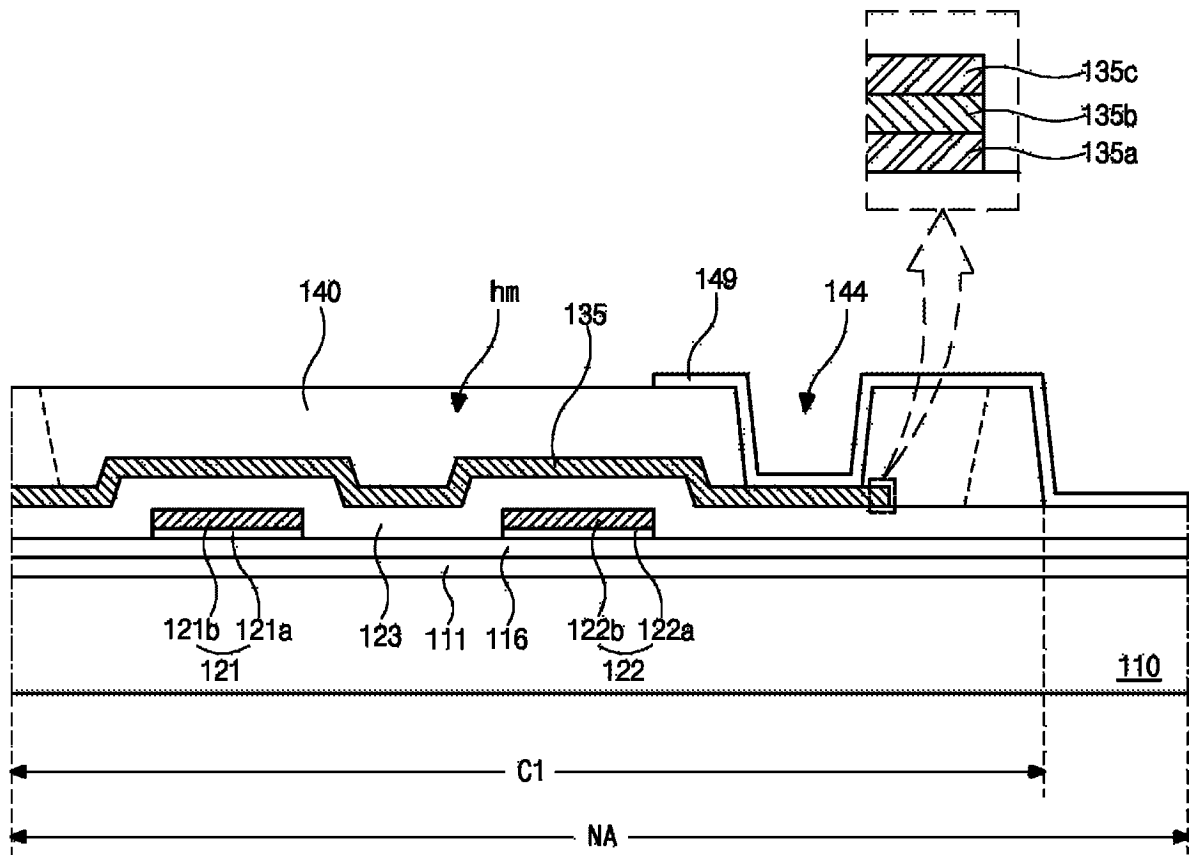


图 2L

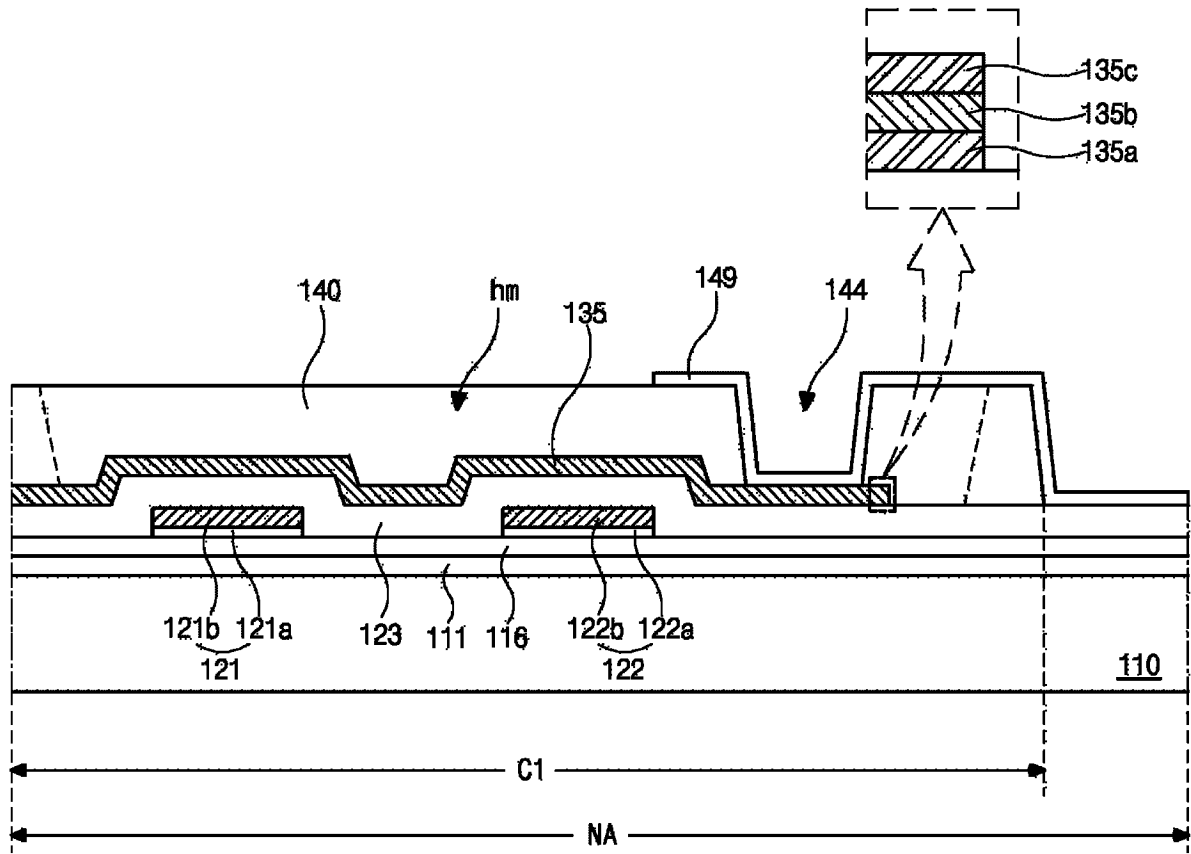


图 2M

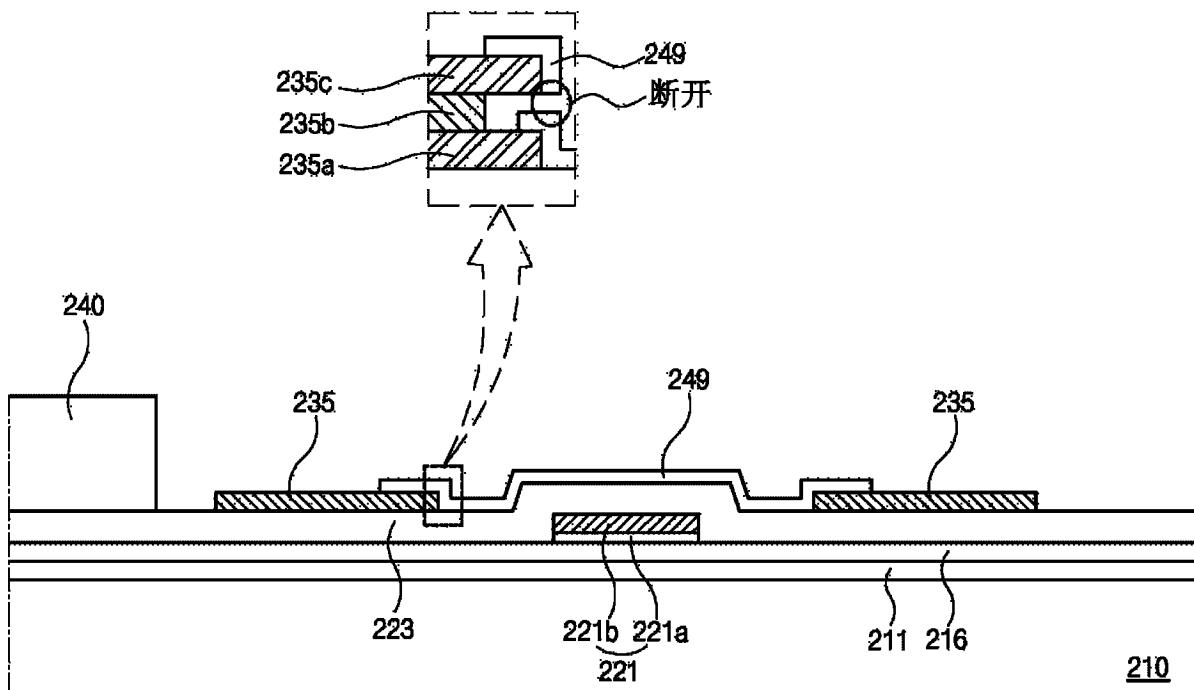


图 3

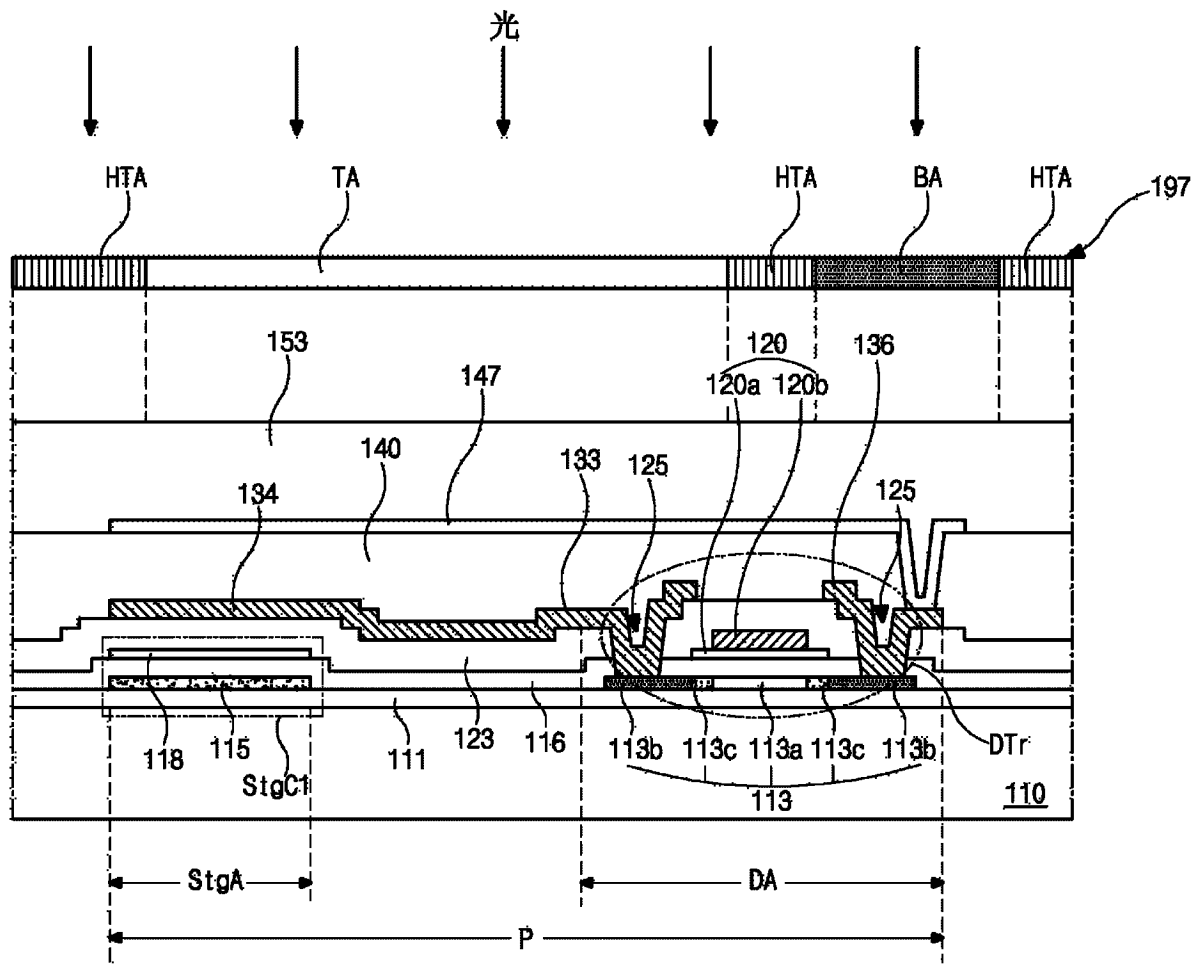


图 4A

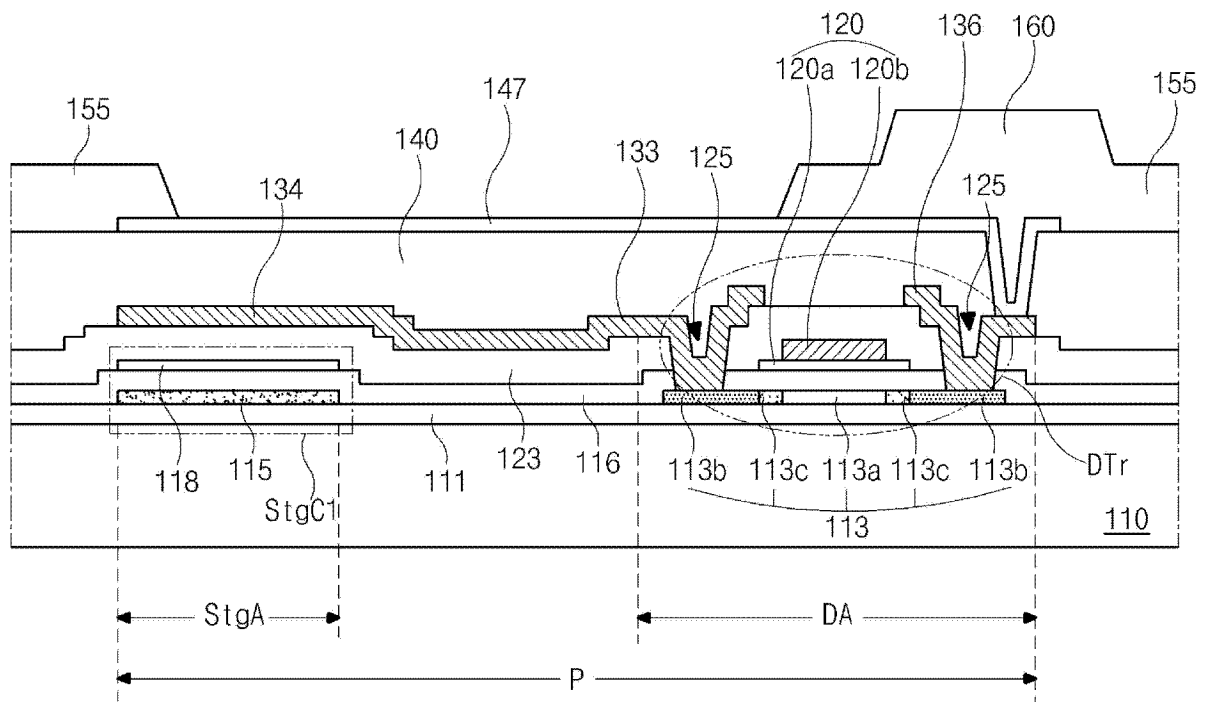


图 4B

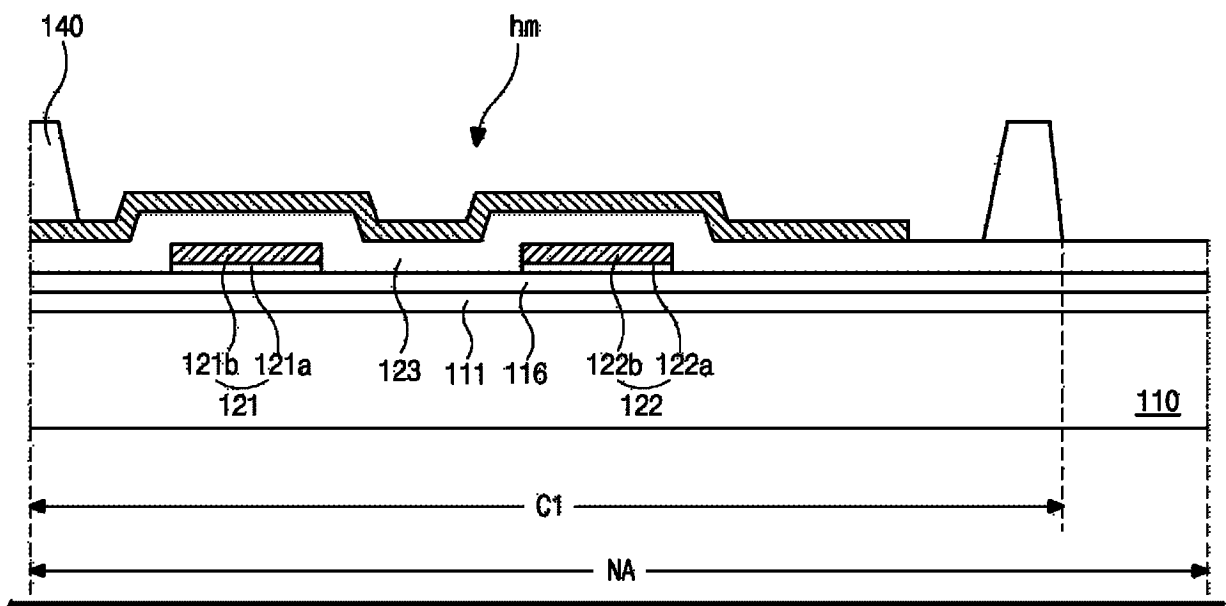


图 5

专利名称(译)	有机电致发光显示装置的阵列基板及其制造方法		
公开(公告)号	CN102867839A	公开(公告)日	2013-01-09
申请号	CN201110453864.5	申请日	2011-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔熙东 田承峻		
发明人	崔熙东 田承峻		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L2227/323 H01L27/1288 H01L27/3276 H01L27/1255 H01L51/5218 H01L27/3246 H01L51/5246 H01L27/124 H01L27/088 H01L27/3265 H01L29/4908 H01L29/78672		
代理人(译)	李辉 孙海龙		
优先权	1020110067499 2011-07-07 KR		
其他公开文献	CN102867839B		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及有机电致发光显示装置的阵列基板及其制造方法。该阵列基板包括：基板，其包括显示区域和非显示区域；选通线和数据线；薄膜晶体管，其包括多晶硅的半导体层、栅绝缘层、栅极、中间绝缘层、源极、以及漏极；多条辅助线，其由相同的材料形成并在与所述数据线相同的层上；钝化层，其为有机绝缘材料并包括露出漏极的漏接触孔、露出辅助线中的一条辅助线的辅助线接触孔；以及第一电极和线连接图案，其在所述钝化层上，其中所述第一电极接触所述漏极而所述线连接图案连接所述第一辅助图案中的一个。

