



(12) 发明专利申请

(10) 申请公布号 CN 101833915 A

(43) 申请公布日 2010.09.15

(21) 申请号 200910258614.9

(22) 申请日 2009.12.04

(30) 优先权数据

2008-309273 2008.12.04 JP

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 木村肇

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 何欣亭 徐予红

(51) Int. Cl.

G09G 3/32(2006.01)

H01L 27/02(2006.01)

H01L 23/528(2006.01)

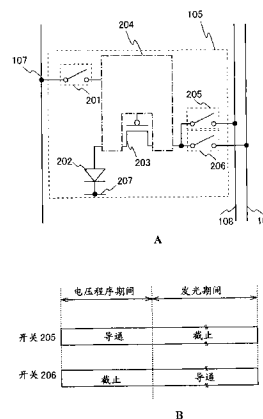
权利要求书 2 页 说明书 34 页 附图 22 页

(54) 发明名称

显示装置、其驱动方法及使用该显示装置的电子设备

(57) 摘要

本发明的课题之一在于减少因电流供给线的布线电阻所引起的电压偏差而发光元件的亮度产生不均匀且显示质量降低的情况,从而实现显示质量的提高。在电压程期间,将成为用来驱动 EL 元件的晶体管的源极的端子电连接到被供给第一电位的第二布线,而在发光期间,将成为驱动晶体管的源极的端子电连接到被供给第二电位的第二布线,以能够不受到电流供给线的布线电阻所引起的电压偏差的影响地保持驱动晶体管的栅极端子和源极端子之间的电压。



1. 一种显示装置,包括:

像素,该像素包括:

晶体管;

校正电路,其电连接到所述晶体管的第一端子、第二端子及栅极端子,并配置成用于保持施加到所述晶体管的所述栅极端子和所述第一端子之间的阈值电压及视频电压;

第一开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第一电位的所述第一布线的电连接;

第二开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第二电位的所述第二布线的电连接;以及

发光元件,其具有电连接到所述校正电路的第一端子和电连接到第三布线的第二端子。

2. 根据权利要求1所述的显示装置,其中所述第一布线的宽度比所述第二布线的宽度大。

3. 根据权利要求1所述的显示装置,其中所述第一布线的宽度及所述第二布线的宽度根据所述发光元件的色彩单元而不同。

4. 根据权利要求1所述的显示装置,其中将所述显示装置应用于电子设备。

5. 根据权利要求4所述的显示装置,其中所述电子设备选自个人计算机、数码相机、摄像机、便携式信息终端、导航系统、电子游戏机及记录介质再现用播放器构成的组。

6. 根据权利要求5所述的显示装置,其中所述便携式信息终端选自移动计算机、移动电话及电子书构成的组。

7. 一种显示装置,包括:

像素,该像素包括:

晶体管;

校正电路,其电连接到所述晶体管的第一端子、第二端子及栅极端子,并配置成用于保持施加到所述晶体管的所述栅极端子和所述第一端子之间的阈值电压及视频电压;

第一开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第一电位的所述第一布线的电连接;

第二开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第二电位的所述第二布线的电连接;以及

发光元件,其具有电连接到所述校正电路的第一端子和电连接到第三布线的第二端子,

其中,所述第三布线还电连接到所述校正电路。

8. 根据权利要求7所述的显示装置,其中所述第一布线的宽度比所述第二布线的宽度大。

9. 根据权利要求7所述的显示装置,其中所述第一布线的宽度及所述第二布线的宽度根据所述发光元件的色彩单元而不同。

10. 根据权利要求7所述的显示装置,其中将所述显示装置应用于电子设备。

11. 根据权利要求10所述的显示装置,其中所述电子设备选自个人计算机、数码相机、摄像机、便携式信息终端、导航系统、电子游戏机及记录介质再现用播放器构成的组。

12. 根据权利要求 11 所述的显示装置,其中所述便携式信息终端选自移动计算机、移动电话及电子书构成的组。

13. 一种显示装置,包括:

像素,该像素包括:

晶体管;

校正电路,其电连接到所述晶体管的第一端子、第二端子及栅极端子,并配置成用于保持施加到所述晶体管的所述栅极端子和所述第一端子之间的阈值电压及视频电压;

第一开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第一电位的第二布线的电连接;

第二开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第二电位的第二布线的电连接;

发光元件,其具有电连接到所述校正电路的第一端子和电连接到第三布线的第二端子;以及

电连接到所述校正电路的第四布线。

14. 根据权利要求 13 所述的显示装置,其中所述第一布线的宽度比所述第二布线的宽度大。

15. 根据权利要求 13 所述的显示装置,其中所述第一布线的宽度及所述第二布线的宽度根据所述发光元件的色彩单元而不同。

16. 根据权利要求 13 所述的显示装置,其中将所述显示装置应用于电子设备。

17. 根据权利要求 16 所述的显示装置,其中所述电子设备选自个人计算机、数码相机、摄像机、便携式信息终端、导航系统、电子游戏机及记录介质再现用播放器构成的组。

18. 根据权利要求 17 所述的显示装置,其中所述便携式信息终端选自移动计算机、移动电话及电子书构成的组。

19. 一种显示装置的驱动方法,该显示装置包括:

像素,该像素包括:

晶体管;

校正电路,其电连接到所述晶体管的第一端子、第二端子及栅极端子,并配置成用于在电容器中保持施加到所述晶体管的所述栅极端子和所述第一端子之间的阈值电压及从信号线通过选择开关施加的视频电压;

第一开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第一电位的第二布线的电连接;

第二开关,其电连接到所述晶体管的所述第一端子,并配置成用于控制与被供给第二电位的第二布线的电连接;以及

发光元件,其具有电连接到所述校正电路的第一端子和电连接到第三布线的第二端子,所述显示装置的驱动方法包括如下步骤:

在电压程序期间中,使所述第一开关导通且使所述第二开关截止;以及

在发光期间中,使所述第一开关截止且使所述第二开关导通,且使所述发光元件发光。

20. 根据权利要求 19 所述的显示装置的驱动方法,其中改变施加到所述晶体管的所述栅极端子和所述第一端子之间的电压来补偿所述晶体管的迁移率。

显示装置、其驱动方法及使用该显示装置的电子设备

技术领域

[0001] 本发明涉及一种半导体装置、显示装置、发光装置或半导体装置、显示装置、发光装置的驱动方法。或者，本发明涉及一种具备该半导体装置、显示装置、发光装置的电子设备。

背景技术

[0002] 显示装置用于移动电话机、电视接收机等的各种电子产品。作为用于显示装置的显示元件，从对比度、对于输入信号的响应性及视角特性的方面来看，EL 元件（包含有机物及无机物的 EL 元件、有机 EL 元件、无机 EL 元件）等的发光元件在实现高图像质量上更有前途，因此对于该种发光元件的研究开发日益火热。此外，至于具备 EL 元件的显示装置（下面，称为 EL 显示装置），对于显示装置的大屏幕化的研究开发也日益火热。

[0003] 在 EL 显示装置中，EL 元件根据产生在元件中的电流量驱动。因此，设置在显示部的显示区的像素部的各像素与用来供给电流的布线连接。用来供给电流的布线由从显示区外部延伸设置的布线构成。另外，在像素部中的各像素配置有用来控制供给于 EL 元件的电流的元件的 TFT（薄膜晶体管）。

[0004] 可是，由多晶硅（下面，也称为 p-Si）形成的 TFT 的场效应迁移率比由非晶硅（下面，也称为 a-Si）形成的 TFT 的场效应迁移率高，且其电特性优良，所以作为用于 EL 显示装置的 TFT 更合适。但是，由 p-Si 形成的 TFT 有因晶界中的键的缺陷而容易产生阈值电压等的电特性的不均匀的问题。因此，公开如下结构：即在由 p-Si 形成的 TFT 的像素中具有用来补偿阈值电压的不均匀的电路（参照专利文献 1 至专利文献 3）。

[0005] [专利文献 1] 日本专利申请公开 2003-202834 号公报

[0006] [专利文献 2] 日本专利申请公开 2003-223138 号公报

[0007] [专利文献 3] 日本专利申请公开 2005-338792 号公报

[0008] 作为专利文献 1 至专利文献 3 中的驱动像素的期间，大致区分为使用来补偿晶体管的阈值电压的电路保持阈值电压及视频电压的期间（下面，称为电压程序期间）和使 EL 元件发光的期间（下面，称为发光期间）。在专利文献 1 至专利文献 3 的像素结构中有如下问题：当在电压程序期间中，流过各像素中的电流比流过用来供给电流的布线中的电流时，因用来供给电流的布线的布线电阻而产生电压降低，且用来供给电流的布线的电压产生偏差。或者还有如下问题：因用来供给电流的布线的电压产生偏差而导致发光元件的亮度的不均匀、显示质量的降低。

[0009] 或者，有如下问题：随着显示装置的大型化而用来供给电流的布线变长，电压受到用来供给电流的布线的布线电阻的影响而降低且用来供给电流的布线的电压产生偏差。

[0010] 或者，有如下课题：提供即使实现大型化也不降低显示质量并进行清晰的显示的显示装置。

[0011] 或者，有如下课题：提供可以使大电流在各像素中流过并进行高亮度化的显示装置。

[0012] 或者,有如下课题:减少如下情况,即因用来供给电流的布线的布线电阻所引起的电压偏差而使发光元件的亮度变化,因此显示质量降低。

发明内容

[0013] 在本发明的一个方式中,在电压程序期间中将成为用来驱动 EL 元件的晶体管(下面,也称为驱动晶体管)的源极的端子电连接到被供给第一电位的第一布线,而在发光期间中将成为驱动晶体管的源极的端子电连接到被供给第二电位的第二布线,可以不受用来供给电流的布线的布线电阻所引起的电压偏差的影响地保持驱动晶体管的栅极端子和源极端子之间的电压。

[0014] 本发明的例示性一个方式是一种显示装置,其中设置有像素,该像素包括:晶体管;电连接到晶体管的第一端子、第二端子及栅极端子并用来保持施加到晶体管的栅极端子和源极端子之间的阈值电压及视频电压的校正电路;电连接到校正电路并根据施加到晶体管的栅极端子和源极端子之间的阈值电压及视频电压控制发光的发光元件;电连接到晶体管的第一端子并控制与被供给第一电位的第一布线的电连接的第一开关;以及电连接到晶体管的第一端子并控制与被供给第二电位的第二布线的电连接的第二开关。

[0015] 此外,本发明的例示性一个方式是一种显示装置的驱动方法,该显示装置包括:晶体管;电连接到晶体管的第一端子、第二端子及栅极端子并用来将施加到晶体管的栅极端子和源极端子之间的阈值电压及从信号线通过选择开关供给的视频电压保持在电容元件的校正电路;电连接到校正电路并根据施加到晶体管的栅极端子和源极端子之间的阈值电压及视频电压控制发光的发光元件;电连接到晶体管的第一端子并控制与被供给第一电位的第一布线的电连接的第一开关;以及电连接到晶体管的第一端子并控制与被供给第二电位的第二布线的电连接的第二开关,其中,在电压程序期间中使第一开关导通并使第二开关截止,使晶体管导通来对电容元件进行充电,然后通过使电容元件放电,使电容元件保持阈值电压,利用选择开关供给视频电压,并且,在发光期间中,使第一开关截止并使第二开关导通,以进行发光元件的发光。

[0016] 在利用电压程序期间和发光期间驱动各像素的显示装置中,可以减少用来供给电流的布线的布线电阻所引起的发光元件的亮度变动的的影响、亮度倾斜等的图像质量不良。或者,可以减少如下情况:随着显示装置的大型化而用来供给电流的布线变长,且电压受到用来供给电流的布线的布线电阻的影响。或者,可以提供即使实现大型化也不降低显示质量并进行清晰的显示的显示装置。或者,可以提供能够使大电流流过各像素中并进行高亮度化的显示装置。或者,可以减少如下情况:因用来供给电流的布线的布线电阻所引起的电压偏差而使发光元件的亮度变化且显示品质降低。

附图说明

[0017] 图 1 是说明实施方式 1 的图;

[0018] 图 2A 和图 2B 是说明实施方式 1 的图;

[0019] 图 3A 和图 3B 是说明实施方式 1 的图;

[0020] 图 4A 和图 4B 是说明实施方式 1 的图;

[0021] 图 5A 和图 5B 是说明实施方式 1 的图;

- [0022] 图 6A 和图 6B 是说明实施方式 1 的图；
- [0023] 图 7A 和图 7B 是说明实施方式 1 的图；
- [0024] 图 8A 和图 8B 是说明实施方式 1 的图；
- [0025] 图 9A 和图 9B 是说明实施方式 1 的图；
- [0026] 图 10A 至图 10D 是说明实施方式 1 的图；
- [0027] 图 11A 至图 11H 是说明外围驱动电路的制造例子的图；
- [0028] 图 12A 至图 12G 是说明半导体元件的制造例子的图；
- [0029] 图 13A 至图 13D 是说明半导体元件的制造例子的图；
- [0030] 图 14A 至图 14G 是说明半导体元件的制造例子的图；
- [0031] 图 15A 至图 15H 是说明电子设备的图；
- [0032] 图 16A 至图 16H 是说明电子设备的图。

具体实施方式

[0033] 下面,参照附图说明本发明的实施方式。但是,本发明可以以多个不同方式来实施,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不应该被解释为仅限定在本实施方式所记载的内容中。此外,在本说明书的附图中,使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。

[0034] 再者,在某一个实施方式中所描述的内容(也可以是其一部分的内容)对在该实施方式中所描述的其它内容(也可以是其一部分的内容)及/或在一个或多个其它实施方式中所描述的内容(也可以是其一部分的内容)可以进行应用、组合或置换等。

[0035] 此外,在实施方式中所描述的内容是指在各种实施方式中利用各种附图而描述的内容、或利用说明书所记载的文章而说明的内容。

[0036] 而且,在明确记载为单数的情况下优选采用单数,但是本发明不局限于此,也可以采用复数。与此同样,在明确记载为复数的情况下优选采用复数,但是本发明不局限于此,也可以采用单数。

[0037] 通过组合在某一个实施方式中所描述的附图(也可以是其一部分)和该附图的其它部分、在该实施方式中所描述的其它附图(也可以是其一部分)及/或在一个或多个其它实施方式中所描述的附图(也可以是其一部分),来可以构成更多的附图。

[0038] 在附图中,有时为了清楚起见,夸大尺寸、层的厚度或区域。因此,不局限于该尺度。

[0039] 再者,附图示出示意性的理想例子,而不局限于附图所示的形状或数值等。例如,可以包括制造技术或误差等所引起的形状不均匀、噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0040] 而且,专门词语用来描述特定的实施方式等,而不局限于此。

[0041] 没有定义的词语(包括专门词语或术语等科技词语)可以表示与所属技术领域的技术人员所理解的一般意思相同的意思。由词典等定义的词语优选解释为不与有关技术的背景产生矛盾的意思。

[0042] 再者,第一、第二、第三等的词用来有区别地描述各种因素、构件、区域、层、领域。

因此,第一、第二、第三等的词不限定因素、构件、区域、层、领域等个数。而且,例如,可以使用“第二”或“第三”等替换“第一”。

[0043] 实施方式 1

[0044] 首先,就用来说明本实施方式的结构显示装置的框图进行说明。

[0045] 图 1 示出显示装置 100 所具有的栅极线侧驱动电路 101 及信号线侧驱动电路 102、显示部 103、电源电路 104 的结构。在显示部 103 中,多个像素 105 配置为矩阵状。此外,在图 1 中示出用来生成输入到显示装置的信号的信号生成电路 151。

[0046] 在图 1 中,栅极线侧驱动电路 101 将扫描信号供给到多个布线 106。根据该扫描信号,每行的像素 105 被决定为选择状态或非选择状态。此外,信号线侧驱动电路 102 是将视频电压(也称为视频信号、视频数据)从布线 107 供给到由扫描信号选择的像素 105 的电路。另外,电源电路 104 是用来生成如下电位的电路:供给到连接于多个像素 105 的布线 108(也称为第一布线)的第一电位和供给到布线 109(也称为第二布线)的第二电位。

[0047] 布线 106 可以用作用来将扫描信号供给到各行的栅极布线。布线 107 可以用作用来将视频电压供给到各像素的源极布线。布线 108 可以用作用来将第一电位供给到像素 105 的第一电流供给线。布线 109 可以用作用来将第二电位供给到像素 105 的第二电流供给线。

[0048] 在图 1 中,根据行方向及列方向上的像素的数量示出布线 106、布线 107、布线 108 及布线 109。另外,布线 106、布线 107、布线 108 及布线 109 也可以根据构成像素中的子像素(也称为副像素)的数量或像素中的晶体管的数量增加布线 106、布线 107、布线 108 及布线 109 与像素 105 连接的数量。此外,通过在像素之间共有布线 106、布线 107、布线 108 及布线 109 来驱动像素 105,可以缩减布线 106、布线 107、布线 108 及布线 109 与像素 105 连接的数量。

[0049] 在图 1 中,将输入到栅极线侧驱动电路 101、信号线侧驱动电路 102 及电源电路 104 的信号示出为从柔性印刷基板 110(Flexible Printed Circuit;FPC)输入的信号。另外,在图 1 中,也可以采用如下结构,即栅极线侧驱动电路 101、信号线侧驱动电路 102 及电源电路 104 中任一个设置在与显示部 103 同一衬底上。此外,也可以采用只有显示部 103 设置在衬底上的结构。作为一例,将栅极线侧驱动电路 101 及信号线侧驱动电路 102 形成在与显示部 103 同一衬底上,并将用来生成第一电位及第二电位的电源电路 104 形成在衬底的外部的设置有控制电路的印刷线路板(Printed Wiring Board;PWB)上。另外,将供给到布线 108 及布线 109 的第一电位及第二电位通过柔性印刷基板 110 从外部供给来可以缩减电源电路 104,从而可以实现显示装置 100 的小型化。

[0050] 此外,信号生成电路 151 具有如下功能,即根据映像信号 152 将信号或电压等通过柔性印刷基板 110 输出到显示装置 100 的各电路,并且可以用作控制器、控制电路、定时发生器或调节器等。

[0051] 信号生成电路 151 将如下信号输出到显示装置 100,作为该信号的一例,可以举出:信号线侧驱动电路用起始信号(SSP)、信号线侧驱动电路用时钟信号(SCK)、信号线侧驱动电路用反相时钟信号(SCKB)、视频电压用数据(DATA)、门锁信号(LAT)、栅极线侧驱动电路用起始信号(GSP)、栅极线侧驱动电路用时钟信号(GCK)及栅极线侧驱动电路用反相时钟信号(GCKB)等。此外,输出输入到显示装置 100 的电源电路 104 等的电路的恒压的信

号。显示装置的栅极线侧驱动电路 101 及信号线侧驱动电路 102、电源电路 104 可以根据这些信号在显示部 103 中进行显示。

[0052] 在图 1 的显示部 103 中,如上所述那样,多个像素 105 配置为矩阵状(配置为条形)。像素 105 未必需要配置为矩阵状,也可以将像素 105 配置为三角形状或以拜尔(Bayer)方式配置。作为显示部 103 中的显示方式,可以使用进级方式或交错方式。通过采用交错方式将信号供给到多个像素来进行显示,可以降低驱动频率并实现低耗电量化。当进行彩色显示时利用像素控制的色彩单元不局限于 RGB(R 是红色,G 是绿色,B 是蓝色)的三个颜色,而也可以采用其以上的颜色,例如也可以对 RGBW(W 是白色)或 RGB 添加黄色、蓝绿色、紫红色等的一个以上的颜色。每个色彩单元的点的显示区的尺寸也可以互不相同。由此,可以实现低耗电量化或延长显示元件的使用寿命。

[0053] 此外,明确地描述“A 和 B 连接”的情况包括如下情况:A 和 B 电连接;A 和 B 功能性地连接;以及 A 和 B 直接连接。在此,以 A 和 B 为对象(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。因此,还包括除了附图或文章所示的连接关系以外的连接关系,而不局限于预定的连接关系如附图或文章所示的连接关系。

[0054] 例如,在 A 和 B 电连接的情况下,也可以在 A 和 B 之间连接有一个以上的能够电连接 A 和 B 的元件(例如开关、晶体管、电容元件、电感器、电阻元件、二极管等)。或者,在 A 和 B 功能性地连接的情况下,也可以在 A 和 B 之间连接有一个以上的能够功能性地连接 A 和 B 的电路(例如,逻辑电路(反相器、NAND 电路、NOR 电路等)、信号转换电路(DA 转换电路、AD 转换电路、 γ 校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平移位电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差动放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。例如,在从 A 输出的信号传送到 B 的情况下,即使在 A 和 B 之间夹有其它电路,也将 A 和 B 视为功能性地连接。

[0055] 此外,当明确地描述“A 和 B 电连接”时,包括如下情况:A 和 B 电连接(也就是说,A 和 B 连接并在其中间夹有其它元件或其它电路);A 和 B 功能性地连接(也就是说,A 和 B 功能性地连接并在其中间夹有其它电路);以及 A 和 B 直接连接(就是说,A 和 B 连接而其中间不夹有其它元件或其它电路)。也就是说,明确地描述“电连接”的情况与明确地只描述“连接”的情况相同。

[0056] 此外,显示装置是指具有对比度、亮度、反射率、透射率等因电磁作用而变化的显示元件的装置如 EL(电致发光)元件(包含有机物及无机物的 EL 元件、有机 EL 元件、无机 EL 元件)、LED(白色 LED、红色 LED、绿色 LED、蓝色 LED 等)、晶体管(根据电流发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅阀(GLV)、等离子体显示器面板(PDP)、数字微镜装置(DMD)、压电陶瓷显示器、碳纳米管等。显示装置也可以包括包含发光元件等的显示元件的多个像素。显示装置可以包括驱动多个像素的外围驱动电路。驱动多个像素的外围驱动电路也可以形成在与多个像素同一衬底上。显示装置也可以包括通过引线键合或凸起(bump)等而配置在衬底上的外围驱动电路、所谓的通过玻璃上芯片(COG)而连接的 IC 芯片、或者通过 TAB 等而连接的 IC 芯片。显示装置也可以包括安装有 IC 芯片、电阻元件、电容元件、电感器、晶体管等的柔性印刷基板(FPC)。显示装置也可以通过柔性印刷基板(FPC)等连接,并包括安装有 IC 芯片、电阻元件、电容元件、电感器、晶体管等的印刷

线路板 (PWB)。显示装置也可以包括偏光片或相位差片等的光学片。显示装置还可以包括照明装置、外壳、声音输入 / 输出装置、光传感器等。

[0057] 此外,作为像素 105 及驱动电路所具有的晶体管,可以使用各种形态的晶体管。因此,对于所使用的晶体管的种类没有限制。例如,可以使用具有以非晶硅、多晶硅或微晶(也称为纳米晶、半非晶(semi-amorphous))硅等为代表的非单晶半导体膜的薄膜晶体管(TFT)等。在使用 TFT 的情况下,具有各种优点。例如,因为可以在比使用单晶硅时低的温度下制造 TFT,因此可以实现制造成本的降低、或制造设备的大型化。由于可以扩大制造设备,所以可以在大型衬底上制造。因此,因为可以同时制造多个显示装置,所以可以以低成本制造。再者,由于制造温度低,因此可以使用低耐热性衬底。由此,可以在具有透光性的衬底上制造晶体管。并且,可以通过使用在具有透光性的衬底上的晶体管来控制显示元件中的光透射。或者,因为晶体管的膜厚度较薄,所以构成晶体管的膜的一部分能够透射光。因此,可以提高开口率。

[0058] 另外,当制造多晶硅时,可以通过使用催化剂(镍等)进一步提高结晶性,从而能够制造电特性良好的晶体管。其结果是,可以在衬底上一体地形成栅极驱动器电路(扫描线驱动电路)或源极驱动器电路(信号线驱动电路)、以及信号处理电路(信号产生电路、 γ 校正电路、DA 转换电路等)。

[0059] 另外,当制造微晶硅时,可以通过使用催化剂(镍等)进一步提高结晶性,从而能够制造电特性良好的晶体管。此时,仅通过进行热处理而不进行激光照射,就可以提高结晶性。其结果是,可以在衬底上一体地形成源极驱动器电路的一部分(模拟开关等)以及栅极驱动器电路(扫描线驱动电路)。再者,当为了实现晶化而不进行激光照射时,可以抑制硅结晶性的不均匀。因此,可以显示提高了图像质量的图像。

[0060] 另外,可以制造多晶硅或微晶硅而不使用催化剂(镍等)。

[0061] 另外,虽然优选将面板整体的硅结晶性提高为多晶或微晶等,但不限于此。也可以只在面板的一部分区域中提高硅结晶性。通过选择性地照射激光等,可以选择性地提高结晶性。例如,也可以只对作为除了像素以外的区域的外围电路区照射激光。或者,也可以只对栅极驱动器电路、源极驱动器电路等的区域照射激光。或者,也可以只对源极驱动器电路的一部分(例如,模拟开关)的区域照射激光。其结果是,可以只在需要使电路高速工作的区域中提高硅的结晶性。由于不需要使像素区域高速工作,所以即使不提高结晶性,也可以使像素电路工作而不发生问题。由于提高结晶性的区域较少就够了,所以也可以缩短制造工序,且可以提高处理量并降低制造成本。由于所需要的制造装置的数量较少就能够进行制造,所以可以降低制造成本。

[0062] 或者,可以使用半导体衬底或 SOI 衬底等来形成晶体管。由此,可以制造特性、尺寸或形状等不均匀性低、电流供给能力高且尺寸小的晶体管。如果使用这些晶体管,则可以谋求电路的低耗电量化或电路的高集成化。

[0063] 或者,可以使用具有 ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnO 等的化合物半导体或氧化物半导体的晶体管、或对这些化合物半导体或氧化物半导体进行薄膜化后的薄膜晶体管等。由此,可以降低制造温度,例如可以在室温下制造晶体管。其结果是,可以在低耐热性衬底、如塑料衬底或薄膜衬底上直接形成晶体管。此外,这些化合物半导体或氧化物半导体不仅可以用于晶体管的沟道部分,而且还可以用作其它用途。例如,这些化合物半导体

或氧化物半导体可以用作电阻元件、像素电极、具有透光性的电极。再者,由于可以与晶体管同时进行它们的成膜或形成,所以可以降低成本。

[0064] 或者,可以使用通过喷墨或印刷法而形成的晶体管等。由此,可以在室温下制造;以低真空度制造;或在大型衬底上制造。由于即使不使用掩模(中间掩模)也可以制造晶体管,所以可以容易地改变晶体管的布局。再者,由于不需要使用抗蚀剂,所以可以降低材料费,并减少工序数量。并且,因为只在需要的部分上形成膜,所以与在整个面上形成膜之后进行蚀刻的制造方法相比,可以不浪费材料且实现低成本。

[0065] 或者,可以使用具有有机半导体或碳纳米管的晶体管等。由此,可以在能够弯曲的衬底上形成晶体管。因此,能够增强使用这种衬底制造的半导体装置的耐冲击性。

[0066] 再者,可以使用各种结构的晶体管。例如,可以将MOS型晶体管、结型晶体管、双极晶体管等用作晶体管。通过使用MOS型晶体管,可以减少晶体管尺寸。因此,可以安装多个晶体管。通过使用双极晶体管,可以使大电流流过。因此,可以使电路高速工作。

[0067] 此外,也可以将MOS型晶体管、双极晶体管等混合而形成在一个衬底上。由此,可以实现低耗电量、小型化、高速工作等。

[0068] 除了上述以外,还可以采用各种晶体管。

[0069] 另外,可以使用各种衬底形成晶体管。对于衬底的种类没有特别的限制。作为该衬底,例如可以使用单晶衬底、SOI衬底、玻璃衬底、石英衬底、塑料衬底、不锈钢衬底、具有不锈钢箔的衬底等。或者,也可以使用某个衬底来形成晶体管,然后将晶体管转置到另一衬底上,从而在另一衬底上配置晶体管。作为晶体管被转置的衬底,可以使用单晶衬底、SOI衬底、玻璃衬底、石英衬底、塑料衬底、纸衬底、玻璃纸衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)、或再生纤维(醋酯纤维、铜氨纤维、人造丝、再生聚酯)等)、皮革衬底、橡皮衬底、不锈钢衬底、具有不锈钢箔的衬底等。或者,也可以使用人等的动物皮肤(表皮、真皮)或皮下组织作为衬底。或者,也可以使用某个衬底形成晶体管,并抛光该衬底以使其变薄。作为进行抛光的衬底,可以使用单晶衬底、SOI衬底、玻璃衬底、石英衬底、塑料衬底、不锈钢衬底、具有不锈钢箔的衬底等。通过使用这些衬底,可以实现:特性良好的晶体管的形成;低耗电量的晶体管的形成;不容易被破坏的装置的制造;赋予耐热性;轻量化或薄型化。

[0070] 此外,作为晶体管,可以采用各种结构而不局限于特定的结构。例如,可以应用具有两个以上的栅电极的多栅极结构。由于如果采用多栅极结构,则沟道区串联连接,所以能够实现多个晶体管串联连接的结构。通过采用多栅极结构,可以降低截止电流,并能够提高晶体管的耐压性(提高可靠性)。或者,通过利用多栅极结构,当在饱和区中工作时,即使漏极-源极间的电压变化,漏极-源极间电流的变化也不太大,从而可以使电压-电流特性的斜率稳定。如果利用斜率稳定的电压-电流特性,则可以实现理想的电流源电路或电阻值非常高的有源负载。其结果是,可以实现特性良好的差动电路或电流反射镜电路。

[0071] 作为其它的例子,可以采用在沟道上下配置有栅电极的结构。因为通过采用在沟道上下配置有栅电极的结构,可以增加沟道区,所以可以实现增加电流值。另外,通过采用在沟道上下配置有栅电极的结构,容易产生耗尽层,因此可以实现S值的改善。通过采用在沟道上下配置有栅电极的结构,从而能够得到多个晶体管并联的结构。

[0072] 也可以采用将栅电极配置在沟道区上的结构、将栅电极配置在沟道区下的结构、

正交错结构、反交错结构、将沟道区分割成多个区域的结构、并联连接沟道区的结构或者沟道区串联连接的结构。而且,还可以采用沟道区(或其一部分)与源电极或漏电极重叠的结构。通过采用沟道区(或其一部分)与源电极或漏电极重叠的结构,可以防止因电荷聚集在沟道区的一部分而使工作不稳定。或者,可以应用设置 LDD 区的结构。通过设置 LDD 区,可以实现截止电流的降低或者晶体管的耐压性的提高(可靠性的提高)。或者,通过设置 LDD 区,可以获得如下特性,即当在饱和区中工作时,即使漏极-源极之间的电压变化,漏极-源极之间电流的变化也不太大,从而可以使电压-电流特性的斜率稳定。

[0073] 另外,作为晶体管,可以采用各种各样的类型,从而可以使用各种衬底形成。因此,实现预定功能所需要的所有电路可以形成在同一衬底上。例如,实现预定功能所需要的所有电路也可以使用各种衬底,如玻璃衬底、塑料衬底、单晶衬底或 SOI 衬底等形成。通过将实现预定功能所需要的所有电路使用同一衬底形成,可以通过减少零部件个数来降低成本,或可以通过减少与电路零部件之间的连接个数来提高可靠性。或者,也可以将实现预定功能所需要的电路的一部分形成在某个衬底上,而实现预定功能所需要的电路的另一部分形成在另一个衬底上。换言之,实现预定功能所需要的所有电路也可以不形成在同一衬底上。例如,也可以利用晶体管将实现预定功能所需要的电路的一部分形成在玻璃衬底上,而将实现预定功能所需要的电路的另一部分形成在单晶衬底上,并通过 COG(Chip On Glass:玻璃上芯片)将由使用单晶衬底形成的晶体管构成的 IC 芯片连接到玻璃衬底,从而在玻璃衬底上配置该 IC 芯片。或者,也可以使用 TAB(Tape Automated Bonding:带式自动焊接)或印刷电路板使该 IC 芯片和玻璃衬底连接。像这样,通过将电路的一部分形成在同一衬底上,可以通过减少零部件个数来降低成本、或可以通过减少与电路零部件之间的连接点个数来提高可靠性。另外,由于驱动电压高的部分及驱动频率高的部分的电路的耗电量高,因此不将该部分的电路形成在同一衬底上,例如如果将该部分的电路形成在单晶衬底上,以使用由该电路构成的 IC 芯片,则能够防止耗电量的增加。

[0074] 晶体管是指包括栅极、漏极以及源极的至少三个端子的元件,其中在漏区和源区之间具有沟道区,而且电流能够通过漏区、沟道区、以及源区流动。这里,因为源极和漏极由于晶体管的结构或工作条件等而改变,因此很难限定哪个是源极或漏极。因此,有时不将用作源极及漏极的区域称为源极或漏极。在此情况下,作为一例,有时将它们分别记为第一端子和第二端子。或者,有时将它们分别记为第一电极和第二电极。或者,有时将它们记为第一区和第二区。

[0075] 另外,晶体管也可以是包括基极、发射极和集电极的至少具有三个端子的元件。在此情况下,也与上述同样地有时将发射极和集电极分别记为第一端子和第二端子等。

[0076] 再者,栅极是指包括栅电极和栅极布线(也称为栅极线、栅极信号线、扫描线、扫描信号线等)的全体、或者是指这些中的一部分。栅电极指的是隔着栅极绝缘膜与形成沟道区的半导体重叠的部分的导电膜。此外,栅电极的一部分有时隔着栅极绝缘膜与 LDD(Lightly Doped Drain;轻掺杂漏极)区或源区(或漏区)重叠。栅极布线是指用来连接各晶体管的栅电极之间的布线、用来连接各像素所具有的栅电极之间的布线、或用来连接栅电极和其它布线的布线。

[0077] 但是,也存在着用作栅电极并用作栅极布线的部分(区域、导电膜、布线等)。这种部分(区域、导电膜、布线等)可以称为栅电极或栅极布线。换言之,也存在着不可明确区

别栅电极和栅极布线的区域。例如,在沟道区与延伸而配置的栅极布线的一部分重叠的情况下,该部分(区域、导电膜、布线等)不仅用作栅极布线,而且还用作栅电极。因此,这种部分(区域、导电膜、布线等)可以称为栅电极或栅极布线。

[0078] 另外,使用与栅电极相同的材料形成、且形成与栅电极相同的岛(island)而连接的部分(区域、导电膜、布线等)也可以称为栅电极。与此同样,用与栅极布线相同的材料形成、且形成与栅极布线相同的岛而连接的部分(区域、导电膜、布线等)也可以称为栅极布线。严密地说,有时这种部分(区域、导电膜、布线等)与沟道区不重叠,或者,不具有与其它栅电极之间实现连接的功能。但是,根据制造时的规格等关系,具有由与栅电极或栅极布线相同的材料形成且形成与栅电极或栅极布线相同的岛而实现连接的部分(区域、导电膜、布线等)。因此,这种部分(区域、导电膜、布线等)也可以称为栅电极或栅极布线。

[0079] 另外,例如在多栅极晶体管中,在很多情况下一个栅电极和它的栅电极通过由与栅电极相同的材料形成的导电膜实现连接。因为这种部分(区域、导电膜、布线等)是用来连接栅电极和栅极的部分(区域、导电膜、布线等),因此可以称为栅极布线。但是,由于也可以将多栅极晶体管看作一个晶体管,所以该部分也可以称为栅电极。换言之,由与栅电极或栅极布线相同的材料形成、且形成与栅电极或栅极布线相同的岛而连接的部分(区域、导电膜、布线等)也可以称为栅电极或栅极布线。而且,例如,是连接栅电极和栅极布线的部分且由与栅电极或栅极布线不同的材料形成的导电膜也可以称为栅电极或栅极布线。

[0080] 另外,栅极端子是指栅电极的部分(区域、导电膜、布线等)或与栅电极电连接的部分(区域、导电膜、布线等)中的一部分。

[0081] 再者,在将某个布线称为栅极布线、栅极线、栅极信号线、扫描线、扫描信号线等的情况下,该布线有时不连接到晶体管的栅极。在此情况下,栅极布线、栅极线、栅极信号线、扫描线、扫描信号线有可能是指以与晶体管的栅极相同的层形成的布线、由与晶体管的栅极相同的材料形成的布线、或与晶体管的栅极同时形成的布线。作为一例,可以举出保持电容用布线、电源线、基准电位供给布线等。

[0082] 此外,源极是指包括源区、源电极、源极布线(也称为源极线、源极信号线、数据线、数据信号线等)的全体、或者是指这些中的一部分。源区是指包含很多P型杂质(硼或镓等)或N型杂质(磷或砷等)的半导体区。因此,稍微包含P型杂质或N型杂质的区域,即,所谓的LDD(Lightly Doped Drain;轻掺杂漏极)区不包括在源区中。源电极是指以与源区不同的材料形成并与源区电连接而配置的部分的导电层。但是,源电极有时包括源区而称为源电极。源极布线是指用来连接各晶体管的源电极之间的布线、用来连接各像素所具有的源电极之间的布线、或用来连接源电极和其它布线的布线。

[0083] 但是,也存在着作为源电极和源极布线起作用的部分(区域、导电膜、布线等)。这种部分(区域、导电膜、布线等)可以称为源电极或源极布线。换言之,也存在着不可明确区别源电极和源极布线的区域。例如,在源区与延伸而配置的源极布线的一部分重叠的情况下,该部分(区域、导电膜、布线等)不仅作为源极布线起作用,而且还作为源电极起作用。因此,这种部分(区域、导电膜、布线等)可以称为源电极或源极布线。

[0084] 另外,由与源电极相同的材料形成且形成与源电极相同的岛而连接的部分(区域、导电膜、布线等)、或连接源电极和源极的部分(区域、导电膜、布线等)也可以称为源电极。再者,与源区重叠的部分也可以称为源电极。与此相同,由与源极布线相同的材料形

成且形成与源极布线相同的岛而连接的区域也可以称为源极布线。严密地说,该部分(区域、导电膜、布线等)有时不具有与其它源电极之间实现连接的功能。但是,因为制造时的规格等的关系,具有由与源电极或源极布线相同的材料形成且与源电极或源极布线连接的部分(区域、导电膜、布线等)。因此,该种部分(区域、导电膜、布线等)也可以称为源电极或源极布线。

[0085] 另外,例如,也可以将是连接源电极和源极布线的部分且由与源电极或源极布线不同的材料形成的导电膜称为源电极或源极布线。

[0086] 再者,源极端子是指源区、源电极、与源电极电连接的部分(区域、导电膜、布线等)中的一部分。

[0087] 另外,在将某个布线称为源极布线、源极线、源极信号线、数据线、数据信号线等的情况下,该布线有时不连接到晶体管的源极(漏极)。在此情况下,源极布线、源极线、源极信号线、数据线、数据信号线有时是指由与晶体管的源极(漏极)相同的层形成的布线、由与晶体管的源极(漏极)相同的材料形成的布线、或与晶体管的源极(漏极)同时成膜的布线。作为一例,可以举出保持电容用布线、电源线、基准电位供给布线等。

[0088] 另外,漏极与源极同样。

[0089] 另外,一个像素指的是能够控制明亮度的一个单元。因此,作为一例,一个像素是指一个色彩单元,并用该一个色彩单元来表现明亮度。因此,在采用由 RGB 这些色彩单元构成的彩色显示装置的情况下,像素的最小单位由 R 的像素、G 的像素、以及 B 的像素这三个像素构成。

[0090] 作为本实施方式所说明的构成的特征之一,用来供给图 1 所示的第一电位的布线 108 及用来供给第二电位的布线 109 连接到多个像素 105。具备用来补偿 TFT 的阈值电压的不均匀的电路的像素如上所述那样具有电压程序期间和发光期间。在发光期间中,与电压程序期间不同,在用作用来供给电流的布线的布线 108 及布线 109 中因布线的延伸所引起的布线电阻的影响而产生电压降低,且用来供给电流的布线的电压产生偏差。在本实施方式的结构中,通过在电压程序期间和发光期间中切换用作用来供给电流的布线的布线 108 及布线 109 的电连接,可以减少用来供给电流的布线所引起的电压降低的影响。下面,使用具体的电路结构进行说明。

[0091] 首先,说明上述图 1 的像素 105 的结构。图 2A 示出像素 105 连接到布线 107、布线 108 及布线 109 的电路图。像素 105 包括:通过控制布线 106 将布线 107 的电位提取到像素的开关 201(也称为选择开关);根据从布线 107 供给的电位控制灰度的发光元件 202;连接到发光元件 202 的一方电极驱动发光元件 202 的晶体管 203;用来校正晶体管 203 的阈值电压并保持施加到晶体管 203 的视频电压的校正电路 204;切换布线 108 和晶体管 203 的第一端子的电连接的开关 205(也称为第一开关);以及切换布线 109 和晶体管 203 的第一端子的电连接的开关 206(也称为第二开关)。另外,发光元件 202 的另一方电极连接到被供给用来驱动发光元件的电位的布线 207(也称为第三布线)。

[0092] 在图 2A 中,用来控制开关 201、开关 205 及开关 206 的控制信号既可以通过设置新的布线供给,又可以使用其它布线共同使用,所以在此并不图示。作为一例,在下面的说明中图 1 所示的布线 106 对应于用来控制开关 201 的布线而进行说明。此外,用来控制开关 205 及开关 206 的布线既可以与布线 107 平行地配置,又可以与栅极线平行地配置。或

者,也可以使用连接到其它行的像素的栅极线控制开关 205 及开关 206。另外,通过使用极性不同的晶体管构成开关 205 及开关 206,共有供给控制开关 205 及开关 206 的信号布线来可以缩减布线数,从而可以实现低成本化、成品率的提高等。

[0093] 在图 2A 中,以用来驱动发光元件 202 的晶体管 203 为 p 沟道型晶体管来进行说明。本实施方式所示的结构当作为用来驱动发光元件 202 的晶体管 203 使用 n 沟道型晶体管时也发挥同样的效果。当作为用来驱动发光元件 202 的晶体管 203 使用 n 沟道型晶体管时,需要考虑晶体管的极性而使晶体管 203 和发光元件 202 电连接。通过使晶体管 203 的极性与构成开关 201 的晶体管的极性及构成校正电路 204 的晶体管的极性一致,可以降低显示装置的制造成本。

[0094] 另外,开关 205 及开关 206 的使电流流过的能力可以相同或不同。作为具体结构,在使用晶体管形成开关 205 及开关 206 的情况下,当晶体管的沟道宽度为 W ,且以沟道长度为 L 时,也可以使 W/L 不同地制造。此外,至于开关 205 和开关 206 的 W/L ,优选使开关 206 的 W/L 的值较大。至于布线 108 和布线 109,布线 109 可以使较多的电流流过。因此,通过使开关 206 的 W/L 的值比开关 205 的 W/L 的值大,可以使更大量的电流从布线 109 流到像素 105,所以是优选的。

[0095] 接着,描述本实施方式所示的结构的显示装置中的像素的驱动方法。参照图 2B 说明图 2A 所示的开关 205 及开关 206 的工作。如上所述,像素 105 具备电压程序期间及发光期间。在本实施方式所说明的显示装置中,在电压程序期间中将开关 205 控制为导通,并将开关 206 控制为截止。此外,在发光期间中将开关 205 控制为截止,并将开关 206 控制为导通。

[0096] 在此,在图 3A、图 3B 及图 4A、图 4B 中示出像素电路的具体结构而详细地说明像素 105 的驱动方法。

[0097] 图 3A 所示的像素电路的结构示出构成显示装置的像素的电路图的一例,特别示出图 2A 所示的校正电路 204 的一例。与图 2A 同样,像素 105 连接到布线 107、布线 108 及布线 109,并包括开关 201、发光元件 202、晶体管 203、校正电路 204、开关 205 及开关 206。校正电路 204 包括开关 301(也称为第一控制开关)、开关 302(也称为第二控制开关)、开关 303(也称为第三控制开关)、电容元件 304(也称为第一电容元件)、电容元件 305(也称为第二电容元件)。

[0098] 此外,在本说明书中,为了避免结构因素的混同,开关有时根据其功能区别称为“选择开关”、“控制开关”或简称为“开关”,但是只要控制第一端子和第二端子的电连接,即可。

[0099] 此外,可以使用各种方式的开关。例如有电气开关或机械开关等。换言之,它只要控制电流的流动即可,而不局限于特定开关。例如,作为开关,可以使用晶体管(例如,双极晶体管或 MOS 晶体管等)、二极管(例如,PN 二极管、PIN 二极管、肖特基二极管、MIM(Metal Insulator Metal;金属-绝缘体-金属)二极管、MIS(Metal Insulator Semiconductor;金属-绝缘体-半导体)二极管、二极管连接的晶体管等)等。或者,可以使用组合了它们的逻辑电路作为开关。

[0100] 作为机械开关的例子,有像数字微镜装置(DMD)那样的利用 MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过该电极移动控制导通和不

导通来工作。

[0101] 在将晶体管用作开关的情况下,由于该晶体管作为简单的开关工作,因此对晶体管的极性(导电类型)没有特别限制。然而,在要抑制截止电流的情况下,优选使用截止电流少的极性的晶体管。作为截止电流少的晶体管,有具有 LDD 区的晶体管或具有多栅极结构的晶体管等。或者,当作为开关工作的晶体管的源极端子的电位以与低电位侧电源(V_{ss}、GND、0V 等)的电位接近的值工作时,优选采用 N 沟道型晶体管。与此相反,当源极端子的电位以与高电位侧电源(V_{dd} 等)的电位接近的值工作时,优选采用 P 沟道型晶体管。这是因为如下缘故:在 N 沟道型晶体管中,当源极端子以与低电位侧电源的电位接近的值工作时可以增大栅极与源极间电压的绝对值,而在 P 沟道型晶体管中,当源极端子以与高电位侧电源的电位接近的值工作时可以增大栅极与源极间电压的绝对值,因此作为开关可以进行更正确的工作。另外,这是因为由于晶体管进行源极跟随工作的情况少,所以输出电压减少的情况少的缘故。

[0102] 另外,可以通过使用 N 沟道型晶体管和 P 沟道型晶体管双方来将 CMOS 型开关用作开关。当采用 CMOS 型开关时,若 P 沟道型晶体管及 N 沟道型晶体管中的任一方导通则电流流过,因此容易用作开关。例如,即使输入信号的电压高或低,也可以使适当地输出电压。而且,由于可以降低用来使开关导通或截止的信号电压的电压振幅值,所以还可以减少耗电量。

[0103] 此外,在将晶体管用作开关的情况下,开关具有输入端子(源极端子及漏极端子中之一方)、输出端子(源极端子及漏极端子中之另一方)、以及控制导通的端子(栅极端子)。另一方面,在将二极管用作开关的情况下,开关有时不具有控制导通的端子。因此,与使用晶体管作为开关的情况相比,通过使用二极管作为开关,可以减少用来控制端子的布线数量。

[0104] 在图 3A 中,开关 201 的第一端子、开关 301 的第一端子、电容元件 304 的一个电极和电容元件 305 的一个电极互相连接。此外,开关 301 的第二端子、晶体管 203 的第一端子、电容元件 305 的另一电极、开关 205 的第一端子和开关 206 的第一端子互相连接。电容元件 304 的另一电极、开关 302 的第一端子和晶体管 203 的栅极端子互相连接。开关 302 的第二端子、晶体管 203 的第二端子和开关 303 的第一端子互相连接。此外,开关 303 的第二端子连接到发光元件 202 的阳极一侧。

[0105] 此外,图 3B 所示的像素电路的结构示出在图 3A 所示的校正电路 204 的一例中与开关 303 及发光元件 202 并联设置开关 306(也称为第四控制开关)的结构。图 3B 所示的像素 105 与图 3A 同样地连接到布线 107、布线 108 及布线 109,并包括开关 201、发光元件 202、晶体管 203、校正电路 204、开关 205 及开关 206。而且,校正电路 204 包括开关 301、开关 302、开关 303、电容元件 304、电容元件 305、开关 306。

[0106] 图 3B 与图 3A 不同之处在于:开关 302 的第二端子、晶体管 203 的第二端子、开关 303 的第一端子及开关 306 的第一端子互相连接;并且开关 306 的第二端子连接到布线 207。

[0107] 此外,在图 4A 所示的像素电路的结构中,在图 3A 所示的校正电路 204 的一例中开关 301 的第二端子连接到新设置的布线 307(也称为第四布线)。图 4A 所示的像素 105 连接到布线 107、布线 108、布线 109 及布线 307,并包括开关 201、发光元件 202、晶体管 203、

校正电路 204、开关 205 及开关 206。而且,校正电路 204 包括开关 301、开关 302、开关 303、电容元件 304、电容元件 305。

[0108] 图 4A 与图 3A 不同之处在于:开关 301 的第二端子不连接到晶体管 203 的第一端子、电容元件 305 的另一电极、开关 205 的第一端子及开关 206 的第一端子而连接到新设置的布线 307。

[0109] 此外,图 4B 所示的像素电路的结构示出:在图 3B 所示的校正电路 204 的一例中不设置开关 303 并将布线 309(也称为第五布线)连接到开关 308 的第二端子的结构。图 4B 所示的像素 105 连接到布线 107、布线 108、布线 109 及布线 309,并包括开关 201、发光元件 202、晶体管 203、校正电路 204、开关 205 及开关 206。而且,校正电路 204 包括开关 301、开关 302、电容元件 304、电容元件 305、开关 308。

[0110] 图 4B 与图 3B 不同之处在于:不设置开关 303 地将晶体管 203 的第二端子和发光元件 202 的阳极一侧及开关 308 的第一端子直接连接;并且开关 308 的第二端子连接到布线 309。

[0111] 接着,参照图 5A、图 5B 以及图 6A、图 6B 说明图 3A、图 3B 以及图 4A、图 4B 所示的电路的工作原理。

[0112] 图 5A、图 5B 以及图 6A、图 6B 示出对应于图 3A、图 3B 以及图 4A、图 4B 所示的电路的布线 108、布线 109、布线 207(或布线 309)、晶体管 203、开关 301、开关 302、开关 303(或开关 308)、电容元件 304、电容元件 305、开关 205 及开关 206 的元件。供给到布线 108 的第一电位为 V_1 ,供给到布线 109 的第二电位为 V_2 。供给到布线 207 的接地电位为 $V_{\text{GND}} (= 0\text{V})$ 而进行说明。为了说明不图示,但是在像素中还具有控制开关及发光元件等的元件。至于各电位的大小,具有 $V_2 > V_1 \gg V_{\text{GND}}$ 的关系,且作为 p 沟道型晶体管 203 的阈值电压为 $-V_{\text{th}}$ 而进行说明。当晶体管 203 的源极和栅极之间的电压为 V_{gs} 时,若具有 $V_{\text{gs}} < -V_{\text{th}}$ 的关系则晶体管 203 导通,而若具有 $V_{\text{gs}} \geq -V_{\text{th}}$ 的关系则晶体管 203 截止。

[0113] 此外,本说明书所说明的电压相当于接地电压 V_{GND} 的基准电位为 0V 时的电位差。因此,有时将电压称为电位或将电位称为电压。

[0114] 首先,如图 5A 所示,使开关 205 导通,使开关 206 截止,使开关 301 导通,使开关 302 导通,且使开关 303 导通。由此,晶体管 203 的栅极端子的电位(下面,栅极电位)成为 V_{GND} ,成为晶体管 203 的源极的第一端子的电位(下面,源极电位)成为 V_1 。而且,通过作为 V_{gs} 施加 $(V_{\text{GND}} - V_1)$,实现 $(V_{\text{GND}} - V_1) < -V_{\text{th}}$,晶体管 203 成为导通状态。

[0115] 另外,当采用图 5A 的结构时,在图 3B、图 4A 及图 4B 所示的电路结构中可以不使电流向发光元件流过。因此,显示装置可以实现显示部中的对比度的提高。

[0116] 接着,如图 5B 所示,使开关 303 截止。由此,栅极电位从第一电位 V_1 以晶体管 203 的阈值电压量降低,而成为 $(V_1 - V_{\text{th}})$ 。而且,流过在晶体管 203 中的电流减少,然后晶体管 203 的 V_{gs} 成为阈值电压的 $-V_{\text{th}}$,且晶体管 203 成为截止状态。然后,即使使开关 301 及开关 302 截止也在晶体管 203 的栅极和源极之间保持 $-V_{\text{th}}$ 。

[0117] 接着,如图 6A 所示,使开关 301 及开关 302 截止,对连接有开关 301 的第一端子、电容元件 304 的一个电极及电容元件 305 的一个电极的节点供给视频电压 $-V_{\text{data}}$ 。另外,在图 6A 中,由于晶体管 203 的极性是 p 沟道型晶体管,因此视频电压成为 $-V_{\text{data}}$ 。通过施加视频电压 $-V_{\text{data}}$,晶体管 203 的栅极电位成为 $(V_1 - V_{\text{data}} - V_{\text{th}})$ 。另一方面,晶体管 203 的源极电

位成为与布线 108 相同的电位,即 V_1 。而且,通过施加 $(-V_{\text{data}}-V_{\text{th}})$,在晶体管 203 的 V_{gs} 中实现 $(-V_{\text{data}}-V_{\text{th}}) < -V_{\text{th}}$,并且晶体管 203 成为导通状态。另外,当 $-V_{\text{data}}$ 为 0 时成为黑色显示,所以晶体管 203 截止。

[0118] 另外,在图 5B 中,在栅极电位成为从第一电位 V_1 以晶体管 203 的阈值电压量降低的 (V_1-V_{th}) 之前,也可以使图 6A 所示的开关 301 及开关 302 截止。通过在栅极电位成为从第一电位 V_1 以晶体管 203 的阈值电压量降低的 (V_1-V_{th}) 之前,使开关 301 及开关 302 截止,可以在各像素之间对晶体管 203 的迁移率进行校正。因此,可以实现显示质量的提高。

[0119] 如上所述,图 5A、图 5B 以及图 6A、图 6B 所示的工作相当于电压程序期间。

[0120] 接着,如图 6B 所示,切换开关 205 及开关 206 的导通或截止,且使开关 303 截止。晶体管 203 的源极电位成为与布线 109 相同的电位,即 V_2 。另一方面,由于电荷不移动,因此晶体管 203 的栅极电位因电容元件 304 及电容元件 305 的电容耦合而成为 $(V_2-V_{\text{data}}-V_{\text{th}})$ 。由此,通过施加 $(-V_{\text{data}}-V_{\text{th}})$,晶体管 203 的 V_{gs} 成为 $(-V_{\text{data}}-V_{\text{th}}) < -V_{\text{th}}$,且晶体管 203 导通。而且,电流通过开关 303 向具有发光元件的布线 207 一侧流过。也就是说,可以考虑在每个晶体管中具有偏差的阈值电压 V_{th} 而施加晶体管 203 的 V_{gs} 。另外,当 $-V_{\text{data}}$ 为 0 时,晶体管 203 截止,且发光元件不发光。

[0121] 如上所述,图 6B 所示的工作相当于发光期间。

[0122] 其结果是,可以在校正晶体管 203 的阈值电压之后驱动连接到晶体管 203 的第二端子的发光元件。

[0123] 另外,在图 5A、图 5B 以及图 6A、图 6B 所说明的电路的例子中,作为晶体管 203 使用 p 沟道型晶体管,且示出根据晶体管 203 的极性输入 / 输出的电位的一例。不局限于此,当作为晶体管 203 使用 n 沟道型晶体管时也与上述晶体管 203 的工作同样地驱动,即可。

[0124] 接着,参照图 7A、图 7B 以及图 8A、图 8B 更具体地说明显示装置的像素的电路工作。另外,对于图 7A、图 7B 所示的电路及开关的导通或截止,参照图 3A 所示的电路图具体地说明上述图 5A、图 5B 以及图 6A、图 6B 所述的电路工作。此外,为了具体地说明本实施方式所示结构的效果,图 8A、图 8B 所示的电路及开关的导通或截止是对作为比较例在不切换图 7A 所示的开关 205 及开关 206 且仅使开关 205 经常成为导通的情况下,仅将布线 108 连接到晶体管 203 时的电路进行的说明。

[0125] 在图 7A 中,与图 3A 同样地对电路图附记附图标记。此外,在图 7B 中示出开关 205、开关 206、开关 201、开关 301、开关 302、开关 303 的区间 a 至 g 中的导通或截止的切换以及晶体管 203 的源极电位及晶体管 203 的栅极电位的变位。另外,晶体管 203 的源极电位相当于晶体管 203 的第一端子与开关 205 及开关 206 的第一端子连接的一侧的电位。

[0126] 图 7A 及图 8B 示出连接到图 3A 所示的布线 107、布线 108 及布线 109,并包括开关 201、发光元件 202、晶体管 203、校正电路 204、开关 205 及开关 206 的像素 105 的电路结构。校正电路 204 包括开关 301、开关 302、开关 303、电容元件 304、电容元件 305。各元件的电连接与图 3A 中的说明同样。在图 7A 及图 8A 中,供给到布线 108 的第一电位为 V_1 、且供给到布线 109 的第二电位为 V_2 。供给到布线 207 的接地电位为 $V_{\text{GND}} (= 0\text{V})$,从布线 107 供给的视频电压为 $-V_{\text{data}}$ 而进行说明。为了说明不图示,但是在像素 105 中还具有控制开关及发光元件等的元件。至于各电位的大小,具有 $V_2 > V_1 \gg V_{\text{GND}}$ 的关系,且以 p 沟道型晶体管 203 的阈值电压为 $-V_{\text{th}}$ 而进行说明。当晶体管 203 的源极和栅极之间的电压为 V_{gs} 时,若

具有 $V_{gs} < -V_{th}$ 的关系则晶体管导通, 而若具有 $V_{gs} \geq -V_{th}$ 的关系则晶体管截止。 $-V_{data}$ 根据要显示的图像而不同。

[0127] 首先, 使开关 205 导通, 使开关 206 截止, 使开关 201 截止, 使开关 301 至 303 导通 (图 7B, 区间 a)。在区间 a 中, 晶体管 203 的源极电位为 V_1 , 而晶体管 203 的栅极电位为 V_{GND} 。晶体管 203 的栅极和源极之间的电位差为 $(V_{GND}-V_1)$ 。另外, 在区间 a 中, 晶体管 203 导通。

[0128] 接着, 使开关 205 导通, 使开关 206 截止, 使开关 201 截止, 使开关 301 导通, 使开关 302 导通, 且使开关 303 截止 (图 7B, 区间 b)。在区间 b 中, 晶体管 203 的源极电位为 V_1 , 而晶体管 203 的栅极电位为 (V_1-V_{th}) 。晶体管 203 的栅极电位上升, 这是因为如下缘故: 在区间 a 中晶体管 203 导通, 且通过在区间 b 中使开关 303 截止, 晶体管 203 的栅极电位成为从布线 108 的电位 V_1 减去晶体管 203 的阈值电压 V_{th} 而成的电压。晶体管 203 的栅极和源极之间的电位差为 $-V_{th}$ 。另外, 在区间 b 中, 晶体管 203 截止。

[0129] 接着, 使开关 205 导通, 使开关 206 截止, 使开关 201 截止, 且使开关 301 至 303 截止 (图 7B, 区间 c)。在区间 c 中, 晶体管 203 的源极电位为 V_1 , 晶体管 203 的栅极电压为 (V_1-V_{th}) 。换言之, 保持区间 b 的电压 V_{gs} 。另外, 在区间 c 中, 晶体管 203 截止。

[0130] 接着, 使开关 205 导通, 使开关 206 截止, 使开关 201 导通, 使开关 301 至 303 截止 (图 7B, 区间 d)。在区间 d 中, 晶体管 203 的源极电位为 V_1 , 晶体管 203 的栅极电位为 $(V_1-V_{th}-V_{data})$ 。晶体管 203 的栅极和源极之间的电位差为 $(-V_{th}-V_{data})$ 。也就是说, 可以将对阈值电压 $-V_{th}$ 追加视频电压 $-V_{data}$ 后的 V_{gs} 施加到晶体管 203。重要的是, 在图 7B 的区间 d 中第一电位 V_1 不变化。这是因为如下缘故: 若是当开关 201 导通时第一电位 V_1 变动, 则保持在电容元件 305 中的电荷变动, 因此不能保持晶体管 203 的 V_{gs} 。

[0131] 接着, 使开关 205 导通, 使开关 206 截止, 使开关 201 截止, 使开关 301 至 303 截止 (图 7B, 区间 e)。在区间 e 中, 晶体管 203 的源极电位为 V_1 , 晶体管 203 的栅极电位为 $(V_1-V_{th}-V_{data})$ 。也就是说, 区间 d 的电压 V_{gs} 被保持, 并且晶体管 203 的栅极和源极之间的电位差为 $(-V_{th}-V_{data})$ 。也就是说, 可以将对阈值电压 $-V_{th}$ 追加视频电压 $-V_{data}$ 后的 V_{gs} 施加到晶体管 203。另外, 在区间 e 中, 晶体管 203 当 $-V_{data}$ 为 0 时截止, 除此之外响应 $-V_{data}$ 导通。

[0132] 如上所述, 图 7B 所示的区间 a 至 e 所示的工作相当于电压程序期间。

[0133] 接着, 使开关 205 截止, 使开关 206 导通, 使开关 201 截止, 使开关 301 至 303 截止 (图 7B, 区间 f)。在区间 f 中, 因电容耦合而保持区间 e 的 V_{gs} 。因此, 切换开关 205 及开关 206 的导通或截止, 并且当晶体管 203 的源极电位为 V_2 时, 晶体管 203 的栅极电位为 $(V_2-V_{th}-V_{data})$ 。也就是说, 可以将对阈值电压 $-V_{th}$ 追加视频电压 $-V_{data}$ 后的 V_{gs} 施加到晶体管 203。另外, 在区间 f 中, 晶体管 203 当 $-V_{data}$ 为 0 时截止, 除此之外响应 $-V_{data}$ 导通。

[0134] 接着, 使开关 205 截止, 使开关 206 导通, 使开关 201 截止, 使开关 301 截止, 使开关 302 截止, 使开关 303 截止 (图 7B, 区间 g)。在区间 g 中, 保持区间 f 的 V_{gs} 。因此, 晶体管 203 的源极电位为 V_2 , 晶体管 203 的栅极电位为 $(V_2-V_{th}-V_{data})$ 。也就是说, 可以将对阈值电压 $-V_{th}$ 追加视频电压 $-V_{data}$ 后的 V_{gs} 施加到晶体管 203。而且, 可以使对每个像素中的晶体管补偿具有偏差的阈值电压的电流流过发光元件 202 中。另外, 在区间 g 中, 晶体管 203 当 $-V_{data}$ 为 0 时截止, 且流过发光元件 202 中的电流也为 0。

[0135] 如上所述,图 7B 中的区间 f 至 g 所示的工作相当于发光期间。

[0136] 说明图 8A、图 8B。在图 8A 所示的电路图中,对于与图 7A 同一部分或具有与图 7A 同样的功能的部分附记相同的附图标记而表示。在图 8A、图 8B 中,说明通过切换开关 205 及开关 206,不将晶体管 203 的源极电位切换为第一电位 V_1 和第二电位 V_2 的结构。因此,在下面所述的图 8B 的说明中,在经常开关 205 导通且开关 206 截止的条件下进行说明。另外,在图 8A 中,为了示出开关 206 截止且布线 109 不连接到像素的状态,以虚线示出开关 206 及布线 109。

[0137] 首先,使开关 201 截止,使开关 301 至 303 导通(图 8B,区间 a)。在区间 a 中,晶体管 203 的源极电位为 V_1 ,晶体管 203 的栅极电位为 V_{GND} 。晶体管 203 的栅极和源极之间的电位差为 $(V_{\text{GND}}-V_1)$ 。另外,在区间 a 中,晶体管 203 导通。

[0138] 接着,使开关 201 截止,使开关 301 导通,使开关 302 导通,使开关 303 截止(图 8B,区间 b)。在区间 b 中,晶体管 203 的源极电位为 V_1 ,晶体管 203 的栅极电位为 (V_1-V_{th}) 。晶体管 203 的栅极电位上升,这是因为如下缘故:晶体管 203 在区间 a 中导通,通过在区间 b 中使开关 303 截止,晶体管 203 的栅极电位成为从布线 108 的电位 V_1 减去晶体管 203 的阈值电压 V_{th} 而成的电压。晶体管 203 的栅极和源极之间的电位差为 $-V_{\text{th}}$ 。另外,在区间 b 中,晶体管 203 截止。

[0139] 接着,使开关 201 截止,使开关 301 至 303 截止(图 8B,区间 c)。在区间 c 中,晶体管 203 的源极电位为 V_1 ,晶体管 203 的栅极电压为 (V_1-V_{th}) 。也就是说,保持区间 b 的电压 V_{gs} 。另外,在区间 c 中,晶体管 203 截止。

[0140] 接着,使开关 201 导通,使开关 301 至 303 截止(图 8B,区间 d)。在区间 d 中,晶体管 203 的源极电位为 V_1 ,晶体管 203 的栅极电位为 $(V_1-V_{\text{th}}-V_{\text{data}})$ 。晶体管 203 的栅极和源极之间的电位差为 $(-V_{\text{th}}-V_{\text{data}})$ 。也就是说,可以将对阈值电压 $-V_{\text{th}}$ 追加视频电压 $-V_{\text{data}}$ 后的 V_{gs} 施加到晶体管 203。重要的是,在图 8B 的区间 d 中,第一电位 V_1 不变化。这是因为如下缘故:若是当开关 201 导通时第一电位 V_1 变动,则保持在电容元件 305 中的电荷变动,因此不能保持晶体管 203 的 V_{gs} 。

[0141] 接着,使开关 201 截止,使开关 301 至 303 截止(图 8B,区间 e)。在区间 e 中,晶体管 203 的源极电位为 V_1 ,晶体管 203 的栅极电位为 $(V_1-V_{\text{th}}-V_{\text{data}})$,且保持区间 d 的晶体管 203 的栅极和源极之间的电位差 $(-V_{\text{th}}-V_{\text{data}})$ 。也就是说,可以将对阈值电压 $-V_{\text{th}}$ 追加视频电压 $-V_{\text{data}}$ 后的 V_{gs} 施加到晶体管 203。另外,在区间 e 中,晶体管 203 当 $-V_{\text{data}}$ 为 0 时截止,除此之外响应 $-V_{\text{data}}$ 导通。

[0142] 如上所述,图 8B 所示的区间 a 至 e 所示的工作相当于电压程序期间。

[0143] 接着,使开关 201 截止,使开关 301 截止,使开关 302 截止,使开关 303 导通(图 8B,区间 f)。在区间 f 中,保持区间 e 的 V_{gs} 。因此,晶体管 203 的源极电位为 V_1 ,晶体管 203 的栅极电位为 $(V_1-V_{\text{th}}-V_{\text{data}})$ 。也就是说,可以将对阈值电压 $-V_{\text{th}}$ 追加视频电压 $-V_{\text{data}}$ 后的 V_{gs} 施加到晶体管 203。而且,可以使对每个像素中的晶体管 203 补偿具有偏差的阈值电压的电流流过发光元件 202 中。另外,在区间 f 中,晶体管 203 当 $-V_{\text{data}}$ 为 0 时截止,且流过发光元件 202 中的电流也为 0。

[0144] 如上所述,图 8B 所示的区间 f 所示的工作相当于发光期间。

[0145] 参照图 9A、图 9B 说明图 7A、图 7B 和图 8A、图 8B 的不同之处,并详细地说明本实施

方式所示的结构效应。图 9A 示出与从电源电路 104 延伸设置的布线 108 及布线 109 通过开关 205 或开关 206 连接的多个像素 105a 至 105d。在布线 108 及布线 109 上示出寄生电阻 901 及寄生电阻 902。另外,布线 108 及布线 109 与上述图 7A、图 7B 的说明同样地分别施加有第一电位 V_1 及第二电位 V_2 。与上述说明同样,在电压程序期间中开关 205 导通,且在发光期间中开关 206 导通。此外,图 9B 示出连接到从电源电路 104 延伸设置的布线 108 的多个像素 105a 至 105d。在布线 108 上示出寄生电阻 901 及寄生电阻 902。另外,布线 108 与图 8A、图 8B 的说明同样地施加有第一电位 V_1 。此外,在图 9A、图 9B 中,为了说明,以如下条件进行说明:当将像素从像素 105a 扫描到像素 105d 时,像素 105a 在于电压程序期间,且像素 105b 至像素 105d 在于发光期间。

[0146] 在本实施方式所示的结构显示装置的像素电路的结构中,可以与图 8A、图 8B 所示的工作不同而如图 7A、图 7B 所示那样地利用开关 205 及开关 206 切换电压程序期间和发光期间中的用来对像素供给电流的布线。因此,可以不受电压降低的影响地切换为发光期间,并且可以不导致电压降低地进行电压程序期间的各工作。

[0147] 例如,在图 9B 中,当流过连接到布线 108 的像素 105b 至 105d 的电流 I_L 大,即像素 105b 至 105d 的发光元件的亮度大时,因寄生电阻 901 及 902 而布线 108 的电压降低。因此,与流过电压程序期间中的像素 105a 的电流 I_c 的大小无关,布线 108 的电压降低,即第一电位 V_1 减少。其结果是,在连接到布线 108 的像素 105a 中,当使开关 201 导通时,不能保持晶体管 203 的 V_{gs} 。另外,用来供给电流的布线的布线 108 具有不均匀性,即有时大量电流流过,也有时电流几乎不流过。这种电流的不均匀影响到用来供给电流的布线的电压的不均匀。用来供给电流的布线的电压产生偏差的原因就是用来使发光元件发光的电流 I_L 根据灰度而有所不同。

[0148] 此外,在图 9A 中,当流过连接到布线 109 的像素 105b 至 105d 中的电流 I_L 大,即当像素 105b 至 105d 的发光元件的亮度大时,因寄生电阻 901 及 902 而布线 109 的电压降低。另一方面,流过电压程序期间中的像素 105a 的电流 I_c 比电流 I_L 小,因此几乎没有发生电压降低所引起的第一电位 V_1 的减少。

[0149] 显示装置中的各像素根据每个行成为电压程序期间或发光期间的状态。由于对各像素输入视频电压的电压程序期间在每个栅极循环,因此所产生的电流(图 9A、图 9B 中的电流 I_c)极小。另一方面,在发光期间中,根据通过信号线流过像素的电流的大小(图 9A、图 9B 中的电流 I_L),即像素所具有的发光元件的亮度的大小,所流过的电流不同,并且因电流流过而发生寄生电阻所导致的电压降低。由此,在图 9A 所说明的切换电压程序期间和发光期间中的连接的布线的结构中,可以在电压程序期间中切换为与寄生电阻所导致的电压降低的影响减小的布线 108 的连接,减小对校正像素中的阈值电压的工作造成的影响。另一方面,虽然在发光期间中连接的布线 109 根据流过像素的电流的大小,即像素所具有的发光元件的亮度的大小,所流过的电流不同,但是利用电容耦合可以保持 V_{gs} ,因此可以减小电压降低的影响。

[0150] 通过采用本实施方式所示的结构,当寄生电阻所导致的电压降低大时,可以减少对各像素供给互不相同的布线 108 的电位 V_1 或布线 109 的电位 V_2 时的不良的影响。另外,优选的是,第一电位 V_1 及第二电位 V_2 当从电源电路输出时输出为相同电位。

[0151] 接着,参照图 10A 至图 10D 说明显示装置中的布线 108 及布线 109 的引导方法。

[0152] 通过根据每个不同的期间切换布线 108 及布线 109, 可以校正阈值电压。如上所述, 在电压程序期间中, 通过尽量减少流过布线 108 中的电流来减小电压降低的影响。此外, 虽然在发光期间中, 由于流过布线 109 的电流的大小根据发光元件的亮度变化, 因此容易受到寄生电阻的影响, 但是利用电容耦合减小电压降低的影响。

[0153] 从柔性印刷基板 110 引导的布线 108 及布线 109 也可以采用如图 10A 所示那样地从柔性印刷基板 110 的一个端子分别引导的结构。此外, 还可以采用如图 10B 所示那样地从柔性印刷基板 110 的多个端子引导成为布线 108 及布线 109 的布线的结构。通过采用从多个端子引导布线 108 及布线 109 的结构, 可以将稳定的电位供给到各像素。此外, 也可以采用如图 10C 所示那样地将布线 108 及布线 109 配置为围绕显示部 103 的外侧的结构。在图 10C 中, 由于通过将布线 108 配置在布线 109 的内侧, 可以缩短布线的引导的长度, 因此可以不容易受到电压降低的影响。此外, 通过如图 10D 所示那样地将布线 108 及布线 109 配置为围绕显示部 103 并以格子状配置在像素部中, 可以将稳定的电位供给到布线 108 及布线 109, 所以是优选的。

[0154] 另外, 也可以采用在上述图 10A 至图 10D 所说明的布线 108 及布线 109 的路径中设置电源电路的结构。

[0155] 此外, 至于布线 108 及布线 109 的线宽度, 也可以扩大设置在显示部 103 的外围一侧的布线的线宽度。通过使设置在显示部 103 的外围的布线的线宽度比设置在内侧的布线的线宽度大, 可以使布线的引导距离的延长所引起的布线 108 及布线 109 的寄生电阻所产生的差均等。此外, 优选的是, 与在发光期间连接到像素的布线 109 相比, 在电压程序期间连接到像素的布线 108 的寄生电阻所产生的电位不均匀的影响小。因此, 优选的是, 布线 108 的布线的引导距离小, 且将布线 108 设置在寄生电阻小的内侧。

[0156] 此外, 也可以使布线 108 的线宽度比布线 109 的线宽度大。通过使布线 108 的线宽度变大, 可以减小布线 108 的寄生电阻。优选的是, 与在发光期间连接到像素的布线 109 相比, 对在电压程序期间连接到像素的布线 108 造成的寄生电阻所产生的电位不均匀的影响小。

[0157] 此外, 也可以根据每个色彩单元使布线 108 的线宽度及布线 109 的线宽度不同。通过根据每个色彩单元使的布线 108 的线宽度及布线 109 的线宽度为不同, 可以缓和每个色彩单元的亮度的不均匀, 所以是优选的。

[0158] 另外, 在本实施方式中参照各种附图进行描述。在各附图中描述的内容 (也可以是其一部分的内容) 对在其它附图中描述的内容 (也可以是其一部分的内容)、在其它实施方式中描述的内容 (也可以是其一部分的内容) 可以自由地进行应用、组合或置换等。再者, 在上述附图中, 可以对各部分组合其它部分、其它实施方式的部分。

[0159] 实施方式 2

[0160] 在本实施方式中, 说明具有由实施方式 1 所说明的各种像素电路形成的显示部的显示面板的结构。

[0161] 另外, 在本实施方式中, 显示面板是指形成有像素电路的衬底和与其接触地形成的整个结构物。例如, 在玻璃衬底上形成有像素电路的情况下, 将玻璃衬底、与玻璃衬底接触地形成的晶体管、布线等统称为显示面板。

[0162] 在显示面板中, 除了像素电路之外有时形成有用来驱动像素电路的外围驱动电路

(一体形成)。典型的外围驱动电路是控制显示部的扫描线的扫描驱动器(也称为扫描线驱动器、栅极驱动器等)、控制信号线的数据驱动器(也称为信号线驱动器、源极驱动器等)。再者,用来控制这些驱动器的定时控制器、处理图像数据的数据处理部、生成电源电压的电源电路、数字模拟转换器的基准电压生成部等也有时包括在外围驱动电路中。

[0163] 而且,通过将外围驱动电路与像素电路一体形成在同一衬底上,可以减少显示面板和外部电路的衬底连接点的数量。由于衬底连接点的机械强度低,且容易产生连接不良,因此通过减少衬底连接点的数量可以大幅度地提高装置的可靠性。再者,有如下优点:因为可以减少外部电路的数量,所以可以减少制造成本。

[0164] 然而,与形成在单晶半导体衬底的元件相比,形成像素电路的衬底上的半导体元件的迁移率低,且元件之间的特性不均匀也大。因此,当将外围驱动电路一体形成在与像素电路同一衬底上时,需要进行各种研讨,即为实现其电路的功能而需要的元件性能的提高、或用来弥补元件性能的不足的电路技术等。

[0165] 当将外围驱动电路一体形成在与像素电路同一衬底上时,例如可以主要举出如下结构:(1)只形成显示部;(2)一体形成显示部及扫描驱动器;(3)一体形成显示部、扫描驱动器及数据驱动器;(4)一体形成显示部、扫描驱动器、数据驱动器及其它外围驱动电路。但是,作为一体形成的电路的组合,可以采用上述以外的结构。例如,虽然需要缩小具有扫描驱动器的部分的边框面积,但是不需要缩小具有数据驱动器的部分的边框面积时,有时(5)一体形成显示部及数据驱动器的结构也合适。同样地,还可以采用如下结构:(6)一体形成显示部及其它外围驱动电路;(7)一体形成显示部、数据驱动器及其它外围电路;(8)一体形成显示部、扫描驱动器及其它外围驱动电路。

[0166] 〈(1)只形成显示部〉

[0167] 参照图 11A 说明上述组合中的(1)只形成显示部。图 11A 所示的显示面板 800 包括显示部 801 和连接部 802。连接部 802 包括多个电极,且通过将连接基板 803 连接到连接部 802,可以将驱动信号从显示面板 800 的外部输入到显示面板 800 的内部。

[0168] 另外,当不将扫描驱动器及数据驱动器与显示部一体形成时,连接部 802 所具有的电极的数量为显示部 801 所具有的扫描线的数量和信号线的数量的总合左右的数量。但是,通过以时间分割方式进行对信号线的输入,可以将信号线的电极的数量设定为时间分割数量分之一。例如,在可以进行彩色显示的显示装置中,通过以时间分割方式进行对应于 R、G、B 的信号线的输入,可以将信号线的电极的数量设定为三分之一。这个情况在本实施方式的其它例子中也同样。

[0169] 另外,作为不与显示部 801 一体形成的外围驱动电路,可以使用由单晶半导体形成的 IC。IC 可以安装在外部的印刷基板上,也可以安装(TAB)在连接基板 803 上或可以安装(COG)在显示面板 800 上。这个情况在本实施方式的其它例子中也同样。

[0170] 另外,为了抑制因在显示部 801 所具有的扫描线或信号线中产生静电而元件被破坏的现象(静电破坏:ESD),显示面板 800 也可以在各扫描线、各信号线或各电源线之间包括静电破坏保护电路。由此,可以提高显示面板 800 的成品率,其结果是,可以减少制造成本。这个情况在本实施方式的其它例子中也同样。

[0171] 当显示面板 800 所具有的半导体元件由非晶硅等的迁移率低的半导体形成时,图 11A 所示的显示面板 800 特别有效。这是因为如下缘故:通过不将显示部以外的外围驱动

电路与显示面板 800 一体形成,可以提高显示面板 800 的成品率,其结果是,可以减少制造成本。

[0172] 〈(2) 一体形成显示部及扫描驱动器〉

[0173] 参照图 11B 说明上述组合中的 (2) 一体形成显示部及扫描驱动器。图 11B 所示的显示面板 800 包括显示部 801、连接部 802、扫描驱动器 811、扫描驱动器 812、扫描驱动器 813、扫描驱动器 814。连接部 802 包括多个电极,并且通过将连接基板 803 连接到连接部 802,可以将驱动信号从显示面板 800 的外部输入到显示面板 800 的内部。

[0174] 在图 11B 所示的显示面板 800 中,因为扫描驱动器 811、扫描驱动器 812、扫描驱动器 813 及扫描驱动器 814 与显示部 801 一体形成,所以不需要扫描驱动器一侧的连接部 802 及连接基板 803。由此,有外部基板的配置的自由度提高的优点。再者,由于衬底连接点的数量少,因此不容易发生连接不良,并可以提高装置的可靠性。

[0175] 图 11B 所示的显示面板 800 所具有的半导体元件既可以由非晶硅等的迁移率低的半导体形成,又可以由多晶硅或单晶硅等的迁移率高的半导体形成。当由非晶硅形成半导体元件时,尤其因反交错型晶体管的制造工艺的工序数少,从而可以减少制造成本。当由多晶硅形成半导体元件时,因迁移率高而可以缩小晶体管,从而开口率提高且可以减少耗电量。再者,因为可以缩小晶体管来减少扫描驱动器的电路面积,所以可以减少边框面积。当由单晶硅形成半导体元件时,由于因迁移率极高而可以使晶体管为极小,因此可以更大幅度地提高开口率且更大幅度地减少边框面积。

[0176] 〈(3) 一体形成显示部、扫描驱动器及数据驱动器〉

[0177] 参照图 11C 说明上述组合中的 (3) 一体形成显示部、扫描驱动器及数据驱动器。图 11C 所示的显示面板 800 包括显示部 801、连接部 802、扫描驱动器 811、扫描驱动器 812、扫描驱动器 813、扫描驱动器 814、数据驱动器 821。连接部 802 包括多个电极,并且通过将连接基板 803 连接到连接部 802,可以将驱动信号从显示面板 800 的外部输入到显示面板 800 的内部。

[0178] 在图 11C 所示的显示面板 800 中,由于扫描驱动器 811、扫描驱动器 812、扫描驱动器 813、扫描驱动器 814 及数据驱动器 821 与显示部 801 一体形成,因此不需要扫描驱动器一侧的连接部 802 及连接基板 803,并可以减少在扫描驱动器一侧的连接基板 803 的数量。因此,有外部基板的配置的自由度进一步提高的优点。再者,衬底连接点的数量少,所以不容易产生连接不良且可以提高装置的可靠性。

[0179] 图 11C 所示的显示面板 800 所具有的半导体元件既可以由非晶硅等的迁移率低的半导体形成,又可以由多晶硅或单晶硅等的迁移率高的半导体形成。当使用非晶硅形成半导体元件时,尤其因反交错型晶体管的制造工序数少而可以减少制造成本。当使用多晶硅形成半导体元件时,因迁移率高而可以缩小晶体管,从而开口率提高且可以减少耗电量。再者,因可以缩小晶体管而可以减少扫描驱动器及数据驱动器的电路面积,从而可以减少边框面积。特别是,由于数据驱动器的驱动频率比扫描驱动器的频率高,因此通过使用多晶硅形成半导体元件,可以实现能够确实地进行工作的数据驱动器。当使用单晶硅形成半导体元件时,由于因迁移率极高而可以使晶体管为极小,因此可以更大幅度地提高开口率并减少边框面积。

[0180] 〈(4) 一体形成显示部、扫描驱动器、数据驱动器及其它外围驱动电路〉

[0181] 参照图 11D 说明上述组合中的 (4) 一体形成显示部、扫描驱动器、数据驱动器及其它外围驱动电路。图 11D 所示的显示面板 800 包括显示部 801、连接部 802、扫描驱动器 811、扫描驱动器 812、扫描驱动器 813、扫描驱动器 814、数据驱动器 821、其它外围驱动电路 831、832、833 及 834。在此,四个一体形成的其它外围驱动电路是一例。一体形成的其它外围驱动电路的数量可以是各种各样的,且其种类也可以是各种各样的。例如,外围驱动电路 831 可以是定时控制器,外围驱动电路 832 可以是处理图像数据的数据处理部,外围驱动电路 833 可以是生成电源电压的电源电路,外围驱动电路 834 可以是数字模拟转换器 (DAC) 的基准电压生成部。连接部 802 包括多个电极,且通过将连接基板 803 连接到连接部 802,可以将驱动信号从显示面板 800 的外部输入到显示部 800 的内部。

[0182] 在图 11D 所示的显示面板 800 中,由于扫描驱动器 811、扫描驱动器 812、扫描驱动器 813、扫描驱动器 814、数据驱动器 821、其它外围驱动器 831、832、833 及 834 与显示部 801 一体形成,因此不需要扫描驱动器一侧的连接部 802 及连接基板 803,且可以减少扫描驱动器一侧的连接基板 803 的数量。因此,具有外部基板的配置的自由度进一步提高的优点。再者,因为衬底连接点的数量少,所以不容易产生连接不良,且可以提高装置的可靠性。

[0183] 图 11D 所示的显示面板 800 所具有的半导体元件既可以由非晶硅等的迁移率低的半导体形成,又可以由多晶硅或单晶硅等的迁移率高的半导体形成。当使用非晶硅形成半导体元件时,尤其因反交错型晶体管的制造工艺的工序数少而可以减少制造成本。当使用多晶硅形成半导体元件时,因迁移率高而可以缩小晶体管,从而开口率提高且可以减少耗电量。再者,因可以缩小晶体管而可以减少扫描驱动器及数据驱动器的电路面积,从而可以减少边框面积。特别是,由于数据驱动器的驱动频率比扫描驱动器的驱动频率高,因此通过使用多晶硅形成半导体元件,可以实现能够确实地进行工作的数据驱动器。再者,因为其它外围驱动电路需要高速的逻辑电路(数据处理部等),或需要模拟电路(定时控制器、DAC 的基准电压生成部、电源电路等),所以使用迁移率高的半导体元件构成电路的优点大。特别是,由于当使用单晶硅形成半导体元件时,因迁移率极高而可以使晶体管为极小,从而可以更大幅度地提高开口率并减少边框面积,并且可以确实地使其它外围驱动电路工作。而且,通过降低电源电压等,可以减少耗电量。

[0184] 〈其它组合的一体形成〉

[0185] 图 11E、图 11F、图 11G、图 11H 分别示出 (5) 一体形成显示部及数据驱动器、(6) 一体形成显示部及其它外围驱动电路、(7) 一体形成显示部、数据驱动器及其它外围驱动电路、(8) 一体形成显示部、扫描驱动器及其它外围驱动电路。关于一体形成的优点及其它半导体元件的材料优点与上述说明同样。

[0186] 如图 11E 所示,当 (5) 一体形成显示部及数据驱动器时,可以减少配置有数据驱动器的部分以外的边框面积。

[0187] 如图 11F 所示,当 (6) 一体形成显示部及其它外围驱动电路时,因为其它外围驱动电路的配置的自由度高,所以可以适当地选择适合于目的的部分来减少边框面积。

[0188] 如图 11G 所示,当 (7) 一体形成显示部、数据驱动器及其它外围驱动电路时,可以减少当一体形成扫描驱动器时配置有扫描驱动器的部分的边框面积。

[0189] 如图 11H 所示,当 (8) 一体形成显示部、扫描驱动器及其它外围驱动电路时,可以减少当一体形成数据驱动器时配置有数据驱动器的部分的边框面积。

[0190] 另外,在本实施方式中参照各种附图进行描述。在各附图中描述的内容(也可以是其一部分的内容)对在其它附图中描述的内容(也可以是其一部分的内容)、在其它实施方式中描述的内容(也可以是其一部分的内容)可以自由地进行应用、组合或置换等。再者,在上述附图中,可以对各部分组合其它部分、其它实施方式的部分。

[0191] 实施方式 3

[0192] 在本实施方式中说明晶体管的结构及制造方法。

[0193] 图 12A 至图 12G 示出晶体管的结构及制造方法的例子。图 12A 示出晶体管的结构例子。图 12B 至图 12G 示出晶体管的制造方法的例子。

[0194] 此外,晶体管的结构及制造方法不限于图 12A 至图 12G,可以采用各种结构及制造方法。

[0195] 首先,参照图 12A 说明晶体管的结构例子。图 12A 是其结构互不相同的多个晶体管的截面图。这里,为了说明晶体管结构的方便起见,在图 12A 中示出并列设置的其结构互不相同的多个晶体管,但是在实际上,晶体管不必如图 12A 所示那样并列设置,而可以按需分别设置。

[0196] 此外,在明确地说“B 形成在 A 之上”或“B 形成在 A 上”的情况下,不局限于 B 直接接触 A 地形成在 A 上。还包括不直接接触的情况,即在 A 和 B 之间夹有其它对象的情况。这里, A 和 B 为对象(如装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0197] 因此,例如,“层 B 形成在层 A 之上(或层 A 上)”包括如下两种情况:层 B 直接接触层 A 地形成在层 A 上;以及其它层(例如层 C 或层 D 等)直接接触层 A 地形成在层 A 上,且层 B 直接接触其它层地形成在其它层之上。此外,其它层(例如层 C 或层 D 等)可以是单层或叠层。

[0198] 再者,在明确地说“B 形成在 A 的上方”的情况下,与上述同样,不局限于 B 直接接触 A 地形成在 A 上。还包括在 A 和 B 之间夹有其它对象的情况。因此,例如,“层 B 形成在层 A 的上方”包括如下两种情况:层 B 直接接触层 A 地形成在层 A 上;以及其它层(例如层 C 或层 D 等)直接接触层 A 地形成在层 A 上,且层 B 直接接触其它层地形成在其它层上。此外,其它层(例如层 C 或层 D 等)可以是单层或叠层。

[0199] 另外,在明确地说“B 形成在 A 之上”、“B 形成在 A 上”或“B 形成在 A 的上方”的情况下,还包括 B 形成在斜上方的情况。

[0200] “B 形成在 A 之下”或“B 形成在 A 下方”的记载与上述情况同样。

[0201] 下面,说明构成晶体管的各层的特征。

[0202] 作为衬底 7011,可以使用玻璃衬底如钡硼硅酸盐玻璃和铝硼硅酸盐玻璃等、石英衬底、陶瓷衬底或包括不锈钢的金属衬底等。此外,也可以使用由以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料或丙烯酸树脂等的具有柔性的合成树脂形成的衬底。通过使用具有柔性的衬底,可以制造可弯曲的显示装置。具有柔性的衬底对衬底的面积和形状方面没有大的限制。由此,例如,当使用一边长具有 1 米以上的矩形衬底作为衬底 7011 时,可以显著提高生产率。与使用圆形硅衬底的情况相比,这是一个很大的优点。

[0203] 绝缘膜 7012 用作基底膜。设置绝缘膜 7012,以防止来自衬底 7011 的 Na 等碱金属或碱土金属对半导体元件的特性造成负面影响。绝缘膜 7012 可以使用具有氧或氮的绝缘

膜的单层结构或叠层结构设置,具有氧或氮的绝缘膜例如是氧化硅(SiO_x)、氮化硅(SiN_x)、氧氮化硅($\text{SiO}_x\text{N}_y, x > y$)或氮氧化硅($\text{SiN}_x\text{O}_y, x > y$)等。例如,当采用两层结构设置绝缘膜 7012 时,优选形成氮氧化硅膜作为第一层绝缘膜,并且形成氧氮化硅膜作为第二层绝缘膜。作为另一例子,当采用三层结构设置绝缘膜 7012 时,优选设置氧氮化硅膜作为第一层绝缘膜,设置氮氧化硅膜作为第二层绝缘膜,并设置氧氮化硅膜作为第三层绝缘膜。

[0204] 半导体层 7013、半导体层 7014 和半导体层 7015 可以使用非晶半导体、微晶半导体、氧化物半导体或半非晶半导体(SAS)形成。或者,也可以使用多晶半导体层。SAS 是一种具有非晶结构和结晶结构(包括单晶、多晶)之间的中间结构且具有自由能方面稳定的第三状态的半导体,并且包括具有短程有序和晶格畸变的结晶区域。在膜中的至少一部分区域中可以观察到 0.5nm 至 20nm 的结晶区域。当以硅作为主要成分时,拉曼光谱向低于 520cm^{-1} 的波数一侧偏移。在 X 射线衍射中,可以观察到来源于硅晶格的(111)和(220)的衍射峰。至少包含 1 原子%以上的氢或卤素,以终止不饱和(dangling bond)键。通过使用材料气体进行辉光放电分解(等离子体 CVD)形成 SAS。作为材料气体,不仅可以使使用 SiH_4 , 还可使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。或者,也可以混合 GeF_4 。该材料气体也可以使用 H_2 或者 H_2 与选自 He、Ar、Kr 和 Ne 中的一种或多种稀有气体元素稀释。稀释比率为 2 倍至 1000 倍的范围内,压力大约为 0.1Pa 至 133Pa,电源频率为 1MHz 至 120MHz,优选为 13MHz 至 60MHz,并且衬底加热温度为 300°C 以下,即可。作为膜中的杂质元素,大气成分的杂质诸如氧、氮和碳等优选为 $1 \times 10^{20}/\text{cm}^3$ 以下。尤其是,氧的浓度为 $5 \times 10^{19}/\text{cm}^3$ 以下,优选为 $1 \times 10^{19}/\text{cm}^3$ 以下。这里,通过溅射法、LPCVD 法或等离子体 CVD 法等且使用以硅(Si)为主要成分的材料(例如 $\text{Si}_x\text{Ge}_{1-x}$ 等)形成非晶半导体层,然后,通过诸如激光晶化法、使用 RTA 或退火炉的热晶化法或使用促进结晶的金属元素的热晶化法等晶化法使该非晶半导体层晶化。

[0205] 此外,氧化物半导体表示为 $\text{InMO}_3(\text{ZnO})_m (m > 0)$ 。另外, M 表示选自镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)及钴(Co)中的一种金属元素或多种金属元素。例如,作为 M,有时采用 Ga,有时包含 Ga 以外的上述金属元素诸如 Ga 和 Ni 或 Ga 和 Fe 等。此外,在上述氧化物半导体中,有不仅包含作为 M 的金属元素,而且还包含作为杂质元素的 Fe、Ni 等其它迁移金属元素或该迁移金属的氧化物的氧化物半导体。在本说明书中,也将使用该氧化物半导体形成的薄膜称为 In-Ga-Zn-O 类非单晶膜。

[0206] 即使在通过溅射法进行成膜之后,以 200°C 至 500°C ,典型地以 300°C 至 400°C 进行 10 分至 100 分的热处理,也可以利用 XRD(X 线衍射)分析观察到 In-Ga-Zn-O 类非单晶膜的结晶结构。此外,可以制造具有如下电特性的薄膜晶体管:当栅电压是 $\pm 20\text{V}$ 时,导通截止比是 10^9 以上,迁移率是 10 以上。使用具有这种电特性的氧化物半导体膜制造的薄膜晶体管具有比使用非晶硅制造的薄膜晶体管高的迁移率,并可以使由该薄膜晶体管构成的电路进行高速驱动。

[0207] 另外,通过溅射法在栅极绝缘膜上形成氧化物半导体层,然后通过光刻工序或喷墨法在该氧化物半导体层上形成抗蚀剂掩模,并使用该抗蚀剂掩模对氧化物半导体层进行蚀刻,从而可以形成氧化物半导体。作为用于溅射法的用来形成氧化物半导体层的靶材,使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材。氧化物半导体对于用于在后面的工序中进行的光抗蚀剂的曝光的光具有优质的透光性,并且与非晶硅相比,可以有效地进行光抗蚀剂

的感光。

[0208] 绝缘膜 7016 可以使用具有氧或氮的绝缘膜的单层结构或叠层结构形成,该具有氧或氮的绝缘膜是例如氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$) 或氮氧化硅 (SiN_xO_y) ($x > y$) 等。

[0209] 作为栅电极 7017 可以采用导电膜的单层结构、两层或三层导电膜的叠层结构。作为用于栅电极 7017 的材料,可以使用导电膜。例如,可以使用诸如钽 (Ta)、钛 (Ti)、钼 (Mo)、钨 (W)、铬 (Cr)、硅 (Si) 等的元素的单质膜;所述元素的氮化膜(典型地,氮化钽膜、氮化钨膜或氮化钛膜);组合了所述元素的合金膜(典型地,Mo-W 合金或 Mo-Ta 合金);或者所述元素的硅化物膜(典型地,钨硅化物膜或钛硅化物膜)等。另外,上述单质膜、氮化膜、合金膜、硅化物膜等可以具有单层结构或叠层结构。

[0210] 绝缘膜 7018 可以通过溅射法或等离子体 CVD 法等且使用如下膜的单层或叠层结构形成:如氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$) 氮氧化硅 (SiN_xO_y) ($x > y$) 等的具有氧或氮的绝缘膜;或如 DLC(类金刚石碳)等的包含碳的膜。

[0211] 绝缘膜 7019 可以使用如下材料的单层或叠层结构形成:硅氧烷树脂;如氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$) 或氮氧化硅 (SiN_xO_y) ($x > y$) 等的具有氧或氮的绝缘膜;如 DLC(类金刚石碳)等的包含碳的膜;或者如环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯或丙烯酸等的有机材料。此外,硅氧烷树脂相当于包含 Si-O-Si 键的树脂。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 的键构成。也可以使用有机基(例如烷基或芳烃)或氟基作为取代基。也可以具有氟基作为有机基。此外,也可以覆盖栅电极 7017 地直接设置绝缘膜 7019 而不设置绝缘膜 7018。

[0212] 作为导电膜 7023,可以使用诸如 Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mn 等的元素的单质膜、所述元素的氮化膜、组合所述元素的合金膜或所述元素的硅化物膜等。例如,作为包含所述元素中的多个的合金,可以使用包含 C 及 Ti 的 Al 合金、包含 Ni 的 Al 合金、包含 C 及 Ni 的 Al 合金、包含 C 及 Mn 的 Al 合金等。例如,在采用叠层结构的情况下,可以采用以 Mo 或 Ti 等夹住 Al 的结构。通过采用该结构,可以提高 Al 的对热或化学反应的耐受性。

[0213] 接着,参照图 12A 所示的其结构互不相同的多个晶体管的截面图说明各种结构的特征。

[0214] 晶体管 7001 是单漏极晶体管。因为晶体管 7001 可以通过简单的方法形成,所以具有低制造成本和高成品率的优点。另外,锥形角度为 45° 以上且小于 95° ,优选为 60° 以上且小于 95° 。或者,锥形角度也可以为小于 45° 。这里,半导体层 7013 和半导体层 7015 具有不同的杂质浓度,半导体层 7013 用作沟道区而半导体层 7015 用作源区及漏区。通过以这种方式控制杂质质量,可以控制半导体层的电阻率。可以将半导体层和导电膜 7023 之间的电连接状态接近于欧姆接触。另外,作为分别形成杂质质量彼此不同的半导体层的方法,可以使用以栅电极 7017 为掩模对半导体层掺杂杂质的方法。

[0215] 晶体管 7002 是其栅电极 7017 具有一定程度以上的锥形角的晶体管。因为晶体管 7002 可以通过简单的方法形成,所以具有低制造成本和高成品率的优点。这里,半导体层 7013、半导体层 7014 和半导体层 7015 的杂质浓度分别不同,半导体层 7013 用作沟道区,半导体层 7014 用作低浓度漏 (LDD) 区,并且半导体层 7015 用作源区及漏区。通过以这种

方式控制杂质质量,可以控制半导体层的电阻率。可以将半导体层和导电膜 7023 之间的电连接状态接近于欧姆接触。因为晶体管包括 LDD 区,所以高电场不容易施加到晶体管内部,而可以抑制由于热载流子导致的元件的劣化。另外,作为分别形成杂质质量不同的半导体层的方法,可以使用以栅电极 7017 为掩模对半导体层进行掺杂的方法。在晶体管 7002 中,因为栅电极 7017 具有一定程度以上的锥形角,所以可以使经过栅电极 7017 掺杂到半导体层的杂质的浓度具有梯度,而容易形成 LDD 区。另外,锥形角度为 45° 以上且小于 95° ,优选为 60° 以上且小于 95° 。或者,锥形角度也可以为小于 45° 。

[0216] 晶体管 7003 是其栅电极 7017 至少由两层构成且下层栅电极比上层栅电极长的晶体管。在本说明书中,上层栅电极及下层栅电极的形状称为帽形。当栅电极 7017 具有帽形时,LDD 区可以不追加光掩模地形成。此外,将像晶体管 7003 那样的 LDD 区与栅电极 7017 重叠的结构特地称为 GOLD (Gate Overlapped LDD; 栅极重叠 LDD) 结构。作为形成具有帽形的栅电极 7017 的方法,也可以使用下面的方法。

[0217] 首先,当对栅电极 7017 进行构图时,通过干蚀刻来蚀刻下层栅电极及上层栅电极,使得其侧面形状具有倾斜(锥形)。然后,通过各向异性蚀刻,加工上层栅电极以使其倾角近于垂直。通过该工序,形成其截面形状为帽形的栅电极。然后,通过进行两次的杂质元素的掺杂,形成用作沟道区的半导体层 7013,用作 LDD 区的半导体层 7014 以及用作源电极及漏电极的半导体层 7015。

[0218] 此外,将与栅电极 7017 重叠的 LDD 区称为 Lov 区,并且将不与栅电极 7017 重叠的 LDD 区称为 Loff 区。在此,Loff 区在抑制截止电流值方面的效果高,而它在通过缓和漏极附近的电场来防止由于热载流子导致的导通电流值的劣化方面的效果低。另一方面,Lov 区在通过缓和漏极附近的电场来防止导通电流值的劣化方面的效果高,而它在抑制截止电流值方面的效果低。因此,优选在每个电路中分别制造具有对应于所需的特性的结构的晶体管。例如,当用作显示装置时,作为像素晶体管优选使用具有 Loff 区的晶体管以抑制截止电流值。另一方面,作为外围电路中的晶体管,优选使用具有 Lov 区的晶体管以缓和漏极附近的电场来防止导通电流值的劣化。

[0219] 晶体管 7004 是具有与栅电极 7017 的侧面接触的侧壁 7021 的晶体管。通过晶体管具有侧壁 7021,可以将与侧壁 7021 重叠的区域用作 LDD 区。

[0220] 晶体管 7005 是通过使用掩模 7022 对半导体层进行掺杂来形成 LDD (Loff) 区的晶体管。通过这种方式,可以准确地形成 LDD 区,并且可以减少晶体管的截止电流值。

[0221] 晶体管 7006 是通过使用掩模对半导体层进行掺杂来形成 LDD (Lov) 区的晶体管。通过这种方式,可以准确地形成 LDD 区,并且缓和晶体管的漏极附近的电场,而可以减少导通电流值的劣化。

[0222] 接下来,参照图 12B 至图 12G 示出晶体管的制造方法的例子。

[0223] 此外,晶体管的结构及制造方法不限于图 12A 至图 12G 中所示的结构及制造方法,而可以使用各种结构及制造方法。

[0224] 在本实施方式中,通过利用等离子体处理对衬底 7011 的表面、绝缘膜 7012 的表面、半导体层 7013 的表面、半导体层 7014 的表面、半导体层 7015 的表面、绝缘膜 7016 的表面、绝缘膜 7018 的表面或绝缘膜 7019 的表面进行氧化或氮化,可以使半导体层或绝缘膜氧化或氮化。如此,通过利用等离子体处理使半导体层或绝缘膜氧化或氮化,对该半导体层或

该绝缘膜的表面进行改性,而可以形成比通过 CVD 法或溅射法形成的绝缘膜更致密的绝缘膜。因此,可以抑制诸如针孔等的缺陷,而可以提高显示装置的特性等。此外,将通过进行等离子体处理而形成的绝缘膜 7024 称为等离子体处理绝缘膜。

[0225] 此外,作为侧壁 7021,可以使用氧化硅 (SiO_x) 或氮化硅 (SiN_x)。作为在栅电极 7017 的侧面形成侧壁 7021 的方法,例如,可以使用在形成栅电极 7017 之后形成氧化硅 (SiO_x) 或氮化硅 (SiN_x),然后通过各向异性蚀刻对氧化硅 (SiO_x) 或氮化硅 (SiN_x) 膜进行蚀刻的方法。通过这样的方法,由于可以仅在栅电极 7017 的侧面保留氧化硅 (SiO_x) 或氮化硅 (SiN_x) 膜,所以可以在栅电极 7017 的侧面上形成侧壁 7021。

[0226] 图 13D 是示出底栅型的晶体管的截面结构及电容元件的截面结构的图。

[0227] 在衬底 7091 的整个面上形成有第一绝缘膜 (绝缘膜 7092)。但是不局限于此。也可以不形成第一绝缘膜 (绝缘膜 7092)。第一绝缘膜具有防止来自于衬底一侧的杂质对半导体层造成负面影响而改变晶体管的性质的功能。换言之,第一绝缘膜具有作为基底膜的功能。因此,可以制造可靠性高的晶体管。另外,作为第一绝缘膜,可以使用氧化硅膜、氮化硅膜或氧氮化硅膜 (SiO_xN_y) 等的单层或叠层。

[0228] 在第一绝缘膜上形成有第一导电层 (导电层 7093 及导电层 7094)。导电层 7093 包括用作晶体管 7108 的栅电极的部分。导电层 7094 包括用作电容元件 7109 的第一电极的部分。另外,作为第一导电层,可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或者这些元素的合金。或者,可以使用包括这些元素 (也包括合金) 的叠层。

[0229] 以至少覆盖第一导电层的方式形成有第二绝缘层 (绝缘膜 7104)。第二绝缘膜用作栅极绝缘膜。另外,作为第二绝缘膜,可以使用氧化硅膜、氮化硅膜或氧氮化硅膜 (SiO_xN_y) 等的单层或叠层。

[0230] 另外,作为与半导体层接触的部分的第二绝缘膜,优选使用氧化硅膜。这是因为半导体层和第二绝缘膜接触的界面处的陷阱能级减少的缘故。

[0231] 另外,当第二绝缘膜与 Mo 接触时,优选使用氧化硅膜作为与 Mo 接触的部分的第二绝缘膜。这是因为氧化硅膜不使 Mo 氧化的缘故。

[0232] 通过光刻法、喷墨法、印刷法等在与第二绝缘膜上的与第一导电层重叠地形成的部分的一部分形成有半导体层。半导体层的一部分延伸到第二绝缘膜上的不与第一导电层重叠的部分。半导体层包括沟道形成区 (沟道形成区 7100)、LDD 区 (LDD 区 7098、LDD 区 7099) 以及杂质区 (杂质区 7095、杂质区 7096、杂质区 7097)。沟道形成区 7100 用作晶体管 7108 的沟道形成区。LDD 区 7098 及 LDD 区 7099 用作晶体管 7108 的 LDD 区。另外,未必需要形成 LDD 区 7098 及 LDD 区 7099。杂质区 7095 包括用作晶体管 7108 的源电极及漏电极之一方的部分。杂质区 7096 包括用作晶体管 7108 的源电极及漏电极之另一方的部分。杂质区 7097 包括用作电容元件 7109 的第二电极的部分。

[0233] 在整个面形成有第三绝缘膜 (绝缘膜 7101)。在第三绝缘膜的一部分中选择性地形成有接触孔。绝缘膜 7101 具有层间膜的功能。作为第三绝缘膜,可以使用无机材料 (氧化硅、氮化硅或氧氮化硅等) 或具有低介电常数的有机化合物材料 (感光或非感光的有机树脂材料) 等。或者,也可以使用包含硅氧烷的材料。另外,硅氧烷的骨架结构由硅 (Si) 和氧 (O) 的键构成。也可以使用有机基 (例如烷基或芳烃) 或氟基作为取代基。或者,也

可以具有氟基作为有机基。

[0234] 在第三绝缘膜上形成有第二导电层（导电层 7102 及导电层 7103）。导电层 7102 通过形成在第三绝缘膜中的接触孔与晶体管 7108 的源电极及漏电极之另一方连接。因此，导电层 7102 包括用作晶体管 7108 的源电极及漏电极之另一方的部分。当导电层 7103 与导电层 7094 连接时，导电层 7103 包括用作电容元件 7109 的第一电极的部分。或者，当导电层 7103 与杂质区 7097 连接时，导电层 7103 包括用作电容元件 7109 的第二电极的部分。或者，当导电层 7103 不与导电层 7094 及杂质区 7097 连接时，形成与电容元件 7109 不同的电容元件。该电容元件具有导电层 7103、杂质区 7097 及绝缘膜 7101 分别用作电容元件的第一电极、第二电极及绝缘膜的结构。另外，可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或者这些元素的合金作为第二导电层。或者，可以使用这些元素（也包括合金）的叠层。

[0235] 另外，在形成第二导电层之后的工序中，可以形成有各种绝缘膜或各种导电膜。

[0236] 接着，说明将非晶硅（a-Si:H）膜或微晶硅膜等用于晶体管的半导体层时的晶体管及电容元件的结构。

[0237] 图 13A 是示出顶栅型晶体管及电容元件的截面结构的图。

[0238] 在衬底 7031 的整个面上形成有第一绝缘膜（绝缘膜 7032）。第一绝缘膜具有防止来自衬底一侧的杂质对半导体层造成负面影响而改变晶体管的性质的功能。换句话说，第一绝缘膜具有基底膜的功能。因此，可以制造可靠性高的晶体管。另外，作为第一绝缘膜，可以使用氧化硅膜、氮化硅膜或氧氮化硅膜（ SiO_xN_y ）的单层或叠层。

[0239] 此外，未必需要形成第一绝缘膜。在此情况下，可以减少工序的数量，并且可以降低制造成本。因为可以简化结构，所以可以提高成品率。

[0240] 在第一绝缘膜上形成有第一导电层（导电层 7033、导电层 7034 及导电层 7035）。导电层 7033 包括用作晶体管 7048 的源电极及漏电极之一方的部分。导电层 7034 包括用作晶体管 7048 的源电极及漏电极之另一方的部分。导电层 7035 包括用作电容元件 7049 的第一电极的部分。作为第一导电层，可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或者这些元素的合金。或者，可以使用这些元素（也包括合金）的叠层。

[0241] 在导电层 7033 及导电层 7034 上形成有第一半导体层（半导体层 7036 及半导体层 7037）。半导体层 7036 包括用作源电极及漏电极之一方的部分。半导体层 7037 包括用作源电极及漏电极之另一方的部分。另外，作为第一半导体层，可以使用包含磷等的硅等。

[0242] 在导电层 7033 和导电层 7034 之间且在第一绝缘膜上形成有第二半导体层（半导体层 7038）。而且，半导体层 7038 的一部分延伸到导电层 7033 上及导电层 7034 上。半导体层 7038 包括用作晶体管 7048 的沟道区的部分。另外，作为第二半导体层，可以使用如非晶硅（a-Si:H）等具有非晶性的半导体层或微晶硅（ μ -Si:H）等的半导体层等。

[0243] 以至少覆盖半导体层 7038 及导电层 7035 的方式形成有第二绝缘膜（绝缘膜 7039 及绝缘膜 7040）。第二绝缘膜具有作为栅极绝缘膜的功能。作为第二绝缘膜，可以使用氧化硅膜、氮化硅膜或氧氮化硅膜（ SiO_xN_y ）等的单层或叠层。

[0244] 另外，作为与第二半导体层接触的部分的第二绝缘膜，优选使用氧化硅膜。这是因为第二半导体层和第二绝缘膜接触的界面处的陷阱能级减少的缘故。

[0245] 另外,当第二绝缘膜与 Mo 接触时,优选使用氧化硅膜作为与 Mo 接触的第二绝缘膜。这是因为氧化硅膜不使 Mo 氧化的缘故。

[0246] 在第二绝缘膜上形成有第二导电层(导电层 7041 及导电层 7042)。导电层 7041 包括用作晶体管 7048 的栅电极的部分。导电层 7042 用作电容元件 7049 的第二电极或布线。可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或者这些元素的合金作为第二导电层。或者,可以使用这些元素(也包括合金)的叠层。

[0247] 作为形成第二导电层之后的工序,还可以形成各种绝缘膜或各种导电膜。

[0248] 图 13B 是示出反交错型(底栅型)晶体管及电容元件的截面结构的图。尤其,图 13B 所示的晶体管具有称为沟道蚀刻型的结构。

[0249] 在衬底 7051 的整个面上形成有第一绝缘膜(绝缘膜 7052)。第一绝缘膜具有防止来自衬底一侧的杂质对半导体层造成负面影响而改变晶体管的性质的功能。换句话说,第一绝缘膜用作基底膜。因此,可以制造可靠性高的晶体管。另外,作为第一绝缘膜,可以使用氧化硅膜、氮化硅膜或氧氮化硅膜(SiO_xN_y)等的单层或叠层。

[0250] 此外,未必需要形成第一绝缘膜。在此情况下,可以减少工序的数量,并且可以降低制造成本。因为可以简化结构,可以提高成品率。

[0251] 在第一绝缘膜上形成有第一导电层(导电层 7053 及导电层 7054)。导电层 7053 包括用作晶体管 7068 的栅电极的部分。导电层 7054 包括用作电容元件 7069 的第一电极的部分。另外,作为第一导电层,可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或者这些元素的合金。或者,可以使用这些元素(也包括合金)的叠层。

[0252] 以至少覆盖第一导电层的方式形成有第二绝缘膜(绝缘膜 7055)。第二绝缘膜用作栅极绝缘膜。另外,作为第二绝缘膜,可以使用氧化硅膜、氮化硅膜或氧氮化硅膜(SiO_xN_y)等的单层或叠层。

[0253] 作为与半导体层接触的部分的第二绝缘膜,优选使用氧化硅膜。这是因为半导体层和第二绝缘膜接触的界面处的陷阱能级减少的缘故。

[0254] 另外,当第二绝缘膜与 Mo 接触时,优选使用氧化硅膜作为与 Mo 接触的第二绝缘膜。这是因为氧化硅膜不使 Mo 氧化的缘故。

[0255] 通过光刻法、喷墨法、印刷法等,在第二绝缘膜上的与第一导电层重叠的一部分形成有第一半导体层(半导体层 7056)。半导体层 7056 的一部分延伸到第二绝缘膜上的不与第一导电层重叠形成的部分。半导体层 7056 包括用作晶体管 7068 的沟道区的部分。作为半导体层 7056,可以使用如非晶硅(a-Si:H)等具有非晶性的半导体层,或如微晶硅($\mu\text{-Si:H}$)等的半导体层等。

[0256] 在第一半导体层的一部分上形成有第二半导体层(半导体层 7057 及半导体层 7058)。半导体层 7057 包括用作源电极及漏电极之一方的部分。半导体层 7058 包括用作源电极及漏电极之另一方的部分。另外,可以使用包含磷等的硅等作为第二半导体层。

[0257] 在第二半导体层及第二绝缘膜上形成有第二导电层(导电层 7059、导电层 7060 及导电层 7061)。导电层 7059 包括用作晶体管 7068 的源电极及漏电极之一方的部分。导电层 7060 包括用作晶体管 7068 的源电极及漏电极之另一方的部分。导电层 7061 包括用作电容元件 7069 的第二电极的部分。另外,可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或者这些元素的合金作为第二导电层。或者,可以使用这些元

素（也包括合金）的叠层。

[0258] 另外，作为形成第二导电层之后的工序，也可以形成各种绝缘膜或各种导电膜。

[0259] 这里，说明沟道蚀刻型晶体管的工序特征的一例。可以使用相同的掩模形成第一半导体层及第二半导体层。具体而言，第一半导体层和第二半导体层连续形成。而且，使用相同的掩模形成第一半导体层及第二半导体层。

[0260] 说明沟道蚀刻型晶体管的工序特征的另一实例。可以不使用新的掩模地形成晶体管的沟道区。具体而言，在形成第二导电层之后，将第二导电层用作掩模而去除第二半导体层的一部分。或者，通过使用与第二导电层相同的掩模去除第二半导体层的一部分。然后，形成在去除了的第二半导体层下的第一半导体层成为晶体管的沟道区。

[0261] 图 13C 是示出反交错型（底栅型）晶体管及电容元件的截面结构的图。尤其，图 13C 所示的晶体管具有称为沟道保护型（沟道停止型）的结构。

[0262] 在衬底 7071 的整个面上形成有第一绝缘膜（绝缘膜 7072）。该第一绝缘膜具有防止来自于衬底一侧的杂质对半导体层造成负面影响而改变晶体管的性质的功能。换句话说，第一绝缘膜用作基底膜。因此，可以制造可靠性高的晶体管。另外，作为第一绝缘膜，可以使用氧化硅膜、氮化硅膜或氧氮化硅膜（ SiO_xN_y ）等的单层或叠层。

[0263] 此外，未必需要形成该第一绝缘膜。在此情况下，可以减少工序的数量，并且可以降低制造成本。因为可以简化结构，可以提高成品率。

[0264] 在第一绝缘膜上形成有第一导电层（导电层 7073 及导电层 7074）。导电层 7073 包括用作晶体管 7088 的栅电极的部分。导电层 7074 包括用作电容元件 7089 的第一电极的部分。作为第一导电层，可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或这些元素的合金。或者，可以使用这些元素（也包括合金）的叠层。

[0265] 以至少覆盖第一导电层的方式形成有第二绝缘膜（绝缘膜 7075）。第二绝缘膜用作栅极绝缘膜。另外，作为第二绝缘膜，可以使用氧化硅膜、氮化硅膜或氧氮化硅膜（ SiO_xN_y ）等的单层或叠层。

[0266] 作为与半导体层接触的部分的第二绝缘膜，优选使用氧化硅膜。这是因为半导体层和第二绝缘膜接触的界面处的陷阱能级减少的缘故。

[0267] 另外，当第二绝缘膜与 Mo 接触时，优选使用氧化硅膜作为与 Mo 接触的第二绝缘膜。这是因为氧化硅膜不使 Mo 氧化的缘故。

[0268] 通过光刻法、喷墨法或印刷法等第二绝缘膜上的与第一导电层重叠的部分的一部分中形成有第一半导体层（半导体层 7076）。半导体层 7078 的一部分延伸到第二绝缘膜上的不与第一导电层重叠形成的部分。半导体层 7076 包括用作晶体管 7088 的沟道区的部分。另外，作为半导体层 7076，可以使用非晶硅（a-Si:H）等的具有非晶性的半导体层，或微晶硅（ μ -Si:H）等的半导体层等。

[0269] 在第一半导体层的一部分上形成有第三绝缘膜（绝缘膜 7082）。绝缘膜 7082 具有防止晶体管 7088 的沟道区被蚀刻而去除的功能。换句话说，绝缘膜 7082 用作沟道保护膜（沟道停止膜）。另外，作为第三绝缘膜，可以使用氧化硅膜、氮化硅膜或氧氮化硅膜（ SiO_xN_y ）等的单层或叠层。

[0270] 在第一半导体层的一部分和第三绝缘膜的一部分上形成有第二半导体层（半导体层 7077 及半导体层 7078）。半导体层 7077 包括用作源电极和漏电极之一的部分。半

导体层 7078 包括用作源电极和漏电极之另一方的部分。可以使用包括磷等的硅等作为第二半导体层。

[0271] 在第二半导体层上形成有第二导电层（导电层 7079、导电层 7080 及导电层 7081）。导电层 7079 包括用作晶体管 7088 的源电极和漏电极之一方的部分。导电层 7080 包括用作晶体管 7088 的源电极及漏电极之另一方的部分。导电层 7081 包括用作电容元件 7089 的第二电极的部分。另外，可以使用 Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge 等或这些元素的合金作为第二导电层。或者，可以使用这些元素（也包括合金）的叠层。

[0272] 另外，作为形成第二导电层之后的工序，也可以形成各种绝缘膜或各种导电膜。

[0273] 接着，说明将半导体衬底用作用来制造晶体管的衬底的例子。因为使用半导体衬底制造的晶体管的迁移率高，所以可以缩小晶体管尺寸。其结果是，可以增加每单位面积中的晶体管的数量（提高集成度），且因为在同一电路结构中，集成度越高，可以越减少衬底的尺寸，所以可以减少制造成本。再者，在采用同一尺寸的衬底时，集成度越高，可以越扩大电路的规模，所以可以在制造成本大致相等的状态下具有更高的功能。再者，由于特性的不均匀少，因此可以提高制造的成品率。而且，由于工作电压低，因此可以减少耗电量。而且，由于迁移率高，因此可以进行高速工作。

[0274] 通过将集成使用半导体衬底制造的晶体管构成的电路以 IC 芯片等的方式安装在装置中，使该装置具有各种功能。例如，通过集成使用半导体衬底制造的晶体管构成显示装置的外围驱动电路（数据驱动器（源极驱动器）、扫描驱动器（栅极驱动器）、定时控制器、图像处理电路、接口电路、电源电路、振荡电路等），可以以低成本成品率高地制造尺寸小，耗电量低，能够进行高速工作的外围驱动电路。另外，集成使用半导体衬底制造的晶体管构成的电路也可以采用具有单一极性的晶体管的结构。由此可以使制造工艺简化，从而可以减少制造成本。

[0275] 此外，例如还可以将集成使用半导体衬底制造的晶体管构成的电路用于显示面板。更详细地，可以用于 LCOS(Liquid Crystal On Silicon; 硅基液晶) 等的反射型液晶面板、集成微小镜的 DMD(Digital Micromirror Device; 数字微镜装置) 元件、EL 面板等。通过使用半导体衬底制造这些显示面板，可以以低成本成品率高地制造尺寸小，耗电量低，能够进行高速工作的显示面板。另外，显示面板包括大规模集成电路 (LSI) 等的形成在具有显示面板的驱动以外的功能的元件上的显示面板。

[0276] 下面，描述使用半导体衬底制造晶体管的方法。作为一例，使用图 14A 至图 14G 所示的工序制造晶体管，即可。

[0277] 图 14A 示出在半导体衬底 7110 中分离元件的区域 7112、区域 7113、绝缘膜 7111（也称为场氧化膜）、p 阱 7114。

[0278] 作为半导体衬底 7110，只要是半导体衬底而没有特别的限制。例如，可以使用具有 n 型或 p 型的导电型的单晶 Si 衬底、化合物半导体衬底（GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底、ZnSe 衬底等）、采用贴合法或 SIMOX(Separation by Implanted Oxygen; 注入氧隔离) 法制造的 SOI(Silicon On Insulator; 绝缘体上硅) 衬底等。

[0279] 图 14B 示出绝缘膜 7121、绝缘膜 7122。绝缘膜 7121、绝缘膜 7122 例如通过进行热处理使设置在半导体衬底 7110 的区域 7112、区域 7113 的表面氧化，可以使用氧化硅膜形成

绝缘膜 7121、绝缘膜 7122。

[0280] 图 14C 示出导电膜 7123、导电膜 7124。

[0281] 可以使用选自钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、铌 (Nb) 等中的元素或以这些元素为主要成分的合金材料或化合物材料形成导电膜 7123、导电膜 7124。或者,也可以使用使这些元素氮化的金属氮化物形成导电膜 7123、导电膜 7124。此外,还可以使用掺杂磷等的杂质元素的多晶硅、引入金属材料的以硅化物等为代表的半导体材料形成。

[0282] 图 14D 至图 14G 示出栅电极 7130、栅电极 7131、抗蚀剂掩模 7132、杂质区 7134、沟道形成区 7133、抗蚀剂掩模 7135、杂质区 7137、沟道形成区 7136、第二绝缘膜 7138、布线 7139。

[0283] 另外,第二绝缘膜 7138 可以通过 CVD 法或溅射法等并使用由如下材料构成的单层结构或叠层结构设置:如氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$)、氮氧化硅 (SiN_xO_y) ($x > y$) 等的具有氧或氮的绝缘膜;如 DLC(类金刚石碳)等的包含碳的膜;环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸等的有机材料;或者如硅氧烷树脂等的硅氧烷材料。另外,硅氧烷材料相当于包含 Si-O-Si 键的材料。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 的键构成。可以使用有机基(例如烷基或芳烃)或氟基作为取代基。也可以使用氟基作为有机基。

[0284] 布线 7139 利用 CVD 法或溅射法等并使用由如下材料构成的单层结构或叠层结构设置:选自铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C)、硅 (Si) 中的元素或者以这些元素为主要成分的合金材料或化合物材料。以铝为主要成分的合金材料例如相当于以铝为主要成分且包含镍的材料或者以铝为主要成分且包含镍以及碳及硅中的一方或双方的合金材料。作为布线 7139,例如优选采用阻挡膜、铝硅 (Al-Si) 膜以及阻挡膜的叠层结构或者阻挡膜、铝硅 (Al-Si) 膜、氮化钛膜以及阻挡膜的叠层结构。另外,阻挡膜相当于由钛、钛的氮化物、钼或钼的氮化物构成的薄膜。因为铝或铝硅的电阻低且价格低廉,所以作为形成布线 7139 的材料最合适。例如,当设置上层和下层的阻挡层时,可以防止铝或铝硅的小丘的产生。例如,当形成由还原性高的元素的钛构成的阻挡膜时,即使在结晶半导体膜上形成有较薄的自然氧化膜,也可以使该自然氧化膜还原。其结果是,布线 7139 与结晶半导体膜可以实现良好的电连接及物理连接。

[0285] 此外,晶体管的结构不局限于图示的结构。例如,可以采用反交错结构、FinFET(鳍式场效应晶体管)结构等的晶体管结构。优选采用 FinFET 结构,因为可以抑制由晶体管尺寸的微细化导致的短沟道效应。

[0286] 以上说明了晶体管的结构及晶体管的制造方法。在此,布线、电极、导电层、导电膜、端子、通路、插头等优选由如下材料构成:选自由铝 (Al)、钽 (Ta)、钛 (Ti)、钼 (Mo)、钨 (W)、钕 (Nd)、铬 (Cr)、镍 (Ni)、铂 (Pt)、金 (Au)、银 (Ag)、铜 (Cu)、镁 (Mg)、钪 (Sc)、钴 (Co)、锌 (Zn)、铌 (Nb)、硅 (Si)、磷 (P)、硼 (B)、砷 (As)、镓 (Ga)、铟 (In)、锡 (Sn)、氧 (O) 构成的一种或多种元素;以选自所述组中的一种或多种元素为成分的化合物或合金材料(例如铟锡氧化物 (ITO)、铟锌氧化物 (IZO)、包含氧化硅的铟锡氧化物 (ITSO)、氧化锌 (ZnO)、氧化锡 (SnO)、氧化锡镉 (CTO)、铝钕 (Al-Nd)、镁银 (Mg-Ag)、钼铌等 (Mo-Nb) 等)。或者,

布线、电极、导电层、导电膜、端子等优选具有组合这些化合物而成的物质等。或者,优选具有如下材料:选自所述组中的一种或多种元素和硅的化合物(硅化物)(例如铝硅、钼硅、镍硅化物等);选自所述组中的一种或多种元素和氮的化合物(例如氮化钛、氮化钽、氮化钼等)。

[0287] 另外,硅(Si)也可以包含n型杂质(磷等)或p型杂质(硼等)。通过将杂质包含在硅中,可以提高导电率,且该硅可以起到与通常的导体相同的作用。因此,可以容易将其用作布线或电极等。

[0288] 另外,硅可以是单晶、多晶(多晶硅)、微晶(微晶硅)等的具有各种结晶性的硅。或者,硅也可以是非晶(非晶硅)等的没有结晶性的硅。通过使用单晶硅或多晶硅,可以降低布线、电极、导电层、导电膜、端子等的电阻。通过使用非晶硅或微晶硅,可以以简单的工序形成布线等。

[0289] 由于铝或银的导电率高,因此可以减少信号延迟。再者,由于对铝或银容易进行蚀刻,因此容易进行构图,并可以进行微细的加工。

[0290] 由于铜的导电率高,因此可以减少信号延迟。在使用铜时,优选采用叠层结构以提高紧密性。

[0291] 钼或钛是优选的,这是因为它们具有如下优点:即使接触于氧化物半导体(ITO、IZO等)或硅,也不会产生不良;容易进行蚀刻;耐热性高等。

[0292] 钽具有耐热性高等的优点,所以是优选的。

[0293] 铪具有耐热性高等的优点,所以是优选的。特别是,当采用铪与铝的合金时耐热性提高,所以铝不容易产生小丘。

[0294] 硅具有如可以与晶体管所具有的半导体层同时形成、耐热性高等的优点,所以是优选的。

[0295] 另外,ITO、IZO、ITSO、氧化锌(ZnO)、硅(Si)、氧化锡(SnO)、氧化锡镉(CTO)具有透光性,而可以用于透射光的部分。例如,它们可用作像素电极或公共电极。

[0296] 此外,优选使用IZO,因为对IZO容易进行蚀刻并且容易加工。IZO不容易引起当蚀刻时留下渣滓的问题。因此,通过使用IZO作为像素电极,可以减少给液晶元件或发光元件带来的不良(短路、取向无序等)。

[0297] 此外,布线、电极、导电层、导电膜、端子、通路、插头等也可以由单层结构或叠层结构构成。通过采用单层结构,可以简化制造布线、电极、导电层、导电膜、端子等的工序并减少制作步骤和时间,这可以实现成本降低。或者,通过采用多层结构,可以利用各种材料的优点并且减少其缺点,从而可以形成高性能布线或电极等。举例来说,通过在多层结构中包含低电阻材料(铝等),可以实现布线的低电阻化。作为另一例子,通过采用低耐热性材料被夹在高耐热性材料之间的叠层结构,可以利用低耐热性材料的优点并且提高布线或电极等的耐热性。例如,优选采用包含铝的层被夹在包含钼、钛、铪等的层之间的叠层结构。

[0298] 这里,在布线或电极等彼此直接接触的情况下,它们可能彼此受到负面影响。例如,一个布线或电极等可能进入另一个布线或电极等的材料中而改变其性质,因此不能发挥本来的作用。作为另一例子,当形成或制造高电阻部分时,有时发生问题并且不能正常地制造。在这种情况下,优选采用叠层结构将容易引起反应的材料夹在不容易引起反应的材料之间,或者,使用不容易引起反应的材料覆盖容易引起反应的材料。例如,在连接ITO和

铝的情况下,优选在ITO和铝之间插入钛、钼或钨合金。作为另一例子,在连接硅和铝的情况下,优选在硅和铝之间插入钛、钼或钨合金。

[0299] 布线指的是配置有导电体的物质。布线形状可以是线状,也可以不是线状而是短的。因此,布线包括电极。

[0300] 作为布线、电极、导电层、导电膜、端子、通路、插头等,也可以使用碳纳米管。由于碳纳米管具有透光性,所以可以将它用于透射光的部分。例如,可以将其用作像素电极或公共电极。

[0301] 另外,在本实施方式中参照各种附图进行描述。在各附图中描述的内容(也可以是其一部分的内容)对在其它附图中描述的内容(也可以是其一部分的内容)、在其它实施方式中描述的内容(也可以是其一部分的内容)可以自由地进行应用、组合或置换等。再者,在上述附图中,可以对各部分组合其它部分、其它实施方式的部分。

[0302] 实施方式4

[0303] 在本实施方式中,说明具备上述实施方式所说明的显示装置的电子设备的例子。

[0304] 图15A至图15H、图16A至图16D是示出电子设备的图。这些电子设备可以具有外壳5000、显示部5001、扬声器5003、LED灯5004、操作键5005、连接端子5006、传感器5007(它包括测定如下因素的功能:力量、位移、位置、速度、加速度、角速度、转动数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风5008等。

[0305] 图15A示出移动计算机,除了上述以外还可以具有开关5009、红外端口5010等。图15B示出具备记录介质的便携式图像再现装置(如DVD再现装置),除了上述以外还可以具有第二显示部5002、记录介质读出部5011等。图15C示出护目镜型显示器,除了上述以外还可以具有第二显示部5002、支撑部5012、耳机5013等。图15D示出便携式游戏机,除了上述以外还可以具有记录介质读出部5011等。图15E示出投影仪装置,除了上述以外还可以具有光源5033、投射透镜5034等。图15F示出便携式游戏机,除了上述以外还可以具有第二显示部5002、记录介质读出部5011等。图15G示出电视接收机,除了上述以外还可以具有调谐器、图像处理部等。图15H示出便携式电视接收机,除了上述以外还可以具有能够收发信号的充电器5017等。图16A示出显示器,除了上述以外还可以具有支撑台5018等。图16B示出相机,除了上述以外还可以具有外部连接端口5019、快门按钮5015、图像接收部5016等。图16C示出计算机,除了上述以外还可以具有定位装置5020、外部连接端口5019、读写器5021等。图16D示出移动电话机,除了上述以外还可以具有天线5014、用于移动电话及移动终端的单波段播放(one-segment broadcasting)部分接收用调谐器等。

[0306] 图15A至图15H、图16A至图16D所示的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上;触控面板;显示日历、日期或时刻等;通过利用各种软件(程序)控制处理;进行无线通信;通过利用无线通信功能,与各种计算机网络连接;通过利用无线通信功能,进行各种数据的发送或接收;读出存储在记录介质中的程序或数据来将它显示在显示部上;等等。再者,在具有多个显示部的电子设备中,可以具有如下功能:一个显示部主要显示图像信息,而另一显示部主要显示文字信息;或者,在多个显示部上显示考虑到视差的图像来显示立体图像;等等。再者,在具有图像接收部的电子设备中,可以具有如下功能:拍摄静态图像;拍摄动态图像;

对所拍摄的图像进行自动或手工校正;将所拍摄的图像存储在记录介质(外部或内置于相机)中;将所拍摄的图像显示在显示部上;等等。此外,图 15A 至图 15H、图 16A 至图 16D 所示的电子设备可具有的功能不局限于上述功能,而可以具有各种各样的功能。

[0307] 下面,说明具备显示装置的电子设备的应用例子。

[0308] 图 16E 表示将显示装置和建筑物设置为一体的例子。图 16E 包括外壳 5022、显示部 5023、作为操作部的遥控装置 5024、扬声器部 5025 等。显示装置以壁挂的方式与建筑物成为一体并且可以不需要较大的空间而设置。

[0309] 图 16F 表示在建筑物内将显示装置和建筑物设置为一体的另一例子。显示面板 5026 被结合到浴室 5027 内,并且洗澡的人可以观看显示面板 5026。

[0310] 在本实施方式中,举出墙、浴室作为建筑物。但是,本实施方式不局限于此。显示装置可以安装在各种建筑物上。

[0311] 下面,表示将显示装置和移动物体设置为一体的例子。

[0312] 图 16G 表示将显示装置和汽车设置为一体的例子。显示面板 5028 被结合到汽车的车体 5029,并根据需要能够显示车体的工作或从车体内部或外部输入的信息。另外,也可以具有导航功能。

[0313] 图 16H 表示将显示装置和旅客用飞机设置为一体的例子。图 16H 表示在将显示面板 5031 设置在旅客用飞机的座位上方的天花板 5030 上的情况下使用显示面板 5031 时的形状。显示面板 5031 通过铰链部 5032 被结合到天花板 5030,并且乘客因铰链部 5032 伸缩而可以观看显示板 5031。显示板 5031 具有通过乘客的操作来显示信息的功能。

[0314] 另外,在本实施方式中,举出汽车、飞机作为移动物体,但是不限于此而可以设置在各种移动物体如摩托车、自动四轮车(包括汽车、公共汽车等)、电车(包括单轨、铁路等)、以及船等。

[0315] 另外,在本实施方式中参照各种附图进行描述。在各附图中描述的内容(也可以是其一部分的内容)对在其它附图中描述的内容(也可以是其一部分的内容)、在其它实施方式中描述的内容(也可以是其一部分的内容)可以自由地进行应用、组合或置换等。再者,在上述附图中,可以对各部分组合其它部分、其它实施方式的部分。因此,通过将上述实施方式说明的显示装置用作电子设备的显示部,可以实现图像质量不良的减少。

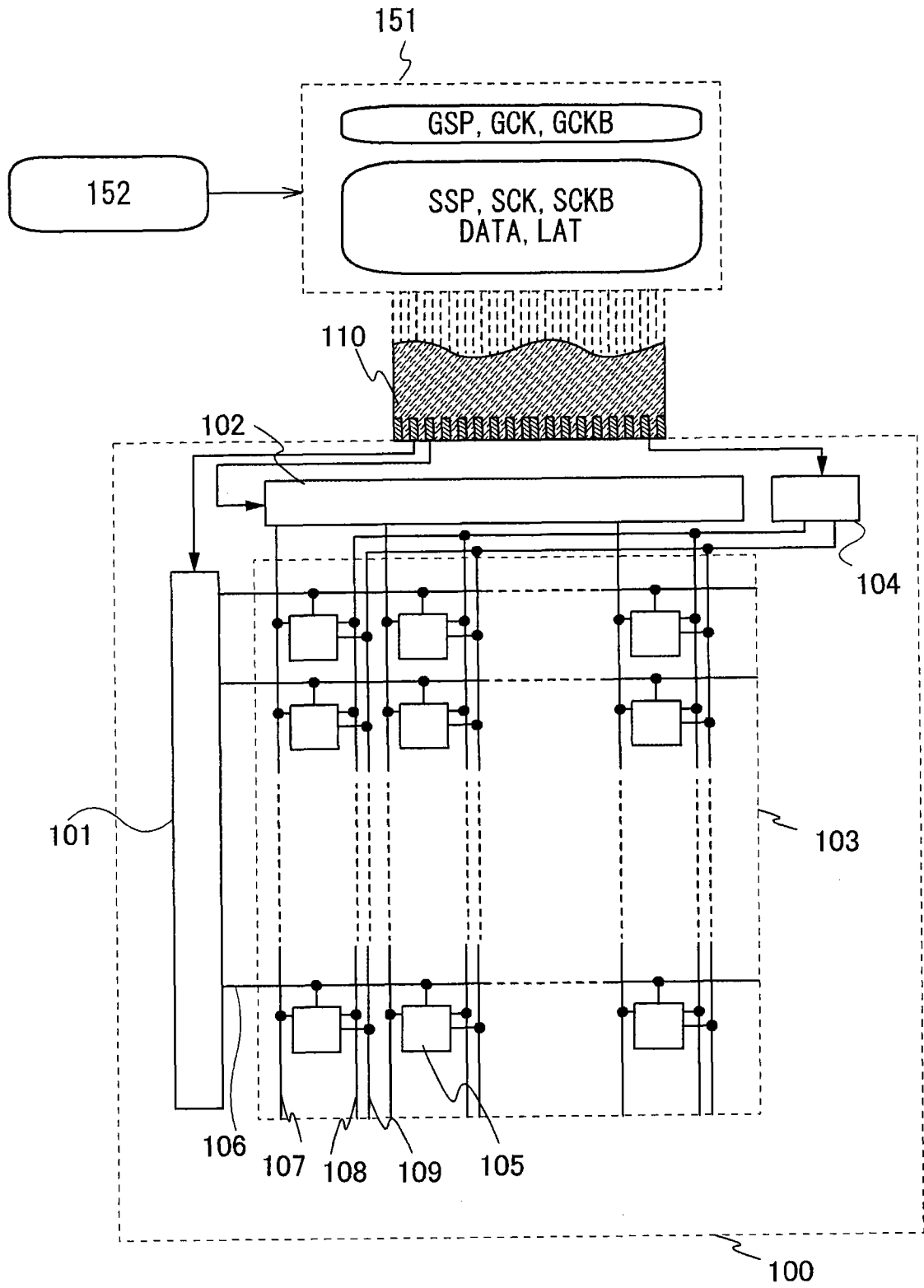


图 1

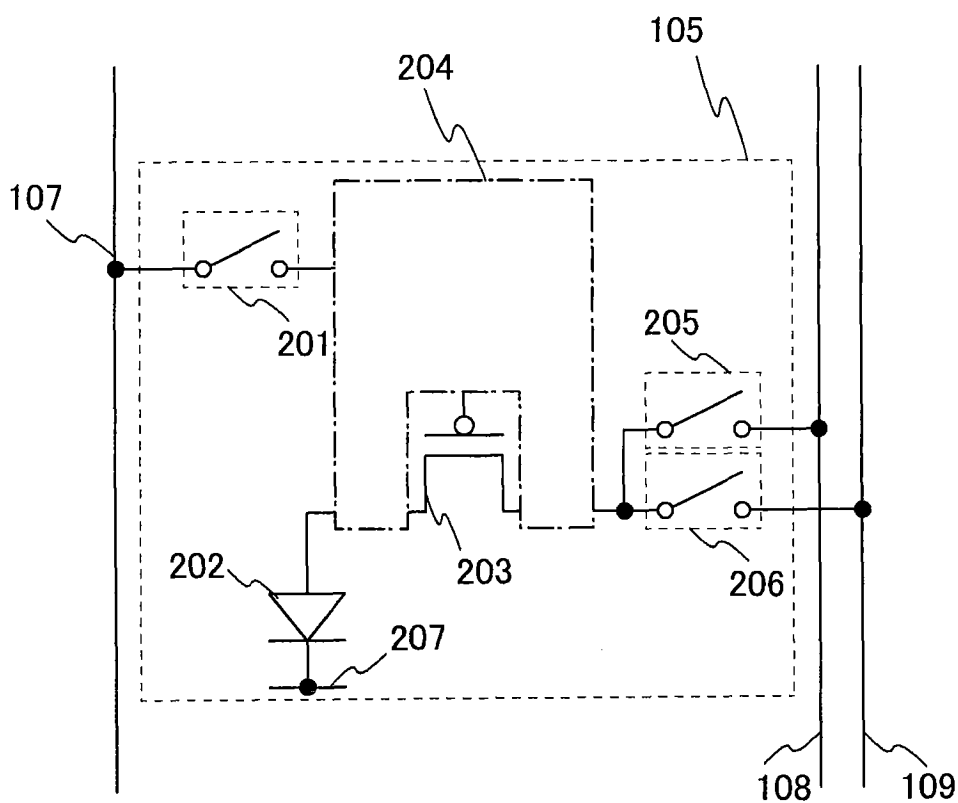


图 2A

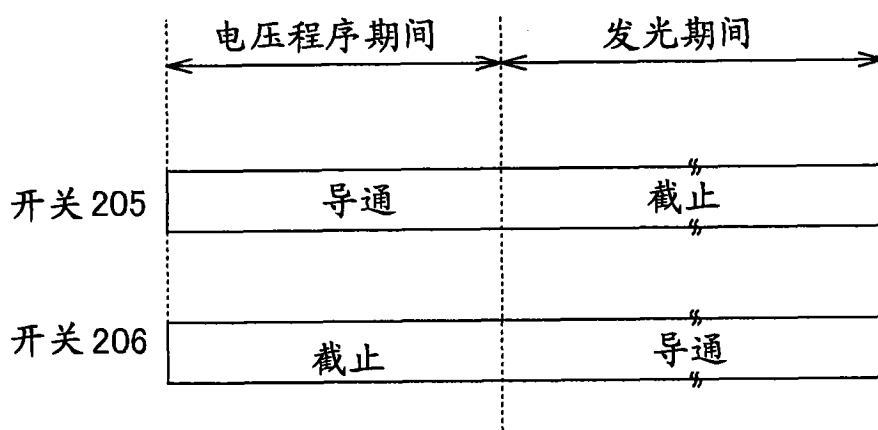


图 2B

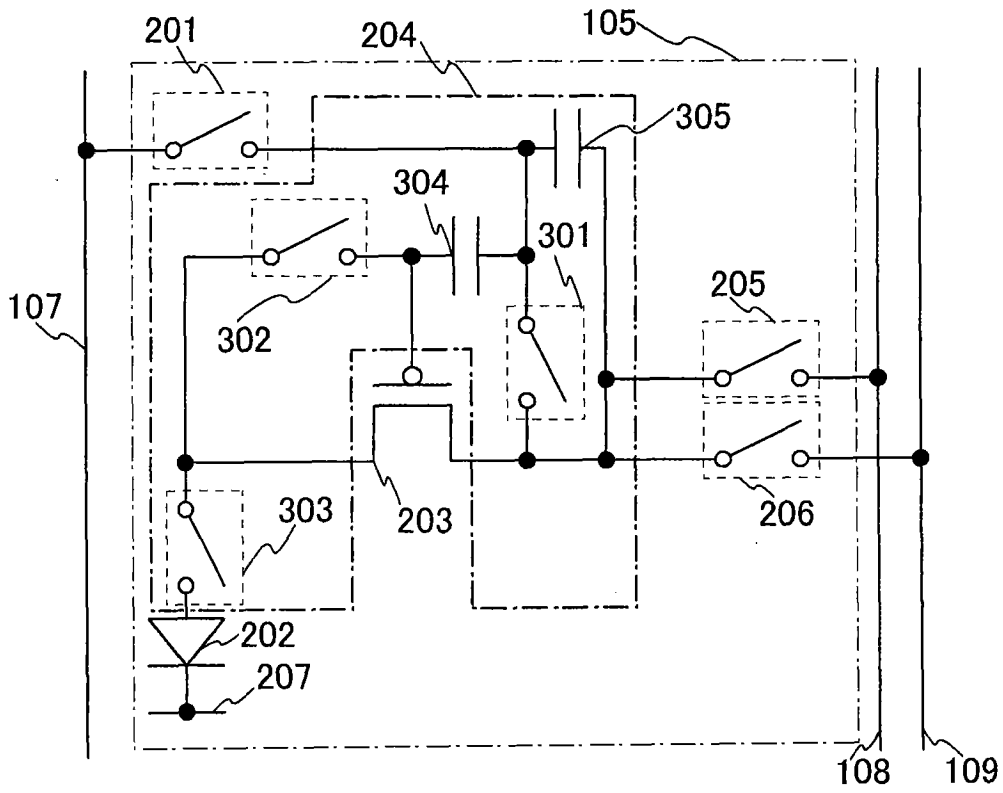


图 3A

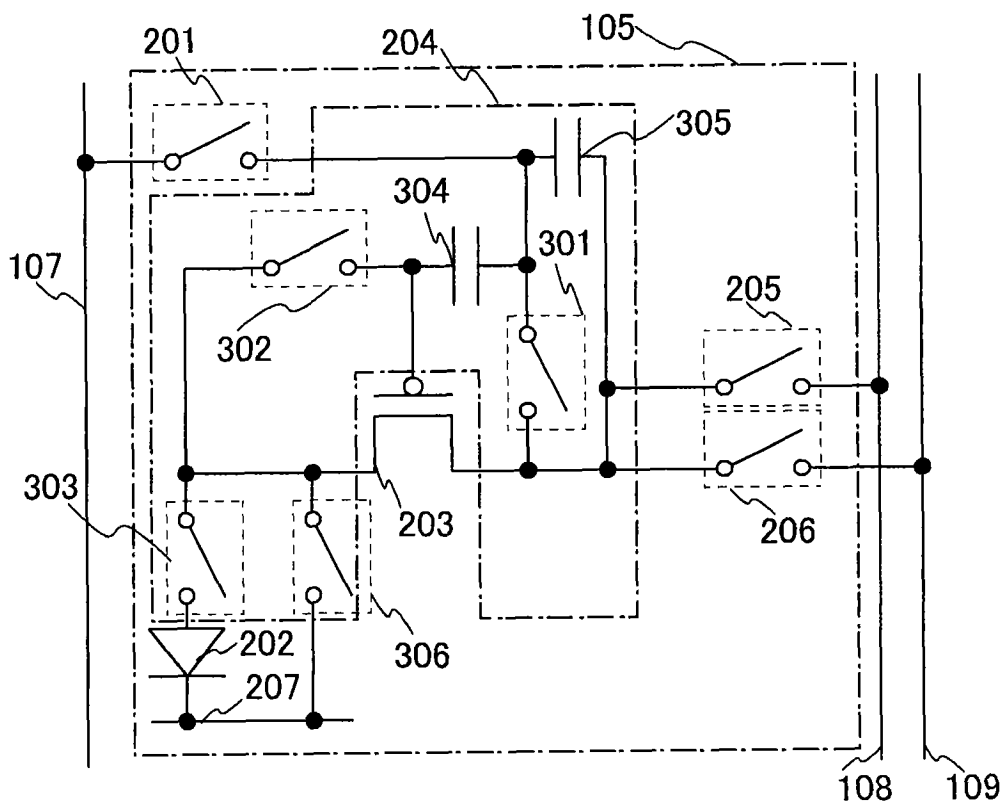


图 3B

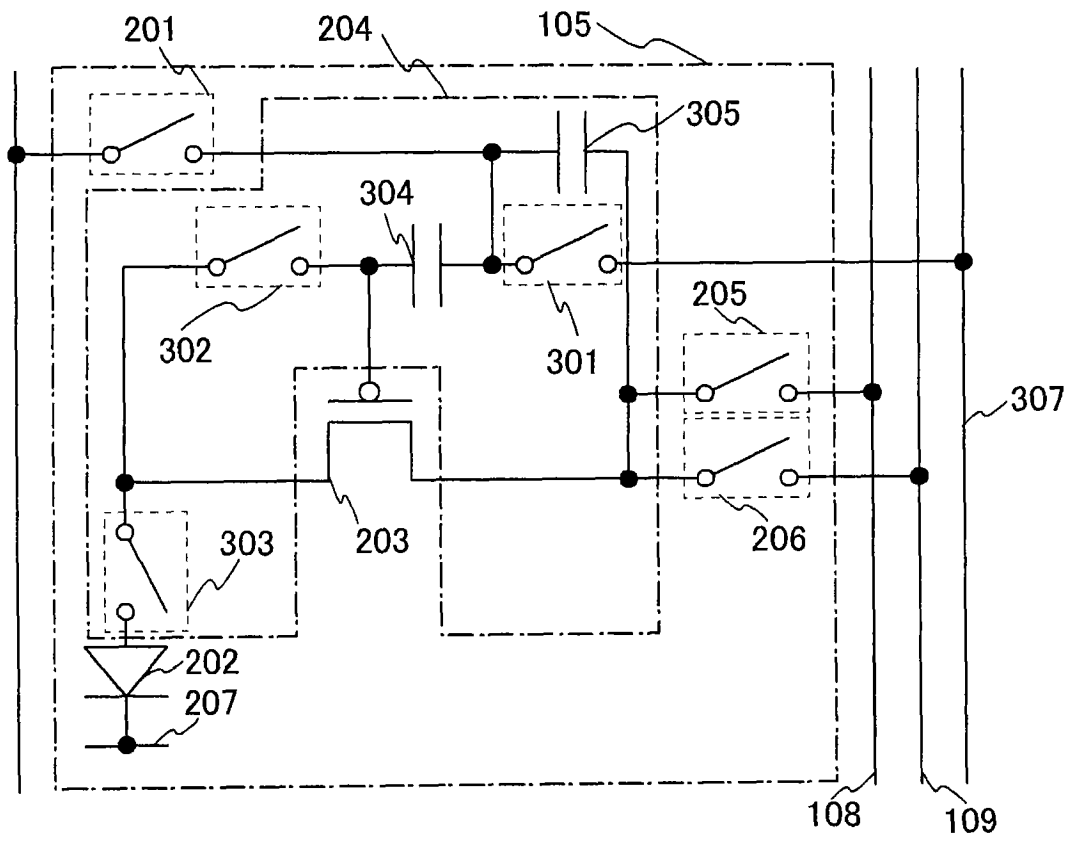


图 4A

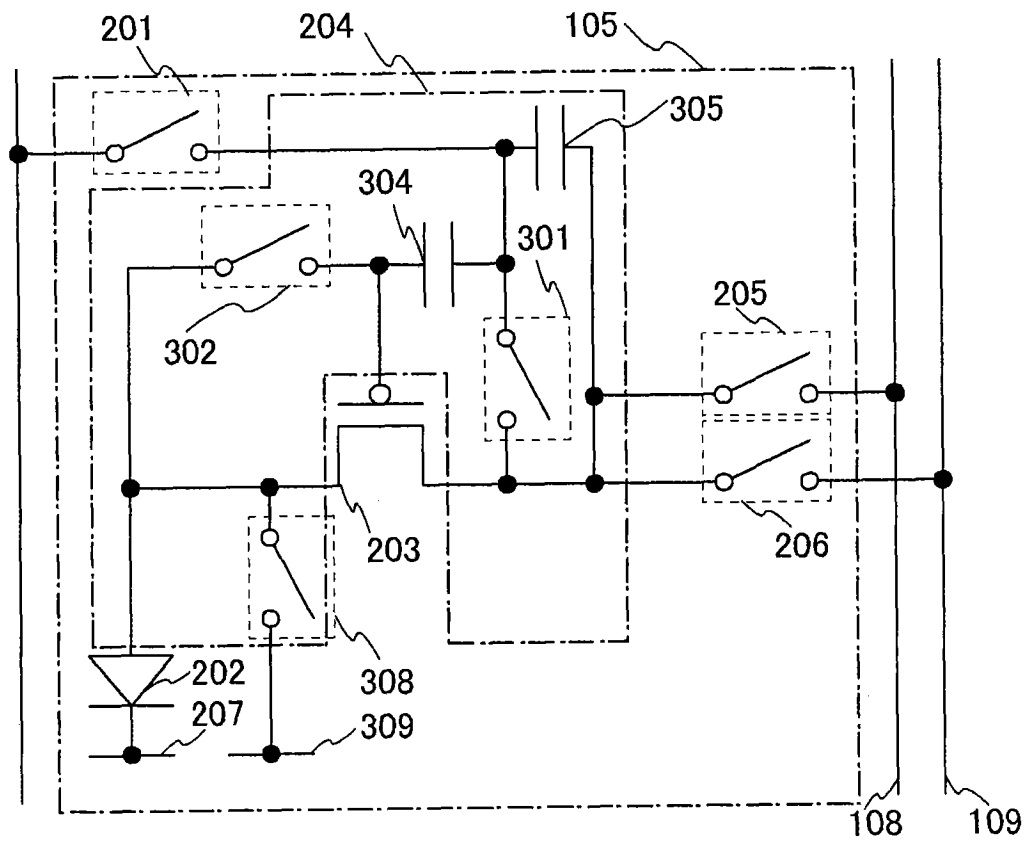


图 4B

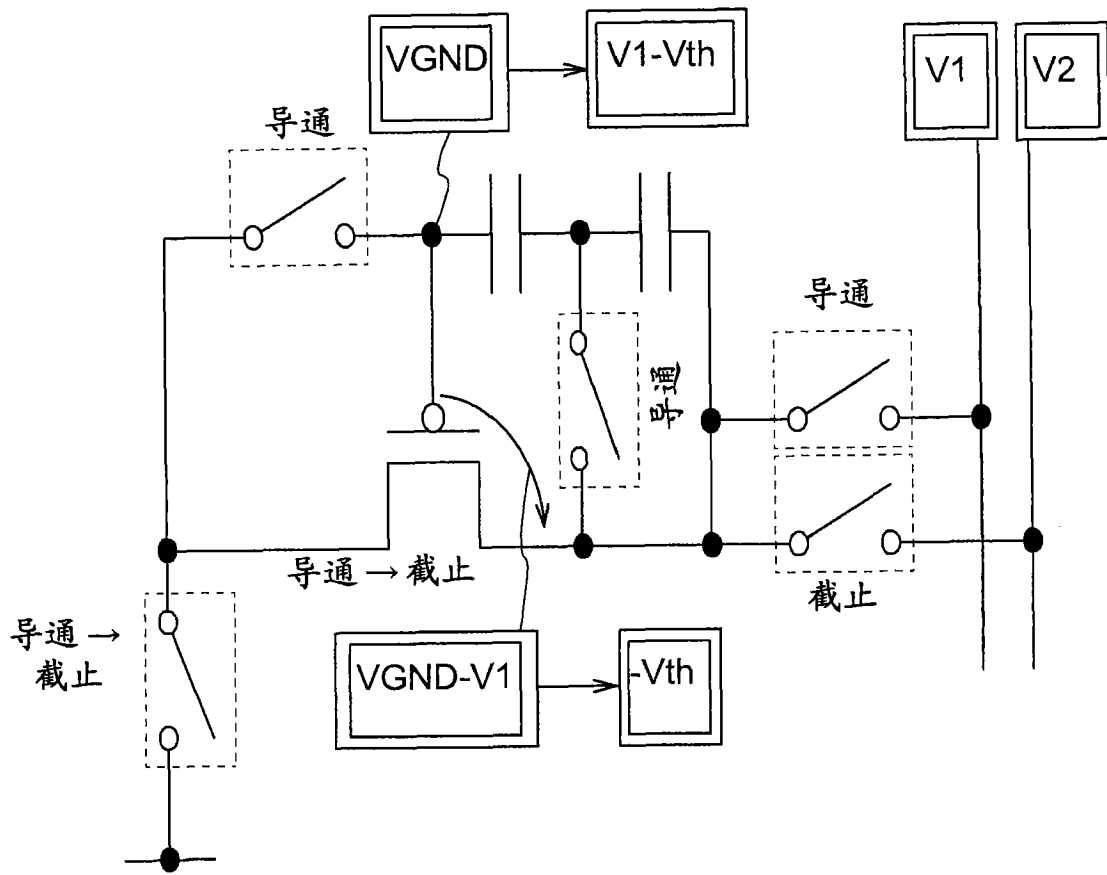


图 5B

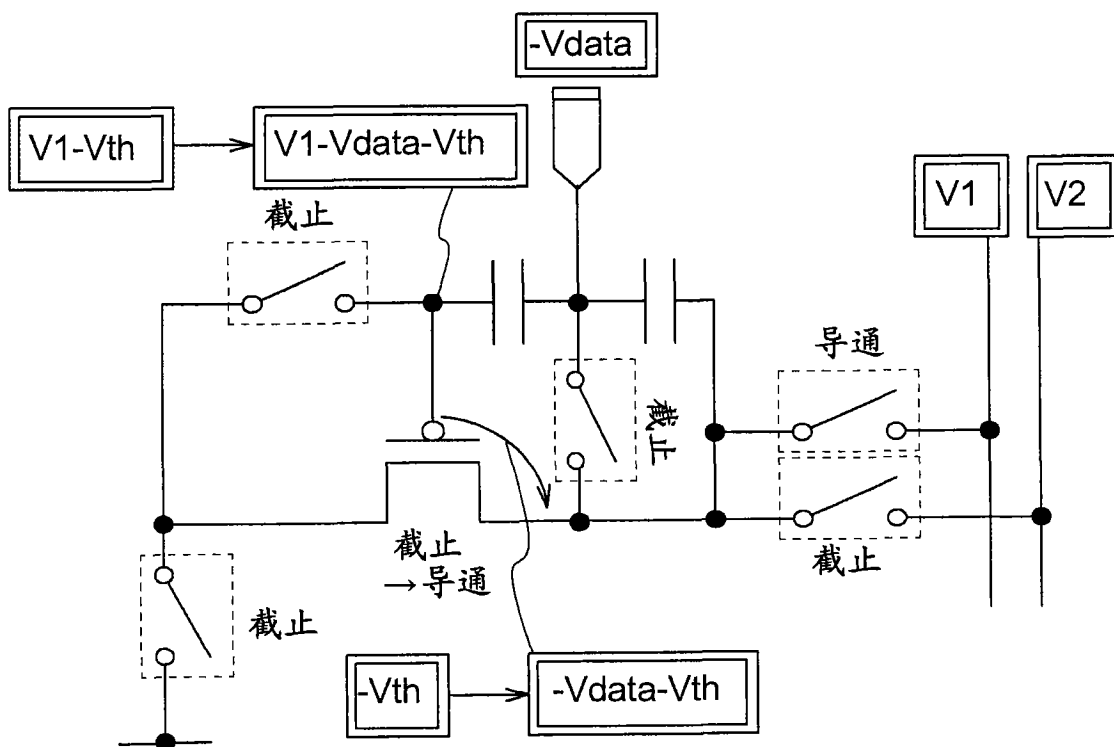


图 6A

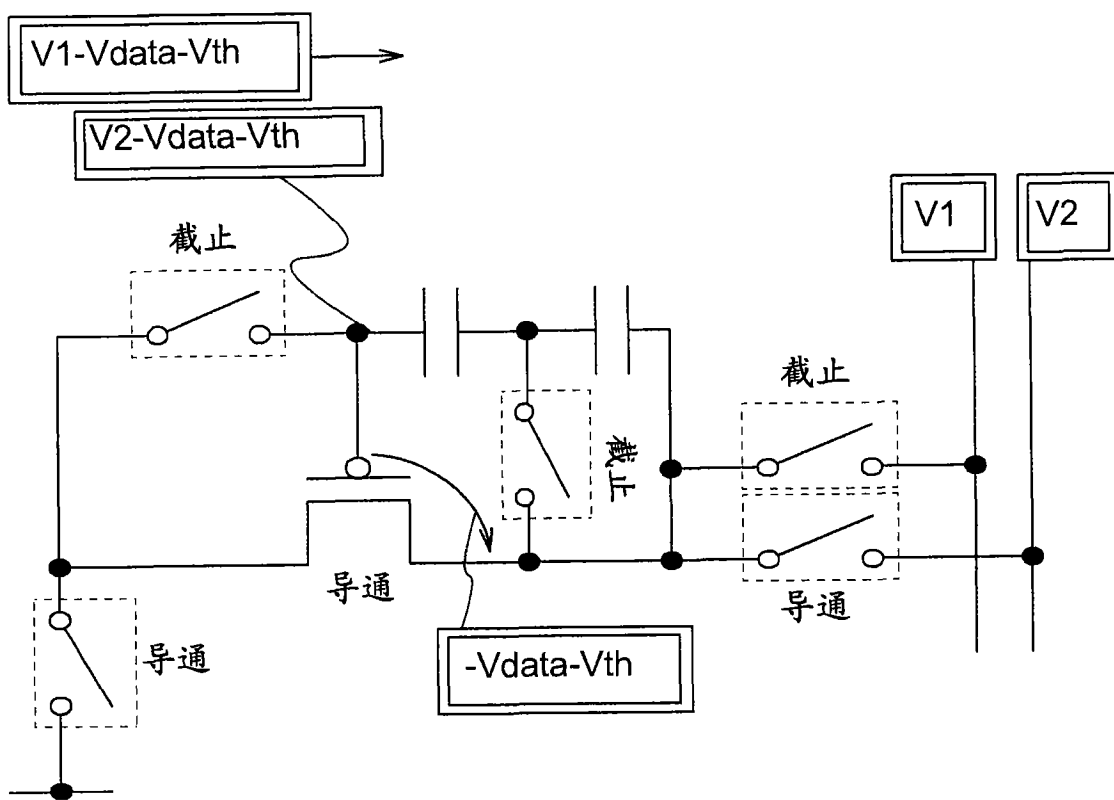


图 6B

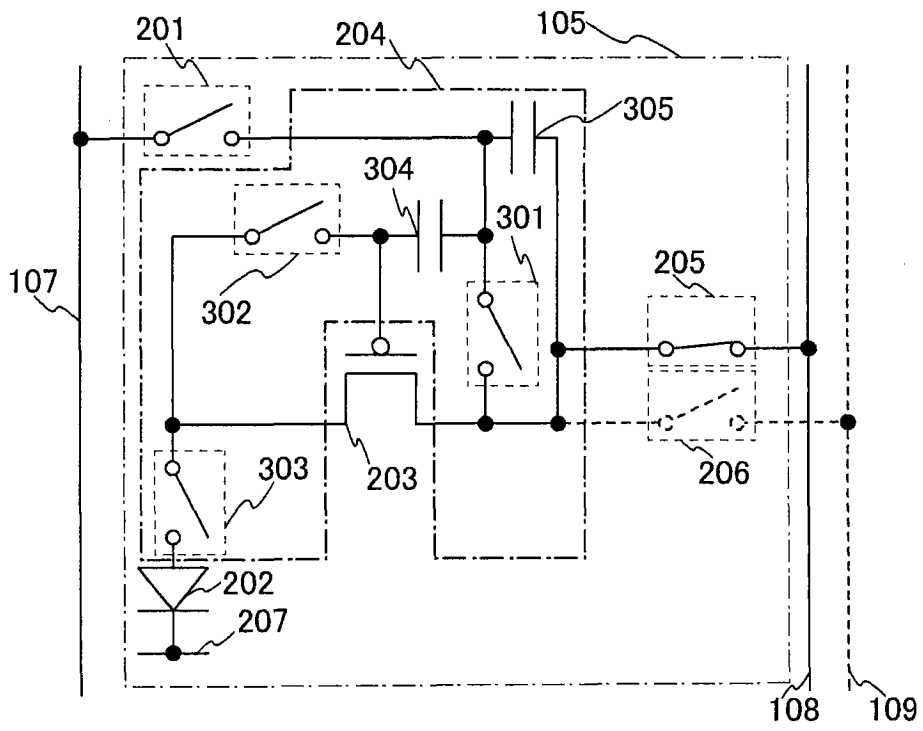


图 8A

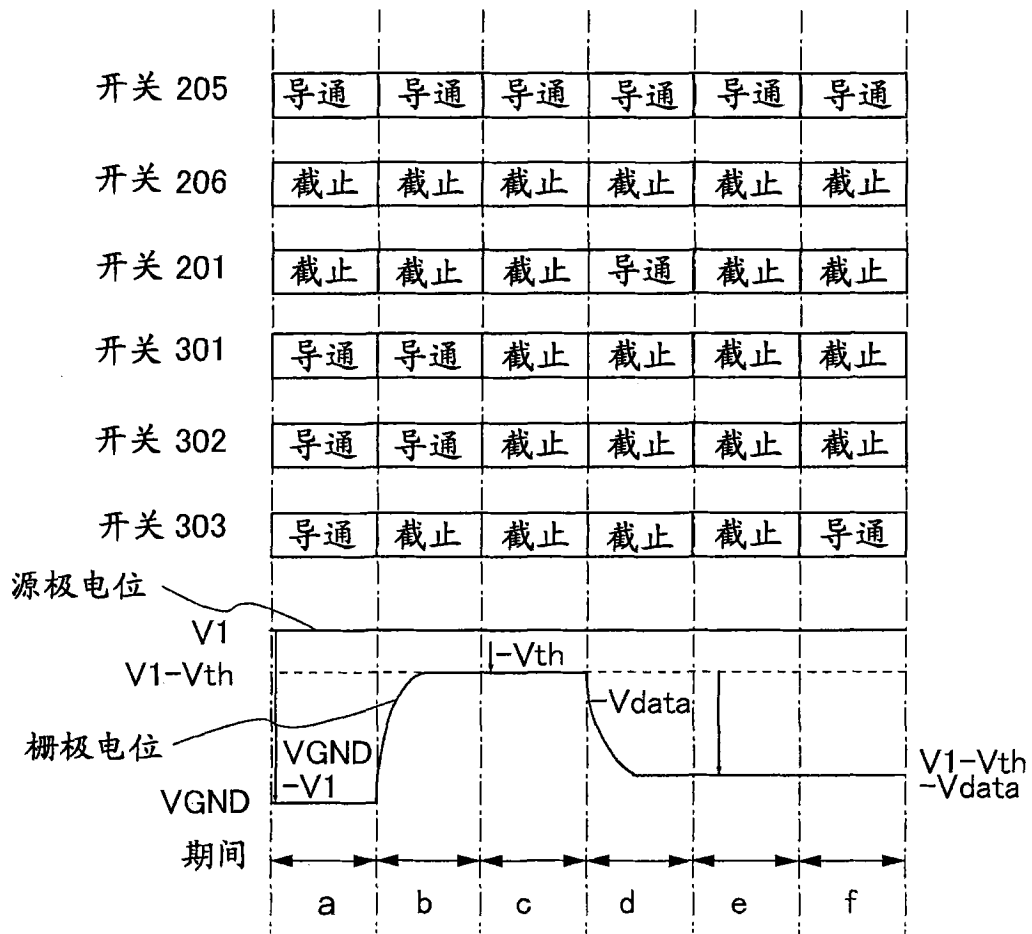


图 8B

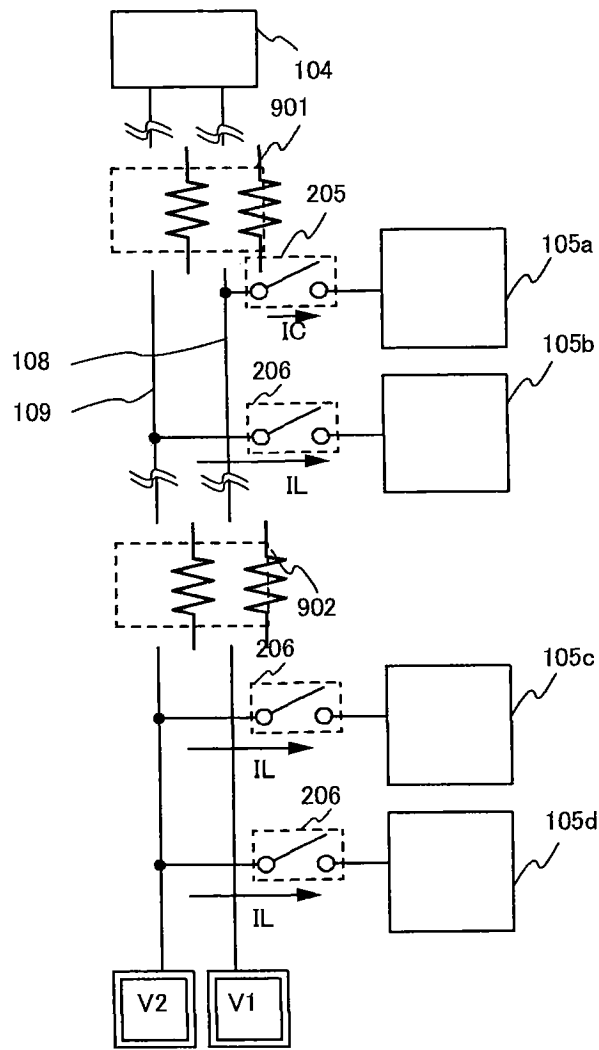


图 9A

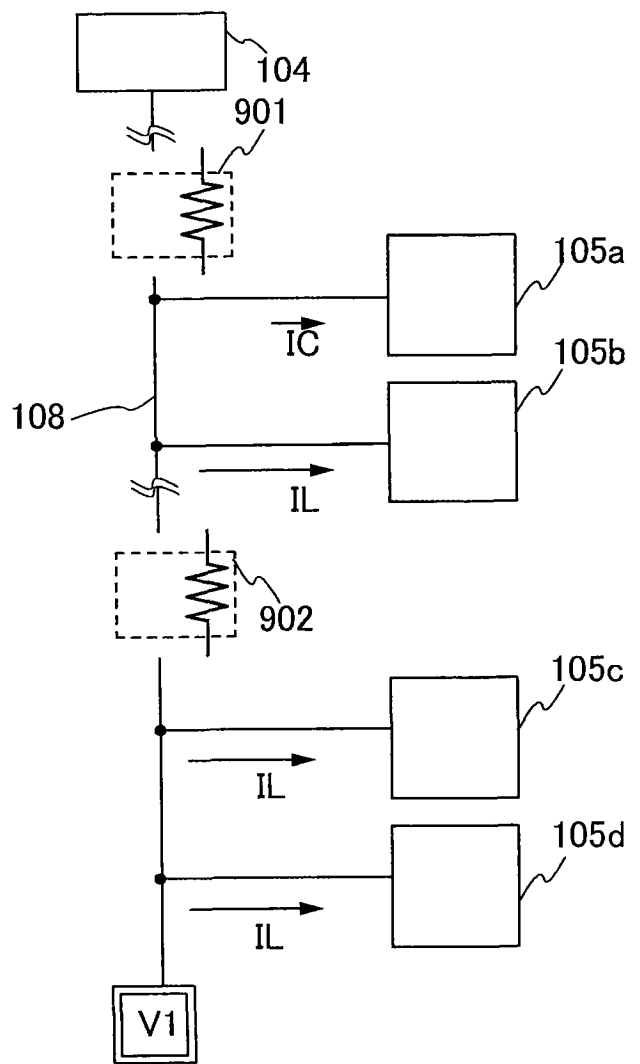


图 9B

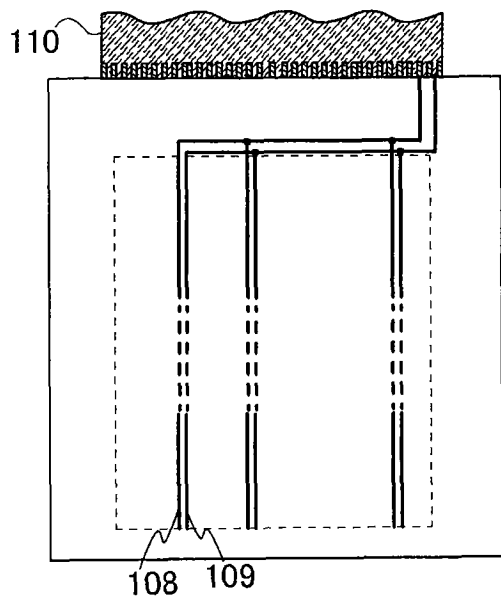


图 10A

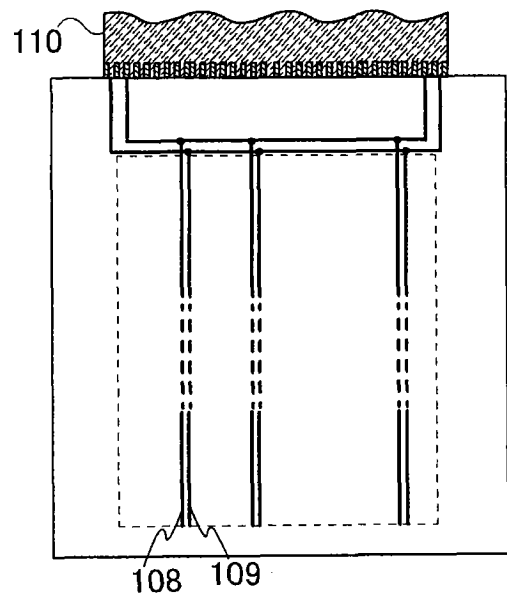


图 10B

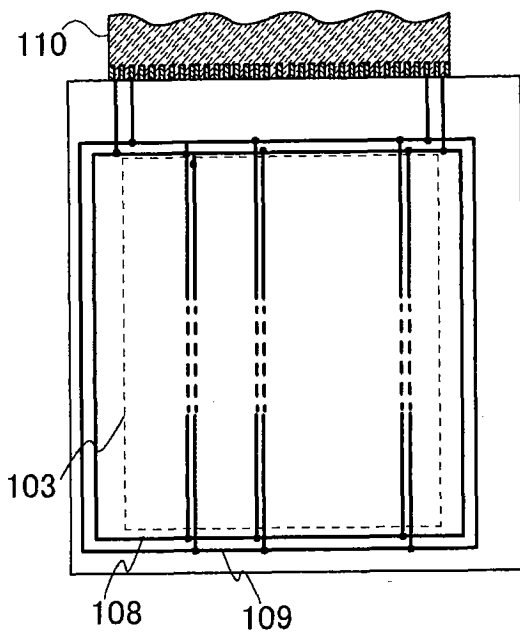


图 10C

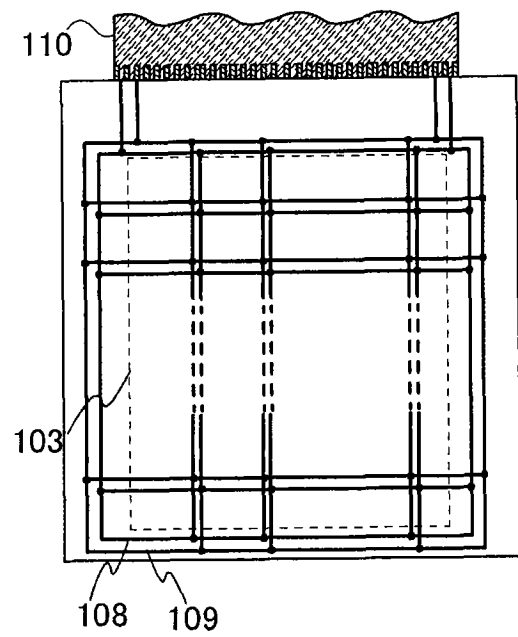


图 10D

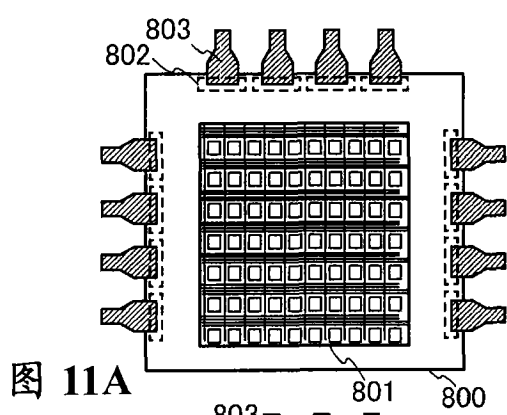


图 11A

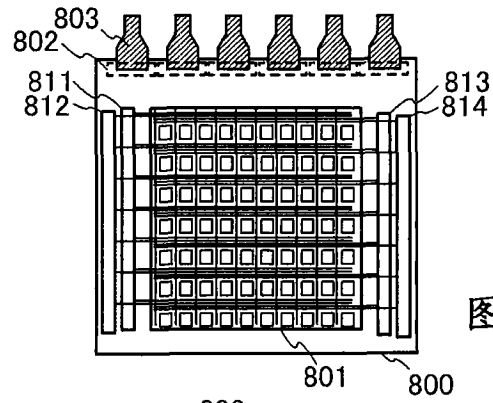


图 11B

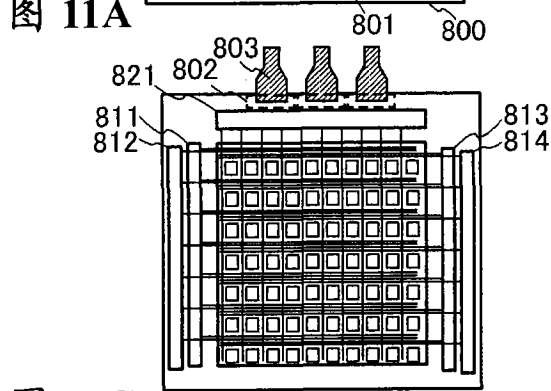


图 11C

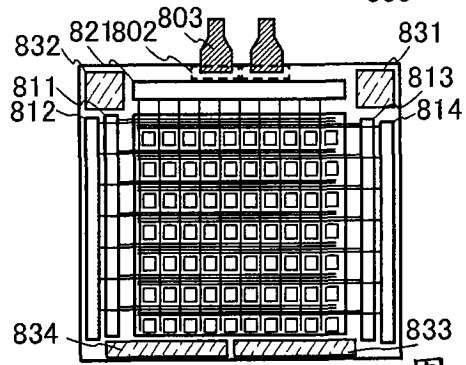


图 11D

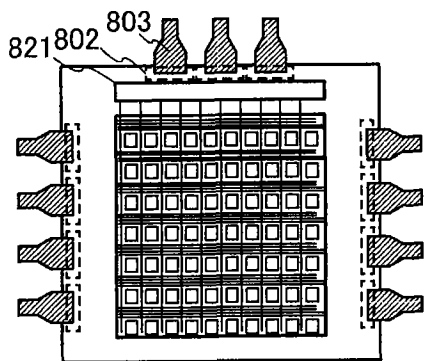


图 11E

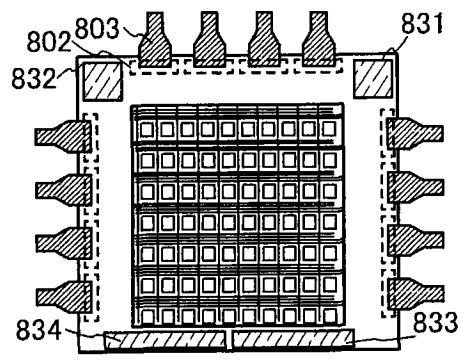


图 11F

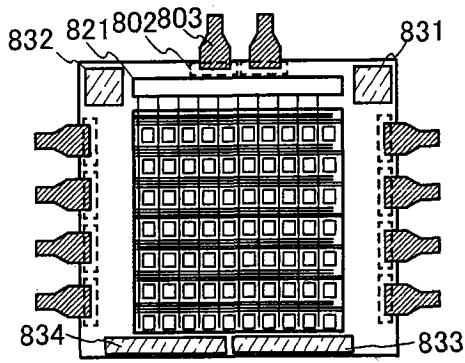


图 11G

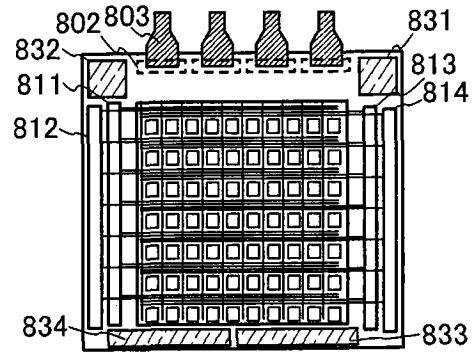


图 11H

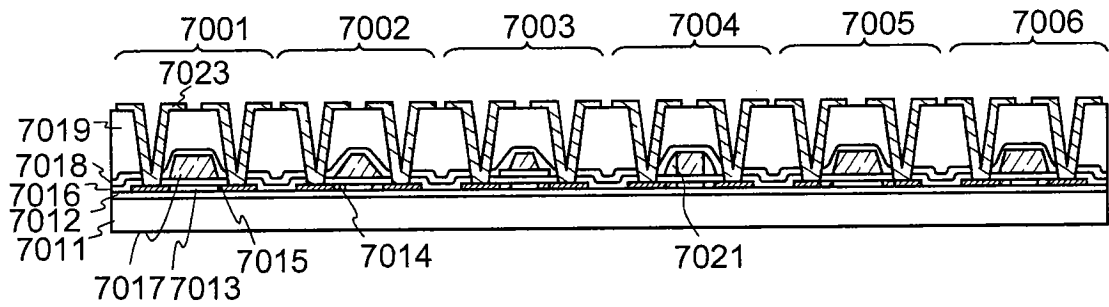


图 12A

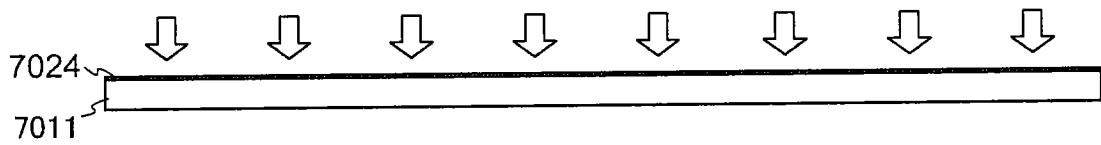


图 12B

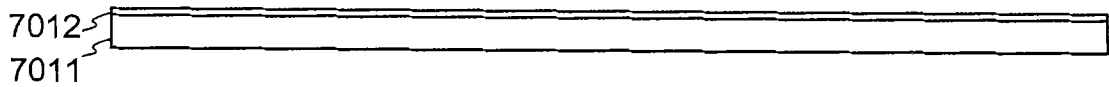


图 12C

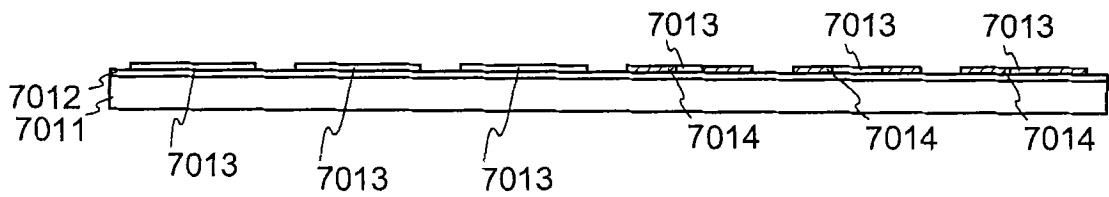


图 12D

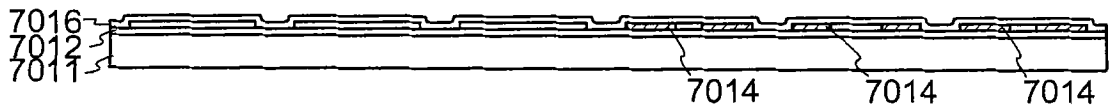


图 12E

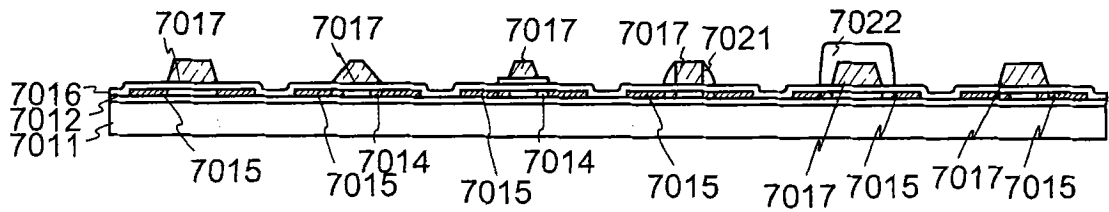


图 12F

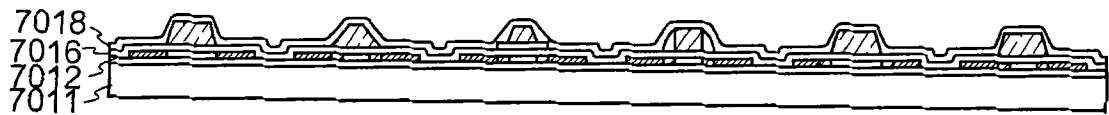


图 12G

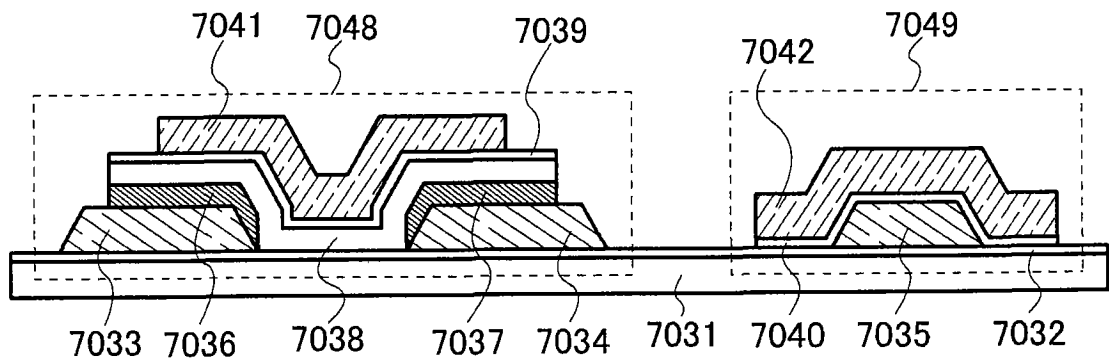


图 13A

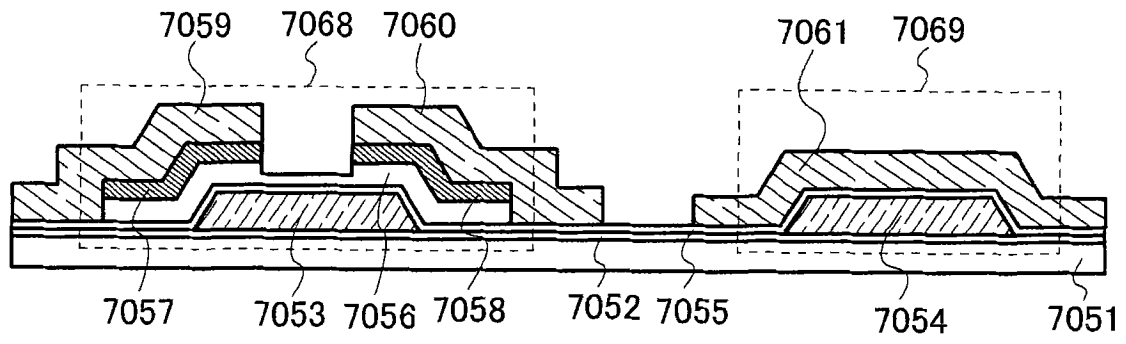


图 13B

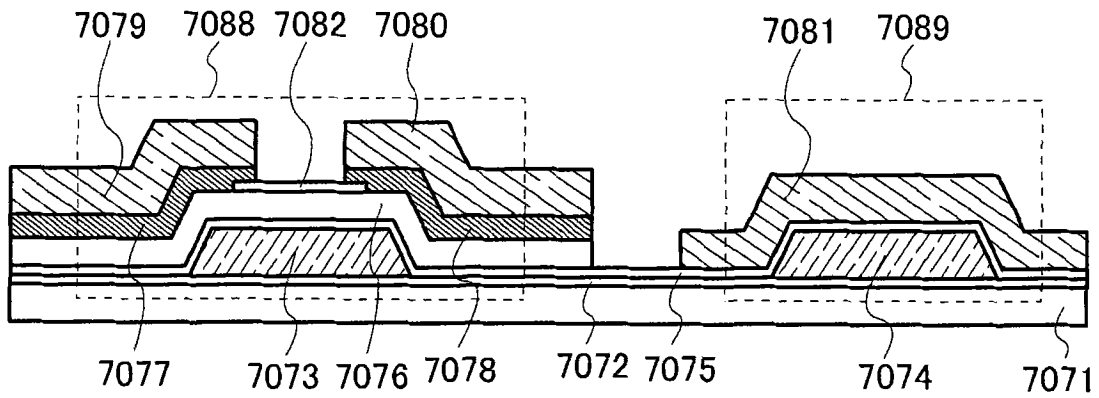


图 13C

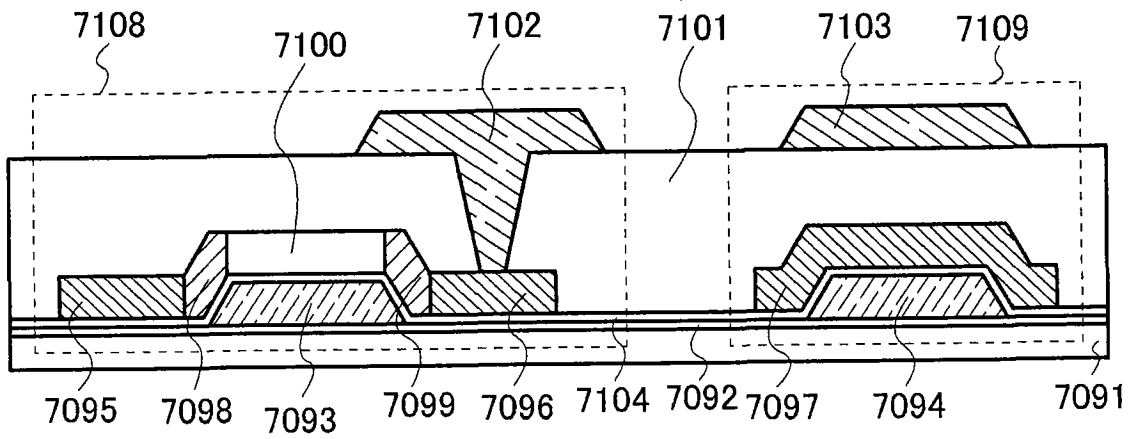


图 13D

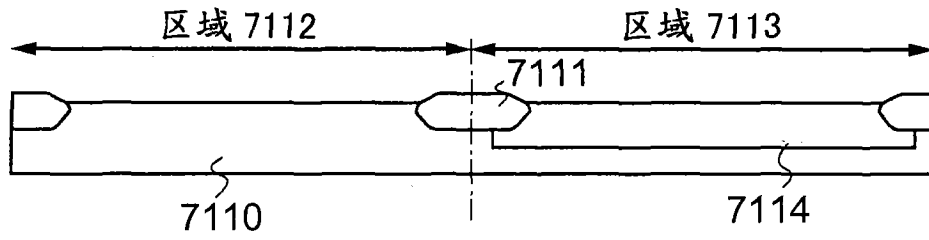


图 14A

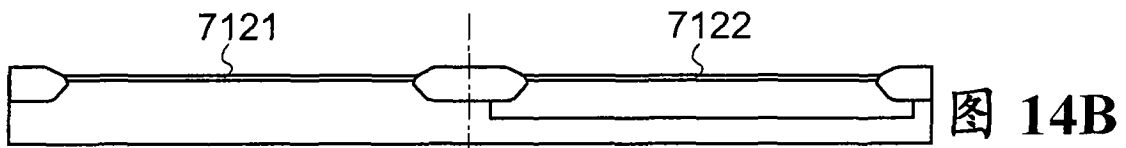


图 14B

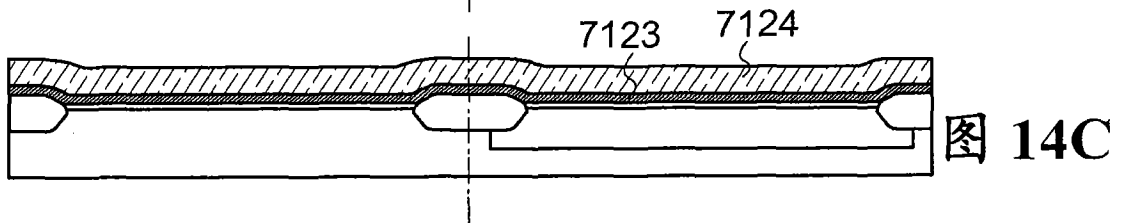


图 14C

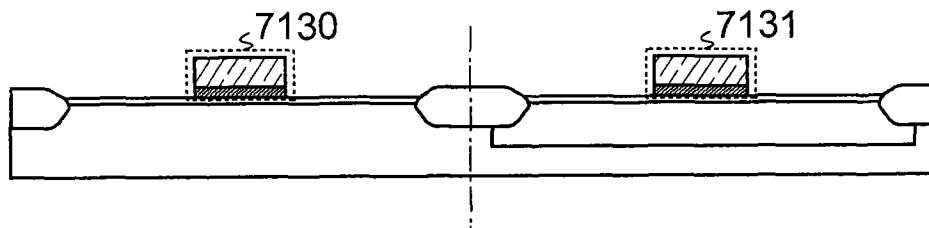


图 14D

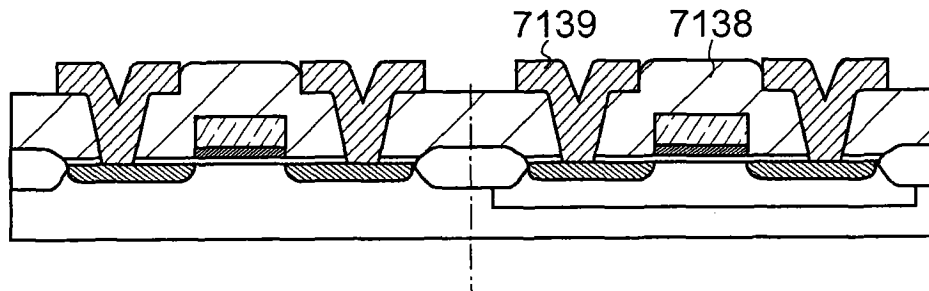
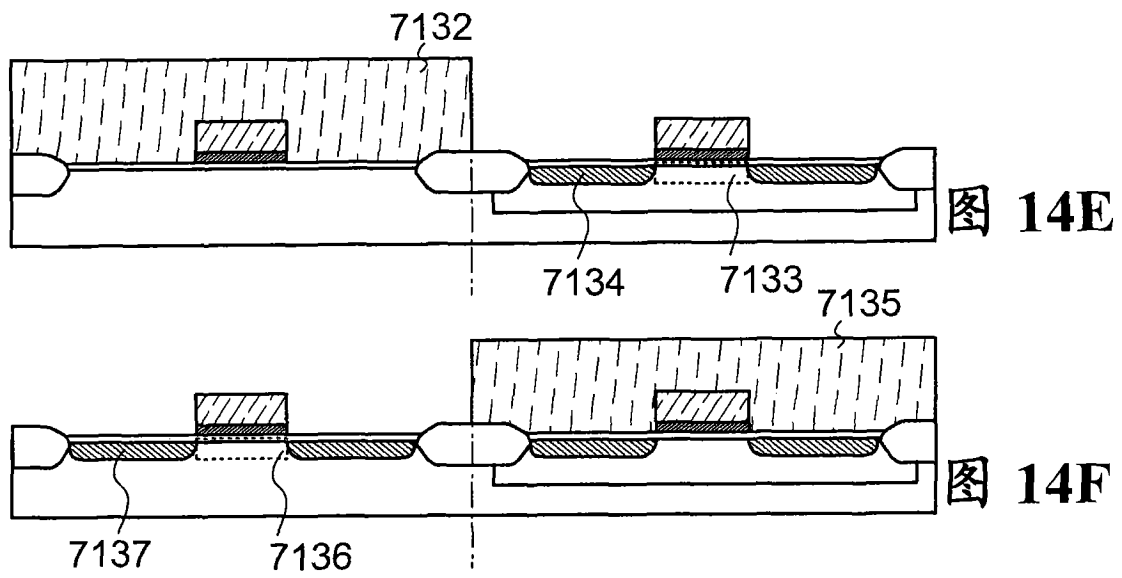


图 14G

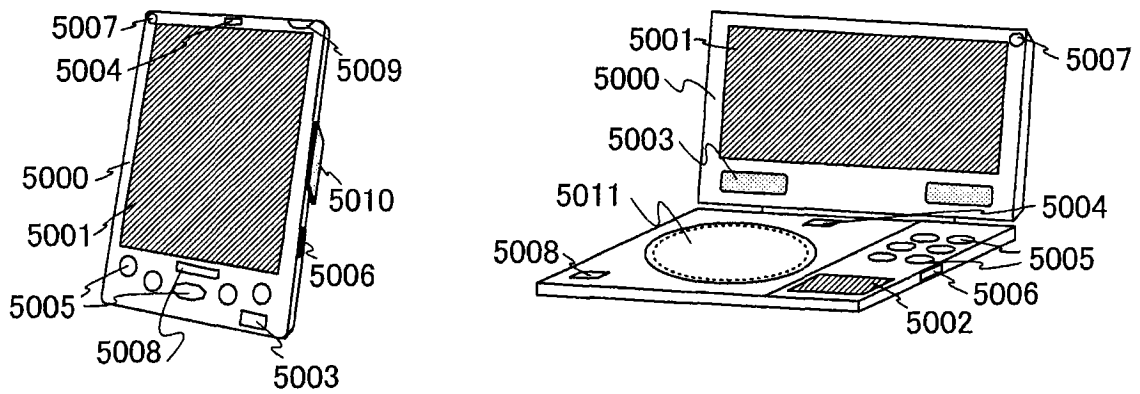


图 15A

图 15B

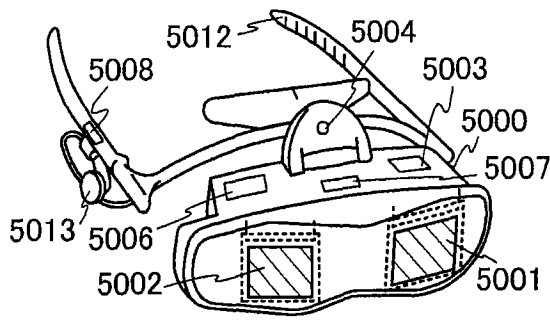


图 15C

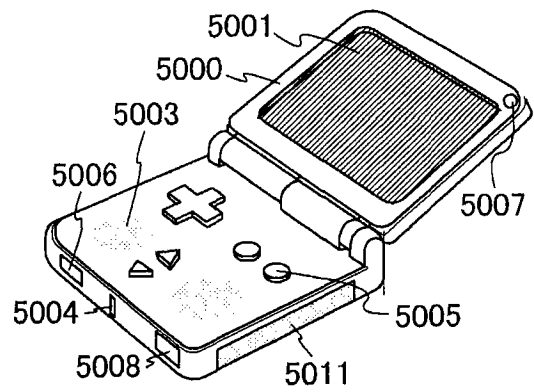


图 15D

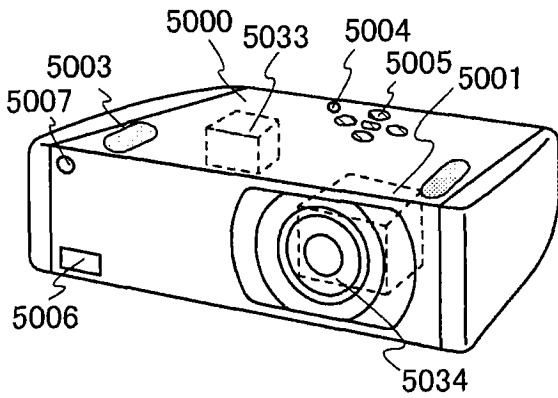


图 15E

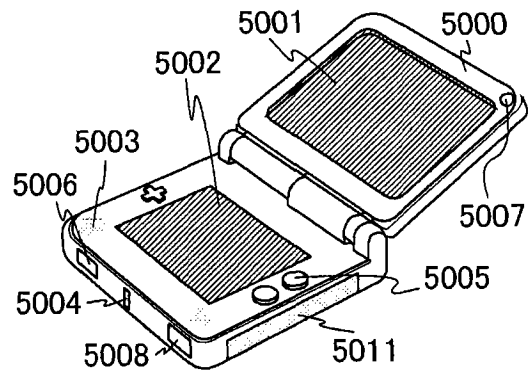


图 15F

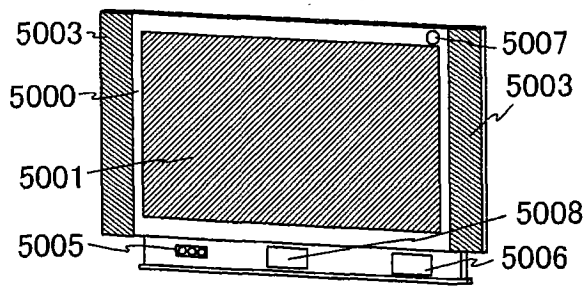


图 15G

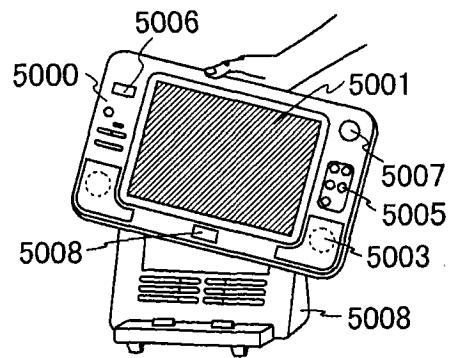


图 15H

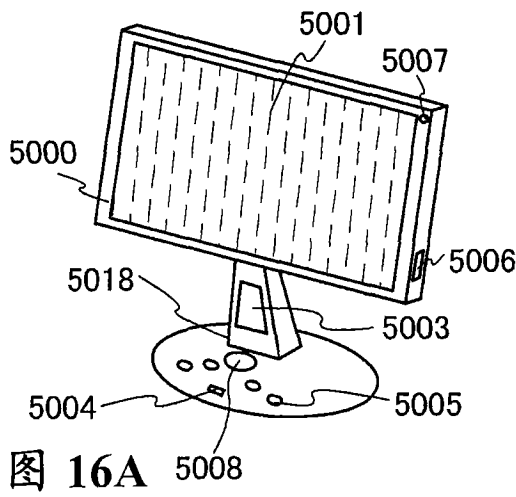


图 16A

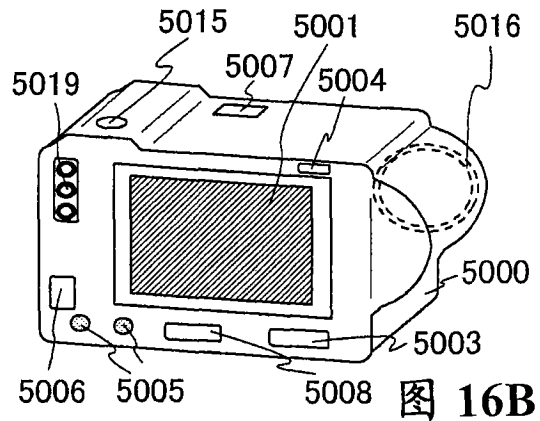


图 16B

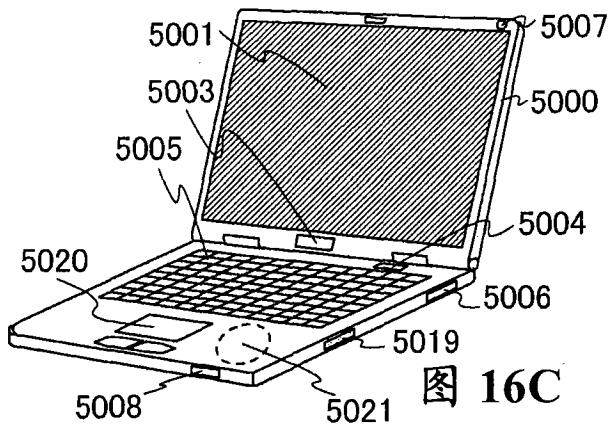


图 16C

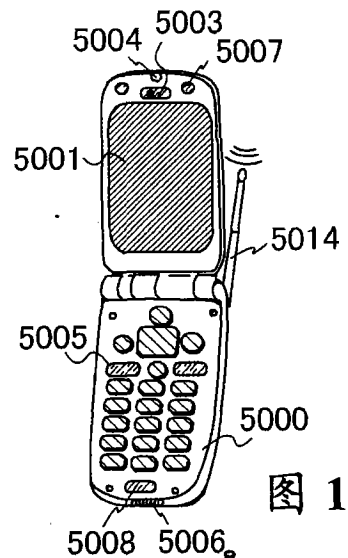


图 16D

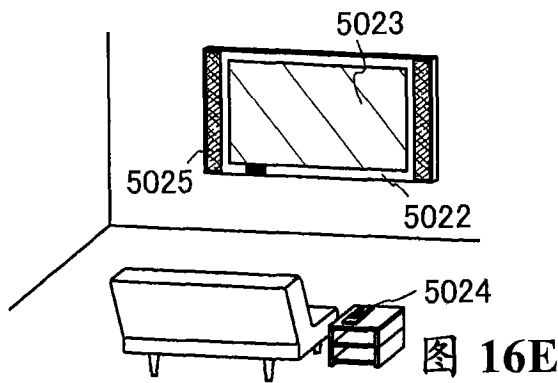


图 16E

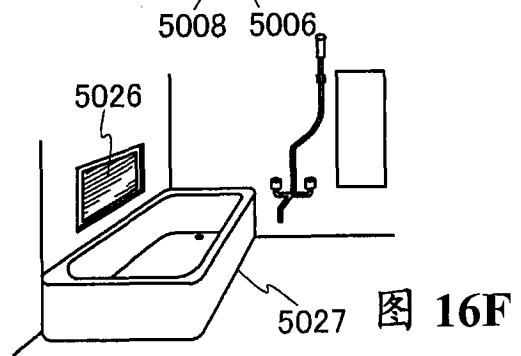


图 16F

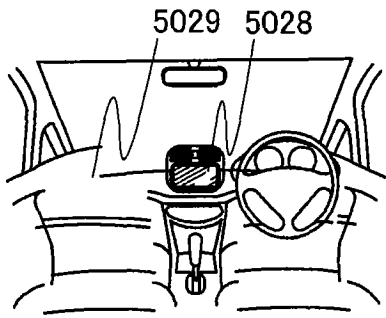


图 16G

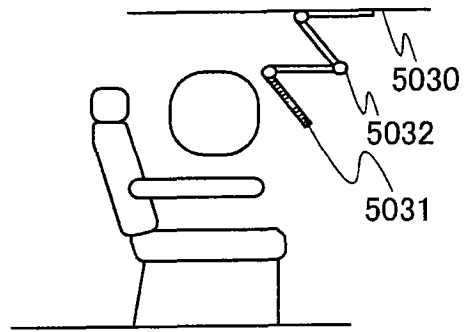


图 16H

专利名称(译)	显示装置、其驱动方法及使用该显示装置的电子设备		
公开(公告)号	CN101833915A	公开(公告)日	2010-09-15
申请号	CN200910258614.9	申请日	2009-12-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社半导体能源研究所		
当前申请(专利权)人(译)	株式会社半导体能源研究所		
[标]发明人	木村肇		
发明人	木村肇		
IPC分类号	G09G3/32 H01L27/02 H01L23/528		
CPC分类号	G09G2320/045 G09G2300/0852 G09G2320/043 G09G2300/0866 G09G3/3233 G09G2330/04 G09G2300/0819 G09G2320/0223		
优先权	2008309273 2008-12-04 JP		
其他公开文献	CN101833915B		
外部链接	Espacenet SIPO		

摘要(译)

本发明的课题之一在于减少因电流供给线的布线电阻所引起的电压偏差而发光元件的亮度产生不均匀且显示质量降低的情况，从而实现显示质量的提高。在电压程期间，将成为用来驱动EL元件的晶体管的源极的端子电连接到被供给第一电位的第一布线，而在发光期间，将成为驱动晶体管的源极的端子电连接到被供给第二电位的第二布线，以能够不受到电流供给线的布线电阻所引起的电压偏差的影响地保持驱动晶体管的栅极端子和源极端子之间的电压。

