



(12) 发明专利

(10) 授权公告号 CN 102576722 B

(45) 授权公告日 2015. 05. 27

(21) 申请号 201080003406. 5

(22) 申请日 2010. 09. 29

(85) PCT国际申请进入国家阶段日
2011. 05. 31

(86) PCT国际申请的申请数据
PCT/JP2010/005846 2010. 09. 29

(87) PCT国际申请的公布数据
W02012/042565 JA 2012. 04. 05

(73) 专利权人 株式会社日本有机雷特显示器
地址 日本东京都

(72) 发明人 钟之江有宣

(74) 专利代理机构 北京市中咨律师事务所
11247

代理人 段承恩 杨光军

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 29/786(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

US 2005/0218819 A1, 2005. 10. 06,
JP 特开 2006-11059 A, 2006. 01. 12,
CN 1890787 A, 2007. 01. 03,
CN 101017844 A, 2007. 08. 15,

审查员 陈袁园

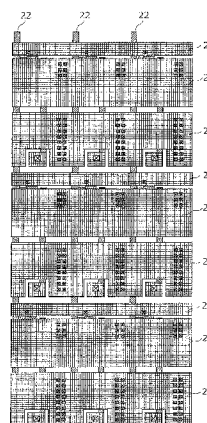
权利要求书3页 说明书23页 附图19页

(54) 发明名称

EL 显示面板、EL 显示装置以及 EL 显示面板的
制造方法

(57) 摘要

EL 显示面板具有 EL 部和薄膜半导体部, EL 部包括阳极电极、阴极电极和发光层, 薄膜半导体部具有基板、栅电极、栅极绝缘膜、半导体层、第 1 电极、第 2 电极、层间绝缘膜、在层间绝缘膜上配置的栅极布线 (21)、在层间绝缘膜上与栅极布线 (21) 同层且与栅极布线 (21) 并行地配置电源布线 (23)、在层间绝缘膜上与栅极布线 (21) 和电源布线 (23) 同层且与栅极布线 (21) 和电源布线 (23) 并行地配置的辅助布线 (25)。



1. 一种 EL 显示面板, 具有 EL 部和控制所述 EL 部的发光的薄膜半导体部, 所述 EL 部包括阳极电极、阴极电极、以及介于所述阳极电极和所述阴极电极之间的发光层,

所述薄膜半导体部具备:

基板;

栅电极, 其形成在基板上;

栅极绝缘膜, 其以覆盖所述栅电极的方式形成在所述基板上;

半导体层, 其形成在所述栅极绝缘膜上并在所述栅电极的上方;

第 1 电极, 其形成在所述半导体层的上方;

第 2 电极, 其与所述第 1 电极形成在同一层;

层间绝缘膜, 其覆盖所述第 1 电极和所述第 2 电极并形成在所述栅极绝缘膜的上方、是与形成有所述栅电极的层不同的层;

栅极布线, 其配置在所述层间绝缘膜上;

电源布线, 其在形成有所述栅极布线的所述层间绝缘膜上、与所述栅极布线同层、并且与所述栅极布线并行地配置; 以及

辅助布线, 其在所述层间绝缘膜上与所述栅极布线和所述电源布线同层、并且与所述栅极布线和所述电源布线并行地配置,

所述栅电极和所述栅极布线介由设置成贯穿所述栅极绝缘膜和所述层间绝缘膜的第 1 导电部电连接,

所述第 1 电极和所述第 2 电极中的任一方与所述电源布线介由设置成贯穿所述层间绝缘膜的第 2 导电部电连接,

所述辅助布线与所述阴极电极电连接。

2. 根据权利要求 1 所述的 EL 显示面板,

所述电源布线和所述辅助布线形成为处于与所述栅极布线相同或预定的近似值的高度。

3. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板,

所述电源布线和所述辅助布线配置在所述栅极布线和与所述栅极布线并行、与所述栅极布线相邻的其他栅极布线之间,

组合了所述电源布线和所述辅助布线双方的宽度对应于所述栅极布线和与所述栅极布线并行配置的与所述栅极布线相邻的其他栅极布线之间的宽度, 所述电源布线和所述辅助布线与相邻的 2 个所述栅极布线接近地配置以使得填埋相邻的 2 个所述栅极布线之间。

4. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板,

所述栅极布线和所述电源布线的距离、所述电源布线和所述辅助布线的距离、所述辅助布线和所述栅极布线的距离分别为 $4\mu\text{m}$ 以上。

5. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板,

所述电源布线和所述辅助布线中的至少任一方具有比所述栅极布线的宽度宽的宽度。

6. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板,

所述半导体层为 p 沟道型,

所述电源布线形成为与所述半导体层重叠。

7. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板，
所述半导体层为 n 沟道型，
所述电源布线和所述辅助布线形成为与所述半导体层不重叠。
8. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板，
所述第 1 电极为源电极，所述第 2 电极为漏电极。
9. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板，
所述第 1 电极为漏电极，所述第 2 电极为源电极。
10. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板，
所述半导体层包括多晶性半导体层。
11. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板，
构成所述电源布线和所述辅助布线的材料包括 Al、Cu、Ag 中的任一种。
12. 根据权利要求 1 或权利要求 2 所述的 EL 显示面板，
所述 EL 部为具有有机发光层作为所述发光层的有机 EL 部。
13. 一种 EL 显示装置，具有权利要求 1 ~ 12 中任一项所述的 EL 显示面板。
14. 一种 EL 显示面板的制造方法，包括：
第 1 工序，准备基板；
第 2 工序，在所述基板上形成栅电极；
第 3 工序，覆盖所述栅电极在所述基板上形成栅极绝缘膜；
第 4 工序，在所述栅极绝缘膜上在所述栅电极的上方形成半导体层；
第 5 工序，在所述半导体层的上方形成第 1 电极，并形成第 2 电极和与第 1 电极电连接的源极布线；
第 6 工序，覆盖所述第 1 电极和所述第 2 电极并在所述栅极绝缘膜的上方形成第 1 层间绝缘膜；
第 7 工序，形成贯穿所述栅极绝缘膜和所述第 1 层间绝缘膜的第 1 接触孔；
第 8 工序，形成贯穿位于所述栅电极的上方的所述第 1 层间绝缘膜、与所述第 1 接触孔不同的第 2 接触孔；
第 9 工序，通过在所述第 1 层间绝缘膜上形成金属膜并进行图形化，形成介由所述第 1 接触孔与所述栅电极电连接的栅极布线，与所述栅极布线平行、介由所述第 2 接触孔与所述第 1 电极或所述第 2 电极电连接的电源布线，以及与所述栅极布线和所述电源布线并行、与阴极电极电连接的辅助布线；
第 10 工序，以覆盖所述第 1 层间绝缘膜、所述电源布线、和所述辅助布线的上面的方式形成第 2 层间绝缘膜；
第 11 工序，形成贯穿所述第 2 层间绝缘膜的第 3 接触孔；以及
第 12 工序，在所述第 2 层间绝缘膜的上方，形成包括一组阳极电极和阴极电极、以及介于所述阳极电极和所述阴极电极之间的发光层的 EL 部，
在所述第 12 工序中，介由所述第 3 接触孔将所述阴极电极与所述辅助布线电连接。
15. 根据权利要求 14 所述的 EL 显示面板的制造方法，
在所述第 4 工序中形成的半导体层为非晶性半导体层，
在所述第 4 工序和所述第 5 工序之间包括如下的工序：从所述非晶性半导体层的上方

照射预定的激光,通过所述预定的激光照射将所述非晶性半导体层的温度设为预定的温度范围,使所述非晶性半导体层结晶化。

16. 根据权利要求 14 或权利要求 15 所述的 EL 显示面板的制造方法,
所述 EL 部为用有机发光层形成所述发光层的有机 EL 部。

EL 显示面板、EL 显示装置以及 EL 显示面板的制造方法

技术领域

[0001] 本发明涉及薄膜半导体装置和使用了它的 EL 显示面板、EL 显示装置以及 EL 显示面板的制造方法,尤其涉及用于有源矩阵方式的显示装置的薄膜半导体装置及其制造方法。

背景技术

[0002] 以往,在液晶显示装置或有机 EL 显示装置等有源矩阵驱动型的显示装置中,使用薄膜晶体管(TFT:Thin Film Transistor)作为选择像素的开关元件或驱动像素的驱动元件。

[0003] 薄膜晶体管用于显示装置的有源矩阵基板,当前,正在积极进行面向高性能化的开发。尤其是随着显示装置的大型化、高精细化,要求薄膜晶体管的高驱动能力,在这其中使用已结晶的半导体薄膜(多晶硅、微晶硅)作为沟道层(活性层)正受到关注。

[0004] 作为半导体薄膜的结晶化工艺,取代已经确立的采用 1000℃ 以上的处理温度的高温工艺技术,开发出采用 600℃ 以下的处理温度的低温工艺。在低温工艺中,无需使用耐热性优良的石英等高价基板,能够谋求制造成本的降低。

[0005] 作为低温工艺的一个环节,使用激光束进行加热的激光退火正受到关注。在该激光退火中,对在玻璃等低耐热性绝缘基板上成膜的非晶硅等非单晶性的半导体薄膜,照射激光束,使局部加热熔融,然后在其冷却过程中使半导体薄膜结晶。该结晶了的半导体薄膜中载流子的迁移率变高,因此能够使薄膜晶体管高性能化(例如,参照专利文献 1)。

[0006] 另外,作为薄膜晶体管的构造,以栅电极配置在沟道层之下的底栅(bottom gate)型构造为主流。以下,使用图 25、图 26A~图 26C 以及图 27 说明以往的底栅型薄膜晶体管。图 25 是显示装置的 1 个像素中的现有的显示装置用薄膜半导体装置的俯视图。图 26A 是沿着图 25 的 X1-X1' 线剖切的、现有的显示装置用薄膜半导体装置的剖面图。图 26B 是沿着图 25 的 X2-X2' 线剖切的、现有的显示装置用薄膜半导体装置的剖面图。图 26C 是沿着图 25 的 Y-Y' 线剖切的、现有的显示装置用薄膜半导体装置的剖面图。图 27 是与图 26A 对应的、表示从图 25 的 X1-X1' 的剖面观察时的现有的显示装置用薄膜半导体装置的主要部分的立体图。

[0007] 如图 25、图 26A~图 26C 以及图 27 所示,现有的显示装置用薄膜半导体装置 9 具有:沿着像素的行方向(横方向)形成的栅极布线 921、沿着像素的列方向(纵方向)形成的源极布线 922、以及设置在栅极布线 921 和源极布线 922 交叉的部位的薄膜晶体管 910。

[0008] 如图 26A 所示,薄膜晶体管 910 为底栅型薄膜晶体管,是在基板 900 上依次形成的栅电极 910G、栅极绝缘膜 930、半导体层 911(沟道层)以及源电极 910S 和漏电极 910D 所构成的层叠构造体。

[0009] 如图 25 和图 26A 所示,栅电极 910G 从栅极布线 921 延伸设置,形成在与栅极布线 921 同层的第 1 金属层 ML1'。栅极绝缘膜 930 以覆盖栅极布线 921 和栅电极 910G 的方式形成在基板 900 上。半导体层 911 以与栅电极 910G 重叠的方式在栅极绝缘膜 930 上呈岛

状形成。源电极 910S 和漏电极 910D 形成为与半导体层 911 的一部分重叠,另外分离配置以使它们相互对置。源电极 910S 和漏电极 910D 形成在与源极布线 922 同层的第 2 金属层 ML2'。另外,以覆盖薄膜晶体管 910、栅极布线 921 以及源极布线 922 的方式层叠有层间绝缘膜 940。

[0010] 在此,在底栅型的薄膜晶体管 910 中,通过在栅电极 910G 上形成非晶硅,激光退火进行结晶化,形成半导体层 911 的情况下,在非晶硅的熔融时激光退火的热通过栅电极 910G 而发散。因此,为了抑制激光退火的热发散,优选采用热传导率小的材料构成栅电极 910G。

[0011] 另一方面,对于栅极布线 921 而言,若布线电阻高,则会出现信号延迟,或者由于电压降而导致显示装置的发光辉度不均。特别是在显示装置的面板面积大型化、驱动频率变大时,布线电阻的影响会变大。因此,栅极布线 921 优选以电阻率(比电阻)低的材料构成。

[0012] 如上所述,由于栅电极 910G 和栅极布线 921 形成在同一层上,因此往往以同一材料构成。因此,若从上述的半导体层 911 的结晶的观点考虑,以热传导率小的材料构成栅电极 910G,则栅极布线 921 也以相同的热传导小的材料构成。另一方面,若从栅极布线 921 的布线电阻的观点考虑,以电阻率低材料构成栅极布线 921,则也以相同的电阻率低材料构成栅电极 910G。

[0013] 但是,热传导率小的金属材料几乎都是电阻率高的物质,难以同时满足半导体层 911 的结晶的观点和栅极布线 921 的布线电阻的观点的双方。

[0014] 因此,以往提出了同时满足上述两个观点的显示装置用薄膜半导体装置(参照专利文献 2)。在专利文献 2 中,公开了下述技术:以兼顾栅电极的热传导性和栅极布线的低电阻化为目的,设为将栅极布线分成 2 个部分的结构。

[0015] 即,在专利文献 2 的显示装置用薄膜半导体装置中,栅极布线由与栅电极一体地形成的一体部、和介由接触孔与该一体部连接的分体部构成。另外,成为使栅极布线的一体部和源极布线夹着栅极绝缘膜立体交叉的构造。并且,对于栅电极和栅极布线的一体部,使用具有比栅极布线的分体部低的热传导率的材料。另一方面,对于栅极布线的分体部,使用具有比栅电极低的电阻率的材料。

[0016] 专利文献 1:日本特开平 07-235490 号公报

[0017] 专利文献 2:日本特开 2007-047808 号公报

发明内容

[0018] 但是,在专利文献 2 所公开的显示装置用薄膜半导体装置中,栅电极和栅极布线的一体部采用相同的材料构成,因此若以热传导率低材料构成栅电极,则栅极布线的一体部的电阻率变高,导致高电阻化。其结果,会出现无法充分地降低栅极布线的布线电阻、显示装置的发光辉度产生不均的问题。

[0019] 另外,栅极布线中的一体部和分体部按各像素介由接触孔而连接,因此也会有在一体部和分体部的连接部分中产生 IR 降(在布线上产生的电流 I 和电阻 R 之乘积所得到的电压降)的问题。而且,由于 1 行的栅极布线为一体部和分体部为交替地连接的构造,因此只要一体部和分体部的连接部分中的一个部位出现连接不良,也就会出现沿着栅极布线

的 1 行所有的像素变得不良的问题。

[0020] 另外,栅电极与漏电极之间的间隔由栅极绝缘膜的膜厚所规定。栅极绝缘膜的膜厚例如 200nm 左右。若从与栅电极设置在同一层的栅极布线延伸设置栅电极,从与漏电极设置在同一层的电源布线延伸设置所述漏电极,则栅极布线与漏极布线之间的间隔也与栅电极和漏电极之间的间隔同样,成为栅极绝缘膜的膜厚即 200nm 左右。此时,在栅极布线与电源布线交叉的区域中,栅极布线与漏极布线的间隔狭小,因此存在栅极布线与电源布线之间的寄生电容变大的问题。因该寄生电容有可能会导致显示装置的发光辉度产生不均。另外,为了减小寄生电容即使使栅极绝缘膜的膜厚变厚,但由于为了保障作为薄膜半导体装置的性能而存在局限性,所以也无法增厚得那么多。

[0021] 进而,在例如为 EL 显示装置的情况下,在各像素中用于对具有发光层的 EL 部提供电源的 EL 辅助电源线被设置在 EL 部,因此 EL 电源线导致显示装置的面板的开口率降低,结果会出现无法足够得到 EL 显示装置的寿命的问题。

[0022] 另外,多个像素的电源布线按各像素设置,因此薄膜晶体管的配置空间就会受到布线空间的限制。

[0023] 本发明是为了解决上述问题而作出的,其目的在于,提供一种 EL 显示面板,该 EL 显示面板中发光辉度不会产生不均、能够提高寿命、薄膜晶体管的配置区域不会受到布线空间的限制。

[0024] 本发明的一个技术方案 EL 显示面板,具有 EL 部和控制所述 EL 部的发光的薄膜半导体部,所述 EL 部包括阳极电极、阴极电极、以及介于所述阳极电极和所述阴极电极之间的发光层,所述薄膜半导体部具备:基板;栅电极,其形成在基板上;栅极绝缘膜,其以覆盖所述栅电极的方式形成在所述基板上;半导体层,其形成在所述栅极绝缘膜上并在所述栅电极的上方;第 1 电极,其形成在所述半导体层的上方;第 2 电极,其与所述第 1 电极形成在同一层;层间绝缘膜,其覆盖所述第 1 电极和所述第 2 电极形成在所述栅极绝缘膜的上方、是与形成有所述栅电极的层不同的层;栅极布线,其配置在所述层间绝缘膜上;电源布线,其在形成有所述栅极布线的所述层间绝缘膜上与所述栅极布线同层、并且与所述栅极布线并行地配置;以及辅助布线,其在所述层间绝缘膜上与所述栅极布线和所述电源布线同层、并且与所述栅极布线和所述电源布线并行地配置,所述栅电极和所述栅极布线介由设置成贯穿所述栅极绝缘膜和所述层间绝缘膜的第 1 导电部电连接,所述第 1 电极和所述第 2 电极中的任一方与所述电源布线介由设置成贯穿所述层间绝缘膜的第 2 导电部电连接,所述辅助布线与所述阴极电极电连接。

[0025] 根据本发明的 EL 显示面板,能够将栅极布线和栅电极在不同的层构成,因此可选择适合于各自的材料,降低布线电阻、提高 EL 显示面板的发光辉度。

[0026] 另外,作为 TFT 电源线的电源布线与栅极布线形成在同一层,因此能够降低在电源布线与栅极布线之间产生的寄生电容。另外,作为 EL 电源线的辅助布线与栅极布线形成在同一层,因此无需在 EL 部设置辅助布线,因此可提高 EL 显示面板的开口率 (aperture ratio),提高寿命。

[0027] 进而,电源布线和辅助布线形成在与栅极布线同一层,并且与栅极布线并行地配置,因此能够通过电源布线和辅助布线减少层间绝缘膜上的因栅极布线产生的凹凸。由此,能够使平坦度提高、提高 EL 显示面板的寿命。

[0028] 进而,由于将多个像素的电源布线共用地设置,因此可减少按各像素设置的电源布线的配置空间。因此,能够提供一种薄膜晶体管的配置空间不受到布线空间限制的 EL 显示面板。

附图说明

[0029] 图 1 是本发明第 1 实施方式的 EL 显示面板的局部剖切立体图。

[0030] 图 2 是示出本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体阵列装置的母基板的图。

[0031] 图 3 是本发明第 1 实施方式的 EL 显示面板的一个像素的电路构成图。

[0032] 图 4 是示意表示出本发明第 1 实施方式的 EL 显示面板中的一个像素的一部分的像素结构的剖面图。

[0033] 图 5 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体阵列装置的俯视图。

[0034] 图 6 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体阵列装置(一部分透过)的俯视图。

[0035] 图 7 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体阵列装置(一部分透过)的俯视图。

[0036] 图 8 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置的俯视图。

[0037] 图 9 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置(一部分透过)的俯视图。

[0038] 图 10 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置(一部分透过)的俯视图。

[0039] 图 11 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置的剖面图(图 8 的 X1-X1' 线剖面图)。

[0040] 图 12 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置的剖面图(图 8 的 X2-X2' 线剖面图)。

[0041] 图 13 是本发明第 1 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置的剖面图(图 8 的 X3-X3' 线剖面图)。

[0042] 图 14 是图 9 的显示装置用薄膜半导体装置的立体图。

[0043] 图 15 是图 9 的显示装置用薄膜半导体装置的立体图。

[0044] 图 16A 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

[0045] 图 16B 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

[0046] 图 16C 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

[0047] 图 16D 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

[0048] 图 16E 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

[0049] 图 16F 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

[0050] 图 16G 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

[0051] 图 16H 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。

- [0052] 图 16I 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。
- [0053] 图 16J 是表示第 1 实施方式的 EL 显示面板的制造工序的剖面图。
- [0054] 图 17 是用于说明本发明第 1 实施方式的显示装置用薄膜半导体装置中的薄膜晶体管的 TFT 特性的图。
- [0055] 图 18 是本发明第 1 实施方式的变形例的 EL 显示面板中的显示装置用薄膜半导体装置的剖面图。
- [0056] 图 19 是本发明第 2 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置的俯视图。
- [0057] 图 20 是本发明第 2 实施方式的 EL 显示面板中的显示装置用薄膜半导体装置的剖面图（图 19 的 X2-X2' 线剖面图）
- [0058] 图 21 是用于说明本发明第 2 实施方式的显示装置用薄膜半导体装置中的薄膜晶体管的 TFT 特性的图。
- [0059] 图 22 是本发明第 2 实施方式的变形例的 EL 显示面板中的显示装置用薄膜半导体装置的剖面图。
- [0060] 图 23A 是表示本发明的 EL 显示面板的一例的剖面立体图。
- [0061] 图 23B 是表示本发明的 EL 显示面板的其他例的剖面立体图。
- [0062] 图 24 是表示本发明的 EL 显示装置的一例的外观立体图。
- [0063] 图 25 是显示装置的 1 个像素中的现有的显示装置用薄膜半导体装置的俯视图。
- [0064] 图 26A 是现有的显示装置用薄膜半导体装置的剖面图（图 25 的 X1-X1' 线剖面图）。
- [0065] 图 26B 是现有的显示装置用薄膜半导体装置的剖面图（图 25 的 X2-X2' 线剖面图）。
- [0066] 图 26C 是现有的显示装置用薄膜半导体装置的剖面图（图 25 的 Y-Y' 线剖面图）。
- [0067] 图 27 是表示从图 25 的 X1-X1' 的剖面观察时现有的显示装置用薄膜半导体装置的主要部分的立体图。
- [0068] 附图标记说明
- [0069] 1 :EL 显示面板
- [0070] 2、2'、3、3'、9 :显示装置用薄膜半导体装置（薄膜半导体部）
- [0071] 10 :有机 EL 元件 (EL 部)
- [0072] 12 :下部电极（阳极电极）
- [0073] 13 :有机 EL 层（发光层）
- [0074] 14 :上部电极（阴极电极）
- [0075] 15 :堤
- [0076] 20 :显示装置用薄膜半导体阵列装置（薄膜半导体部）
- [0077] 21、921 :栅极布线
- [0078] 22、922 :源极布线
- [0079] 23 :电源布线
- [0080] 25 :辅助布线
- [0081] 30 :像素电路

- [0082] 100 :像素
- [0083] 100R、100G、100B :子像素
- [0084] 111 :第 1 接触部 (第 1 导电部)
- [0085] 112 :第 2 接触部 (第 2 导电部)
- [0086] 113 :第 3 接触部
- [0087] 114 :第 4 接触部
- [0088] 115 :第 5 接触部 (第 3 导电部)
- [0089] 120 :电极部
- [0090] 300、900 :基板
- [0091] 300C :电容器
- [0092] 301 :非晶性半导体膜
- [0093] 310 :第 1 薄膜晶体管
- [0094] 310D :第 1 漏电极
- [0095] 310G :第 1 栅电极
- [0096] 310S :第 1 源电极
- [0097] 311 :第 1 半导体层
- [0098] 311A、321A :第 1 沟道层
- [0099] 311B、321B :第 2 沟道层
- [0100] 320 :第 2 薄膜晶体管
- [0101] 320D :第 2 漏电极
- [0102] 320G :第 2 栅电极
- [0103] 320S :第 2 源电极
- [0104] 321 :第 2 半导体层
- [0105] 330、930 :栅极绝缘膜
- [0106] 340 :第 1 层间绝缘膜
- [0107] 350 :第 2 层间绝缘膜
- [0108] 400 :平板电视系统 (EL 显示装置)
- [0109] 910 :薄膜晶体管
- [0110] 910D :漏电极
- [0111] 910G :栅电极
- [0112] 910S :源电极
- [0113] 911 :半导体层
- [0114] 940 :层间绝缘膜

具体实施方式

[0115] 本发明的 EL 显示面板的一个方式,具有 EL 部和控制所述 EL 部的发光的薄膜半导体部,所述 EL 部包括阳极电极、阴极电极、以及介于所述阳极电极和所述阴极电极之间的发光层,所述薄膜半导体部具备 :基板 ;栅电极,其形成在基板上 ;栅极绝缘膜,其以覆盖所述栅电极的方式形成在所述基板上 ;半导体层,其形成在所述栅极绝缘膜上并在所述栅电

极的上方；第1电极，其形成在所述半导体层的上方；第2电极，其与所述第1电极形成在同一层；层间绝缘膜，其覆盖所述第1电极和所述第2电极形成在所述栅极绝缘膜的上方、是与形成有所述栅电极的层不同的层；栅极布线，其配置在所述层间绝缘膜上；电源布线，其在形成有所述栅极布线的所述层间绝缘膜上与所述栅极布线同层、并且与所述栅极布线并行地配置；以及辅助布线，其在所述层间绝缘膜上与所述栅极布线和所述电源布线同层、并且与所述栅极布线和所述电源布线并行地配置，所述栅电极和所述栅极布线介由设置成贯穿所述栅极绝缘膜和所述层间绝缘膜的第1导电部电连接，所述第1电极和所述第2电极中的任一方与所述电源布线介由设置成贯穿所述层间绝缘膜的第2导电部电连接，所述辅助布线与所述阴极电极电连接。

[0116] 根据本方式，栅极布线和电源布线并不夹着对EL显示面板中的薄膜半导体部的特性带来影响的栅极绝缘膜配置，而是配置在不会对薄膜半导体部的特性带来影响的层间绝缘膜上。因此，能够防止由于无法将栅极绝缘膜的膜厚设计得厚而产生在栅极布线与电源布线之间的寄生电容。

[0117] 并且，栅极布线和电源布线分别配置在与栅电极、第1电极和第2电极不同的层，因此能够将栅极布线和电源布线在层间绝缘膜上平行地配置。因此，栅极布线和电源布线配置在作为同一层的层间绝缘膜上。因此，不会产生栅极布线和电源布线的交叉点(crosspoint)。其结果能够使因存在栅极布线与电源布线交叉的区域而产生寄生电容得到完全防止。

[0118] 进而，根据本方式，将用于防止伴随EL显示面板的大画面化而在显示画面的中央区域产生的电压降的辅助布线(EL电源线)设置在薄膜半导体部而不是设置在EL部。而且，将该辅助布线在作为薄膜半导体的上部的层间绝缘膜的上面，与栅极布线和电源布线一起并行地配置。因此，能够有效地灵活运用已应用在栅极布线和电源布线的配置中的既有层，还配置了辅助布线。其结果，将设置在EL部的辅助布线转移到薄膜半导体部的既有层，由此能够对薄膜半导体部不会带来空间上的负担、开放配置了EL部的辅助布线的空间。因此，能够扩大所述EL部的设计的自由度，使EL部所包括的各像素的开口率增大。

[0119] 另外，根据本方式，电源布线和辅助布线形成在与栅极布线同一层并与栅极布线并行地配置，因此能够通过电源布线和辅助布线使层间绝缘膜上的因栅极布线所产生的凹凸减少。由此，能够使平坦度提高，使EL显示面板的寿命提高。

[0120] 进而，根据本方式，将电源布线共用地配置在层间绝缘膜上，例如，从共用的电源布线对红、绿、蓝的各像素提供电源即可，所以不需要例如按红、绿、蓝的各像素单独地配置电源布线，相应地例如能够削减红、绿、蓝的各像素的电源布线的配置空间。由此，能够提供一种扩大晶体管设计的自由度、晶体管的配置空间不受布线空间限制的EL显示面板。

[0121] 另外，在本发明的EL显示面板的一个方式中，所述电源布线和所述辅助布线优选形成在与所述栅极布线相同或预定的近似值的高度。

[0122] 根据本方式，能够进一步减少因层间绝缘膜上的栅极布线产生的凹凸。由此，能够使平坦度进一步提高，提高EL显示面板的寿命。

[0123] 另外，在本发明的EL显示面板的一个方式中，优选所述电源布线和所述辅助布线配置在所述栅极布线和与所述栅极布线并行、与所述栅极布线相邻的其他栅极布线之间，组合所述电源布线和所述辅助布线这两者而得到的宽度对应于所述栅极布线和与所述栅

极布线并行配置的与所述栅极布线相邻的其他栅极布线之间的宽度,并使与相邻的 2 个所述栅极布线接近地配置以使得填埋相邻的 2 个所述栅极布线之间。

[0124] 在仅有栅极布线形成在层间绝缘膜上的情况下,薄膜半导体部的上面比未形成栅极布线的区域突出与栅极布线的膜厚相应的量。

[0125] 另一方面,根据本方式,为了进行薄膜半导体部的上面平坦化,使用电源布线和辅助布线,并且组合电源布线和辅助布线这两者而得到的宽度对应于栅极布线和与栅极布线平行且与栅极布线相邻的其他栅极布线之间的宽度,因此,在该薄膜半导体部上配置具有 EL 元件的 EL 部来构成 EL 显示面板的情况下,EL 部难以受到成为其下层的薄膜半导体部的上面的凹凸的影响。其结果,使用作为既有材料的电源布线和辅助布线以简单的结构确保平坦性,能够容易地防止由于平坦性不充分导致的寿命降低。

[0126] 另外,在本发明的 EL 显示面板的一个方式中,所述栅极布线与所述电源布线的距离、所述电源布线与所述辅助布线的距离、所述辅助布线与所述栅极布线的距离优选分别在 $4\mu\text{m}$ 以上。

[0127] 根据本方式,将栅极布线、电源布线和辅助布线配置成相互不影响,能够使薄膜半导体部的平坦性提高。

[0128] 另外,在本发明的 EL 显示面板的一个方式中,优选所述电源布线和所述辅助布线的至少一方具有比所述栅极布线的宽度宽的宽度。

[0129] 根据本方式,通过将电源布线设为宽度大的布线,能够使用电源布线使薄膜半导体部的上面平坦化。例如,在该薄膜半导体部上配置具有 EL 元件的 EL 部来构成 EL 显示面板时,EL 部受到成为其下层的薄膜半导体部的上面的凹凸的影响。通过将电源布线设为宽度大的布线,使用作为既有材料的电源布线以简单的结构确保平坦性,能够容易地防止由于平坦性不充分导致的寿命降低。

[0130] 另外,通过将电源布线设为宽度大的大致为平板形状的布线,能够将电源布线设为低电阻的布线。因此,从布线电阻低的电源布线对第 1 电极或第 2 电极直接进行电源供给,所以针对伴随 EL 显示面板的大画面化而在显示区域的中央区域产生的电压下降 (IR 降),能够大幅度地降低其下降量。

[0131] 另外,在本发明的 EL 显示面板的一个方式中,优选所述半导体层为 p 沟道型,所述电源布线形成为与所述半导体层重叠。

[0132] 在薄膜半导体部的沟道区域中,在半导体层表面与层间绝缘膜表面存在制造时的晶格缺陷。若产生该晶格缺陷,则产生不稳定的界面态 (interface state),会导致沟道区域的背沟道的电位不稳定。

[0133] 根据本方式,在半导体层为 p 沟道型的薄膜半导体部的沟道区域的上方,为由正电位的电源布线或辅助布线覆盖在层间绝缘膜上的结构。由此,能够使背沟道的电位稳定。其结果能够实现抑制薄膜半导体部的截止泄漏,因此能够实现具有截止特性优异的薄膜半导体部的 EL 显示面板。

[0134] 另外,在本发明的 EL 显示面板的一个方式中,优选所述半导体层为 n 沟道型,所述电源布线和所述辅助布线形成为与所述半导体层不重叠。

[0135] 在半导体层为 n 沟道型的薄膜半导体部的沟道区域的上方,正电位的电源布线和辅助布线的至少一方覆盖在层间绝缘膜上时,在沟道区域的背沟道感应出负载流子,因此

由负载流子产生电流。由这样产生的载流子,电流变为薄膜半导体部的截止态泄漏电流。因此,即便不施加栅极电压也会产生电流,因此会使薄膜半导体部的截止态特性降低。

[0136] 根据本方式,能够避免由于辅助布线而在n沟道型TFT的背沟道感应出载流子。其结果能够实现抑制薄膜半导体部的截止态泄漏,因此能够实现具有截止态特性优异的薄膜半导体部的EL显示面板。

[0137] 另外,在本发明的EL显示面板的一个方式中,优选所述第1电极为源电极,所述第2电极为漏电极。

[0138] 根据本方式,能够将第1电极设为源电极,将第2电极设为漏电极。

[0139] 另外,在本发明的EL显示面板的一个方式中,优选所述第1电极为漏电极,所述第2电极为源电极。

[0140] 根据本方式,能够将第1电极设为漏电极,将第2电极设为源电极。

[0141] 另外,在本发明的EL显示面板的一个方式中,优选所述半导体层包括多晶性半导体层。

[0142] 根据本方式,能够通过多晶性半导体层使载流子的迁移率提高。由此,能够实现具有导通特性优异的薄膜晶体管的EL显示面板。

[0143] 另外,在本发明的EL显示面板的一个方式中,优选构成所述电源布线和所述辅助布线的材料包括Al、Cu、Ag中的任一种。

[0144] 根据本方式,电源布线和辅助布线能够以包括在布线用材料中电阻率小的Al、Cu、Ag的材料构成,因此能够进一步减小电源布线和辅助布线的电阻。

[0145] 另外,在本发明的EL显示面板的一个方式中,优选所述EL部作为所述发光层,为具有有机发光层的有机EL部。

[0146] 根据本方式,能够实现显示性能优异的EL显示面板。

[0147] 另外,本发明的EL显示装置的一个方式,具有包含所述特征的EL显示面板。

[0148] 根据本方式,能够实现具有所述特征的EL显示装置。

[0149] 另外,本发明一个方式的EL显示面板的制造方法,包括:第1工序,准备基板;第2工序,在所述基板上形成栅电极;第3工序,覆盖所述栅电极,在所述基板上形成栅极绝缘膜;第4工序,在所述栅极绝缘膜上在所述栅电极的上方形成半导体层;第5工序,在所述半导体层的上方形成第1电极,并形成与第1电极电连接的源极布线和第2电极;第6工序,覆盖所述第1电极和所述第2电极,在所述栅极绝缘膜的上方形成第1层间绝缘膜;第7工序,形成贯穿所述栅极绝缘膜和所述第1层间绝缘膜的第1接触孔;第8工序,形成贯穿位于所述栅电极的上方的所述第1层间绝缘膜、与所述第1接触孔不同的第2接触孔;第9工序,在所述第1层间绝缘膜上形成金属膜并进行图形化,由此形成介由所述第1接触孔与所述栅电极电连接的栅极布线、与所述栅极布线平行、介由所述第2接触孔与所述第1电极或所述第2电极电连接的所述电源布线、以及与所述栅极布线和所述电源布线并行、与所述阴极电极电连接的辅助布线;第10工序,以覆盖所述第1层间绝缘膜、所述电源布线、和所述辅助布线的上面的方式形成第2层间绝缘膜;第11工序,形成贯穿所述第2层间绝缘膜的第3接触孔;以及第12工序,在所述第2层间绝缘膜的上方,形成包括一组阳极电极和阴极电极、以及介于所述阳极电极和所述阴极电极之间的发光层的EL部,在所述第12工序中,介由所述第3接触孔将所述阴极电极与所述辅助布线电连接。

[0150] 根据本方式,能够容易制造出上述的本发明的 EL 显示装置。

[0151] 另外,在本发明的 EL 显示面板的制造方法的一个方式中,优选在所述第 4 工序中形成的半导体层为非晶性半导体层,在所述第 4 工序和所述第 5 工序之间包括如下的工序:从所述非晶性半导体层的上方照射预定的激光,通过所述预定的激光照射将所述非晶性半导体层的温度设为预定的温度范围,使所述非晶性半导体层结晶。

[0152] 根据本方式,能够形成包括多晶性半导体膜的半导体层。

[0153] 另外,在本发明的 EL 显示面板的制造方法的一个方式中,优选所述 EL 部为用有机发光层形成所述发光层的有机 EL 部。

[0154] 根据本方式,能够制造显示性能优异的 EL 显示面板。

[0155] 以下,参照附图详细地说明本发明的实施方式。

[0156] (第 1 实施方式)

[0157] 首先,使用图 1 说明本发明第 1 实施方式的 EL (Electro Luminescence, 电致发光) 面板。图 1 是本发明第 1 实施方式的有机 EL 显示面板的局部剖切立体图。

[0158] 如图 1 所示,本发明第 1 实施方式的 EL 显示面板 1 为有机 EL 显示面板(有机 EL 显示器),具备作为自发光型显示元件的有机 EL 元件 10、以及由形成有薄膜晶体管和各种布线等的有源矩阵基板构成的显示装置用薄膜半导体阵列装置 20。另外,有机 EL 元件 10 相当于本发明中的 EL 部,显示装置用薄膜半导体阵列装置 20 相当于本发明中的薄膜半导体部。

[0159] 有机 EL 元件 10 具有在显示装置用薄膜半导体阵列装置 20 上依次形成的下部电极 12、有机 EL 层 13 以及上部电极 14。有机 EL 层 13 为层叠有电子输送层、发光层、空穴输送层等的结构。

[0160] 显示装置用薄膜半导体阵列装置 20 具有多个像素 100 呈矩阵状(行列状)配置的像素 100,在各像素 100 设有包括薄膜晶体管(未图示)的像素电路 30。另外,显示装置用薄膜半导体阵列装置 20 具有呈矩阵状配置的栅极布线 21 和源极布线 22。栅极布线 21 在行方向(横方向)排列有多条,源极布线 22 在列方向(纵方向)排列有多条。另外,栅极布线 21 和源极布线 22 正交地配置,分别将各像素电路 30 和控制电路(未图示)连接。

[0161] 在各像素电路 30 至少设有 2 个薄膜晶体管作为用于选择像素 100 的开关元件和用于驱动有机 EL 元件 10 的驱动元件。

[0162] 显示装置用薄膜半导体阵列装置 20 具有在行方向排列的多个电源布线 23(在图 1 中没有图示)。多个电源布线 23 与作为各像素 100 的驱动元件的薄膜晶体管连接。对于电源布线 23 将在后面详细说明。

[0163] 这样,在本实施方式的有机 EL 显示面板 1 中,采用按由栅极布线 21 和源极布线 22 划分出的各像素 100 进行显示控制的有源矩阵方式。

[0164] 接着,使用图 2 说明本发明第 1 实施方式的显示装置用薄膜半导体阵列装置的一例。图 2 示出本发明第 1 实施方式的显示装置用薄膜半导体阵列装置的母基板。

[0165] 如图 2 所示,母基板包括 2 个显示部 200,通过将该母基板切断为 2 个,能够得到 2 个显示装置用薄膜半导体阵列装置 20。如上所述,各显示部 200 为像素 100 呈矩阵状(行列状)配置的结构。在图 2 中,对于像素 100 仅示出像素 100 的角部的像素。另外,在图 2 中,母基板被设为包括 2 个显示部 200,但也可以是母基板包括 2 个以上的多个显示部 200,

另外也可以是仅包括 1 个。

[0166] 接着,使用图 3 说明本发明第 1 实施方式的 EL 显示面板中的像素的电路构成。图 3 是本发明第 1 实施方式的 EL 显示面板 1 中的一个像素的电路构成图。另外,以下以及在图 3 ~ 图 18 中示出的第 1 实施方式中,对第 1 薄膜晶体管、第 2 薄膜晶体管为 p 沟道型的 TFT 进行说明。

[0167] 如图 3 所示,各像素 100 具有:像素电路 30 和有机 EL 元件 10,所述像素电路 30 包括第 1 薄膜晶体管 310、第 2 薄膜晶体管 320 和电容器 300C。第 1 薄膜晶体管 310 是用于选择像素 100 的选择晶体管(开关晶体管),第 2 薄膜晶体管 320 是用于驱动有机 EL 元件 10 的驱动晶体管。

[0168] 第 1 薄膜晶体管 310 具有第 1 源电极 310S、第 1 漏电极 310D 和第 1 栅电极 310G。第 1 源电极 310S 与源极布线 22 连接,第 1 栅电极 310G 与栅极布线 21 连接。另外,第 1 漏电极 310D 与电容器 300C 和第 2 薄膜晶体管 320 的第 2 栅电极 320G 连接。第 1 薄膜晶体管 310,当电压施加于栅极布线 21 和源极布线 22 时,将施加在源极布线 22 的电压值作为显示数据保存在电容器 300C 中。

[0169] 第 2 薄膜晶体管 320 具有第 2 源电极 320S、第 2 漏极电极 320D 和第 2 栅电极 320G。第 2 漏电极 320D 与有机 EL 元件 10 的阳极连接,第 2 源电极 320S 与电源布线 23 连接。另外,第 2 栅电极 320G 与第 1 薄膜晶体管 310 的第 1 漏电极 310D 连接。第 2 薄膜晶体管 320 将与电容器 300C 所保持的电压值对应的电流从电源布线 23 经由第 2 源电极 320S、第 2 漏电极 320D 提供给有机 EL 元件 10 的下部电极 12。

[0170] 在这样构成的像素 100 中,当栅极信号被输入到栅极布线 21 中、将第 1 薄膜晶体管 310 设为导通状态时,经由源极布线 22 提供的信号电压被写入电容器 300C 中。然后,写入到电容器 300C 中的保持电压在整个 1 帧期间内被保持。通过该保持电压,第 2 薄膜晶体管 320 的电导模拟性地发生变化,与发光灰度对应的驱动电流从作为有机 EL 元件 10 的阳极的下部电极 12 流向作为阴极的上部电极 14。由此,有机 EL 元件 10 发光,作为图像而显示。

[0171] 接着,使用图 4 说明本发明第 1 实施方式的 EL 显示面板 1 中的像素的结构。图 4 是示意地表示出本发明第 1 实施方式的 EL 显示面板 1 中的一个像素的一部分的像素构成的剖面图。

[0172] 如图 4 所示,本发明第 1 实施方式的 EL 显示面板 1 中的各像素具有作为开关晶体管的第 1 薄膜晶体管 310、和作为用于驱动有机 EL 元件 10 的驱动晶体管的第 2 薄膜晶体管 320。如上所述,第 1 薄膜晶体管 310 具有第 1 源电极 310S、第 1 漏电极 310D 和第 1 栅电极 310G。另外,第 2 薄膜晶体管 320 具有第 2 源电极 320S、第 2 漏电极 320D 和第 2 栅电极 320G。

[0173] 如图 4 所示,在各像素中,在基板 300 上形成有第 1 栅电极 310G 和第 2 栅电极 320G。另外,以覆盖第 1 栅电极 310G 和第 2 栅电极 320G 的方式形成有栅极绝缘膜 330。

[0174] 在第 1 栅电极 310G 的上方、在栅极绝缘膜 330 上,形成有第 1 半导体层 311。另外,在第 2 栅电极 320G 的上方、在栅极绝缘膜 330 上,形成有第 2 半导体层 321。

[0175] 第 1 源电极 310S 和第 1 漏电极 310D 覆盖第 1 半导体层 311 的一部分、相互对向地分离配置。另外,第 2 漏电极 320D 和第 2 源电极 320S 覆盖第 2 半导体层 321 的一部分、

相互对向地分离配置。

[0176] 第 1 薄膜晶体管 310 的第 1 源电极 310S 与源极布线 22 电连接。

[0177] 进而,以覆盖第 1 薄膜晶体管 310 和第 2 薄膜晶体管 320 的方式形成有第 1 层间绝缘膜 340(下部层间绝缘膜)。

[0178] 在第 1 层间绝缘膜 340 上形成有电源布线 23。电源布线 23 介由形成在第 1 层间绝缘膜 340 的接触孔与第 2 源电极 320S 电连接。

[0179] 另外,以覆盖电源布线 23 的方式在第 1 层间绝缘膜 340 上形成有第 2 层间绝缘膜 350(上部层间绝缘膜)。

[0180] 在第 2 层间绝缘膜 350 上形成有依次层叠着下部电极 12、有机 EL 层 13 和上部电极 14 的有机 EL 元件 10。在第 2 层间绝缘膜 350 上,在与相邻的像素的边界部分形成有堤 15。在由相邻的堤 15 所构成的开口形成下部电极 12 和有机 EL 层 13。

[0181] 下部电极 12 为以像素为单位配置的阳极,形成在第 2 层间绝缘膜 350 上。下部电极 12 介由贯穿第 1 层间绝缘膜 340 和第 2 层间绝缘膜 350 的接触孔,与第 2 薄膜晶体管的第 2 漏电极 320D 电连接。

[0182] 有机 EL 层 13(有机发光层)以色(子像素列)为单位或以子像素为单位形成,由预定的有机发光材料构成。

[0183] 上部电极 14 配置在有机 EL 层 13 的上方,为跨多个像素地形成的阴极,由 ITO 等透明电极构成。在本实施方式中,上部电极 14 是所有像素共用的共用电极。

[0184] 在这样构成的 EL 显示面板 1 中,将形成最下层的薄膜晶体管的层设为 TFT 层(TFT 部)L1,将形成最上层的有机 EL 元件 10 的层设为有机 EL 层(有机 EL 部)L3,将位于 TFT 层 L1 和有机 EL 层 L3 之间、形成各种布线的层设为布线层(布线部)L2。

[0185] 如图 4 所示,在布线层 L2 形成有例如电源布线 23、辅助布线 25(参照图 6)、栅极布线 21(参照图 6)。辅助布线 25 与有机 EL 元件 10 的上部电极 14 电连接,具有作为 EL 电源线对上部电极 14 施加预定的电压、或使上部电极 14 接地的功能。辅助布线 25 是为了防止由于 EL 显示面板的大画面化导致在 EL 显示面板 1 的中央区域产生电压降而设置的。另外,TFT 层 L1 和布线层 L2 相当于本发明中的薄膜半导体部,有机 EL 层 L3 相当于本发明中的 EL 部。

[0186] 另外,在 TFT 层 L1 中,将形成第 1 栅电极 310G 和第 2 栅电极 320G 的层设为第 1 金属层 ML1。另外,将形成第 1 源电极 310S 和第 1 漏电极 310D、以及第 2 源电极 320S 和第 2 漏电极 320D 的层设为第 2 金属层 ML2。因此,如图 4 所示,在本实施方式中,源极布线 22 形成在第 2 金属层 ML2。

[0187] 另外,在布线层 L2 中,将形成栅极布线 21(参照图 6)、电源布线 23、辅助布线 25(图 6 参照)的层设为第 3 金属层 ML3。

[0188] 在这些第 1 金属层 ML1~第 3 金属层 ML3 中,形成在同一金属层的电极和布线等的金属部件能够通过同一金属膜进行图形化而同时形成。

[0189] 接着,参照图 5~图 7 说明本发明第 1 实施方式的 EL 显示面板 1。图 5 是构成本发明第 1 实施方式的 EL 显示面板 1 的显示装置用薄膜半导体阵列装置 20 的俯视图。另外,图 6 是本发明第 1 实施方式的显示装置用薄膜半导体阵列装置 20 的俯视图,示出透过(透视)了形成在有机 EL 层 L3 的阳极和第 2 层间绝缘膜的状态。另外,图 7 是本发明第 1 实

施方式的显示装置用薄膜半导体阵列装置 20 的俯视图,示出透过形成了在布线层 L2 的布线和绝缘膜的状态。

[0190] 如图 5 所示,本发明第 1 实施方式的显示装置用薄膜半导体阵列装置 20 具有呈矩阵状(行列状)排列的像素 100。如图 6 所示,在下部电极 12 之下沿着像素 100 的行方向配置有多个栅极布线 21、多个电源布线 23 和多个辅助布线 25。

[0191] 电源布线 23 与栅极布线 21 并行地配置。另外,辅助布线 25 在电源布线 23 和相邻的像素 100 的栅极布线 21 之间,与电源布线 23 和栅极布线 21 并行地配置。也就是说,栅极布线 21、电源布线 23 和辅助布线 25 在行方向上相互并行地配置。另外,栅极布线 21、电源布线 23 和辅助布线 25 形成在同一层。

[0192] 图 6 是在图 5 透过栅极布线 21、电源布线 23 和辅助布线 25 的状态的图。

[0193] 如图 6 所示,本发明第 1 实施方式的显示装置用薄膜半导体阵列装置 20 具有沿着像素 100 的列方向相互平行地配置的多源极布线 22。源极布线 22 形成在图 4 所示的 TFT 层 L1 的第 2 金属层 ML2 上,并被配置成与形成在上层的布线层 L2 的栅极布线 21、电源布线 23 和辅助布线 25 立体交叉。另外,显示装置用薄膜半导体阵列装置 20 具有第 1 薄膜晶体管 310 和第 2 薄膜晶体管 320。

[0194] 另外,参照图 8~图 13 说明构成本发明第 1 实施方式的 EL 显示面板 1 的 1 个像素 100。图 8 是本发明第 1 实施方式的 EL 显示面板的像素 100 的俯视图,示出配置了阳极的状态。另外,图 9 是本发明第 1 实施方式的像素 100 的俯视图,示出透过形成了在有机 EL 层 L3 的阳极的状态。另外,图 10 是本发明第 1 实施方式的像素 100 的俯视图,示出透过形成了在布线层 L2 的布线和绝缘膜的状态。另外,图 11 是沿着图 8~图 10 的 X1-X1' 线剖切的像素 100 的剖面图。图 12 是沿着图 8~图 10 的 X2-X2' 线剖切的像素 100 的剖面图。图 13 是沿着图 8~图 10 的 X3-X3' 线剖切的像素 100 的剖面图。

[0195] 如图 8~图 10 所示,构成本发明第 1 实施方式的 EL 显示面板 1 的像素 100 具有基板 300、第 1 薄膜晶体管 310 和第 2 薄膜晶体管 320、栅极布线 21、源极布线 22、电源布线 23、辅助布线 25 以及第 1 层间绝缘膜 340。在图 9~图 12 中,位于第 1 层间绝缘膜 340 之上的结构省略图示。

[0196] 第 1 薄膜晶体管 310 为第 1 栅电极 310G、栅极绝缘膜 330、第 1 半导体层 311(沟道层)、和第 1 源电极 310S 以及第 1 漏电极 310D 的层叠构造体。另外,第 2 薄膜晶体管 320 为第 2 栅电极 320G、栅极绝缘膜 330、第 2 半导体层 321(沟道层)、和第 2 源电极 320S 以及第 2 漏电极 320D 的层叠构造体。

[0197] 在本实施方式中,第 1 薄膜晶体管 310、第 2 薄膜晶体管 320 和源极布线 22 形成在图 4 所示的 TFT 层 L1。另外,栅极布线 21、电源布线 23 和辅助布线 25 形成在图 4 所示的布线层 L2。

[0198] 以下,从下层的结构要素开始依次详细说明本发明第 1 实施方式的 EL 显示面板 1 的各结构要素。

[0199] 如图 8~图 12 所示,第 1 栅电极 310G 和第 2 栅电极 320G 在图 4 所示的基板 300 上图形形成为岛状。

[0200] 另外,如图 11 和图 12 所示,在基板 300 上以覆盖第 1 栅电极 310G 和第 2 栅电极 320G 的方式形成栅极绝缘膜 330。

[0201] 另外,如图 11 和图 12 所示,在栅极绝缘膜 330 上、在第 1 栅电极 310G 的上方,第 1 半导体层 311 图形形成为岛状。另外,在栅极绝缘膜 330 上、在第 2 栅电极 320G 的上方,第 2 半导体层 321 图形形成为岛状。

[0202] 在此,第 1 半导体层 311 和第 2 半导体层 321 使用 p 沟道型的半导体。在电源布线 23 中提供正电位。

[0203] 另外,在第 1 薄膜晶体管 310 中,如图 10 和图 12 所示,第 1 源电极 310S 和第 1 漏电极 310D 形成为在第 1 半导体层 311 的上方与第 1 半导体层 311 局部重叠。另外,在图 10 所示的俯视图中,第 1 源电极 310S 和第 1 漏电极 310D 在夹着第 1 半导体层 311 相互对向的位置形成。这些第 1 源电极 310S 和第 1 漏电极 310D 形成在图 4 所示的 TFT 层 L1 中的第 2 金属层 ML2。在本说明书中,“重叠”指的是从像素 100 的上下方向观察处于互相重合的位置关系。

[0204] 另外,如图 11 和图 12 所示,第 1 漏电极 310D 形成为与第 2 薄膜晶体管 320 的第 2 栅电极 320G 重叠。第 1 漏电极 310D 和第 2 栅电极 320G 通过第 4 接触部 114(第 4 导电部)电连接。第 4 接触部 114 通过在第 1 漏电极 310D 和第 2 栅电极 320G 重叠的位置沿厚度方向形成的接触孔(孔部)中埋入导电部件而构成。在本实施方式中,如图 12 所示,第 4 接触部 114 通过在以贯穿栅极绝缘膜 330 的方式形成的接触孔中埋入第 1 漏电极 310D 的一部分而构成。

[0205] 如图 12 所示,第 4 接触部 114 中的接触孔形成在栅极绝缘膜 330。在本实施方式中,如图 10 所示,第 4 接触部 114 被设在 3 个部位。

[0206] 另外,如图 10 和图 12 所示,在第 2 薄膜晶体管 320 中,第 2 源电极 320S 和第 2 漏电极 320D 形成为在第 2 半导体层 321 的上方与第 2 半导体层 321 重叠。另外,在图 10 所示的俯视图中,第 2 源电极 320S 和第 2 漏电极 320D 形成在夹着第 2 半导体层 321 相互相对的位置上。这些第 2 源电极 320S 和第 2 漏电极 320D 形成在 TFT 层 L1 中的第 2 金属层 ML2。

[0207] 进而,如图 10 所示,第 2 漏电极 320D 沿着列方向呈直线状延伸设置,在与设有第 2 半导体层 321 的端部相反一侧的端部附近形成有宽度大于延伸设置部分的岛状的电极部 120。

[0208] 电极部 120 介由第 3 接触部 113 与有机 EL 元件 10 的下部电极 12 电连接。第 3 接触部 113 通过在以贯穿形成在电极部 120 的上层的第 1 层间绝缘膜 340 和第 2 层间绝缘膜 350 的方式形成的接触孔(孔部)中埋入导电材料而构成。

[0209] 如图 8~图 10 所示,源极布线 22 沿着像素 100 的列方向呈线状形成。源极布线 22 配置成通过第 1 薄膜晶体管 310 的附近,与第 1 源电极 310S 电连接。

[0210] 在本实施方式中,形成为源极布线 22 与第 1 半导体层 311 重叠,以使得线状的源极布线 22 的一部分作为第 1 源电极 310S 发挥作用。在本实施方式中,源极布线 22 形成在图 4 所示的 TFT 层 L1 中的第 2 金属层 ML2。

[0211] 如图 12 所示,源极布线 22 的除了与第 1 薄膜晶体管 310 重叠的部分以外的部分,形成在栅极绝缘膜 330 上。另外,源极布线 22 构成为隔着第 1 层间绝缘膜 340 与后述的栅极布线 21、电源布线 23 和辅助布线 25 立体交叉。

[0212] 另外,如图 11 和图 12 所示,以覆盖第 1 薄膜晶体管 310、第 2 薄膜晶体管 320、源

极布线 22 和电源布线 23 的方式形成有第 1 层间绝缘膜 340。第 1 层间绝缘膜 340 构成为位于图 4 所示的 TFT 层 L1 的最上层且覆盖形成在下部的全体电极、布线。

[0213] 进而,在第 1 层间绝缘膜 340 上形成有栅极布线 21、电源布线 23、辅助布线 25。栅极布线 21、电源布线 23 和辅助布线 25 均形成在图 4 所示的布线层 L20 的第 3 金属层 ML3。

[0214] 如图 9 和图 11 所示,栅极布线 21 沿着像素 100 的行方向呈线状形成。进而,如图 11 所示,栅极布线 21 形成在第 1 层间绝缘膜 340 上,形成在图 4 所示的布线层 L2 中的第 3 金属层 ML3。即,栅极布线 21 形成在与形成有第 1 栅电极 310G 的层不同的层。

[0215] 另外,栅极布线 21 配置成通过第 1 薄膜晶体管 310 的附近,构成为与第 1 栅电极 310G 电连接。在本实施方式中,如图 9 和图 11 所示,栅极布线 21 和第 1 栅电极 310G 被配置在重叠的位置上,介由第 1 接触部 111(第 1 导电部)与第 1 栅电极 310G 电连接。第 1 接触部 111 通过在栅极布线 21 和第 1 栅电极 310G 重叠的位置上沿着厚度方向形成的接触孔(孔部)中埋入导电部件而构成。在本实施方式中,如图 11 所示,第 1 接触部 111 通过在以贯穿第 1 层间绝缘膜 340 和栅极绝缘膜 330 的方式形成的接触孔(孔部)中埋入栅极布线 21 的一部分而构成。

[0216] 如图 9 和图 12 所示,电源布线 23 沿着像素 100 的行方向呈线状形成。如图 12 所示,电源布线 23 也形成在第 1 层间绝缘膜 340 上,形成在图 4 所示的布线层 L2 中的第 3 金属层 ML3。即,电源布线 23 与栅极布线 21 形成在同一层。

[0217] 另外,如图 9 所示,电源布线 23 与栅极布线 21 并行地配置。进而,如图 12 所示,电源布线 23 配置在与第 2 源电极 320S 重叠的位置,介由第 2 接触部 112(第 2 导电部)与第 2 源电极 320S 电连接。如图 12 所示,第 2 接触部 112 通过在电源布线 23 与第 2 源电极 320S 重叠的位置在厚度方向上形成的接触孔(孔部)中埋入导电材料而构成。在本实施方式中,第 2 接触部 112 通过在形成为贯穿第 1 层间绝缘膜 340 的接触孔中埋入电源布线 23 的一部分而构成。另外,在本实施方式中,如图 9 所示,第 2 接触部 112 设有 6 个(2 行 3 列)。

[0218] 如图 9 和图 13 所示,辅助布线 25 沿着像素 100 的行方向呈线状形成。如图 13 所示,辅助布线 25 也形成在第 1 层间绝缘膜 340 上,形成在图 4 所示的布线层 L2 中的第 3 金属层 ML3。即,辅助布线 25 与栅极布线 21 和电源布线 23 形成在同一层。

[0219] 另外,如图 9 所示,辅助布线 25 与栅极布线 21 和电源布线 23 并行地配置。进而,在辅助布线 25 之上形成有第 2 层间绝缘膜 350 和图 4 所示的有机 EL 层 L3。也就是说,在第 2 层间绝缘膜 350 之上形成有下部电极 12、EL 层 13 和上部电极 14。并且,如图 13 所示,上部电极 14 和辅助布线 25 介由第 5 接触部 115(第 3 导电部)电连接。如图 13 所示,第 5 接触部 115 通过在上部电极 14 和辅助布线 25 重叠的位置沿着厚度方向形成的接触孔(孔部)中埋入导电材料而构成。在本实施方式中,第 5 接触部 115 通过在形成为贯穿第 2 层间绝缘膜 350 的接触孔中埋入上部电极 14 的一部分而构成。另外,在本实施方式中,如图 9 所示,第 5 接触部 115 设有 14 个(2 行 7 列)。

[0220] 在本实施方式中,构成电源布线 23 和辅助布线 25 的材料由包含从 Al(铝)、Cu(铜)、Ag(银)中选择出的任一种的材料而形成。另外,也可以将电源布线 23 和辅助布线 25 设为多层布线,构成电源布线 23 和辅助布线 25 的主布线包含从 Al、Cu、Ag 中选择出的任一种。另外,电源布线 23 和辅助布线 25 可以含有上述这些金属中的多种金属,也可以

由其他材料构成。

[0221] 图 14 是从配置有电极部 120 一侧的端部观察图 9 所示的显示装置用薄膜半导体装置 2 时的立体图。图 15 是从配置有电极部 120 一侧的端部观察图 10 所示的显示装置用薄膜半导体装置 2 时的立体图。

[0222] 如图 14 所示,栅极布线 21、电源布线 23 和辅助布线 25 形成在同一层。也就是说,栅极布线 21、电源布线 23 和辅助布线 25 形成在第 1 层绝缘膜 340 上的布线层 L2,形成于与在 TFT 层 L1 形成的源极布线 22 不同的层。另外,栅极布线 21、电源布线 23 和辅助布线 25 配置成与源极布线 22 正交且立体交叉。另外,如图 15 所示,源极布线 22、第 2 源电极 320S 和第 2 漏电极 320D 形成在 TFT 层 L1。

[0223] 接着,参照图 16A ~ 图 16J 说明制造实施方式 1 的 EL 显示面板 1 的显示装置用薄膜半导体装置 2 的方法。图 16A ~ 图 16J 是示意地表示本发明第 1 实施方式的显示装置用薄膜半导体装置的制造方法的各工序的剖面图。图 16A ~ 图 16J 的剖面图与图 9 的 X2-X2' 剖面相对应。

[0224] 首先,如图 16A 所示,准备基板 300。基板 300 一般使用由玻璃、石英等构成的具有绝缘性的材料。为了防止从基板 300 扩散杂质,也可以在基板 300 的上面形成未图示的由氧化硅膜或氮化硅膜构成的内涂 (undercoat) 层。作为一例,内涂层的膜厚为 100nm 左右。

[0225] 接着,在以纯水等洗净之后,在基板 300 上形成具有耐热性的第 1 金属层。接着,如图 16B 所示,通过光刻法、蚀刻法等将第 1 金属层图形化为预定的形状,形成栅电极 310G、320G。作为第 1 金属膜的材料,可举出具有耐热性的 Mo、W、Ta、Ti、Ni 中任一种的金属、或这些金属的合金。在本实施方式中,作为一例,使用 Mo 形成膜厚 100nm 左右的第 1 金属膜。

[0226] 接着,如图 16C 所示,在基板 300 上的整个面形成栅极绝缘膜 330,以使得覆盖第 1 栅电极 310G 和第 2 栅电极 320G。作为栅极绝缘膜 330 的材料,可举出氧化硅膜 (SiO_2)、氮化硅膜 (SiN) 或它们的复合膜。在本实施方式中,作为一例,通过等离子体 CVD 法形成由膜厚 200nm 左右的氧化硅膜构成的栅极绝缘膜 330。

[0227] 进而,如图 16D 所示,在栅极绝缘膜 330 上形成非晶性半导体膜 301。在本实施方式中,使用非晶硅膜 (无定形硅膜) 作为非晶性半导体膜 301,通过等离子体 CVD 法形成膜厚 50nm 左右的非晶硅膜。栅极绝缘膜 330 和非晶性半导体膜 301 也可以通过等离子体 CVD 法等不破坏真空地连续形成。

[0228] 此后,如图 16D 的箭头所示,通过对非晶性半导体膜 301 照射由激光器等产生的激光,使非晶性半导体膜 301 结晶化、改性为多晶性半导体膜。具体而言,例如对非晶硅膜照射激光等,使非晶硅膜的温度上升到预定的温度范围,由此将非晶硅膜结晶化、使结晶粒径扩大,变为多晶性半导体膜。在此,预定的温度范围例如是 $1100^\circ\text{C} \sim 1414^\circ\text{C}$ 。另外,多晶性半导体层内的平均结晶粒径为 $20\text{nm} \sim 60\text{nm}$ 。

[0229] 在此,第 1 栅电极 310G 和第 2 栅电极 320G 在该激光照射工序中曝露在高温中,因此优选以熔点高于上述温度范围的上限值 (1414°C) 的金属构成。另一方面,在接下来的工序中形成在第 2 金属层 ML2 和第 3 金属层 ML3 的布线和电极,可以由熔点低于上述温度范围的下限值 (1100°C) 的金属形成。

[0230] 优选在照射激光之前,作为前处理以 $400^\circ\text{C} \sim 500^\circ\text{C}$ 进行 30 分钟的退火处理。另外,优选在激光照射后在真空中进行几秒 ~ 几十秒的氢等离子体处理。

[0231] 接着,如图 16E 所示,通过光刻法、蚀刻法等将非晶性半导体膜 301 图形形成为岛状,形成第 1 半导体层 311、第 2 半导体层 321。

[0232] 接着,如图 16F 所示,为了电连接第 1 漏电极 310D 和第 2 栅电极 320G,通过光刻法和湿法蚀刻等形成贯穿栅极绝缘膜 330 的第 4 接触孔 CH4。

[0233] 之后,如图 16G 所示,形成第 2 金属膜以使得覆盖栅极绝缘膜 330、第 1 半导体层 311 和第 2 半导体层 321。接着,通过光刻法和湿法蚀刻法等将第 2 金属膜图形形成为预定的形状,从而形成源极布线 22、第 1 源电极 310S 和第 1 漏电极 310D、第 2 源电极 320S 和第 2 漏电极 320D。此时,构成第 2 金属膜的材料也填充在第 4 接触孔 CH4 中、形成第 4 接触部 114。

[0234] 作为第 2 金属层的材料,优选低电阻金属,可举出 Al、Cu、Ag 中的任一金属或者这些金属的合金。在本实施方式中,作为一例使用 Al,形成膜厚 300nm 左右的第 2 金属层。

[0235] 进而,优选在 Al 的上部、下部或这两方形成 Mo 等高耐热性的金属作为势垒金属(barrier metal)。势垒金属的厚度为 50nm 左右。另外,在进一步要求布线的低电阻化的情况下,优选使用 Cu 而不是 Al。另外,不是替代材料而是使第 2 金属膜的厚度增加,由此也可以实现低电阻化。

[0236] 另外,优选在第 1 源电极 310S 和第 1 半导体层 311 之间以及在第 1 漏电极 310D 和第 1 半导体层 311 之间形成低电阻半导体膜。一般而言,该低电阻半导体膜使用作为杂质掺杂了磷等 n 型掺杂剂的非晶硅膜、或者使用作为杂质掺杂了硼等 p 型掺杂剂的非晶硅膜。作为低电阻半导体膜的膜厚可以设为 20nm 左右。进而,也可以在结晶化了的第 1 半导体层 311 和低电阻半导体膜(掺杂了杂质的非晶硅膜)之间形成由非晶硅构成的无掺杂(不进行有意识地掺杂杂质)的半导体层。通过形成这些膜,能够使 TFT 特性提高等、得到所期待的 TFT 特性。另外,对于第 2 薄膜晶体管 320 也是同样的。

[0237] 接着,如图 16H 所示,以覆盖第 1 源电极 310S、第 1 漏电极 310D、第 2 源电极 320S 和第 2 漏电极 320D 等露出的电极和布线的方式,在基板 300 上的整个面形成第 1 层间绝缘膜 340。第 1 层间绝缘膜 340 可以由氧化硅膜、氮化硅膜或这些膜的层叠膜构成。

[0238] 接着,如图 16I 所示,为了连接电源布线 23 和第 2 源电极 320S,通过光刻法和蚀刻法等形成贯穿第 1 层间绝缘膜 340 的第 2 接触孔 CH2。此时,为了连接第 1 栅电极 310G 和栅极布线 21,还形成连续地贯穿第 1 层间绝缘膜 340 和栅极绝缘膜 330 的第 1 接触孔(参照图 11)。

[0239] 接着,如图 16J 所示,在第 1 层间绝缘膜 340 上形成第 3 金属膜,通过光刻法和蚀刻法等对第 3 金属膜进行图形化形成为预定形状,由此形成栅极布线 21、电源布线 23 和辅助布线 25。此时,构成第 3 金属膜的材料还填充在第 2 接触孔 CH2 和第 1 接触孔(参照图 11)中,形成第 2 接触部 112 和第 1 接触部 111。

[0240] 构成栅极布线 21、电源布线 23 和辅助布线 25 的第 3 金属膜的材料优选低电阻的材料,可以用与第 2 金属层相同的金属材料构成。例如,可以在形成 50nm 的 Mo 作为势垒金属之后,形成 300nm 的 Al,由此构成第 3 金属膜。

[0241] 如上述那样,能够制造本发明第 1 实施方式的显示装置用薄膜半导体装置 2。

[0242] 之后,如图 13 所示,在第 1 层间绝缘膜 340 上形成第 2 层间绝缘膜 350,以使得覆盖栅极布线 21、电源布线 23 和辅助布线 25。第 2 层间绝缘膜 350 可以用与第 1 层间绝缘

膜 340 同样的材料构成,例如可以用氧化硅膜、氮化硅膜或这些膜的层叠膜构成。

[0243] 接着,在第 2 层间绝缘膜 350 上形成图 4 所示的有机 EL 层 L3。具体而言,在第 2 层间绝缘膜 350 上依次层叠下部电极 12、堤 15、有机 EL 层 13 以及上部电极 14。

[0244] 首先,通过光刻法、蚀刻法形成贯穿第 2 层间绝缘膜 350 的接触孔(未图示)。该接触孔成为图 13 所示的第 5 接触部 115。

[0245] 接着,下部电极 12 形成在第 2 层间绝缘膜 350 上。堤 15 形成在第 2 层间绝缘膜 350 上的与各像素 100 的边界对应的位置上。另外,有机 EL 层 13 在下部电极 12 上按各像素 100 形成在堤 15 的开口部内。

[0246] 进而,上部电极 14 形成在第 2 层间绝缘膜 350 上以使得覆盖堤 15、有机 EL 层 13。此时,构成上部电极 14 的材料填充在形成于第 2 层间绝缘膜 350 的接触孔中,形成第 5 接触部 115。介由该第 5 接触部 115,上部电极 14 和辅助布线 25 电连接。

[0247] 下部电极 12 的材料例如为 Mo、Al、Au、Hg、Cu 等导电性金属中的任一种或者它们的合金、PEDOT:PSS 等有机导电性材料、氧化锌或添加铅的氧化铟中的任一种的材料。由这些材料构成的膜通过真空蒸镀法、电子束蒸镀法、RF 溅射法、或印刷法等做成,形成电极图形。

[0248] 有机 EL 层 13 在下部电极 12 上按各颜色(子像素列)或各子像素形成在堤 15 的开口部内。该有机 EL 层 13 层叠空穴注入层、空穴输送层、发光层、电子输送层、和电子注入层等各层而构成。作为空穴注入层可以使用酞菁铜,作为空穴输送层可以使用 α -NPD(双[N-(1-萘基)-N-苯基]联苯胺),作为发光层可以使用 Alq_3 (三(8-羟基)铝),作为电子输送层可以使用噻唑衍生物,作为电子注入层可以使用 Alq_3 。另外,这些材料只是一例而已,也可以使用其他的材料。

[0249] 上部电极 14 是连续地形成在有机 EL 层 13 上、具有透射性的电极。上部电极 14 的材料例如为 ITO(Indium Tin Oxide, 铟锡氧化物)、 SnO_2 、 In_2O_3 、ZnO 或它们的组合等。

[0250] 如以上那样,能够制造本发明第 1 实施方式的 EL 显示面板 1。

[0251] 以上,根据本发明第 1 实施方式的 EL 显示面板 1,EL 显示面板 1 的显示装置用薄膜半导体装置 2 的栅极布线 21 形成在第 1 层间绝缘膜 340 上的布线层 L2,配置在与第 1 栅电极 310G(和第 2 栅电极 320G)另外的层(不同的层)。由此,对于栅极布线 21 与第 1 栅电极 310G(以及第 2 栅电极 320G)能够选择各自适合的材料。

[0252] 另外,根据本实施方式的 EL 显示面板 1,电源布线 23 在第 1 层间绝缘膜 340 上与栅极布线 21 形成在同一层,并与栅极布线 21 并行地配置。另外,辅助布线 25 在第 1 层间绝缘膜 340 上与栅极布线 21 和电源布线 23 形成在同一层上,并且与栅极布线 21 和电源布线 23 并行地配置。由此,能够将由于在第 1 层间绝缘膜 340 上配置栅极布线 21 所形成的凹凸的凹部由电源布线 23 和辅助布线 25 填埋。即,能够通过电源布线 23 和辅助布线 25 减轻第 1 层间绝缘膜 340 上的凹凸,使显示装置用薄膜半导体装置 2 的上面的平坦度提高。其结果,在显示装置用薄膜半导体装置 2 上例如构成布线层 L2 或有机 EL 层 L3 时,能够减轻第 1 层间绝缘膜 340 上的凹凸对布线层 L2 或有机 EL 层 L3 带来的影响,能够抑制在平坦性不充分的情况下产生的寿命降低等。

[0253] 另外,在本实施方式的显示装置用薄膜半导体装置 2 中,如图 12 所示,电源布线 23 构成为覆盖第 1 半导体层 311 和第 2 半导体层 321,因此优选第 1 半导体层 311 和第 2 半导

体层 321 均为 p 沟道型。

[0254] 在薄膜晶体管的半导体层（沟道区域）中，在覆盖半导体层的表面和薄膜晶体管的层间绝缘膜的表面，在制造时有时会产生晶格缺陷。若产生该晶格缺陷，则会产生不稳定的界面态，半导体层的背沟道的电位变得不稳定。

[0255] 在本实施方式中，为 p 沟道型的第 1 半导体层 311 和第 2 半导体层 321 构成为与成为正电位的电源布线 23 重叠，能够使背沟道的电位稳定。

[0256] 图 17 是用于说明本发明第 1 实施方式的显示装置用薄膜半导体装置中的薄膜晶体管的 TFT 特性的图。在本实施方式中，为 p 沟道型的第 1 半导体层 311 和第 2 半导体层 321 构成为与成为正电位的电源布线 23 重叠，能够构成具有背栅的 p 沟道 TFT，因此能够使背沟道的电位稳定。其结果，如图 17 所示，作为具有背栅的 p 沟道 TFT 的第 1 薄膜晶体管 310 和第 2 薄膜晶体管 320，与没有背栅的 P 沟道 TFT 同等地，既能够抑制截止时的泄漏电流（截止泄漏（off leak）电流），而且还能够实现降低来自外部噪声的影响。这是因为：上述背栅覆盖沟道区域的上方，所以起到对外部噪声的电磁波屏蔽的作用。因此，能够实现具有截止特性优异、且抗外部噪声性强的薄膜晶体管的显示装置用薄膜半导体装置。

[0257] 另外，在本实施方式的显示装置用薄膜半导体装置 2 中，优选电源布线 23 和辅助布线 25 形成在与栅极布线 21 大致相同的高度、即形成在相同高度或近似高度，并且形成为具有与相邻的 2 个栅极布线 21 之间的宽度对应的宽度。进而，优选电源布线 23 和辅助布线 25 与相邻的 2 个栅极布线 21 的距离、即栅极布线 21 与电源布线 23、电源布线 23 与辅助布线 25、辅助布线 25 与栅极布线 21 的距离设为 $4\mu\text{m}$ 以上。

[0258] 在本实施方式中，栅极布线 21 形成在第 1 层间绝缘膜 340 上，因此这样会比没有形成栅极布线 21 的区域突出栅极布线 21 的膜厚的量，在相邻的栅极布线 21 之间形成凹部。

[0259] 对此，如上所述，将电源布线 23 和辅助布线 25 设为与栅极布线 21 大致相同的高度，并设为与相邻的 2 个栅极布线 21 之间的宽度对应的宽度，由此能够由电源布线 23 和辅助布线 25 确保显示装置用薄膜半导体装置 2 的上面的平坦性。由此，在形成有机 EL 元件 10 的情况下，能够容易地防止由于布线层 L2 上面的平坦性不充分导致的寿命降低。

[0260] 另外，在本实施方式的显示装置用薄膜半导体装置 2 中，优选电源布线 23 和辅助布线 25 形成在与栅极布线 21 大致相同的高度上，并且与相邻的 2 个栅极布线 21 接近地配置以使得填埋相邻的 2 个栅极布线 21 之间。

[0261] 由此，能够在相邻的栅极布线 21 之间由电源布线 23 和辅助布线 25 填埋凹部，因此能够确保显示装置用薄膜半导体装置 2 的上面的平坦性。进而，能够使电源布线 23 和辅助布线 25 低电阻化。

[0262] （第 1 实施方式的变形例）

[0263] 接着，使用图 18 说明本发明第 1 实施方式的变形例的 EL 显示面板的显示装置用薄膜半导体装置 2'。图 18 是设置在本变形例的 EL 显示面板的显示装置用薄膜半导体装置 2' 的剖面图。图 18 与图 12 所示的设置在第 1 实施方式的 EL 显示面板的显示装置用薄膜半导体装置 2 的剖面图对应。

[0264] 显示装置用薄膜半导体装置 2' 与本发明第 1 实施方式的 EL 显示面板 1 的显示装置用薄膜半导体装置 2 为基本相同的结构。因此，在图 18 中，对于与图 12 所示的结构要素

相同的结构要素标注相同的附图标记,省略或简化详细的说明。另外,图 12 所示的结构以外的结构与第 1 实施方式相同。

[0265] 显示装置用薄膜半导体装置 2' 与显示装置用薄膜半导体装置 2 的不同之处在于,第 1 薄膜晶体管 310 的第 1 半导体层和第 2 薄膜晶体管 320 的第 2 半导体层的结构。

[0266] 如图 18 所示,在显示装置用薄膜半导体装置 2' 中,第 1 薄膜晶体管 310 的第 1 半导体层由第 1 沟道层 311A 和第 2 沟道层 311B 构成,所述第 1 沟道层 311A 由多晶性半导体膜构成,所述第 2 沟道层 311B 由非晶性半导体膜构成。另外,第 2 薄膜晶体管 320 的第 2 半导体层也由第 1 沟道层 321A 和第 2 沟道层 321B 构成,所述第 1 沟道层 321A 由多晶性半导体膜构成,所述第 2 沟道层 321B 由非晶性半导体膜构成。

[0267] 第 1 沟道层 311A 和第 1 沟道层 321A 可以由通过使非晶硅膜(无定形硅膜)结晶而形成的多晶硅膜构成。

[0268] 第 2 沟道层 311B 和第 2 沟道层 321B,与图 12 所示的第 1 半导体层 311 和第 2 半导体层 321 同样,可以由非晶性半导体膜构成。

[0269] 这样构成的第 1 半导体层和第 2 半导体层可以通过对非晶硅膜(无定形硅膜)的上层部进行激光照射使其结晶而形成。另外,在俯视观察时,第 1 沟道层 311A(或第 1 沟道层 321A) 和第 2 沟道层 311B(或第 2 沟道层 321B) 成为相同的形状,均在栅极绝缘膜 330 上形成为岛状。

[0270] 显示装置用薄膜半导体装置 2' 起到与上述设置在本发明第 1 实施方式的 EL 显示面板 1 的显示装置用薄膜半导体装置 2 同样的作用效果。

[0271] 进而,在显示装置用薄膜半导体装置 2' 中,薄膜晶体管中的第 1 半导体层和第 2 半导体层由:由非晶硅膜构成的第 2 沟道层 311B(或第 2 沟道层 321B)、和形成在第 2 沟道层 311B(或第 2 沟道层 321B) 之下的由多晶性半导体膜构成的第 1 沟道层 311A(或第 1 沟道层 321A) 构成。由此,在第 1 薄膜晶体管和第 2 薄膜晶体管中,能够降低截止电流并增大导通电流。

[0272] (第 2 实施方式)

[0273] 接着,使用图 19~图 21 说明本发明第 2 实施方式的 EL 显示面板。图 19 是设置在本发明第 2 实施方式的 EL 显示面板的显示装置用薄膜半导体装置的俯视图。图 20 是沿着图 19 的 X2-X2' 线剖切的显示装置用薄膜半导体装置的剖面图。图 21 是用于说明本实施方式的显示装置用薄膜半导体装置中的薄膜晶体管的 TFT 特性的图。

[0274] 设置在本发明第 2 实施方式的 EL 显示面板的显示装置用薄膜半导体装置 3 是与设置在本发明第 1 实施方式的 EL 显示面板的显示装置用薄膜半导体装置 2 基本相同的结构。因此,在图 19 和图 20 中,对于与图 8~图 13 所示的结构要素相同的结构要素标注相同的附图标记,省略或简化详细的说明。

[0275] 显示装置用薄膜半导体装置 3 与设置在本发明第 1 实施方式的 EL 显示装置的显示装置用薄膜半导体装置 2 的不同之处在于:第 1 半导体层 311 和第 2 半导体层 321 的沟道型均为 n 沟道型;由于第 1 半导体层 311 和第 2 半导体层 321 的沟道型均为 n 沟道型,其结果第 1 实施方式中的源电极和漏电极分别在第 2 实施方式中相反地各自变为漏电极和源电极;以及电源布线 23 的结构。除此之外的结构与第 1 实施方式相同。

[0276] 如图 19 和图 20 所示,在显示装置用薄膜半导体装置 3 中,电源布线 23 构成为与

第 1 半导体层 311 和第 2 半导体层 321 不重叠,具有形成在第 1 半导体层 311 上的第 1 开口部 131 和形成在第 2 半导体层 321 上的第 2 开口部 132。

[0277] 另外,第 1 半导体层 311 和第 2 半导体层 321 均为 n 沟道型。

[0278] 这样构成的显示装置用薄膜半导体装置 3 可以与第 1 实施方式同样地制造。但是,在本实施方式中,需要在电源布线 23 形成第 1 开口部 131 和第 2 开口部 132。第 1 开口部 131 和第 2 开口部 132 在对第 3 金属膜图形化时形成在电源布线 23。

[0279] 以上,根据显示装置用薄膜半导体装置 3,能够与第 1 实施方式同样地将栅极布线 21 和第 1 栅电极 310G 用不同的层构成,所以能够选择适合于各自的材料。

[0280] 进而,电源布线 23 和辅助布线 25 形成在与栅极布线 21 同一层上,并且与栅极布线 21 并行地配置,因此能够减轻因形成在第 1 层间绝缘膜 340 上的栅极布线 21 产生的凹凸,能够使平坦度提高。

[0281] 进而,根据显示装置用薄膜半导体装置 3 能够实现以下的作用效果。

[0282] 在为 n 沟道型的第 1 半导体层 311 和第 2 半导体层 321 的上方中,在为正电位的电源布线 23 覆盖在第 1 层间绝缘膜 340 上的情况下,在第 1 半导体层 311 和第 2 半导体层 321 的背沟道感应出负载流子,由此产生截止泄漏电流。因此,即使不施加栅极电压也会产生电流,所以就会使第 1 薄膜晶体管 310 和第 2 薄膜晶体管 320 的截止特性降低。

[0283] 对此,在显示装置用薄膜半导体装置 3 中,为 n 沟道型的第 1 半导体层 311 和第 2 半导体层 321 构成为与正电位的电源布线 23 不重叠。也就是说,设为无背栅的结构。由此,如图 21 所示,与有背栅时相比,能够抑制由于为正电位的电源布线 23 导致在为 n 沟道型 TFT 的第 1 薄膜晶体管 310 和第 2 薄膜晶体管 320 中在背沟道感应出载流子。其结果,能够抑制在第 1 薄膜晶体管 310 和第 2 薄膜晶体管 320 产生截止泄漏电流,因此能够实现截止特性优异的 EL 显示面板。

[0284] (第 2 实施方式的变形例)

[0285] 接着,使用图 22 说明本发明第 2 实施方式的变形例的 EL 显示面板。图 22 是设置在本发明第 2 实施方式的变形例的 EL 显示面板的显示装置用薄膜半导体装置 3' 的剖面图。图 22 与图 20 的设置在本发明第 2 实施方式的 EL 显示面板的显示装置用薄膜半导体装置 3 的剖面图对应。

[0286] 显示装置用薄膜半导体装置 3' 是与本发明第 2 实施方式的显示装置用薄膜半导体装置 3 基本相同的结构。因此,在图 22 中,对于与图 20 所示的结构要素相同的结构要素,标注相同的附图标记,省略或简化详细的说明。另外,与图 22 所示的结构以外的结构与第 2 实施方式相同。

[0287] 显示装置用薄膜半导体装置 3' 与显示装置用薄膜半导体装置 3 的不同之处在于,第 1 薄膜晶体管 310 的第 1 半导体层和第 2 薄膜晶体管 320 的第 2 半导体层的结构。

[0288] 如图 22 所示,在显示装置用薄膜半导体装置 3' 中,第 1 薄膜晶体管 310 的第 1 半导体层由:由多晶性半导体膜构成的第 1 沟道层 311A 和由非晶性半导体膜构成的第 2 沟道层 311B 构成。另外,第 2 薄膜晶体管 320 的第 2 半导体层也由:由多晶性半导体膜构成的第 1 沟道层 321A 和由非晶性半导体膜构成的第 2 沟道层 321B 构成。

[0289] 第 1 沟道层 311A 和第 1 沟道层 321A 可以由通过使非晶硅膜(无定形硅膜)结晶而形成的多晶硅膜构成。

[0290] 第 2 沟道层 311B 和第 2 沟道层 321B 可以由非晶性半导体膜构成。

[0291] 这样构成的第 1 半导体层和第 2 半导体层可以通过对非晶硅膜（无定形硅膜）进行激光照射而结晶化、然后形成非晶硅膜来形成。另外，在俯视观察时，第 1 沟道层 311A（或第 1 沟道层 321A）和第 2 沟道层 311B（或第 2 沟道层 321B）为相同形状，均在栅极绝缘膜 330 上形成为岛状。

[0292] 本实施方式的 EL 显示面板起到与上述的本发明第 2 实施方式的具有显示装置用薄膜半导体装置 3 的 EL 显示面板同样的作用效果。

[0293] 进而，在显示装置用薄膜半导体装置 3' 中，薄膜晶体管中的第 1 半导体层和第 2 半导体层由：由非晶硅膜构成的第 2 沟道层 311B（或第 2 沟道层 321B）、以及形成在由非晶硅膜构成的第 2 沟道层 311B（或第 2 沟道层 321B）之下的由多晶性半导体膜构成的第 1 沟道层 311A（或第 1 沟道层 321A）构成。由此，在第 1 薄膜晶体管和第 2 薄膜晶体管中，能够减少截止电流并使导通电流增大。

[0294] 本发明不限于上述实施方式，可以在不脱离本发明要旨的范围内进行各种改良和变形。

[0295] 例如，如图 23A 和图 23B 所示，有机 EL 显示面板 1 的各像素 100 也可以由 3 色（红色、绿色、蓝色）的子像素 100R、100G、100B 构成。子像素 100R、100G、100B 分别沿着图 23A 的进深方向排列有多个（将其表述为“子像素列”）。

[0296] 图 23A 是表示线型堤（line bank）的例子的图。如图 23A 所示，各子像素列可以通过堤 15 相互分离。图 23A 所示的堤 15 是在相互相邻的子像素列之间在与源极布线 22 平行的方向延伸的突条，且形成在薄膜半导体阵列装置 20 上。换言之，各子像素列分别形成在相互相邻的突条之间（即堤 15 的开口部）。

[0297] 下部电极 12 在薄膜半导体阵列装置 20 上（更具体而言是在上部层间绝缘膜 11 上）在堤 15 的开口部内，按各子像素 100R、100G、100B 而形成。有机 EL 层 13 在下部电极 12 上在堤 15 的开口部内按各子像素列（即，以覆盖各列的多个下部电极 12 的方式）形成。上部电极 14 在多个有机 EL 层 13 和堤 15（多个突条）上以覆盖所有子像素 100R、100G、100B 的方式连续地形成。

[0298] 另外，图 23B 是表示像素型堤（pixel bank）的例子的图，各子像素 100R、100G、100B 通过堤 15 相互分离。图 23B 所示的堤 15 形成为与栅极布线 21 平行地延伸的突条和与源极布线 22 平行地延伸的突条相互交叉。并且，由该突条包围的部分（即堤 15 的开口部）形成有子像素 100R、100G、100B。

[0299] 下部电极 12 在薄膜半导体阵列装置 20 上（更具体而言是在上部层间绝缘膜 11 上）在堤 15 的开口部内按各子像素 100R、100G、100B 形成。同样地，有机 EL 层 13 在下部电极 12 上在堤 15 的开口部内按各子像素 100R、100G、100B 形成。上部电极 14 在多个有机 EL 层 13 和堤 15（多个突条）上以覆盖所有子像素 100R、100G、100B 的方式连续地形成。

[0300] 进而，在薄膜半导体阵列装置 20 按各子像素 100R、100G、100B 形成有像素电路 30（在图 23A 和图 23B 中省略图示）。并且，各子像素 100R、100G、100B 和对应的像素电路 30 电连接。

[0301] 子像素 100R、100G、100B 除了有机 EL 层 13 的特性（发光色）不同之外其余为相同的结构。

[0302] 另外,在上述实施方式中,也可以将第 1 源电极 310S 和第 1 漏电极 310D 互换而构成。具体而言,构成为:图 3、图 4 的 310S 为第 1 漏电极,310D 则是第 1 源电极。同样地,也可以将第 2 漏电极 320D 和第 2 源电极 320S 互换而构成。具体而言,构成为:图 3、图 4 的 320S 为第 1 漏电极、320D 则是第 1 源电极。

[0303] 另外,在上述实施方式中,第 1 源电极 310S 设为线状的源极布线 22 的一部分,但不限于此。例如,也可以构成为:在源极布线 22 的图形形成时,图形形成从源极布线 22 的一部起在行方向延伸设置的延伸设置部,将该延伸设置部和另外形成的第 1 源电极 310S 电连接。

[0304] 同样地,在上述实施方式中,第 2 源电极 320S 设为线状的第 1 电源布线 23 的一部分,但不限于此。例如,也可以构成为:在第 1 电源布线 23A 的图形形成时,图形形成从第 1 电源布线 23A 的一部分起在行方向延伸设置的延伸设置部,将该延伸设置部和另外形成的第 2 源电极 320S 电连接。

[0305] 另外,在上述实施方式中,电源布线 23 在相邻的栅极布线 21 之间排列 1 条,但不限于此。例如,也可以在相邻的栅极布线 21 之间排列多条电源布线 23。

[0306] 另外,在上述实施方式中,在 1 个像素形成 2 个薄膜晶体管,但不限于此。例如,也可以在 1 个像素形成 3 个以上的薄膜晶体管。此时,也可以与薄膜晶体管的个数相一致地排列多条电源布线 23。由此,能够通过多个电源布线 23 对需要供电的薄膜晶体管如所希望那样提供电力。

[0307] 另外,在上述实施方式中,关于本发明的 EL 显示面板例示出有机 EL 显示面板,但不限于此。例如,本发明的 EL 显示面板也可以适用于无机 EL 面板、或具有液晶显示元件等使用有源矩阵基板的其他显示元件的显示器。

[0308] 另外,只要不脱离本发明的宗旨,将本领域技术人员所能想到的各种变形施加在本实施方式中而得到的方式、组合不同实施方式中的结构要素而构建的方式也包含在本发明的范围内。例如,如图 24 所示的具有本发明的 EL 显示面板 1 的薄型平板电视系统 400 等 EL 显示装置也包含在本发明中。

[0309] 产业上的可利用性

[0310] 本发明的图像显示装置用薄膜半导体装置作为用于有机 EL 显示装置、液晶显示装置等的驱动用背板 (back plane) 是有用的。

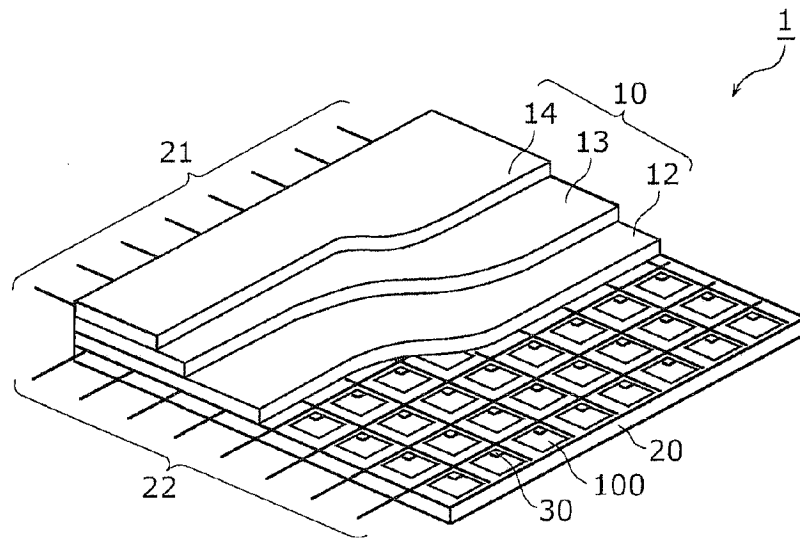


图 1

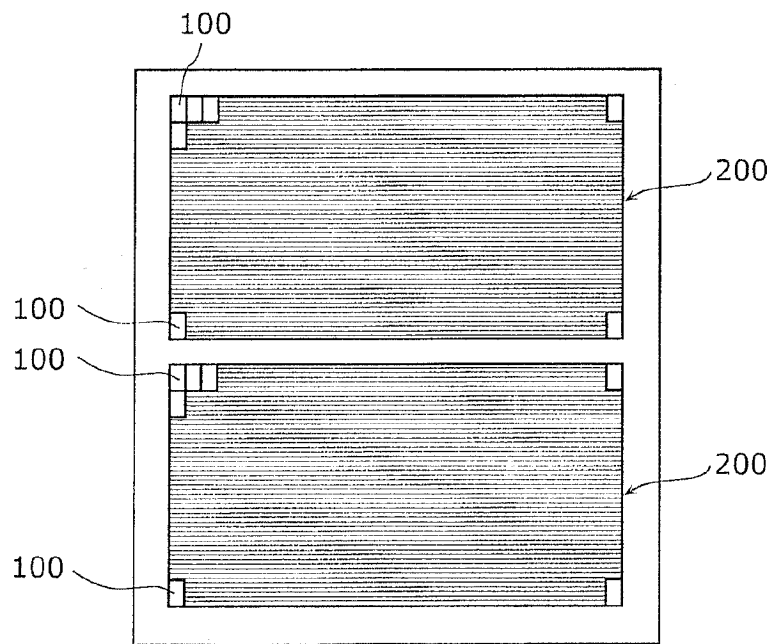


图 2

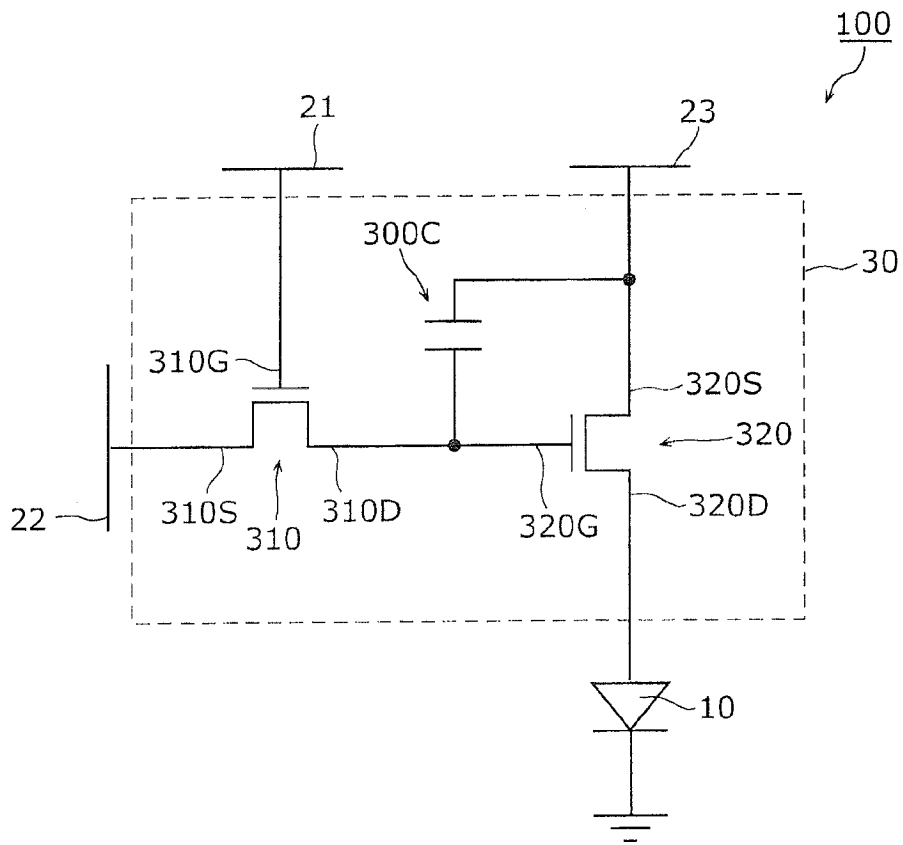


图 3

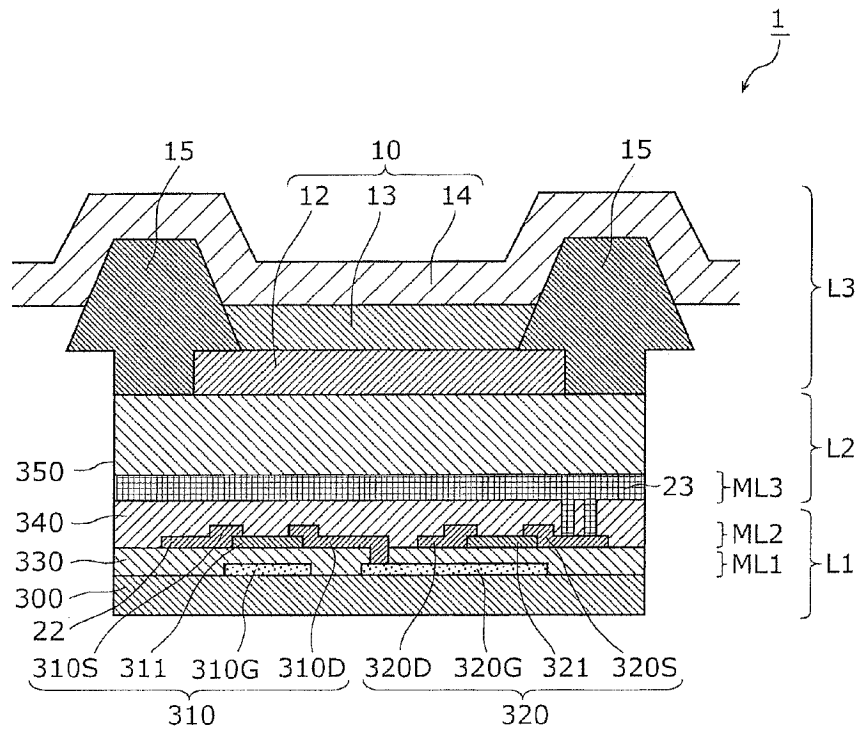


图 4

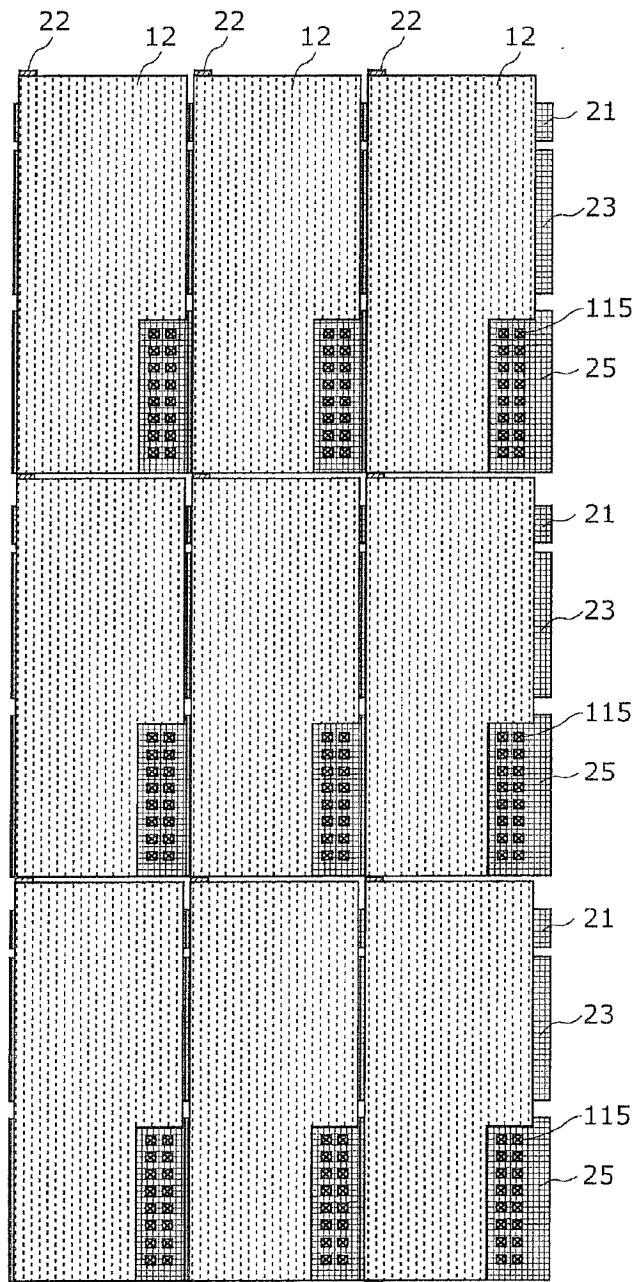


图 5

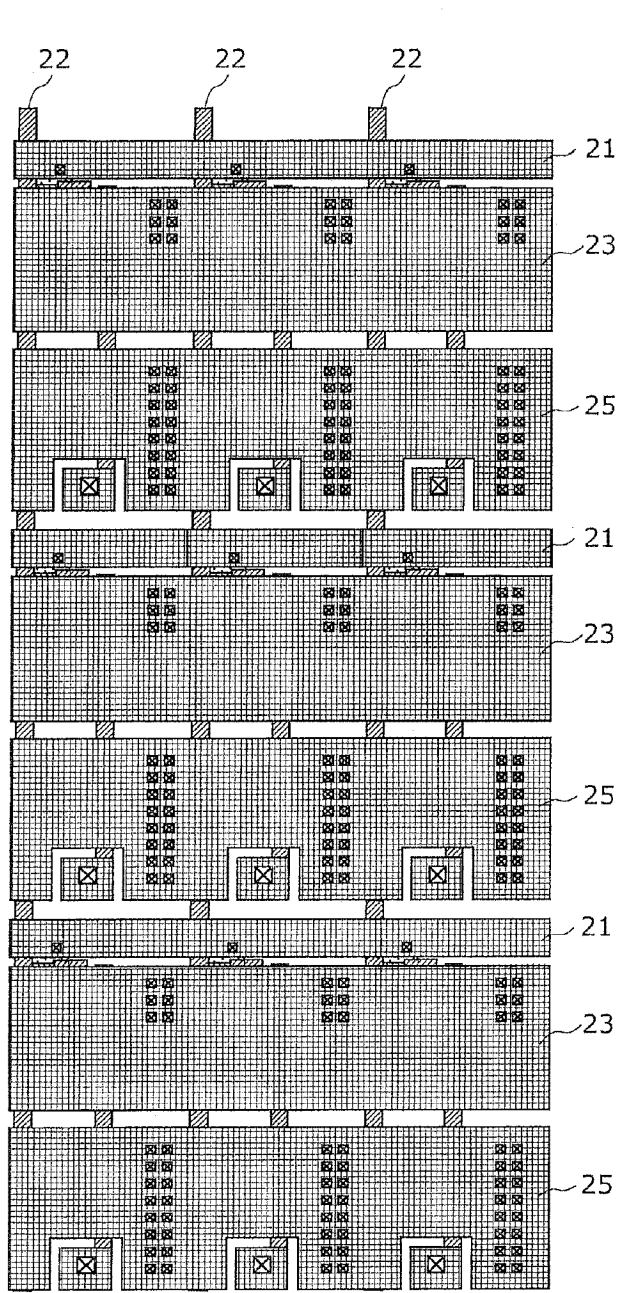


图 6

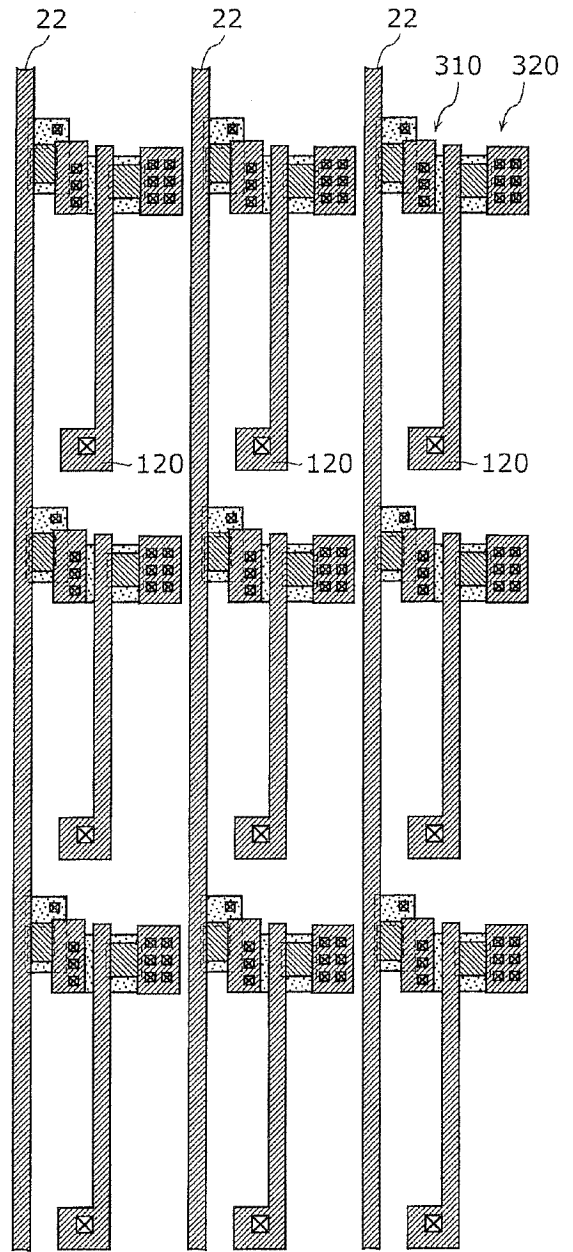


图 7

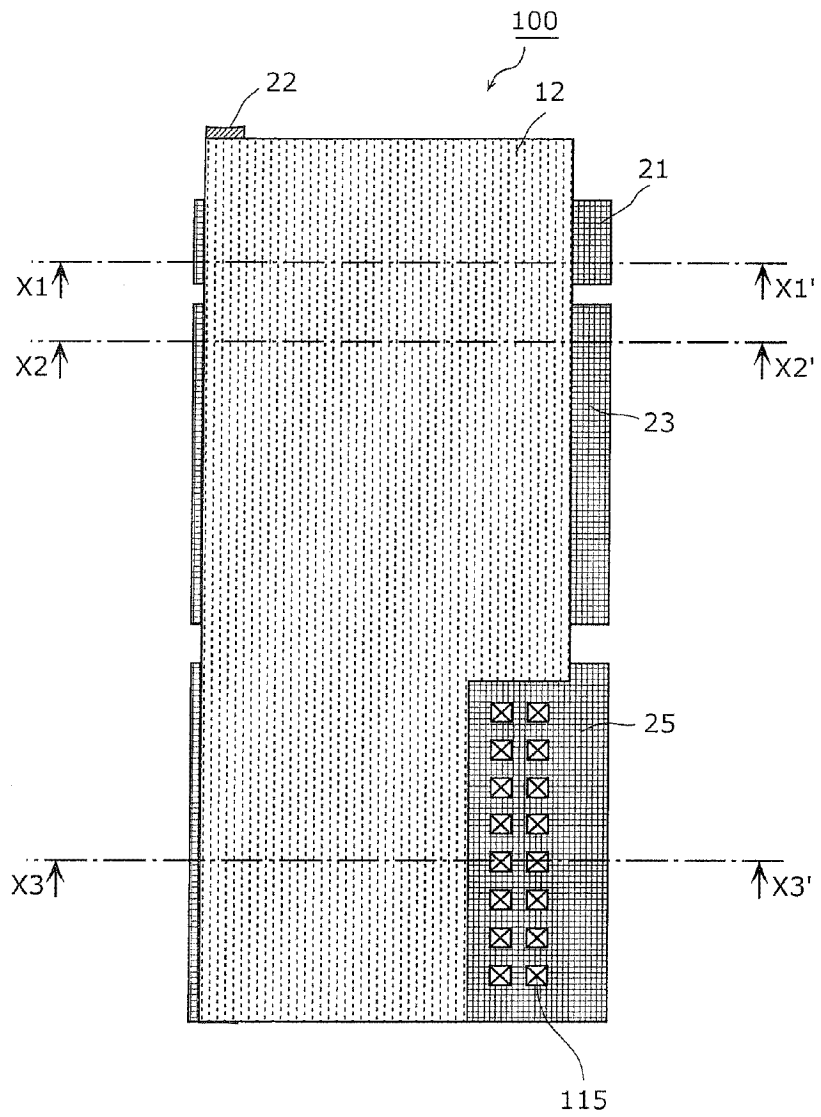


图 8

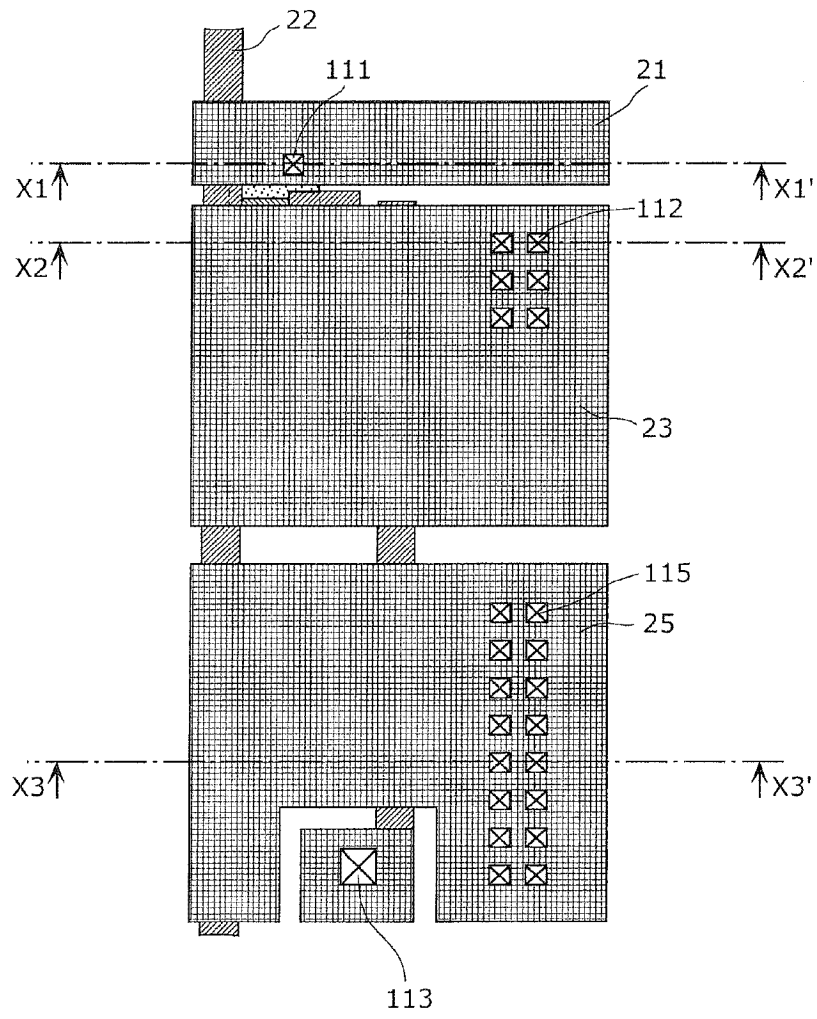


图 9

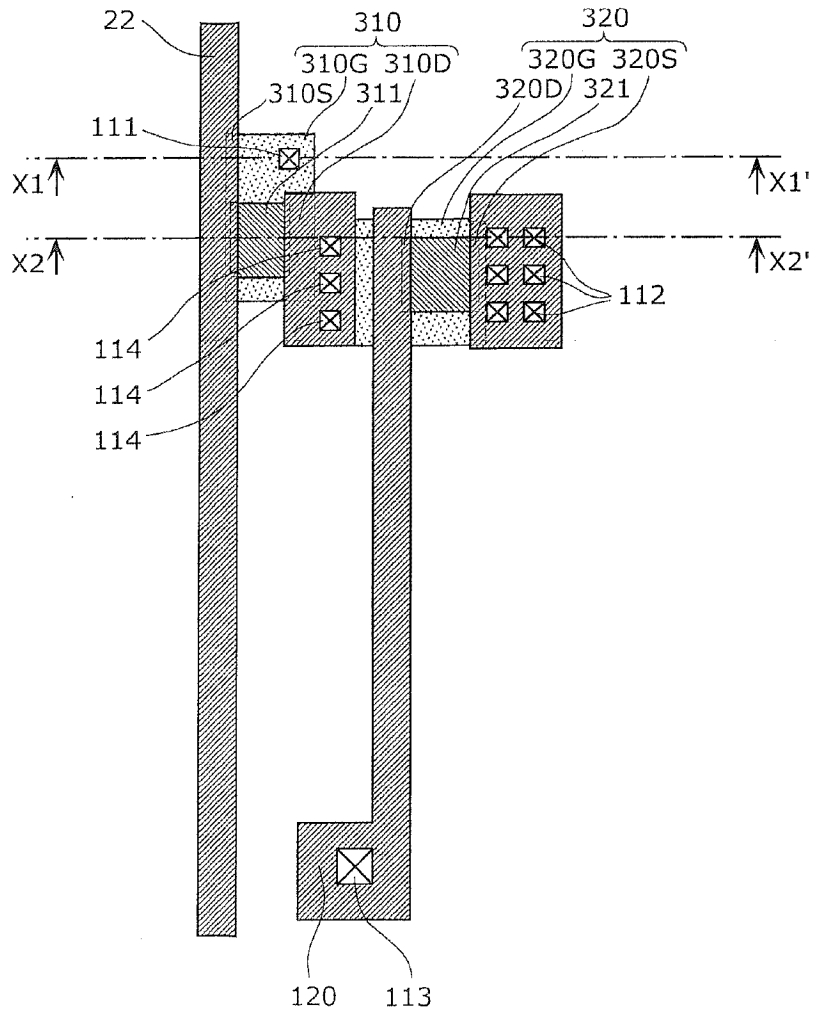


图 10

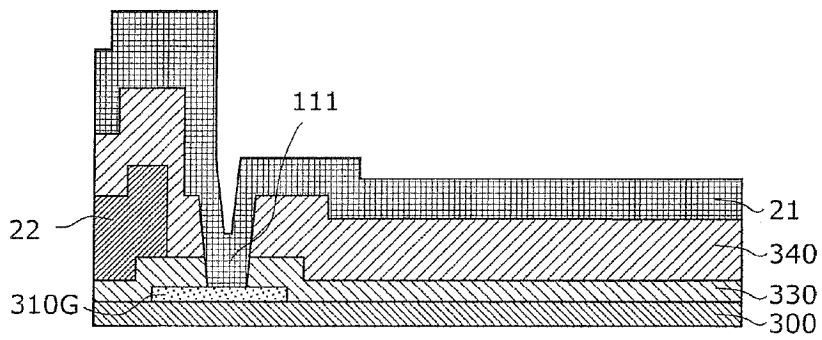


图 11

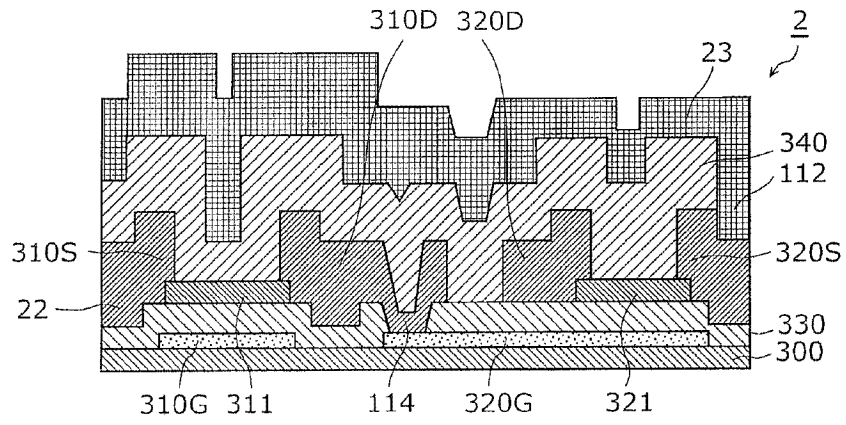


图 12

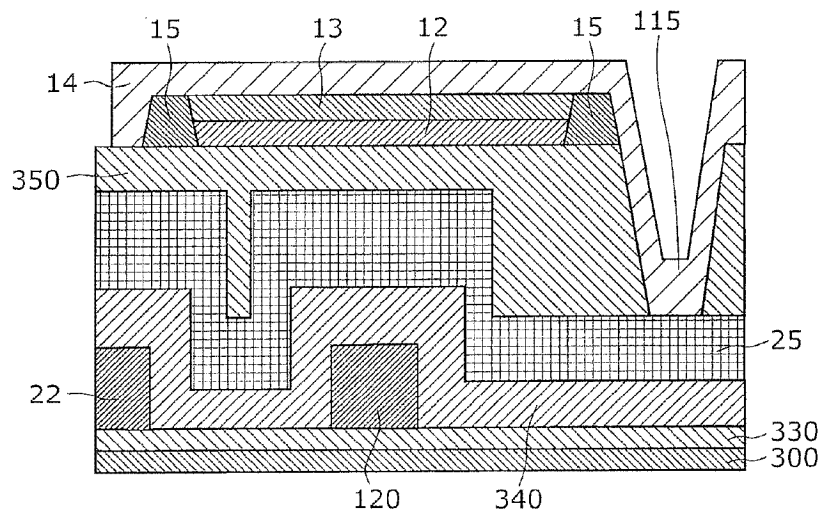


图 13

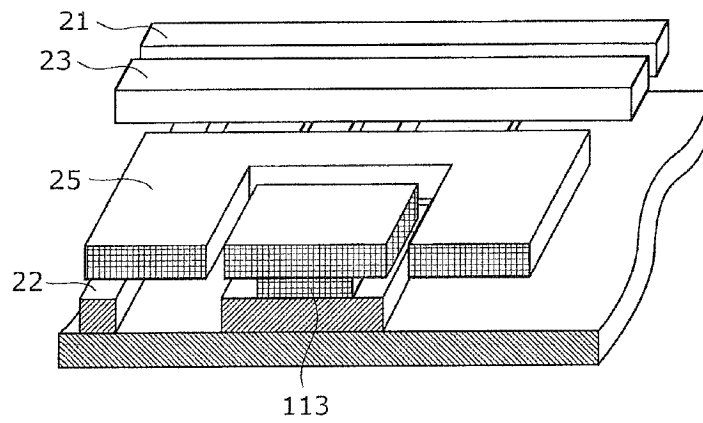


图 14

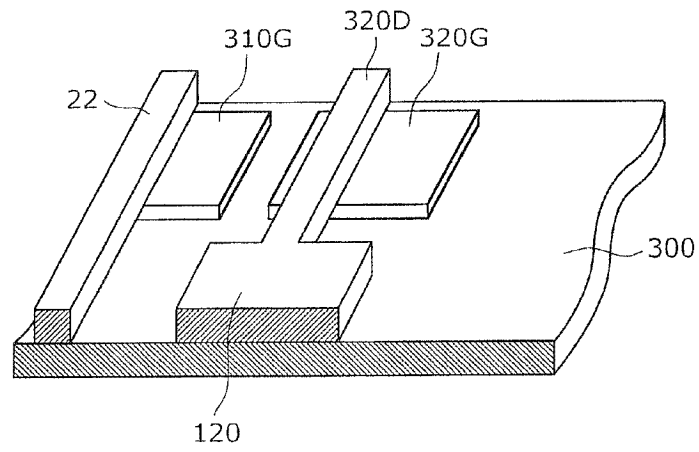


图 15



图 16A

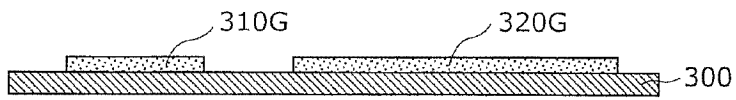


图 16B

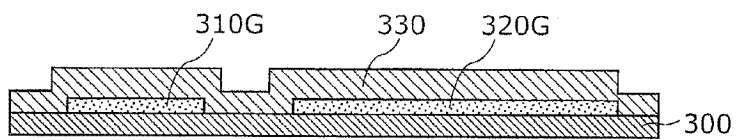


图 16C

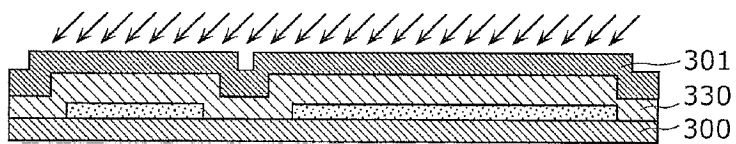


图 16D

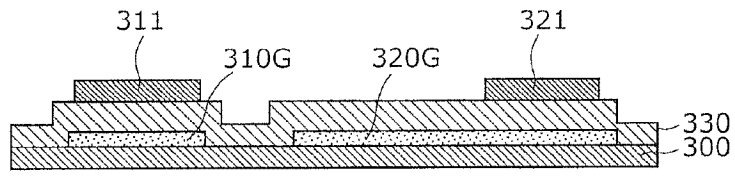


图 16E

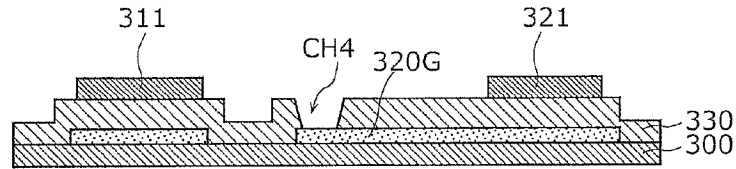


图 16F

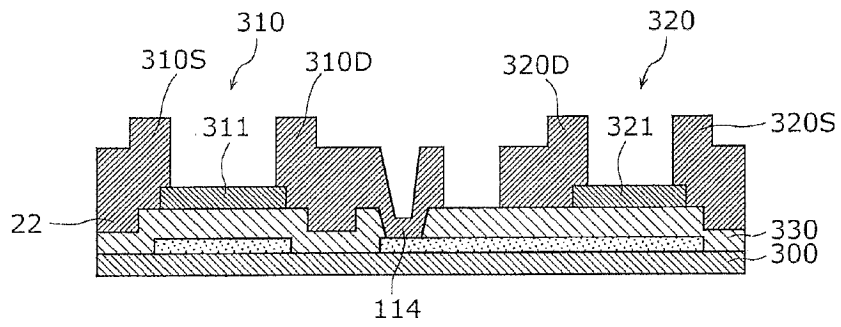


图 16G

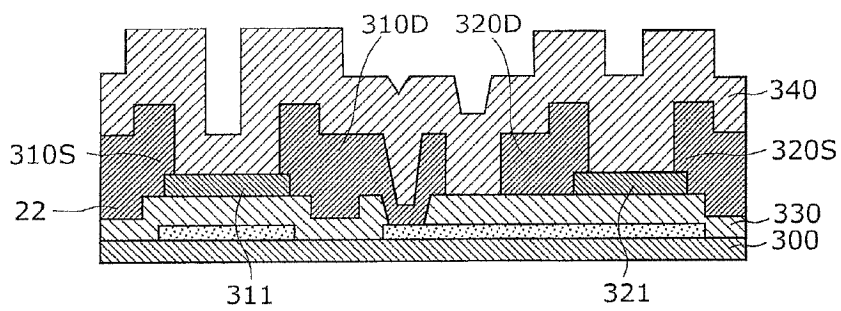


图 16H

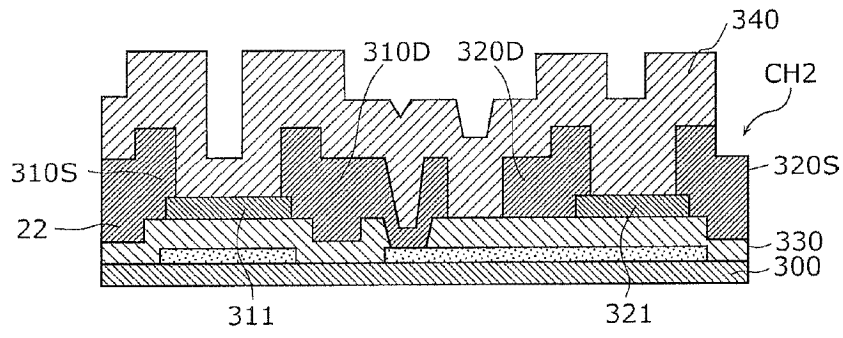


图 16I

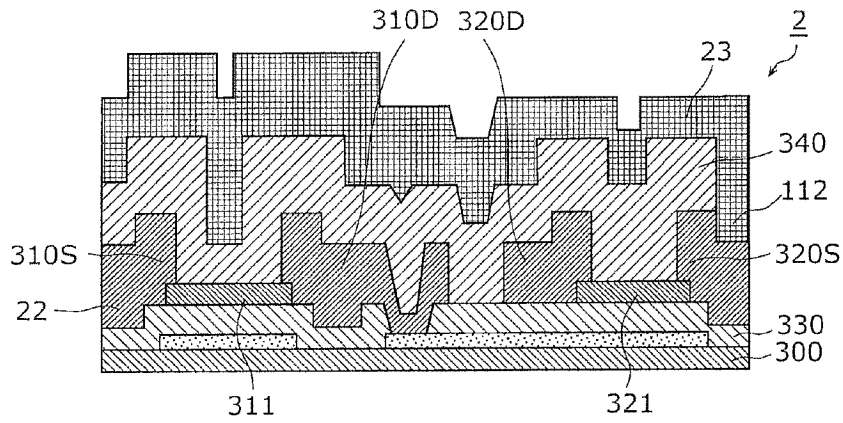


图 16J

P 沟道 TFT

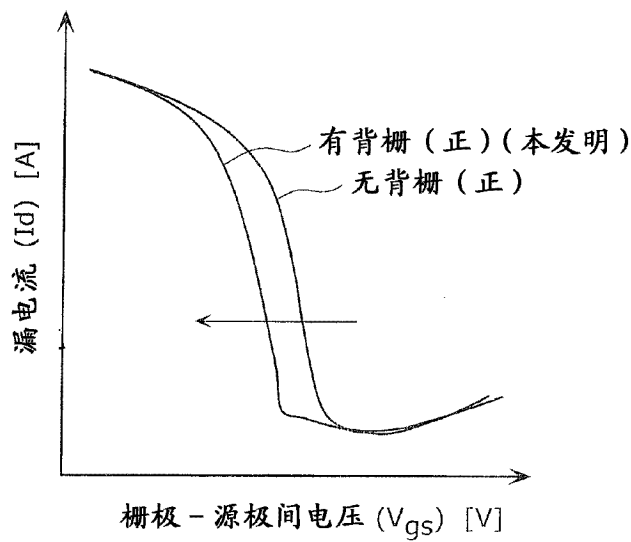


图 17

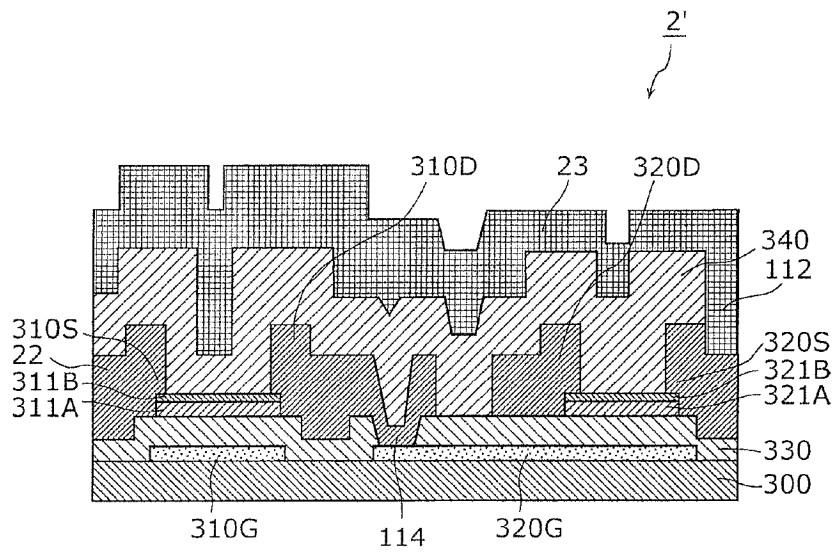


图 18

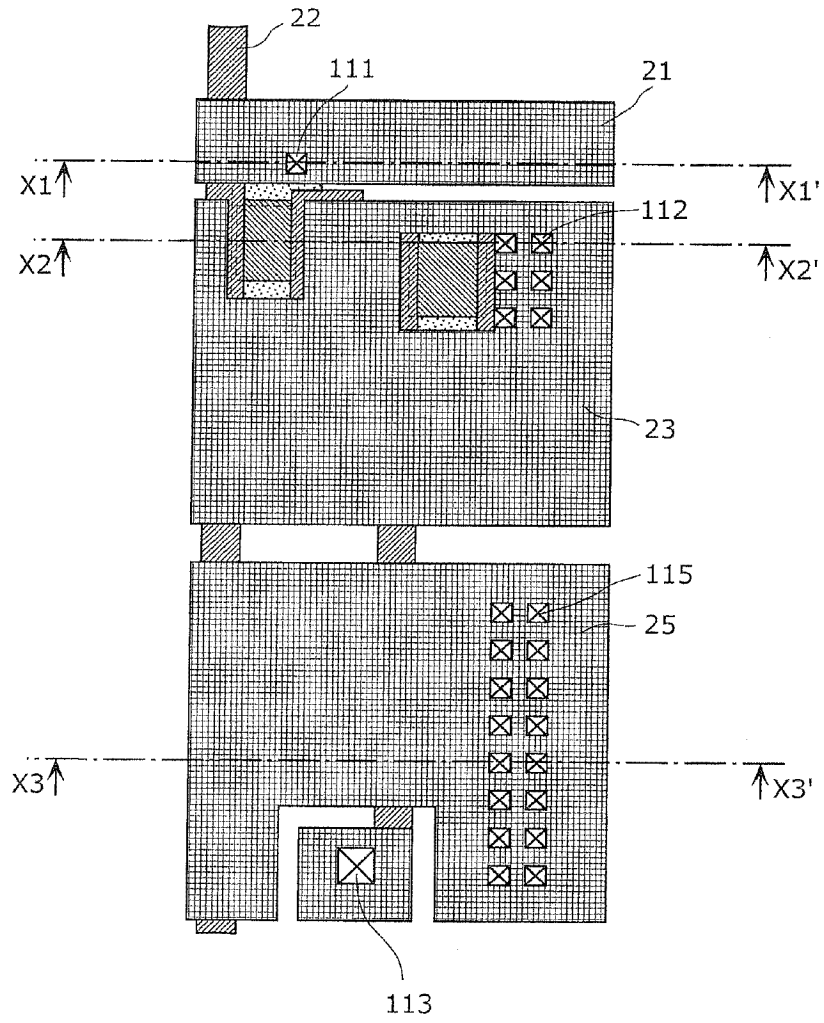


图 19

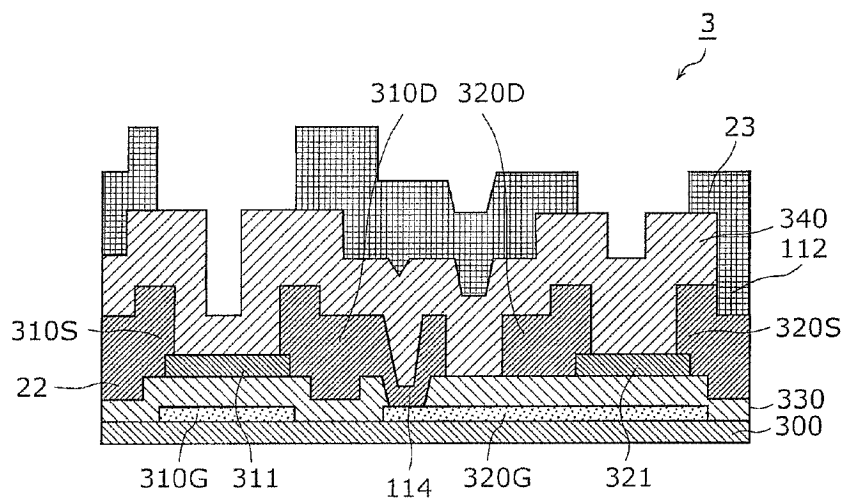


图 20

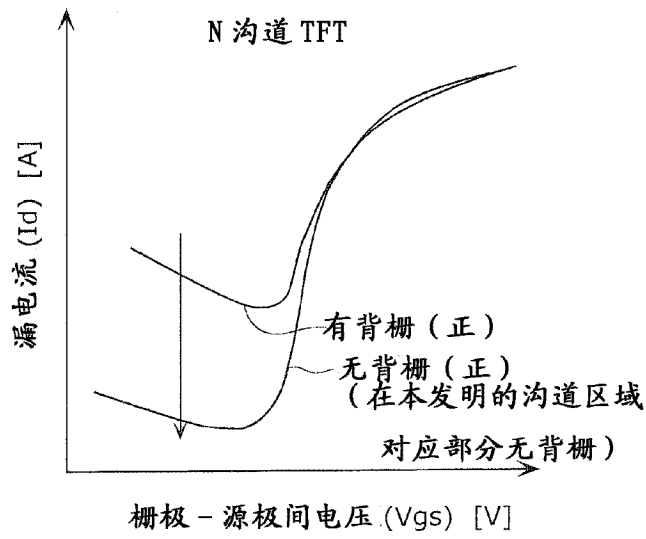


图 21

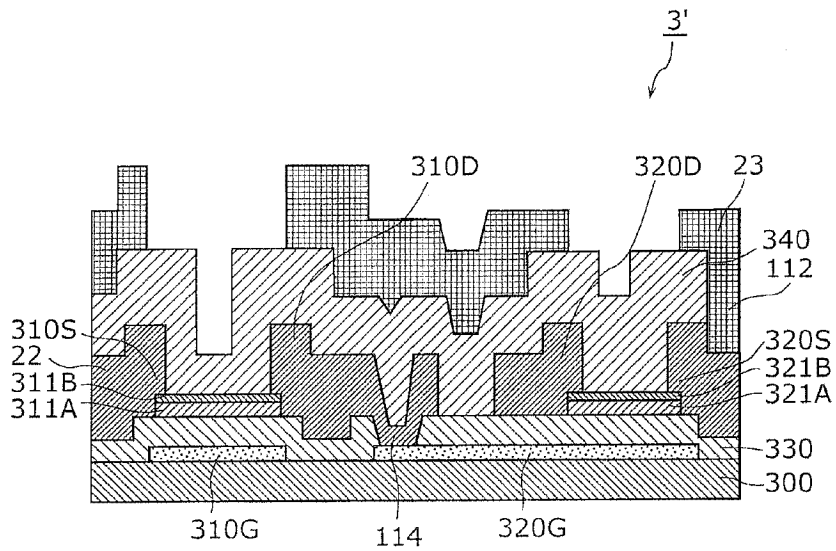


图 22

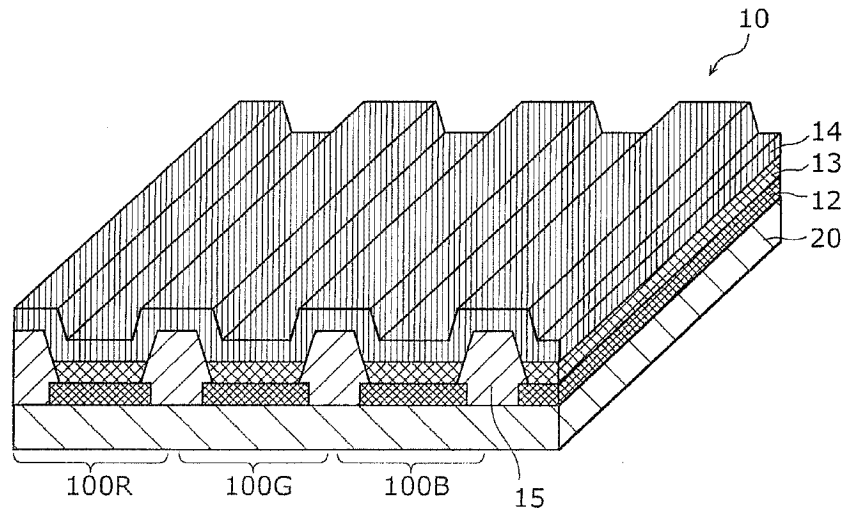


图 23A

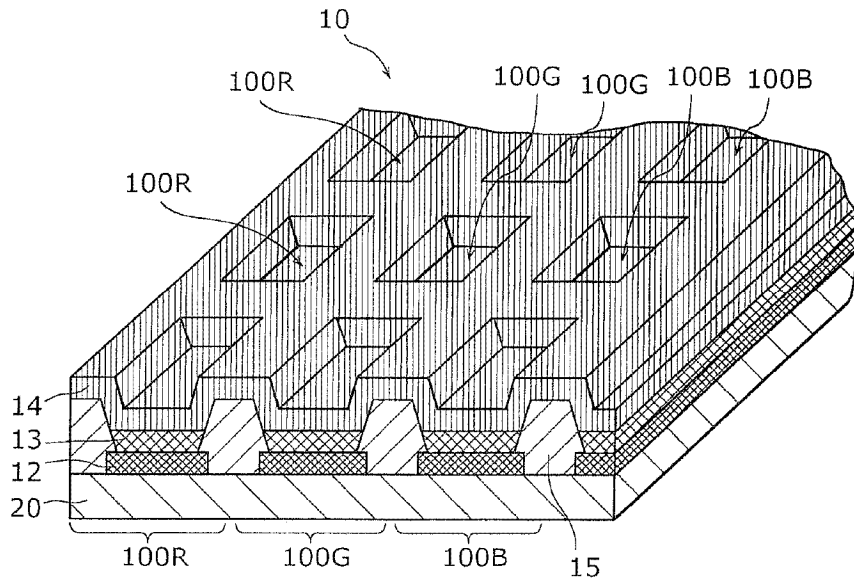


图 23B

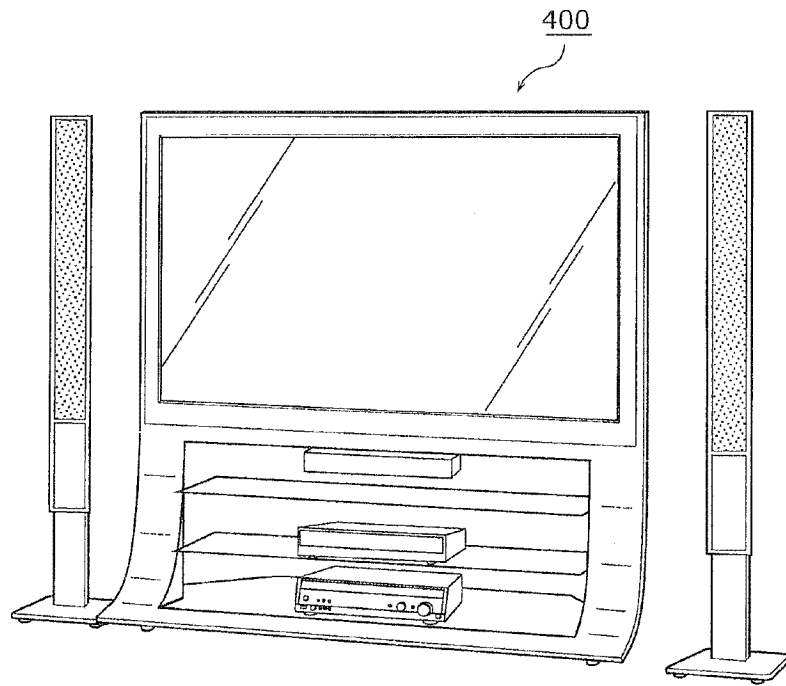


图 24

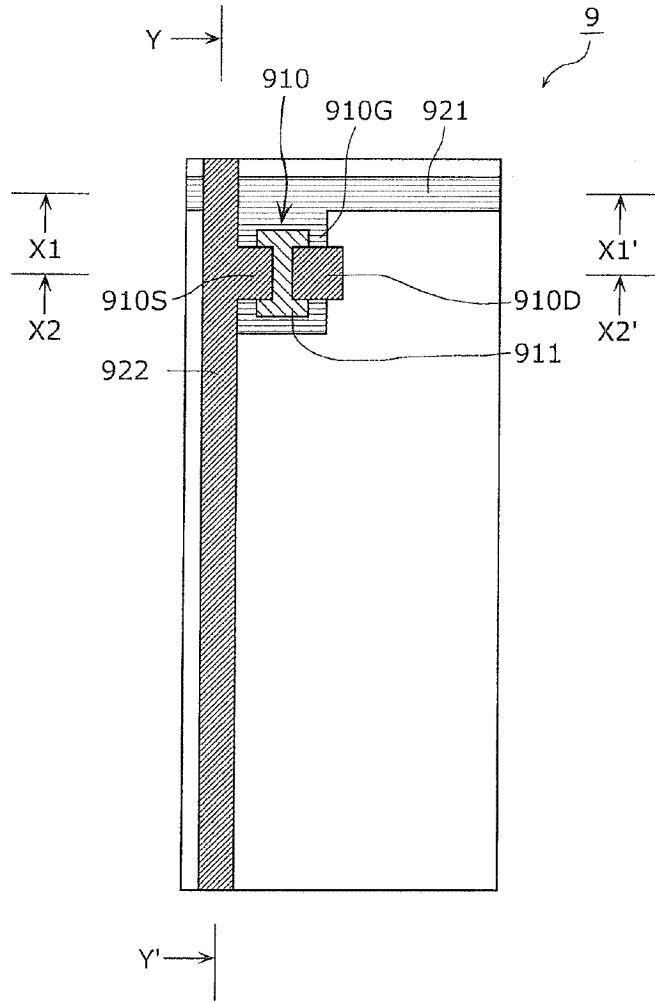


图 25

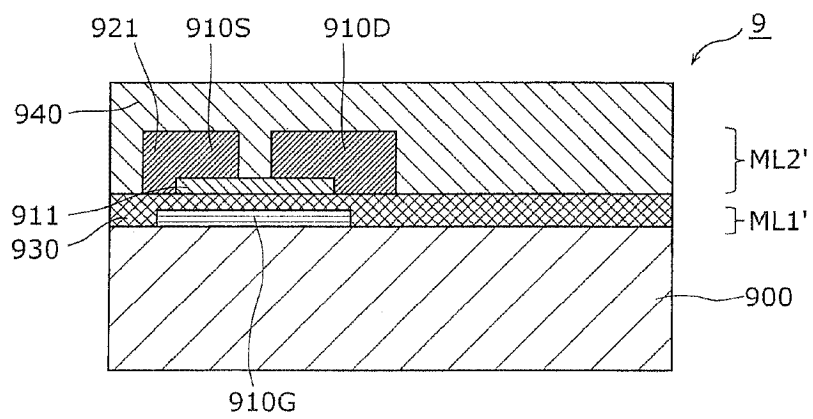


图 26A

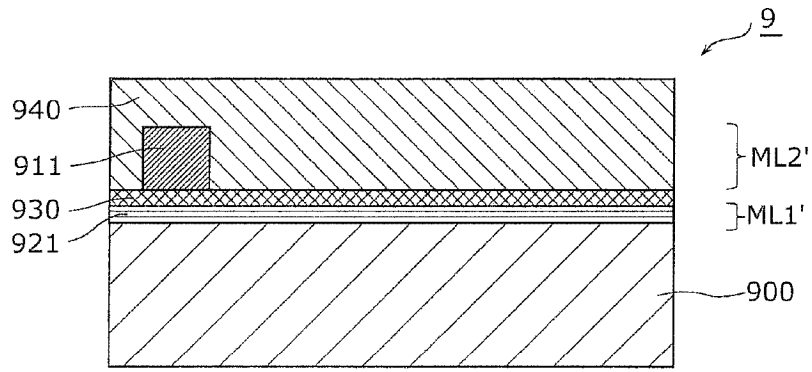


图 26B

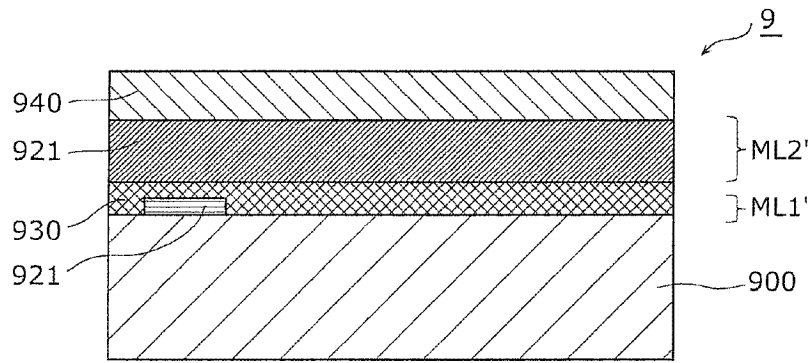


图 26C

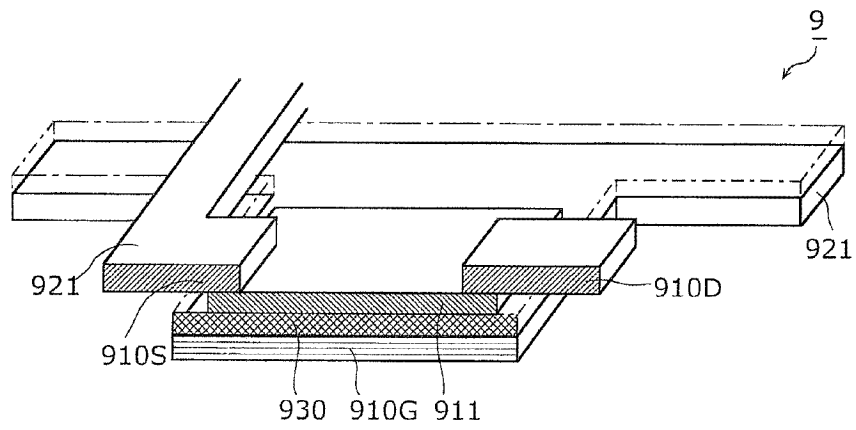


图 27

专利名称(译)	EL显示面板、EL显示装置以及EL显示面板的制造方法		
公开(公告)号	CN102576722B	公开(公告)日	2015-05-27
申请号	CN201080003406.5	申请日	2010-09-29
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社日本有机雷特显示器		
[标]发明人	钟之江有宣		
发明人	钟之江有宣		
IPC分类号	H01L27/32 H01L29/786 H01L21/77		
CPC分类号	H01L27/3276		
代理人(译)	段承恩 杨光军		
其他公开文献	CN102576722A		
外部链接	Espacenet SIPO		

摘要(译)

EL显示面板具有EL部和薄膜半导体部，EL部包括阳极电极、阴极电极和发光层，薄膜半导体部具有基板、栅电极、栅极绝缘膜、半导体层、第1电极、第2电极、层间绝缘膜、在层间绝缘膜上配置的栅极布线(21)、在层间绝缘膜上与栅极布线(21)同层且与栅极布线(21)并行地配置电源布线(23)、在层间绝缘膜上与栅极布线(21)和电源布线(23)同层且与栅极布线(21)和电源布线(23)并行地配置的辅助布线(25)。

