



(12) 发明专利

(10) 授权公告号 CN 101262007 B

(45) 授权公告日 2015. 07. 22

(21) 申请号 200810091988. 1

(22) 申请日 2000. 06. 23

(30) 优先权数据

1999-176521 1999. 06. 23 JP

(62) 分案原申请数据

00124152. 4 2000. 06. 23

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 小山润

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 王小衡

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 27/15(2006. 01)

H01L 23/522(2006. 01)

G09G 3/30(2006. 01)

G09G 3/32(2006. 01)

(56) 对比文件

US 5095248 A, 1992. 03. 10, 说明书第3栏45行至第6栏26行、附图1-4.

CN 1216135 A, 1999. 05. 05, 说明书第2页第1段、附图1, 4.

审查员 杨燕

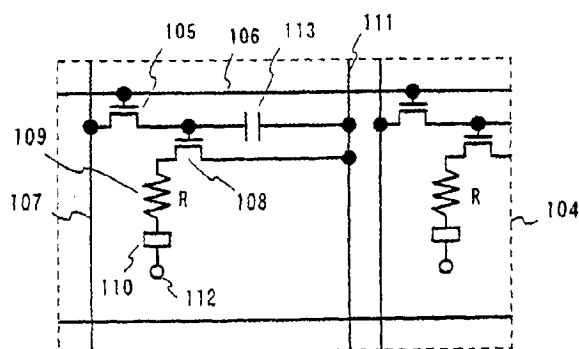
权利要求书2页 说明书23页 附图17页

(54) 发明名称

电致发光显示器件及电子装置

(57) 摘要

本发明涉及一种能够产生清晰的多灰度彩色显示的EL显示器件及具有此EL显示器的电子装置。输入到EL元件110中的电流由设置在形成于像素104内的电流控制TFT108和EL元件110之间的电阻109进行控制,电阻109的电阻值高于电流控制TFT108的通态电阻值。由按时间控制EL元件110发光及不发光的时分驱动系统来进行灰度显示,以避免由电流控制TFT108特性偏移而导致的后果。



1. 一种显示器,包括:

像素单元、设置在所述像素单元周围的数据信号侧驱动电路和栅极信号侧驱动电路,其中所述像素单元由衬底上形成的 TFT 构成,

其中所述像素单元中的像素包括电流控制 TFT 和在所述电流控制 TFT 和 EL 元件之间串联连接的电阻,

其中所述电阻包括第一半导体层,

其中所述电阻具有大于所述电流控制 TFT 的导通电阻值的电阻值,

其中所述电流控制 TFT 包括第二半导体层,

其中所述第一半导体层和所述第二半导体层均为多晶硅形成的同一有源层的部分,并且

其中所述 EL 元件通过所述电阻电连接到所述电流控制 TFT 的源极和漏极其中之一。

2. 根据权利要求 1 的显示器,其中所述 TFT 是顶部栅极晶体管。

3. 一种显示器,包括:

像素单元、设置在所述像素单元周围的数据信号侧驱动电路和栅极信号侧驱动电路,其中所述像素单元由衬底上形成的 TFT 构成,

其中所述像素单元中的像素包括开关 TFT 和电流控制 TFT 以及在所述电流控制 TFT 和 EL 元件之间串联连接的电阻,

其中所述电阻包括第一半导体层,

其中所述电流控制 TFT 的栅极连接至所述开关 TFT 的漏极,以及

其中所述电阻具有大于所述电流控制 TFT 的导通电阻值的电阻值,

其中所述电流控制 TFT 包括第二半导体层,

其中所述第一半导体层和所述第二半导体层均为多晶硅形成的同一有源层的部分,并且

其中所述 EL 元件通过所述电阻电连接到所述电流控制 TFT 的源极和漏极其中之一。

4. 一种显示器,包括:

像素单元、在所述像素单元周围设置的数据信号侧驱动电路和栅极信号侧驱动电路,其中所述像素单元由衬底上形成的 TFT 构成,

其中所述像素单元中的像素包括开关 TFT 和电流控制 TFT 以及在所述电流控制 TFT 和 EL 元件之间串联连接的电阻,

其中所述电阻包括第一半导体层,

其中所述电流控制 TFT 的栅极连接至所述开关 TFT 的漏极,以及所述开关 TFT 的源极电连接至数据线,并且电流控制 TFT 的源极连接至电流馈线,

其中所述电阻具有大于所述电流控制 TFT 的导通电阻值的电阻值,

其中所述电流控制 TFT 包括第二半导体层,

其中所述第一半导体层和所述第二半导体层均为多晶硅形成的同一有源层的部分,并且

其中所述 EL 元件通过所述电阻电连接到所述电流控制 TFT 的源极和漏极其中之一。

5. 根据权利要求 1,3 或 4 的显示器,其中所述第一半导体层包括杂质元素。

6. 根据权利要求 1,3 或 4 的显示器,还包括提供在所述半导体层上的光屏蔽膜。

7. 根据权利要求 3 或 4 的显示器, 其中所述电流控制 TFT 的沟道宽度大于所述开关 TFT 的沟道宽度。

8. 根据权利要求 1, 3 或 4 的显示器, 其中所述电阻具有 $1\text{K}\Omega$ 到 $50\text{M}\Omega$ 的电阻值。

9. 根据权利要求 1, 3 或 4 的显示器, 其中所述 EL 元件是有机 EL 元件。

电致发光显示器件及电子装置

[0001] 本申请是申请号为 00124152.4、申请日为 2000 年 6 月 23 日、发明名称为“电致发光显示器件及电子装置”的申请的分案申请。

技术领域

[0002] 本发明涉及通过在衬底上制作半导体元件（利用半导体薄膜形成的元件）而获得的电致发光（EL）显示器件以及以此 EL 显示器件作为显示单元的电子装置。

背景技术

[0003] 近年来在衬底上形成 TFT 的技术取得了很大的进步，并且已开发出有源矩阵型显示器件。特别地，利用多晶硅膜的 TFT 具有高于传统利用非晶硅膜的 TFT 的电场迁移率（也称之为迁移率），能够实现高速运行。这使得可以用与像素形成于同一衬底上的驱动电路来对像素进行以前由衬底之外的驱动电路进行的控制。

[0004] 有源矩阵型显示器件引人注意的原因归于能够在同一衬底上制作出各种电路和元件而带来的优点如生产成本降低、显示器件尺寸缩小、产量提高以及批量降低。

[0005] 此前的有源矩阵型 EL 显示器件采用的是具有图 3 中所示结构的像素。在图 3 中，参考标号 301 表示用作开关元件的 TFT（在下文当中称作开关 TFT），302 表示用作控制流入 EL 元件 303 中电流的元件（电流控制元件）的 TFT（下文当中称作为电流控制 TFT），304 表示电容器（保持电容）。开关 TFT301 连接到栅极线 305 和源极线（数据线）306 上。电流控制 TFT302 的漏极连接到 EL 元件 303 上，其源极连接到电流馈线 307 上。

[0006] 当选择栅极线 305 时，开关 TFT301 的栅极导通，源极线 306 上的数据信号存储在电容器 304 中，电流控制 TFT302 的栅极导通。开关 TFT301 的栅极截止之后，由于电容器 304 中聚集有电荷，故电流控制 TFT302 的栅极仍保持导通，在此期间，EL 元件 303 发光。EL 元件 303 的发光量随流动的电流而改变。

[0007] 在此，如图 4 中所示，流入 EL 元件 303 的电流由电流控制 TFT302 的栅极电压控制。

[0008] 图 4(A) 的图形所示的是电流控制 TFT 的晶体管特性，其中曲线 401 代表 I_d - V_g 特性（或 I_d - V_g 曲线）， I_d 代表漏极电流， V_g 代表栅极电压。由此图可知相对于任何栅极电压流动的电流。

[0009] 通常，EL 元件利用虚线 402 所包围区域上的 I_d - V_g 特性来进行驱动。图 4(B) 所示的 402 所包围区域的放大图。

[0010] 在图 4(B) 中，阴影区被称作亚阈值区。实际上，此区域具有接近或低于阈值电压（ V_{th} ）的栅极电压，且漏极电流随栅极电压的变化呈指数变化。在此区域中，根据栅极电压来控制电流。

[0011] 当开关 TFT301 导通时，输入到像素中的数据信号首先存储在电容器 304 中，并直接用作电流控制 TFT302 的栅极电压。在此，根据图 4(A) 中所示的 I_d - V_g 特性，在比值为 1 : 1 时，确定出用于栅极电压的漏极电流。即流过 EL 元件 303 的预定电流取决于数据信

号, EL 元件 303 的发光量与电流量相对应。

[0012] 因此, 可利用数据信号来控制 EL 元件的发光量, 通过控制发出的光线量来得到灰度显示。此系统是所谓的模拟灰度系统, 即依据信号幅值的变化来得到灰度显示。

[0013] 但模拟灰度系统有一个缺陷, 即这种模拟灰度系统中 TFT 易发生色散。例如, 下面所述的情形是开关 TFT 的灰度与相邻像素开关 TFT 的灰度相同、而其 I_d - V_g 特性不同于相邻像素开关 TFT 的 I_d - V_g 特性 (通常向正向或负向偏移)。

[0014] 在此情形下, 流入开关 TFT 的漏极电流随着色散度的不同而变化, 不同的栅极电压施加到像素的电流控制 TFT 上。不同的电流流入到 EL 元件, 结果发光量不同, 不再是相同的灰度显示。

[0015] 进一步地, 即使施加到像素电流控制 TFT 上的是相同的栅极电压, 而如果电流控制 TFT 的 I_d - V_g 特性中存在色散的话, 也无法产生相同的漏极电流。由图 4(A) 可明显看到, 虽然施加了相同的电压, 但由于利用的是漏极电流相对于栅极电压呈指数变化的区域, 即使 I_d - V_g 特性稍有不同, 电流量也会发生很大的变化。相邻像素中 EL 元件发出的光线量也会发生很大变化。

[0016] 实际上, 由于开关 TFT 和电流控制 TFT 的复合色散作用, 此问题变得更为严重。因此, 模拟灰度系统在 TFT 特性中易发生色散, 阻碍了多色有源矩阵 EL 显示器件的发展。

发明内容

[0017] 鉴于上述问题来实现本发明, 本发明提供一种能够产生清晰的多灰度彩色显示的有源矩阵型 EL 显示器件。该发明进一步提供一种以此有源矩阵型 EL 显示器件作为显示单元的高性能电子装置。

[0018] 本申请人发现这样一个事实, 即模拟灰度系统的问题是由控制流入 EL 元件的电流的电流控制 TFT 特性中存在的色散和电流控制 TFT 导通电阻中存在的漂移引起的。在此, 导通电阻是用流过的漏极电流去除漏极电压而得到的数值。

[0019] 也就是说, 在电流控制 TFT 当中导通电阻不断改变, 因此即使在相同的条件下也流过不同的电流 (漏极电流), 很难获得所需灰度。

[0020] 根据本发明, 电阻 (R) 串接在电流控制 TFT 的漏极和 EL 元件之间以控制自电流控制 TFT 流入 EL 元件的电流量。为此, 有必要设置一电阻值远大于电流控制 TFT 导通电阻值的电阻。电阻值可在 $1k\Omega$ 到 $50M\Omega$ (优选地在 $10k\Omega$ 到 $10M\Omega$, 更优选地在 $50k\Omega$ 到 $1M\Omega$) 这一范围内选择。

[0021] 在实现本发明时, 流入 EL 元件的电流量由电阻 (R) 的电阻值确定, 流入的电流总是恒定的。即本发明不用已有技术所进行的通过控制电流值来产生灰度显示的模拟灰度系统。本发明利用的是以电流控制 TFT 作为电流流入开关元件的时分系统灰度显示 (在下文当中称作时分灰度)。

[0022] 具体地说, 时分灰度显示是通过下述方式完成的。在此所描述的是基于 8- 位数字驱动系统的 256 灰度 (16770000 色彩) 的全色显示情形。

[0023] 首先, 将一个像帧分为 8 个子帧。在此, 将数据输入到显示区域所有像素中的时间称作一帧。在普通的 EL 显示器中, 振荡频率为 60Hz, 即一秒内形成 60 帧。当每秒帧数小于此值时, 图象闪烁现象变得很明显。更进一步地, 从一帧当中分成的多个帧称作为子帧。

[0024] 每一子帧可分为寻址时间 (Ta) 和保持时间 (Ts)。寻址时间代表在一个子帧期间将数据输入到所有像素中所需的时间,保持时间 (或接通时间) 代表 EL 元件发光的时间 (图 10)。

[0025] 在此,用 SF1 表示第一子帧,用 SF2 到 SF8 表示第二子帧到第八子帧。从 SF1 到 SF8,寻址时间 (Ta) 保持恒定不变。SF1 到 SF8 的保持时间 (Ts) 用 Ts1 到 Ts8 来表示。

[0026] 此时,将保持时间设置成 $Ts1 : Ts2 : Ts3 : Ts4 : Ts5 : Ts6 : Ts7 : Ts8 = 1 : 1/2 : 1/4 : 1/8 : 1/16 : 1/32 : 1/64 : 1/128$ 。在此,SF1 到 SF8 可以是任何顺序。根据保持时间的组合能够得到 256 种灰度中任一所需灰度显示。

[0027] 首先,无电压 (未选择) 施加到像素 EL 元件的相对电极 (未连接到 TFT 上的一侧,通常是阴极) 上,在 EL 元件不发光的情况下,数据信号输入到所有像素中。这段时间是寻址时间。当数据输入到所有像素中、结束寻址时间时,电压施加到相对电极 (被选) 上,同时使 EL 元件发光。这段时间为保持时间。发光时间 (像素接通) 是时间 Ts1 到 Ts8 中任一时间。在此,假定预定像素在时间 Ts8 内接通。

[0028] 数据信号输入到所有像素当中以后,时间开始进入寻址时间,再进入保持时间。在这种情形下,Ts1 到 Ts7 中任一时间都可以是保持时间。在此,预定像素在时间 Ts7 内接通。

[0029] 之后,在余下的 6 个子帧中重复进行同样的操作,接连地将保持时间设置成 Ts6, Ts5, …… , Ts1,并在相应的子帧中接通预定像素。

[0030] 当 8 个子帧都已出现时,意味着一帧结束。在这种情形下,通过把保持时间加起来来控制像素的灰度。例如当选择 Ts1 和 Ts2 时,可从 100% 的总光线中得到 75% 的亮度。当选择 Ts3、Ts5 和 Ts8 时,能够得到 16% 的亮度。

[0031] 以上所述的是 256 种灰度的情形。也可以实现其他任何灰度显示。

[0032] 为了实现 n (n 是不小于 2 的整数) 位灰度显示 (2^n),首先将一帧分为 n 个子帧 (SF1, SF2, SF3, …… SF ($n-1$), SF (n)) 以与 n 位灰度相对应。当灰度增大时,帧必须被分为更大的数目,且必须在更高的频率下对驱动电路进行驱动。

[0033] 这 n 个子帧又被分为寻址时间 (Ta) 和保持时间 (Ts)。即寻址时间和保持时间由是否将电压施加到所有 EL 元件所共用的相对电极上来进行选择。

[0034] n 位子帧的保持时间 (与 SF1, SF2, SF3, …… SF ($n-1$), SF (n) 相对应的保持时间) 被设置成为 $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : 2^{-3} \dots : 2^{-(n-2)} : 2^{-(n-1)}$ 。

[0035] 在此状态下,在任一子帧中接连地选择像素 (严格地说,选择像素的开关 TFT),将预定的栅极电压 (与数据信号相对应) 施加到电流控制 TFT 的栅极上。此时,接收到使电流控制 TFT 导电这一数据信号的像素 EL 元件在寻址时间结束后指定的子帧保持时间内发光。即预定像素接通。

[0036] 通过将保持时间相加起来对所有 n 个子帧重复此操作以控制像素灰度。因而,如果关注某一像素,则依据像素由子帧接通的时间的长短 (取决于所用保持时间的多少) 来对像素灰度进行控制。

[0037] 如上所述,本发明的特征在于通过利用有源矩阵型 EL 显示器件及在电流控制 TFT 的漏极和 EL 元件之间设置使流过 EL 元件的电流总是恒定不变的电阻 (R) 来进行时分灰度显示。这种结构能够避免由 TFT 特性中存在色散而导致的灰度缺陷。

附图说明

[0038] 下面将根据以下附图对本发明的优选实施例进行详细说明,其中:

- [0039] 图 1(A) 和 1(B) 所示的是 EL 显示器的组成;
- [0040] 图 2 以剖面图的形式给出了 EL 显示器的结构;
- [0041] 图 3 所示的是传统 EL 显示器中像素区的组成;
- [0042] 图 4(A) 和 4(B) 所示的是模拟灰度系统所用的 TFT 特性;
- [0043] 图 5(A) 到 5(E) 所示的是制作 EL 显示器的步骤;
- [0044] 图 6(A) 到 6(D) 所示的是制作 EL 显示器的步骤;
- [0045] 图 7(A) 到 7(D) 所示的是制作 EL 显示器的步骤;
- [0046] 图 8(A) 到 8(C) 所示的是制作 EL 显示器的步骤;
- [0047] 图 9 所示的是经过放大的 EL 显示器像素区;
- [0048] 图 10 所示的是时分灰度系统的操作方式;
- [0049] 图 11 所示的是 EL 模件的形状;
- [0050] 图 12(A) 和 12(B) 所示的是 EL 模件的形状;
- [0051] 图 13(A) 到 13(C) 所示的是制作一接触结构的步骤;
- [0052] 图 14 所示的是 EL 显示器像素区的组成;
- [0053] 图 15 以剖面图的形式给出了 EL 显示器的结构;
- [0054] 图 16 所示的是 EL 显示器像素区上表面的结构;
- [0055] 图 17 所示的是 EL 显示器像素区上表面的结构;
- [0056] 图 18(A) 到 18(E) 所示的是电子装置的具体实例;
- [0057] 图 19(A) 和 19(B) 所示的是多晶硅膜的电子射线衍射图象;
- [0058] 图 20 所示的是 EL 显示器的构成电路;
- [0059] 图 21 所示的是 EL 显示器的构成电路;
- [0060] 图 22 所示的是 EL 显示器的构成电路;
- [0061] 图 23(A) 和 23(B) 所示的是 EL 元件的电学特性。

具体实施方式

[0062] 图 1(A) 所示的是本发明有源矩阵型显示器的组成电路。图 1(A) 的有源矩阵型 EL 显示器包括由形成于衬底上的 TFT 构成的像素单元 101、设置在像素单元周围的数据信号侧驱动电路 102 和栅极信号侧驱动电路 103。在此,数据信号侧驱动电路或栅极信号侧驱动电路可带有置于其间的像素单元成对形成。

[0063] 数据信号侧驱动电路 102 基本上包括移位寄存器 102a、锁存器 (A) 102b 和锁存器 (B) 102c。移位寄存器 102a 接收时钟脉冲 (CK) 和启动脉冲 (SP),锁存器 (A) 102b 接收数字数据信号,锁存器 (B) 102c 接收锁存信号。

[0064] 在本发明中,输入到像素单元中的数据信号为数字信号。由于本发明不象液晶显示器一样,不取决于电压灰度显示,所以具有数据“0”或“1”的数字数据信号可直接输入到像素单元中。

[0065] 在像素单元 101 中设置有多个矩阵形式的像素 104。图 1(B) 所示的是经过放大的

像素 104。在图 1(B) 中,参考标号 105 表示连接到接收栅极信号的栅极线 106 及接收数据信号的数据线(也称作是源极线)107 上的开关 TFT。

[0066] 参考标号 108 表示其栅极连接到开关 TFT105 漏极上的电流控制 TFT。电流控制 TFT108 的漏极经电阻 109 连接到 EL 元件 110 上,其源极连接到电流馈线 111 上。EL 元件 110 包括连接到电流控制 TFT108 上的阳极(像素电极)和与其间夹有 EL 层的阳极相对的阴极(相对电极),阴极连接到预定电源 112 上。

[0067] 电阻 109 可以是电阻值远大于电流控制 TFT108 导通电阻值的电阻,对于其结构没有限制。最好利用具有高电阻值的半导体层,因为它易于形成。

[0068] 进一步地,设置电容器 113,用于在开关 TFT105 未被选择(截止)时保持电流控制 TFT108 的栅极电压。电容器 113 连接到开关 TFT105 的漏极和电流馈线 111 上。

[0069] 输入到像素单元中的数字数据信号由时分灰度数据信号生成电路 114 形成。该电路将为模拟信号或数字信号的视频信号(包括图形数据的信号)转换成实现时分灰度的数字数据,并进一步产生用于时分灰度显示的时间脉冲。

[0070] 一般地,时分灰度数据信号生成电路 114 包括根据 n 位(n 是不小于 2 的整数)灰度将一帧分为 n 个子帧的装置,在 n 个子帧中选择寻址时间和保持时间的装置,以及将保持时间设置成 $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ 的装置。

[0071] 时分灰度数据信号生成电路 114 可设置在所发明的 EL 显示器的外侧。此时,所形成的数字数据信号输入到本发明的 EL 显示器中。因此,以此发明的 EL 显示器作为显示单元的电子装置,包括作为单独部件的本发明的 EL 显示器和时分灰度数据信号生成电路。

[0072] 进一步地,时分灰度数据信号生成电路 114 也可以 IC 芯片的形式安装在本发明的 EL 显示器上。此时,由 IC 芯片形成的数字数据信号输入到本发明的 EL 显示器中。在此,以本发明 EL 显示器作为显示单元的电子装置包括作为一个部件的、其上安装有包括时分灰度数据信号生成电路的 IC 芯片的本发明 EL 显示器。

[0073] 最后,更进一步地,时分灰度数据信号生成电路 114 可由 TET 与像素单元 104、数据信号侧驱动电路 102 和栅极信号侧驱动电路 103 形成于同一衬底上。在此,如果输入到 EL 显示器中的是包括图形数据在内的视频信号,便可在衬底上处理一切。此时,更进一步地,以本发明 EL 显示器作为显示单元的电子装置具有包含在 EL 显示器之内的时分灰度数据生成电路,因此可以降低电子装置的尺寸。

[0074] 图 2 的剖面图示意性地给出了本发明有源矩阵型 EL 显示器的结构。

[0075] 在图 2 中,参考标号 11 表示衬底,12 表示用作为底层(下文当中称作为底层膜)的绝缘膜。至于衬底 11,可以用透光衬底,典型地有玻璃衬底,石英衬底,玻璃陶瓷衬底或晶化玻璃衬底,该衬底必须能够经受生产过程期间的高温。

[0076] 用石英衬底时可以不设置底层膜 12,尽管它对于含有移动离子的衬底或具有导电性能的衬底来说都是很有有效的。底层膜 12 可以是含硅的绝缘膜。在此说明书中,“含硅绝缘膜”具体代表氧化硅膜、氮化硅膜或是相对于硅含有预定比例的氧或氮的氮氧化硅膜(SiO_xNy : x 和 y 为整数)等绝缘膜。

[0077] 参考标号 201 表示开关 TFT,202 表示电流控制 TFT。它们都是 n -沟道 TFT。 n -沟道 TFT 的场效应迁移率大于 p -沟道 TFT 的场效应迁移率,因此,运行快可流过大电流。当

流过相同的电流量时, n- 沟道 TFT 可以制作成较小的尺寸。因此将用 n- 沟道 TFT 作为电流控制 TFT, 以便能够增大图象显示单元的有效发光面积。

[0078] 在本发明中, 不必将开关 TFT 和电流控制 TFT 都限制为 n- 沟道 TFT 上, 这二者或其中之一也都可以是 p- 沟道 TFT。

[0079] 开关 TFT201 包括源极区 13, 漏极区 14, LDD 区 15a 到 15d, 包括隔离区 16 和沟道形成区 17a 和 17b 的有源层, 栅绝缘膜 18, 栅极 19a, 19b, 第一层间绝缘膜 20, 源极线 21 和漏极线 22。栅绝缘膜 18 或第一层间绝缘膜 20 对衬底上所有的 TFT 都可以是公用的, 也可以根据电路或元件的不同而改变。

[0080] 在图 2 所示的开关 TFT201 中, 栅极 19a 和 19b 电连接在一起形成所谓的双栅极结构。但并不仅限于双栅极结构, 也可采用所谓的多栅极结构如三栅极结构等 (包括具有串联连接的两个或多个沟道形成区的有源层的结构)。

[0081] 多栅极结构对于减少截止电流非常有效。如果开关 TFT 的截止电流能够减少到足够低的程度, 则图 1 (B) 中所示的电容器 112 的电容量可相应减少。即能够减少电容器 112 所占面积。因而, 采用多栅极结构能够有效地增大 EL 元件 109 的有效发光面积。

[0082] 更进一步地, 在开关 TFT201 中, 将 LDD 区 15a 到 15d 设置成不是通过栅绝缘膜 18 覆盖在栅极 19a 和 19b 上的形式。这种结构能够有效地减少截止电流。进而, LDD 区 15a 到 15d 的长度 (宽度) 可以在 0.5 到 3.5 μm 之间, 一般地在 2.0 到 2.5 μm 之间。

[0083] 从减少截止电流的观点出发, 希望在沟道形成区和 LDD 区之间形成一个补偿区 (由与沟道形成区相同成分的半导体层形成的区域、但无栅极电压施加于其上)。在具有两个或多个栅极的多栅极结构时, 形成于沟道形成区之间的隔离区 16 (加入有与源极区或漏极区相同浓度相同杂质的区域) 能够有效地减少截止电流。

[0084] 电流控制 TFT202 包括源极区 26, 漏极区 27, 包括 LDD 区 28 和沟道形成区 29 的有源层, 栅绝缘膜 18, 栅极 30, 第一层间绝缘膜 20, 源极线 31 和漏极线 32。在图 2 所示情形中, 电阻 33 和连接区 34 设置在漏极区 27 和漏极线 32 之间。

[0085] 电阻 33 与图 1 (B) 中的电阻 109 相对应, 连接区 34 是用于将电阻 33 电连接到漏极线 32 上的高杂质浓度区 (与漏极区 27 同成分的杂质区)。在此, 电流控制 TFT202 的有源层延伸至将此 TFT 电连接到电阻 33 上。电连接决不仅限于此种结构。

[0086] 55 所表示的薄膜是在形成电阻 33 时用作掺杂掩膜的膜 (下文当中称作为掩膜), 在此与栅极 30 同时形成。在图 2 中, 掩膜 55 是由与栅极 30 相同的材料制成的导电膜, 并且是电绝缘的。

[0087] 在图 2 的结构中, 电阻 33 由与 LDD 区 28 同成分的杂质区形成。电阻值由电阻长度和其横截面面积决定。它可以由不带任何杂质的本征半导体层形成, 但电阻值控制有难度。因此最好通过加入杂质来控制电阻值。

[0088] 当如上所述用半导体层形成电阻 33 时, 如果 EL 元件发出的光线照射到电阻上时, 电阻值发生变化。如图 2 中所示, 从避免电阻值发生变化这一点出发, 形成具有光屏蔽性的掩膜并用其作为光线屏蔽膜是很有意义的。

[0089] 如图 1 (B) 中所示, 开关 TFT 的漏极进一步连接到电流控制 TFT 的栅极上。具体地说, 电流控制 TFT202 的栅极 30 通过漏极线 (也称作连接线) 22 电连接到开关 TFT201 的漏极区 14 上。栅极 30 具有单栅极结构, 但也可以是多 - 栅极结构。更进一步地图 1 (B) 中的

源极线 31 连接到电流馈线 110 上。

[0090] 电流控制 TFT202 是用于控制流入 EL 元件内电流量的元件,其中可以流过相对来说比较大的电流。因而,其沟道宽度(W)最好宽于开关 TFT 的沟道宽度。进而最好将沟道设计成具有加长的长度(L)以使得不会有过电流流入电流控制 TFT202。每一像素中流过的最理想电流应在 0.5 到 $2\mu\text{A}$ 之间(优选地在 1 到 $1.5\mu\text{A}$ 之间)。

[0091] 接下来,参见图 9,如果开关 TFT 的沟道长度用 $L1$ ($L1 = L1a + L1b$) 表示,其沟道宽度用 $W1$ 表示,电流控制 TFT 的沟道长度用 $L2$ 表示,其宽度用 $W2$ 表示,则 $W1$ 最好在 0.1 到 $5\mu\text{m}$ 之间(典型地在 1 到 $3\mu\text{m}$ 之间), $W2$ 最好在 0.5 到 $30\mu\text{m}$ 之间(典型地在 2 到 $10\mu\text{m}$ 之间)。更进一步地, $L1$ 最好在 0.2 到 $18\mu\text{m}$ 之间(典型地在 2 到 $15\mu\text{m}$ 之间), $L2$ 最好在 0.1 到 $50\mu\text{m}$ 之间(典型地在 1 到 $20\mu\text{m}$ 之间)。但本发明决不仅限于以上数值。在图 9 中, $L3$ 表示电阻长度, $W3$ 表示电阻宽度。

[0092] 更进一步地,图 2 中所示的 EL 显示器还具有一个特征,即 LDD 区 28 设置在电流控制 TFT202 的漏极区 27 和沟道形成区 29 之间,此外, LDD 区 28 包括经栅绝缘膜 18 覆盖在栅极 30 上的区域和未覆盖在栅极 30 上的区域。

[0093] 电流控制 TFT202 允许流过相对大的、能够使 EL 元件 203 发光的电流,最好具有能够防止由于热载流子注入而损坏的措施。要显示黑色,可使电流控制 TFT202 截止。此时如果流过较大的截止电流,则由于对比度下降而无法显示钝黑色。因而有必要抑制截止电流。

[0094] 众所周知, LDD 区覆盖在栅极上这种结构对解决由热载流子注入而引起的品质下降问题非常有效。而如果整个 LDD 区都被覆盖,则截止电流将增大。因此除上述结构以外,本申请人采用一种新颖的结构来同时解决热载流子和截止电流的问题,在所述的新颖结构中未覆盖在栅极上的 LDD 区是连续设置的。

[0095] 在此情形下,覆盖在栅极上的 LDD 区的长度在 0.1 到 $3\mu\text{m}$ 之间(优选地在 0.3 到 $1.5\mu\text{m}$ 之间)。当 LDD 区太长时,寄生电容量增大,当 LDD 区太短时,防止热载流子注入的效果又受到削弱。未覆盖栅极的 LDD 区的长度在 1.0 到 $3.5\mu\text{m}$ 之间(优选地在 1.5 到 $2.0\mu\text{m}$ 之间)。当此 LDD 区太长时,电流不充足,当此 LDD 区太短时,减少截止电流的效果又会受到削弱。

[0096] 更进一步地,在上述结构中,在栅极和 LDD 区相互叠加的区域中形成寄生电容。因此最好不在源极区 26 和沟道形成区 29 之间形成 LDD 区。在电流控制 TFT 中,载流子(此时为电子)总是沿相同的方向流动,仅在漏极区一侧上设置 LDD 区便足够了。

[0097] 更进一步地,从电流以大电流量流动这一观点来看,建议增大电流控制 TFT202 有源层(特别是沟道形成区)的厚度(优选地在 50 到 100nm 之间,更优选地在 60 到 80nm 之间)。另一方面,对于开关 TFT201 来说,从减少截止电流这一点出发,建议减少有源层(尤其是沟道形成区)的厚度(优选地在 20 到 50nm 之间,更优选地在 25 到 40nm 之间)。

[0098] 以上所述的是像素中 TFT 的结构。在此情形下,同时形成驱动电路。图 2 所示的是用于形成驱动电路的基本单元——CMOS 电路。

[0099] 在图 2 中,将注入热载流子量减少、同时运行速度尽可能不降低这种结构的 TFT 用作 CMOS 电路的 n- 沟道 TFT204。此处的驱动电路代表图 1 中所示的数据信号驱动电路 102 和栅极信号驱动电路 103。当然也可形成其他的逻辑电路(电平移位器, A/D 转换器, 信号区分电路等)。

[0100] n-沟道 TFT204 的有源层包括源极区 35,漏极区 36, LDD 区 37 和沟道形成区 38, LDD 区 37 通过栅绝缘 18 覆盖在栅极 39 上。

[0101] 为了使运行速度不下降,只在漏极区一侧上形成 LDD 区。在此 n-沟道 TFT204 中,不必过多地关注截止电流,应更关注运行速度。因此最好是使 LDD 区 37 完全覆盖在栅极上以尽可能地减少电阻。换句话说,最好不用所谓的补偿。

[0102] CMOS 电路中的 p-沟道 TFT205 不会由于热载流子注入而损坏,不必特别设置 LDD 区。因此,有源层包括源极区 40,漏极区 41,沟道形成区 42,栅绝缘膜 18 和形成于其上的栅极 43。当然可以象在 n-沟道 TFT204 中一样设置 LDD 区来处理热载流子问题。

[0103] 当用 p-沟道 TFT 作电流控制 TFT202 时,可以用与 p-沟道 TFT205 相同结构的 p-沟道 TFT。

[0104] 更进一步地, n-沟道 TFT204 和 p-沟道 TFT205 由第一层间绝缘膜 20 所覆盖,并形成源极线 44 和 45。它们通过漏极线 46 电连接在一起。

[0105] 接下来,参考标号 47 表示厚度在 10nm 到 1 μ m (优选地在 200 到 500nm 之间) 之间的第一钝化膜。材料可以是含硅的绝缘膜(特别是氮氧化硅膜或氮化硅膜)。钝化膜 47 用于使所形成的 TFT 避免碱金属或水。最后形成于 TFT 上的 EL 层含有碱金属如钠等。也就是说,第一钝化膜 47 用作为防止碱金属(移动离子)渗透到 TFT 侧的保护膜。

[0106] 更进一步地,参考标号 48 表示第二层间绝缘膜,它用作为平整 TFT 所形成台阶的平整膜。至于此第二层间绝缘膜 48,优选地可以用聚酰亚胺、聚酰胺、丙烯酸或 BCB(苯环丁烷)等有机树脂膜。这些有机树脂膜能够形成令人满意的低介电常数平面。由于 EL 层易于固化,最好使 TFT 台阶几乎完全被第二层间绝缘膜平整。从降低栅极线或数据线与 EL 元件阴极间寄生电容这一观点来看,最好形成比较厚的低介电常数材料。优选地,膜厚度在 0.5 到 5 μ m (优选地在 1.5 到 2.5 μ m 之间) 之间。

[0107] 参考标号 49 表示由透明导电膜形成的像素电极(EL 元件的阳极),通过形成于第二层间绝缘膜 48 和第一钝化膜 47 中的接触孔(开口)连接到电流控制 TFT202 的漏极 32 上。如图 2 中所示,由于像素电极 49 不是直接连接到漏极区 27 上,所以可以防止 EL 层中的碱金属通过像素电极渗透到有源层中。

[0108] 在像素电极 49 上形成第三层间绝缘膜 50,它可以是厚度在 0.3 到 1 μ m 之间的氧化硅膜、氮氧化硅膜或有机树脂膜。在像素电极 49 上的第三层间绝缘膜 50 中通过蚀刻形成一个开口,开口的边缘部分蚀刻成锥形。锥角在 10 到 60° 之间(优选地在 30 到 50° 之间)。

[0109] EL 层 51 设置在第三层间绝缘膜 50 上。EL 层 51 可以是单层结构或层叠结构。当是层叠结构时能够得到高发光效率。通常,在上述像素电极上顺序形成空穴注入层、空穴输运层、发光层和电子输运层。但还可以是空穴输运层/发光层/电子输运层这种结构或空穴注入层/空穴输运层/发光层/电子输运层/电子注入层这种结构。在此实施例,可以用任何公知结构,或者也可以在 EL 层中掺入彩色荧光物质。

[0110] 至于有机 EL 材料,例如可以用在下述 U.S. 专利和日本专利中公开的有机材料,即 U.S. 专利 4356429, 4539507, 4720432, 4769292, 4885211, 4950950, 5059861, 5047687, 5073446, 5059862, 5061617, 5151629, 5294869, 5294870 号和日本专利公开 189525/1998, 241048/1996, 和 78159/1996 号中公开的有机材料。

[0111] EL 显示器所采用的彩色显示系统可粗略地划分为四种系统,即形成与 R(红色)、G(绿色)和 B(蓝色)相对应的三类 EL 元件的系统;发白光的 EL 元件与滤色片(有色层)相结合的系统;发蓝或蓝绿色光的 EL 元件与荧光物质(荧光彩色变换层:CCM)相结合的系统;以及用透明电极作阴极(相对电极)、与 RGB 相对应的 EL 元件覆盖于其上的系统。

[0112] 图 2 中所示结构用的是形成与 RGB 相对应的三类 EL 元件的这种系统。尽管图 2 只给出了一个像素,但也可形成与红、绿和蓝色相对应的相同结构像素,从而制成彩色显示器。

[0113] 不管是哪种发光系统,本发明都可实施,上述四种系统本发明都可采用。但与 EL 相比荧光材料响应速度慢,存在余光问题。因此最好不用荧光材料。更进一步地,最好不用能使发光亮度降低的滤色片。

[0114] EL 元件的阴极 52 设置在 EL 层 51 上。至于阴极 52,可以用含镁(Mg)、锂(Li)或钙(Ca)的、小逸出功的材料。最好用银化镁电极(其中镁和银按 $Mg : Ag = 10 : 1$ 比例混合而成的材料)。进一步地还可以用 MgAgAl 电极、LiAl 电极或 LiFAI 电极。

[0115] 形成 EL 层 51 之后,最好在还未暴露到外部大气当中的情形下连续形成阴极 52。这是因为阴极 52 和 EL 层 51 之间的界面态能够大大地影响 EL 元件的发光效率。在此说明书中,由像素电极(阳极)、EL 层和阴极形成的发光元件称作为 EL 元件。

[0116] 对于每一像素而言,必须单独地形成 EL 层 51 和阴极 52 的层叠结构。由于 EL 层 51 的防水性很差,无法依据通常的光刻技术来形成。因此 EL 层 51 最好利用物理掩膜材料如金属膜等、可选地由真空淀积法、溅射法或气相法如等离子体 CVD 来形成。

[0117] EL 层可由喷墨法、丝网印刷法或旋涂法形成。目前,这些方法当中还没有能够连续地形成阴极的方法。因此可认为上述方法比较好。

[0118] 参考标号 53 表示能够防止阴极 52 受外部水分侵蚀的保护电极,连接到像素的阴极 52 上。至于保护电极 53,最好用含铝(Al)、铜(Cu)、或(Ag)的低电阻材料。保护电极 53 也具有能够降低 EL 层中所产生热量的热辐射作用。如果在 EL 层 51 和阴极 52 形成之后、在未暴露到外部大气当中的情形下连续地形成保护电极 53,则会更加有效。

[0119] 参考标号 54 表示厚度在 10nm 到 $1\mu m$ (优选地在 200 到 500nm 之间)之间的第二钝化膜 54。设置第二钝化膜 54 主要是为了保护 EL 层 51 不受水分的侵蚀而仍能有效地发挥其热辐射作用。如上所述,EL 层的抗热性较差,因此应在尽可能低的温度(优选地在从室温直到 $120^{\circ}C$ 的温度范围内)下形成。因此,比较好的膜形成方法是等离子体 CVD 方法、溅射方法、真空发射法、离子注入法或溶液涂覆法(旋涂法)。

[0120] 例 1

[0121] 下面将参考图 5 到 8 对本发明的一个实例进行描述。在此所述的是同时制作像素单元和设置在其周围的驱动电路中的 TFT 的方法。在此,为了简化说明,关于驱动电路,图形表示的是作为基本单元的 CMOS 电路。

[0122] 首先参见图 5(A),制作出具有形成于其表面上的底层膜(未示出)的衬底 501。在此实例中,厚度为 100nm 的氮氧化硅膜和厚度为 200nm 的氮氧化硅膜在晶化玻璃上层压成底层膜。在此,与晶化玻璃衬底相接触侧膜的氮浓度最好占总重量的 10%到 25%。当然也允许在石英衬底上不形成底层膜而直接形成元件。

[0123] 接着,利用公知的膜形成方法在衬底 501 上形成厚度为 45nm 的非晶硅膜 502。在

此,膜决不仅限于非晶硅膜,也可以是具有非晶体结构的半导体膜(包括微晶半导体膜在内)。更进一步地,允许形成具有非晶结构的化合物半导体膜,例如非晶硅锗膜。

[0124] 从此步骤直到图 5(C) 所示步骤,刚好可引用本申请人申请的日本专利公开 247735/1998 号的内容。该公开文本公开了利用元素如镍等作为催化剂使半导体膜结晶方法的相关技术。

[0125] 首先,形成具有开口 503a、503b 的保护膜 504。在此实例中,用厚度为 150nm 的氧化硅膜。用旋涂法在保护膜 504 上形成含镍(Ni)层(含镍层)。至于含镍层的形成,可参考上述公开文件。

[0126] 接下来参见图 5(B),在惰性气体中在 570℃下进行 14 小时的热处理使非晶硅膜 502 结晶。此时,自与镍接触的区域(下文称作加镍区域)506a、506b 开始几乎与衬底相平行地来进行结晶,从而形成棒状晶体集中排列的晶体结构-多晶硅膜 507。此时,公知地可以在图 19(A) 所示的电子射线衍射图上观察到与取向 {110} 相对应的衍射点。

[0127] 接下来,如图 5(C) 中所示,以保护膜 504 作为掩膜,向加有镍的区域 506a 和 506b 加入属于族 15 的元素(最好是磷)。如此形成加有高浓度磷的区域 508a 和 508b(下文当中称作为加磷区域)。

[0128] 接着参见图 5(C),在惰性气体环境中、在 600℃下进行 12 小时的热处理。由于进行了该热处理,多晶硅膜 507 中的镍如箭头所示迁移最终几乎全部被加磷区域 508a 和 508b 截集。这被认为是由磷导致的金属元素(此实施例中为镍)吸杂作用现象。

[0129] 进行这一步骤之后,利用 SIMS(二次离子质谱测定法)进行测定、测得多晶硅膜 509 中剩余的镍浓度至少下降至 2×10^{17} 原子/cm³。镍为半导体材料的寿命限制因素。降至这一水平,它不再对 TFT 特性有不利影响。此外,此浓度几乎是由当前的 SIMS 分析进行测量的极限值。实际上,浓度还可以更低些(2×10^{17} 原子/cm³或更低)。

[0130] 由此,得到多晶硅膜 509,它利用催化剂进行结晶,且催化剂的浓度可降至不妨碍 TFT 运行的水平。之后,只能通过构图来利用多晶硅膜 509 形成有源层 510 到 513。有源层 513 部分地包括此后用作为电阻的半导体层。在此,建议用上述多晶硅膜、在随后的构图过程当中形成用于对准掩膜的标记(图 5(D))。

[0131] 下面参见图 5(E),利用等离子体 CVD 方法形成厚度为 50nm 厚的氮氧化硅膜,继之在氧化环境中、在 950℃下进行一个小时的热处理来进行热氧化步骤。氧化环境可以是氧气环境或加有卤素的氧气环境。

[0132] 在此热氧化步骤当中,氧化作用是在有源层和氮氧化硅膜之间的分界面处进行的,厚度大约为 15nm 的多晶硅膜被进行氧化、形成厚度约为 30nm 的氧化硅膜。也就是说,形成包括互相层压在一起的厚度为 30nm 的氧化硅膜和厚度为 50nm 的氮氧化硅膜的厚度为 80nm 的栅绝缘膜 514。更进一步而言,通过热氧化步骤之后有源层 510 到 513 的厚度为 30nm。

[0133] 接着参见图 6(A),形成保护掩膜 515,通过栅绝缘膜 514 加入杂质元素(下文称作为 p- 型杂质元素)以确定为 p- 型。至于 p- 型杂质元素,可以用属于族 13 的具有代表性的元素,典型地有硼或镓。此步骤(称作沟道掺杂步骤)用于控制 TFT 的阈值电压。

[0134] 在此实例中,利用受激等离子体离子掺杂法通过不进行质量分离的乙硼烷(B₂H₆)来加入硼。当然也允许采用质量分离的离子注入法。通过这一步骤,形成含硼浓度在 1×10^{15}

到 1×10^{18} 原子 / cm^3 (典型地在 5×10^{16} 到 5×10^{17} 原子 / cm^3 之间) 之间的杂质区 516 到 518。

[0135] 接下来参见图 6(B), 形成保护掩膜 519a 和 519b, 并通过栅绝缘膜 514 加入杂质元素 (下文当中称作 n- 型杂质元素) 以确定为 n- 型。对于 n- 型杂质元素, 可以用属于族 15 的具有代表性的元素, 典型地有磷或砷。在此实例中, 通过受激等离子体等离子掺杂法在不对磷化氢 (PH_3) 进行质量分离的情况下加入磷的浓度为 1×10^{18} 原子 / cm^3 。当然也允许利用进行质量分离的离子注入法。

[0136] 需要对掺杂剂进行调节使得通过上述步骤形成的杂质区 520 和 521 含有的 n- 型杂质元素浓度在 2×10^{16} 到 5×10^{19} 原子 / cm^3 之间 (典型地在 5×10^{17} 到 5×10^{18} 原子 / cm^3 之间)。

[0137] 接着参见图 6(C), 激活所加入的 n- 型杂质元素和 p- 型杂质元素。尽管激活方法没有限制, 但由于该器件设置有栅绝缘膜 514, 所以最好用电加热炉进行炉内退火。更进一步地, 在图 6(A) 的步骤中, 有源层和栅绝缘膜间的分界处有被成为沟道形成区的区域损坏的可能性。因此最好在尽可能高的温度下进行热处理。

[0138] 此实例用的是具有高热阻的晶化玻璃。因此, 应依靠炉内退火在 800°C 下进行 1 个小时的激活步骤。可以在氧化气体中进行热氧化或在惰性气体中进行热处理。在此, 激活步骤不是必须的步骤。

[0139] 该步骤可将边界区域 (连接区) 与 n- 型杂质区 520、521 的末端区即在 n- 型杂质区 520、521 周围未加入 n- 型杂质元素的区域 (由步骤 6(A) 形成的 p- 型杂质区) 区分清楚。这意味着当制作成 TFT 时, LDD 区和沟道形成区能够形成令人满意的连接区。

[0140] 接下来, 形成厚度在 200 到 400nm 之间的导电膜, 接着形成掩膜 526, 以通过构图技术形成栅极 522 到 525 和电阻。TFT 的沟道长度由栅极 522 到 525 的宽度决定。更进一步地, 电阻的电阻值由掩膜 526 的宽度决定。

[0141] 栅极可由单导电膜形成。但根据需要, 栅极也可由两层或三层的叠层膜形成。栅极材料可用已知的导电膜。具体地说, 可以用含有选自元素组钽 (Ta)、钛 (Ti)、钼 (Mo)、钨 (W)、铬 (Cr) 和硅 (Si) 中元素的膜; 或上述元素的氮化物膜 (典型地有氮化钽膜、氮化钨膜或氮化钛膜); 或上述元素相组合的合金膜 (典型地有钼 - 钨合金或钼 - 钽合金); 或者上述元素的硅化物膜 (典型地有硅化钨膜或硅化钛膜)。当然单层形式或层叠形式的膜都可以用。

[0142] 此实施例中用的是 50nm 厚氮化钨膜 (WN) 和 350nm 厚钨 (W) 膜的叠层膜。该膜可用溅射法形成。加入惰性气体如氙 (Xe) 或氖 (Ne) 作为溅射气体, 则以防止膜由于应力而脱落。

[0143] 此时, 形成栅极 523 和 525, 该栅极通过栅绝缘膜 514 覆盖在 n- 型杂质区 520 和 521 的一部分上。该被覆盖部分随后成为覆盖在栅极上的 LDD 区。栅极 524a 和 524b 看起来相互分离, 但实际上却是电连接在一起的。

[0144] 接下来参见图 7(A), 以栅极 522 到 525 和掩膜 526 作为掩膜加入 n- 型杂质元素 (此实例中为磷)。向如此形成的杂质区 527 到 533 中加入磷, 其浓度为 n- 型杂质区 520 和 521 中磷浓度的 $1/10$ 到 $1/2$ (典型地在 $1/4$ 到 $1/3$ 之间)。具体地说, 磷浓度最好在 1×10^{16} 到 5×10^{18} 原子 / cm^3 之间 (典型地在 3×10^{17} 到 3×10^{18} 原子 / cm^3 之间)。

[0145] 再参见图 7(B), 形成覆盖栅极的保护掩膜 534a 到 534d, 加入 n- 型杂质元素 (此实例中为磷) 形成含有高浓度磷的杂质区 535 到 542。在此情形下, 也可以用磷化氢 (PH_3) 通过离子掺杂法来加入磷, 并对该区域中的磷浓度进行调节使该区域中的磷浓度在 1×10^{20} 到 1×10^{21} 原子 / cm^3 之间 (典型地在 2×10^{20} 到 5×10^{20} 原子 / cm^3 之间)。

[0146] 通过上述步骤来形成 n- 沟道 TFT 的源极区或漏极区。在此, 在图 7(A) 步骤中形成的 n- 型杂质区 530 到 532 部分地保留在开关 TFT 中。这些保留区域与图 2 中开关 TFT 的 LDD 区域 15a 到 15d 相对应。

[0147] 接下来如图 7(C) 中所示, 去掉光敏抗蚀掩膜 534a 到 534c, 形成新的保护掩膜 543。再加入 p- 型杂质元素 (此实例中是硼), 形成含高浓度硼的杂质区 544 和 545。在此利用硼化氢通过离子掺杂法加入的硼的浓度在 3×10^{20} 到 3×10^{21} 原子 / cm^3 之间 (典型地在 5×10^{20} 到 1×10^{21} 原子 / cm^3 之间)。

[0148] 在杂质区 544 和 545 中, 已加入的磷的浓度在 1×10^{20} 到 1×10^{21} 原子 / cm^3 之间。而在此加入的硼的浓度至少为磷浓度的 3 倍。因此, 已形成的 n- 型杂质区完全变成了 p- 型, 并起 p- 型杂质区的作用。

[0149] 接下来参见图 7(D), 除去光敏抗蚀掩膜 543 之后, 形成第一层间绝缘膜 546。至于第一层间绝缘膜, 可以用单层或其组合叠层形式的含硅绝缘膜。该膜厚度在 400nm 到 $1.5 \mu\text{m}$ 之间。在此实施例中, 该膜具有 800nm 厚氧化硅膜层压在 200nm 厚氮氧化硅膜上的叠层结构。

[0150] 之后, 对加入的各种浓度的 n- 型和 p- 型杂质元素进行激活。优选的激活方法为炉内退火。在此实例中, 是在氮气环境下、在 550°C 下进行 4 个小时的热处理。

[0151] 接着, 在含有 3% 到 100% 氢的大气中、在 300 到 450°C 下进行 1 到 12 小时的热处理以进行加氢处理。此步骤是用热激活氢来端接半导体膜的未成对接合键。另一种加氢方法, 可以用等离子体加氢 (利用受等离子体激发的氢)。

[0152] 可在形成第一层间绝缘膜 546 时进行加氢处理。也就是说, 可以在形成 200nm 厚氮氧化硅膜之后, 进行加氢处理, 再形成 800nm 厚的氧化硅膜。

[0153] 接着参见图 8(A), 在第一层间绝缘膜 546 中形成接触孔, 以形成源极线 547 到 550 以及漏极线 551 到 553。在此实例中, 可用由溅射法连续形成的 100nm 钛膜、300nm 含钛铝膜和 150nm 钛膜这三层叠层结构来形成电极。

[0154] 接下来再形成厚度在 50 到 500nm (典型地在 200 到 300nm 之间) 之间的第一钝化膜 554。在此实例中, 可以用 300nm 厚的氮氧化硅膜作为第一钝化膜 554。也可用氮化硅膜来代替。

[0155] 在此, 在形成氮氧化硅膜之前, 利用含氢气体如 H_2 、 NH_3 等进行等离子体处理很有效。将经此预处理激活的氢加入到第一层间绝缘膜 546 中, 利用此热处理能够提高第一钝化膜 554 的质量。同时, 加入到第一层间绝缘膜 546 中的氢扩散到下层当中, 使得有源层可能有效地加氢。

[0156] 接下来参见图 8(B), 形成有机树脂材料的第二层间绝缘膜 555。说到有机树脂, 可以用聚酰亚胺、丙烯酸、BCB (苯环丁烷)。第二层间绝缘膜 555 必须平整 TFT 形成的台阶, 因此应用平整性极好的丙烯酸。在此实例中, 形成 $2.5 \mu\text{m}$ 厚的丙烯酸膜。

[0157] 接着在第二层间绝缘膜 555 和第一钝化膜 554 中形成直到漏极线 553 的接触孔,

从而形成像素电极（阳极）556。在此实施例中，形成 110nm 厚的氧化铟 / 锡（ITO）膜，之后使其构图形成像素电极。可以用氧化铟和 2% 到 20% 氧化锌（ZnO）混合而成的透明导电膜。像素电极用作为 EL 元件的阳极。

[0158] 接着形成 500nm 厚的含硅绝缘膜（此实例中为氧化硅膜），并在其中与像素电极 556 相对应的位置处形成一个开口，以形成第三层间绝缘膜 557。在形成开口时，利用湿法蚀刻能够很容易地形成一锥形侧壁。当开口的锥形侧壁倾斜不够平缓时，EL 层由于此台阶的原因将明显劣化。

[0159] 接下来在未暴露于外界大气的情况下，通过真空蒸发法连续地形成 EL 层 558 和阴极（银化镁电极）559。EL 层 558 的厚度在 80 到 200nm 之间（典型地在 100 到 120nm 之间），阴极 559 的厚度在 180 到 300nm 之间（典型地在 200 到 250nm 之间）。

[0160] 在此步骤中，连续地形成红色像素、绿色像素和蓝色像素的 EL 层和阴极。在此，EL 层抗溶解性较差，必须单独形成各种颜色的 EL 层，而不能依赖光刻技术。利用金属掩膜可隐藏掉除所要求像素之外的区域，仅在所要求的区域上有选择地形成 EL 层和阴极。

[0161] 也就是说，可设置一掩膜来隐藏除红色像素之外的所有区域，通过此掩膜，可有选择地形成发红光的 EL 层和阴极。接下来设置一掩膜来隐藏除绿色像素之外的所有区域，利用此掩膜，可有选择地形成发绿光的 EL 层和电极。接着相类似地，设置一掩膜来隐藏除蓝色像素之外的所有区域，通过此掩膜，可有选择地形成发蓝光的 EL 层和阴极。尽管以上用的是不同的掩膜，但也可重复使用相同的掩膜。最好是在不破坏真空状态的情况下进行处理，直到在所有像素上形成 EL 层和阴极时止。

[0162] EL 层 558 可以用已有材料。已有材料实例是需要考虑驱动电压的有机材料。例如 EL 层可以有四层结构，包括空穴注入层，空穴输运层，发光层和电子注入层。在此实例中，进一步地，用银化镁电极作为 EL 元件的阴极。也可以用其他任何已有材料。

[0163] 至于保护电极 560，可以用以铝为主要成分的导电膜。可以用与形成 EL 层和阴极的掩膜不同的掩膜、通过真空蒸发法来形成保护电极 560。更进一步地，最好在形成 EL 层和阴极之后、在未暴露到外部大气情况下连续地形成保护电极 560。

[0164] 最后，形成厚度为 300nm 氮化硅的第二钝化膜 561。实际上，保护电极 560 起防止 EL 层进水的作用。形成第二钝化膜 561 之后，能够更进一步地增强 EL 元件的稳定性。

[0165] 这样，便制作完成了具有图 8(C) 中所示结构的有源矩阵型 EL 显示器。实际上，制作到图 8(C) 之后，最好用一种高气密性保护膜（叠层膜，紫外线可固化树脂膜等）或用一外壳件如陶瓷密封罐来对器件进行包装（密封）。此时，在外壳件内部充填惰性气体，或者在其内部设置吸水材料（例如氧化钡），都能够提高 EL 层的稳定性（寿命）。

[0166] 通过处理如进行包装提高了气密性之后，再固定上用于将形成于衬底上的元件或用于将电路中伸出的端子连接到外部信号端子上的连接器（柔性印刷电路：FPC），便可得到一个成品。在此说明书中，制作到此种可以装箱状态的 EL 显示器被称作为 EL 模件。

[0167] 在此，将参考图 11 的透视图对此实例的有源矩阵型 EL 显示器结构进行说明。此实例的有源矩阵型 EL 显示器由形成于玻璃衬底 601 上的像素单元 602、栅极侧驱动电路 603、和源极侧驱动电路 604 组成。像素单元中的开关 TFT605 是一 n- 沟道 TFT，设置在与栅极侧驱动电路 603 相连接的栅极线 606 和与源极侧驱动电路 604 相连接的源极线 607 的交点上。开关 TFT605 的漏极连接到电流控制 TFT608 的栅极上。

[0168] 电流控制 TFT608 的源极连接到电流馈线 609 上,且电流控制 TFT608 的漏极通过电阻 610 连接到 EL 元件 611 上。一预定电压施加到 EL 元件 611 的阴极上。

[0169] 用作为外部输入端子的 FPC612 设置有用于将信号输送到驱动电路中的输入导线(连接导线)613、614 和连接到电流馈线 609 上的输入导线 615。

[0170] 下面将参考图 12(A) 和 12(B) 对包括外壳件在内的此实例 EL 元件进行说明。根据需要可以用图 11 中所用的参考标号。

[0171] 在衬底 1200 上形成像素单元 1201、数据信号侧驱动电路 1202 和栅极信号侧驱动电路 1203。来自驱动电路的导线通过输入导线 613 到 615 到达 FPC612 并连接到外部单元上。

[0172] 在此情形下,设置外壳件 1204,该外壳件至少包围像素单元、优选地包围驱动电路和像素单元。外壳件 1204 为内部尺寸大于 EL 元件外部尺寸的、有凹槽的形状或者为片状,用粘结剂 1205 将其固定到衬底 1200 上,以与衬底 1200 形成一密闭空间。此时,EL 元件完全密封在密闭空间内,与外界空气完全隔绝。可以设置多个外壳件 1204。

[0173] 外壳件 1204 的材料最好是绝缘材料如玻璃聚和物等。还可以用非晶玻璃(硼-硅玻璃、石英等等)、结晶玻璃、陶瓷玻璃、有机树脂(丙烯酸树脂、苯乙烯树脂、聚碳酸酯树脂、环氧树脂)或硅树脂。进一步地还可以用陶瓷。如果粘结剂 1205 是一种绝缘材料,则还可以用金属材料如不锈钢合金。

[0174] 更进一步地,粘结剂 1205 的材料可以是环氧树脂或丙烯酸树脂。也可以用热固树脂或光养护树脂来作为粘结剂。这种材料应尽可能地不透水。

[0175] 进一步地最好在外壳件和衬底 1200 之间的空隙 1206 中充填一种不活泼气体(氩,氦,氖或氮)。但不仅限于气体,也可以用惰性液体(以全氟烷化为代表的液态氟化碳)。就惰性液体而论,可以用日本专利申请公开平 78519/1996 号中所用的材料。

[0176] 在空间 1206 中加入干燥剂也很有效。干燥剂可以用日本专利申请公开 148066/1997 号中公开的材料。典型地可以用氧化钡。

[0177] 此外,如图 12(B) 中所示,像素单元内设置有多个像素,每一像素都有一独立 EL 元件,所有的像素都有一个作为公共电极的保护电极 1207。在此实例中,最好在未暴露于外部空气的情况下连续地形成 EL 层、阴极(银化镁电极)和保护电极。但如果用相同的掩膜材料来形成 EL 层和阴极,用另一种掩膜材料来形成保护电极的话,也能够实现图 12(B) 的结构。

[0178] 此时,可以只在像素单元上而不必在驱动电路上设置 EL 层和阴极。当然也允许在驱动电路上设置 EL 层和阴极。但考虑到 EL 层中含有碱金属,还是不在驱动电路上设置 EL 层和阴极为好。

[0179] 在由 1208 所表示的区域上,保护电极 1207 通过连接导线 1209 连接到输入导线 1210 上,连接导线由与像素电极相同的材料制成。输入导线 1210 是一向保护电极 1207 施加预定电压(此实例中为地电势或具体地说为 0V)的电流馈线,通过一导电胶膜材料 1211 连接到 FPC611 上。

[0180] 下面将参考图 13 对在区域 1208 中实现接触结构的制作步骤进行描述。

[0181] 首先根据此实例的步骤,可以得到图 8(A) 所示的状态。此时,在衬底末端(图 12(B) 中用 1208 表示的区域)除去第一层间绝缘膜 544 和栅绝缘膜 514,且在形成图 8(A)

的源极线和漏极线（图 13(A)）的同时在其（衬底）上形成输入导线 1210。

[0182] 接下来参见图 8(B)，在对第二层间绝缘膜 553 和第一钝化膜 552 进行蚀刻时，除去由 1301 所表示的区域并形成开口 1302。形成用以覆盖开口 1302 的连接导线 1209。当然在图 8(B) 中，连接导线 1209 可以与像素电极 554 同时形成（图 13(B)）。

[0183] 在此状态下，在像素单元中形成 EL 元件（形成第三层间绝缘膜，EL 层和阴极）。此时，在图 13 所示的区域中，未用掩膜等来形成第三层间绝缘膜和 EL 元件。形成阴极 557 之后，利用另一掩膜来形成保护电极 558。由此，保护电极 558 和输入导线 1210 通过连接导线 1209 电连接在一起。接着，形成第二钝化膜 559 以得到图 13(C) 所示的状态。

[0184] 通过以上步骤，可得到图 12(B) 中 1208 所示区域的接触结构。输入导线 1210 通过外壳件 1204 和衬底 1200 之间的间隙（此间隙中填充有粘结剂 1205，此粘结剂 1205 的厚度应足够大以便能够使由输入导线造成的台阶得到平整）连接到 FPC611 上。尽管在此只对输入导线 1210 进行了说明，但其他的输出导线 612 到 614 也可以同样的方式从外壳件 1204 之下穿过而连接到 FPC611 上。

[0185] 实例 2

[0186] 此实例涉及的是图 14 中所示的不同于图 1(B) 中所示结构的像素结构。

[0187] 在此实例中，图 1(B) 中所示的两个像素相对于施加地电势的电流馈线 111 对称设置。也就是如图 14 中所示，电流馈线 111 为相邻两个像素的公共线，从而减少了导线数目。设置在像素中的 TFT 的结构不变。

[0188] 利用此种结构可制作出更小的像素单元并能提高图象质量。

[0189] 用电流馈线 111 作为公共线，可使电流馈线 111 的宽度裕度进一步增大；即能够在降低图象亮度的情况下增大电流馈线 111 的宽度。这可减少由于电流馈线 111 电压下降而引起的后果，避免出现通过电流馈线 111 施加的电压随着像素位置的不同而改变这种情况。

[0190] 根据实例 1 的制作步骤可轻易地实现此实例的结构。

[0191] 实例 3

[0192] 参考图 15，此实例涉及的是形成结构不同于图 1 中所示结构像素单元的情形。至形成第二层间绝缘膜 48 这一步骤之前的所有步骤都可根据实例 1 的相应步骤来进行。被第二层间绝缘膜 48 覆盖的开关 TFT201 和电流控制 TFT202 与图 1 中所示相应部件的结构相同，在此不再进行说明。

[0193] 在此实例中，在第二层间绝缘膜 48 和第一钝化膜 47 中形成接触孔之后，形成像素电极 61。在此实例中，形成厚度为 200nm 的铝合金膜（含有 1wt% 钛的铝膜）作为像素电极 61。像素电极可以用任何金属材料，但该像素电极最好具有高反射系数。

[0194] 接着在其上形成厚度为 300nm、为氧化硅膜的第三层间绝缘膜 62，继之形成厚度为 230nm 的银化镁电极作为阴极 63，再继之自下侧开始形成 20nm 厚度的电子输运层、40nm 厚的发光层以及 30nm 厚的空穴输运层作为 EL 层 64。在此形成的 EL 层 64 的图形必须稍大于阴极 63。这样能够防止阴极 63 与之后形成的阳极 65 之间发生短路。

[0195] 在此，在未暴露到外部空气的情况下，利用多室型真空蒸发器（也称作组合工具系统）连续地形成阴极 63 和 EL 层 64。首先，利用第一掩膜在所有像素上形成阴极 63，再利用第二掩膜形成发红光的 EL 层。再通过改变第二掩膜依次形成发绿光的 EL 层和发蓝光

的 EL 层。

[0196] 当与 RGB 相对应的像素排列成条状时,可以用上述方法简单地转换第二掩膜。但为了得到所谓的三角形排列像素结构,应将第三掩膜用于发绿光的 EL 层,将第四掩膜用于发蓝光的 EL 层。

[0197] 直到形成 EL 层 64 之后,再在其上形成 110nm 厚的透明导电膜(此实施例中的薄膜为含 1%氧化锌的 ITO 膜)阳极 65。由此,形成 EL 元件 206,且如果用例 1 中所述材料形成第二钝化膜 66,便可制成具有图 15 所示结构的像素。

[0198] 在此实例的结构中,像素产生的红光、绿光和蓝光照射到形成有 TFT 的衬底的相对侧。因此,像素中几乎所有的区域、即形成 TFT 的区域都可以用作有效发光区。结果,像素具有能够增强图象亮度和对比度值(明暗比)的增大的有效发光面积。

[0199] 此实例的结构可与实例 1 或实例 2 的任一结构自由组合。

[0200] 实例 4

[0201] 该实例涉及的是根据实例 1 制作出的有源矩阵型 EL 显示器中的像素结构。此说明参考图 16,其中与图 1 和 2 中相对应的部分用与图 1 和 2 中相同的参考标号来表示。

[0202] 在图 16 中,参考标号 201 表示开关 TFT,此开关 TFT 包括源极区 13,漏极区 14 和栅极线(也用作栅极)106。更进一步地,参考标号 202 表示电流控制 TFT,此电流控制 TFT 包括源极区 26,漏极区 27 和栅极 30。电流控制 TFT1202 的漏极通过电阻 33(图 16 中位于掩膜 55 之下的半导体层)、连接区 34 和漏极线 32 电连接到像素电极 49 上。虚线 51 和 52 表示形成 EL 层 51 和阴极 52 的位置,EL 元件 203 由像素电极 49、EL 层 51 和阴极 52 形成。

[0203] 在此,开关 TFT201 的漏极线 22 通过接触件 1601 电连接到电流控制 TFT 的栅极 30 上。栅极 30 在与电流控制 TFT202 的源极线 31 相叠加的部分形成保持电容 113。源极线 31 电连接到电流馈线 111 上。

[0204] 在此实例中,图 16 中所示的像素结构不对本发明构成限制,仅代表一优选实例。形成开关 TFT、电流控制 TFT 和保持电容的位置可由设计人员选择。此实例可与实例 1 到 3 的任一结构自由组合。

[0205] 实例 5

[0206] 此实例涉及不同于实例 4 结构的有源矩阵型 EL 显示器中像素结构。具体地说,图 16 所示的像素结构和图 17 所示的像素结构只是栅极线的材料不同。除栅极线结构之外,图 17 结构与图 16 结构都相同,此处不再详述。

[0207] 在图 17 中,如例 1 中的栅极一样,参考标号 71a 和 71b 代表由氮化钨膜和钨膜的叠层膜形成的栅极。如图 17 中所示,它们可以有独立的图案,也可以有电连接在一起的图案。栅极在形成时是电浮置的。对于栅极 71a 和 71b,可以用氮化钽膜和钽膜的叠层膜或任何其他导电膜如钼和钨的合金膜。但该膜能够进行细加工,能够形成宽度不大于 $3\mu\text{m}$ (优选地不大于 $2\mu\text{m}$) 的细线。更进一步地说,该膜最好不含有可在栅绝缘膜中扩散并渗透到有源层中的元素。

[0208] 另一方面,至于栅极线 72,可以用电阻值小于栅极 71a 和 71b 电阻值的导电膜,典型地可以用以铝为主要成分的合金膜或以铜为主要成分的合金膜。栅极线 72 不需要特别微细的可成形性。此外,由于它未覆盖在有源层上,所以如果它含有易扩散于绝缘膜中的铝或铜的话也不会有问题。

[0209] 为了得到此实例的结构,应在实例 1 图 7(D) 形成第一层间绝缘膜 544 步骤之前进行激活步骤。在这种情形下,在栅极 71a 和 71b 暴露的状态下进行热处理。当在惰性气体充足的环境或在氧浓度优选地不大于 1ppm 的惰性气体环境中进行热处理时,栅极 71a 和 71b 不会被氧化。也就是说,电阻值不会由于氧化而增大,栅极未被难以去除的绝缘膜(氧化膜)所覆盖。

[0210] 完成激活步骤之后,形成以铝或铜为主要成分的导电膜,并通过构图形成栅极 72。此时,在栅极 71a 和 71b 与栅极线 72 相接触的区域上可保持令人满意的欧姆接触,使得能够向栅极 71a 和 71b 施加一预定的栅极电压。

[0211] 当图象显示区较大时,此实施例的结构尤其有效,理由在下面进行说明。

[0212] 在本发明的 EL 显示器件中,被驱动帧分为多个子帧,且驱动像素单元的驱动电路必须承受很大的负载。为了降低负载,最好尽可能地降低像素单元负载(导线电阻,寄生电容, TFT 写电容等)。

[0213] 利用多晶硅膜能够获得高运行性能的 TFT,所以 TFT 的写电容不是大问题。数据线或栅极线的寄生电容,基本上是相对于形成于上述接线上的 EL 元件阴极(或保护电极)形成的。通过形成厚度在 1.5 到 2.5 μm 之间的、电介质系数较小的有机树脂膜作为第二层间绝缘膜,能够将寄生电容量减少至几乎可以忽略的程度。

[0214] 因此,将本发明用于具有大面积像素单元 EL 显示器的最严重障碍是数据线和栅极线中的接线电阻。当然可以将数据信号侧驱动电路分为平行设置的多个部分,或者为数据信号侧驱动电路和栅极信号侧驱动电路设置夹于其间的像素单元,并为了减少驱动电路的运行频率而从两个方向上发送信号。在此情形下,又会出现另外的问题即驱动电路所占面积增大。

[0215] 因此,据此实例结构,栅极线接线电阻最小对于本发明的实际使用很有效。在此实例中,图 17 所示的像素结构对本发明并不构成限制,仅代表一优选实施例。此外,此实例可与实例 1 到 3 中任一结构自由组合而实施。

[0216] 实例 6

[0217] 高速运行的数据信号侧驱动电路是执行时分灰度将一帧分为 n 个子帧所必需的。也就是说,最好利用高速运行(高响应速度)的 TFT。在此实例中,硅膜制成的有源层适于制作高速运行的 TFT。

[0218] 根据实例 1 进行到图 5(E) 步骤时可得到具有特殊晶体结构的硅膜(实例 1 中的多晶硅膜)。在此硅膜中,晶粒边界高度连续,晶体方向取向整齐。用此硅膜作为 TFT 的有源层,可以得到高速运行的 TFT。以下所述的是准备用于此实例中的硅膜的观察结果。

[0219] 用显微镜来观察,此实例中所用硅膜的晶体结构为共同排列有多个针状或棒状晶粒(下文称作为棒状晶粒)。由 TEM(透射电镜方法)很容易观察到。

[0220] 更进一步地,此实例中所用的、通过 1.35 μm 斑点直径对硅膜的电子射线衍射图象进行近距离观察,尽管面 {110} 有一定程度的波动,但也可以得到与面 {110} 相对应的清晰的衍射点,虽然在晶轴上存在一定程度的偏差,但从中也可以确定基本取向表面为面 {110}。

[0221] 图 19(A) 是用斑点直径为 1.35 μm 的电子射线照射此实例中所用硅膜时的电子射线衍射图象,图 19(B) 是用同样条件电子射线照射传统多晶硅膜时的电子射线衍射图象。

在这些图形中,中央部位是被电子射线照射的部位(被电子射线照射的点)。

[0222] 图 19(A) 相对给出了与面 {110} 相对应的清晰衍射点,而图 19(B) 所示的不规则点表明取向表面是不规则的。电子射线衍射图有助于将此实例中所用的硅膜与传统半导体膜中相互区分开来。

[0223] 在图 19(A) 的电子射线衍射图中,与面 {110} 相对应的衍射点形状与 {110} 取向上单晶硅薄膜电子射线衍射图相比较很清楚。更进一步地说,当单晶硅薄膜衍射点呈尖点状时,此实例中所用硅膜的衍射点则以电子射线辐射点为圆心沿同心圆向外延伸。

[0224] 这是此实例中所用硅膜的特征。各晶粒沿面 {110} 进行取向。因此,如果关注单晶粒的话,希望得到与单晶硅衍射点相类似的衍射点。实际上,多个晶粒是集合在一起的。因此,尽管各个晶粒沿面 {110} 进行取向,但也绕其各自晶轴轻微自旋,在一个同心圆上有多个与晶粒相对应的衍射点。它们相互叠加且向外延伸。

[0225] 各个晶粒形成将在后面进行描述的相互配合很好的晶粒边界,然而绕其晶轴进行地轻微自旋对结晶度不会造成损害。因而可以认为本发明中所用硅膜的电子射线衍射图与 {110} 取向上单晶硅薄膜的电子衍射图几乎没有差别。

[0226] 通过上述说明,可以认为此实例中用作 TFT 有源层的硅膜为能够给出与取向 {110} 相对应的电子射线衍射图的硅膜。

[0227] 下面描述的是本发明中所用硅膜的晶粒边界。尽管为了易于描述将其称为晶粒边界,还可以认为它们是晶粒和由其派生而来的(由其分支出来的)其他晶粒间的分界面。在任何情形下,在本说明书中,将它们称作为包含上述分界面在内的晶粒边界。

[0228] 本申请人利用 HR-TEM(高分辨率透射电子显微镜方法)已观察到由相互接触的各个棒状晶粒形成的晶粒边界,并且证实了晶粒边界上晶体点阵的连续性。从观察到的点阵条在晶粒边界上呈连续状态这一事实看来,这一点很容易得到证实。

[0229] 晶粒边界上晶体点阵的连续性归因于被称作“平面晶粒边界”的晶粒边界。本说明书中所用的平面晶粒边界的定义已在“日本应用物理期刊,1988 年第 27 卷第 5 期第 751 到 758 页、Ryuichi Shimokawa 和 Yutaka Hayashi 的利用 MBIC 法测得高效铸硅太阳能电池晶片的特性”中公开。

[0230] 根据上述理论,平面晶粒边界包括孪晶间界,特殊的叠层晶体缺陷,特殊的扭转晶界等。平面晶粒边界是非电激活的,这是一个特征。也就是说,尽管它是晶粒边界,但平面晶界不能用作阻挡载流子迁移的陷阱,并且还可以认为它实际上并不存在。

[0231] 特别地,当晶轴(垂直于晶体平面的轴)是 $\langle 110 \rangle$ 时,双晶边界 {211} 和双晶边界 {111} 称作为相应的晶界 $\Sigma 3$ 。值 $\Sigma 3$ 是表示相应晶粒边界配合度的参数。已知 $\Sigma 3$ 值越小,晶粒边界的配合越好。

[0232] 用 TEM 观察本发明中硅膜的结果,可知大部分晶粒边界相应的晶界都是 $\Sigma 3$ 。这可以从下面这一事实来进行判断,即两晶粒间所形成晶粒边界中两晶粒的平面方位角是 {110}, 且对应于平面 {111} 的晶格条的角为 θ , 当 $\theta = 70.5^\circ$ 时,相应的晶界为 $\Sigma 3$ 。

[0233] 当 $\theta = 38.9^\circ$ 时,相应的晶界变为 $\Sigma 9$ 。还有其他的晶粒边界。

[0234] 只在平面方位角相同的晶粒当中形成此相应晶界。即本发明中所用硅膜的平面方位角几乎都取向于 {110}, 据此可以认为,所形成相应晶界的范围很宽。

[0235] 这种晶体结构(准确地说是晶粒边界结构)表明两个不同的晶粒在晶粒边界上能

够很好地相互结合在一起。即晶体点阵在晶粒边界处是连续的,由于晶体缺陷而造成的陷阱能级不易形成。因此可以认为在具有这种晶体结构的薄膜半导体膜中基本上不存在晶粒边界。

[0236] 在形成本发明所用硅膜的步骤中在 700 到 1150℃ 下进行热处理,由 TEM 观察可以证实,晶粒中存在的缺陷(叠层中的缺陷等)大部分都得以消除。这一点从热处理步骤前后缺陷数大大降低这一事实来看很清楚。

[0237] 缺陷数的差别在于通过电子自旋共振(ESR)分析所得到的自旋强度不同。目前,已经知道本发明中所用硅膜的自旋强度至少不大于 5×10^{17} 次旋转/cm³(优选地不大于 3×10^{17} 次旋转/cm³)。利用已有测量设备测得的值接近检测极限,所期望的实际自旋强度更低。

[0238] 为了对本发明所用硅膜作更为详细的说明,可参考本申请人申请的日本专利申请 044659/1998,152316/1998,152308/1998 和 152305/1998 号。

[0239] 更进一步而言,利用本发明硅膜作为有源层制成的 TFT 具有可与 MOSFET 中 TFT 相比的电子特性。以下数据来自本申请人制成的 TFT(有源层厚 30nm,栅绝缘膜厚 100nm)。

[0240] (1)n-沟道 TFT 和 p-沟道 TFT 中作为开关性能指数的亚阈值系数(开/关操作变化的迅速性)与 60 到 100mv/十进制(优选地与 60 到 85mv/十进制之间的数值一样小)之间的数值一样小。

[0241] (2)n-沟道 TFT 中作为 TFT 运行速度指数的电场迁移率(μ_{FE})与 200 到 650cm²/Vs(典型地在 300 到 500cm²/Vs)之间的数值一样大,p-沟道 TFT 中作为 TFT 运行速度指数的电场迁移率(μ_{FE})与 100 到 300cm²/Vs(典型地在 150 到 200cm²/Vs)之间的数值一样大。

[0242] (3)在 n-沟道 TFT 中,作为 TFT 操作电压指数的阈值电压(V_{th}),与 -0.5 到 1.5V 之间的数值一样小,在 p-沟道 TFT 中,作为 TFT 操作电压指数的阈值电压(V_{th}),与 -1.5 到 0.5V 之间的数值一样小。

[0243] 如上所述,已经证实能够实现极好的开关性能和高速运行性能。利用上述 TFT 制成的环形振荡器,能够实现约为 1GHz 的最大振荡频率。所制作的环形振荡器的构成如下:

[0244] 级数:9 级

[0245] TFT 栅绝缘膜的厚度:30nm 和 50nm

[0246] TFT 的栅极长度(沟道长度):0.6 μ m

[0247] 更进一步地,制作移位寄存器以检验运行频率。结果,通过栅绝缘膜厚度为 30nm、栅极长度为 0.6 μ m、电源电压为 5V 且级数为 50 级的移位寄存器可获得 100MHz 操作频率的输出脉冲。

[0248] 环形振荡器和移位寄存器的数据表明用本发明硅膜作为有源层的 TFT 的操作性能可与利用单晶硅的 MOSTFT 相比或超出 MOSFET 的性能。

[0249] 如上所述利用本发明的硅膜,可以形成高速运行的 TFT,且通过利用这种 TFT 形成驱动电路可以得到高速运行的驱动电路。即上述 TFT 对于本发明的实施非常有效。

[0250] 此外,利用本发明硅膜的 TFT 不仅可用于驱动电路,也可用于设置在像素单元中的开关 TFT 和电流控制 TFT。操作速度的提高可以使数据写入保持电容中的时间缩短,增大 EL 元件发光响应速度,提供更亮更清晰的图象。

[0251] 实例 7

[0252] 例 6 涉及的是利用高速驱动的 TFT 形成驱动电路。此实例将参考图 20 对有效地实施本发明的驱动像素单元方法进行描述。

[0253] 在此实例中, 像素单元 80 被分为两个像素单元 80a 和 80b, 像素单元 80a 由数据信号侧驱动电路 81a 和栅极信号侧驱动电路 82a 进行驱动, 像素单元 80b 由数据信号侧驱动电路 81b 和栅极信号侧驱动电路 82b 进行驱动。

[0254] 在此情形下, 如果以相同的频率同时驱动像素单元 80a 和 80b, 则数据信号侧驱动电路 81a、81b 和栅极信号侧驱动电路 82a、82b 的操作频率能够被二等分。这能够加宽操作裕度, 并能得到高可靠性且耗电少的 EL 显示器件。

[0255] 如果操作频率不变, 则寻址时间能够被二等分, 保持时间相应地增长。即发光时间能够长一些, 能够增强图象亮度。

[0256] 像素单元 80a 和 80b 相组合能够显示出一图象, 或者由像素单元 80a 和 80b 可显示不同的图象。例如, 任一像素单元可显示一静态图象, 另一像素单元可显示一动态图象。像素单元 80 以混合方式可显示出动态图象和静态图象。

[0257] 在此实施例中, 像素单元被分为两个。像素单元也可被分为多个。更进一步地说, 此实例的结构可与例 1 到 6 中任一结构自由组合而进行实施。

[0258] 实例 8

[0259] 此实例涉及的是能够有效地实施本发明的、不同于图 7 驱动方法的、驱动像素单元的方法。以下说明参见图 21。

[0260] 在此实例中, 像素单元 83 被分为四个像素单元 83a 到 83d, 并由数据信号侧驱动电路 84a 到 84d 和栅极信号侧驱动电路 85a 到 85d 进行驱动。

[0261] 在此情形下, 以相同的频率同时驱动像素单元 83a 到 83d, 将数据信号侧驱动电路 84a 到 84d 和栅极信号侧驱动电路 85a 到 85d 操作频率降至四分之一。操作裕度比例 7 的情形可进一步加宽, 可得到高度可靠且耗电量少的 EL 显示器件。

[0262] 如果操作频率不变, 则寻址时间缩短至四分之一, 保持时间相应增长。即可加长发光时间, 能够增强图象的亮度。

[0263] 更进一步地, 像素单元 83a 和 83d 相组合可显示图象。此外, 像素单元 83a 和 83b 可显示一图象, 像素单元 83c 和 83d 可显示另一图象; 能够同时显示两个不同的图象。可由像素单元 83a 和 83b 显示静态图象, 由像素单元 83c 和 83d 显示动态图象, 即可由像素单元以混合方式显示动态和静态图象。

[0264] 在此实施例中, 像素单元被分为四个像素单元。像素单元也可被分为更多个像素单元。更进一步地说, 此实例的结构可与例 1 到 6 中任一结构自由组合而实施。

[0265] 实例 9

[0266] 此实例涉及的能够有效地实施本发明的、不同于图 8 驱动方法的驱动像素单元方法。以下说明参见图 22。

[0267] 在此实例中, 像素单元 86 被分为四个像素单元 86a 到 86d, 像素单元 86a 由数据信号侧驱动电路 87a 和栅极信号侧驱动电路 88a 进行驱动; 像素单元 86b 由数据信号侧驱动电路 87b 和栅极信号侧驱动电路 88a 进行驱动。相类似地, 像素单元 86c 由数据信号侧驱动电路 87c 和栅极信号侧驱动电路 88b 进行驱动; 像素单元 86d 由数据信号侧驱动电路

87d 和栅极信号侧驱动电路 88b 进行驱动。

[0268] 在此情形下,以相同的频率同时驱动像素单元 86a 到 86d,将数据信号侧驱动电路 87a 到 87d 的操作频率降至四分之一并将栅极信号侧驱动电路 88a 和 88b 的操作频率降至二分之一。因而可使操作裕度与例 7 相比更进一步地加宽,可得到高可靠性且耗电量少的 EL 显示器件。

[0269] 如果操作频率不变,则寻址时间可缩短至四分之一,保持时间相应延长。即可加长发光时间,能够增强图象亮度。

[0270] 更进一步地,像素单元 86a 到 86d 相组合可显示出图象,或者由像素单元 86a 到 86d 显示出不同的图象。当然可由像素单元 86a 到 86c 显示一图象,由像素单元 86d 显示另一不同的图象。更进一步地,像素单元 86 以混合方式显示出动态和静态图象。

[0271] 此实施例的结构可与例 1 到 6 中任一结构自由组合而进行实施。

[0272] 实例 10

[0273] 在图 2 所示的例 1 结构中,如果用高热辐射性材料作为形成于有源层和衬底 11 之间的底层膜 12,则会非常有效。特别地,电流控制 TFT 在相当长的时间内都流过大电流,此大电流产生热量,因此电流控制 TFT 易于受其自身所产生热量的损坏。在这种情形下,象此实施例中一样的、具有热辐射效应的底层膜能够抑制热量引起的损坏。

[0274] 至于具有热辐射性的透光材料,可列举出含有至少一种选自 B(硼)、C(碳)和 N(氮)元素组中的元素及至少一种选自 Al(铝)、Si(硅)及 P(磷)元素组中的元素的绝缘膜。

[0275] 例如,可以使用:以氮化铝(Al_xN_y)为代表的铝的氮化物;以碳化硅(Si_xC_y)为代表的硅的碳化物;以氮化硅(Si_xN_y)为代表的硅的氮化物;以氮化硼(B_xN_y)为代表的硼的氮化物;及以磷化硼(B_xP_y)为代表的硼的磷化物。此外,以氧化铝(Al_xO_y)为代表的铝的氧化物也是优选材料之一,具有极好的透光性且具有 $20\text{Wm}^{-1}\text{K}^{-1}$ 的导热率。对于以上透光材料来说,x 和 y 是任意整数。

[0276] 以上化合物也可与其他元素相结合。例如,可将氮加入到氧化铝中,利用由 AlN_xO_y 表示的硝化氧化铝。这种材料不仅具有热辐射性,也可有效地防止水分及碱金属等物质的渗入。在上述硝化氧化铝中,x 和 y 是任意整数。

[0277] 此外,也可利用日本专利申请公开 90260/1987 号中公开的材料。简单地说,即可用含有 Si、Al、N、O 或 M(其中 M 至少是一种稀土元素,优选地至少是一种选自元素组 Ce(铈)、Yb(镱)、Sm(钐)、Er(铒)、Y(钇)、La(镧)、Gd(钆)、Dy(镝)及 Nd(钕)中的元素)的绝缘膜。这些材料不仅具有热辐射性,也能有效地避免水分及碱金属渗入。

[0278] 此外,也可使用至少是金刚石薄膜或含有非晶碳(特别是那些性质与金刚石相近的,称作为类金刚石碳)的碳膜。这些材料都有很高的热传导性,能够有效地用作为热辐射层。当膜厚度增大时,膜将变成棕色且透射率下降。因此最好使膜的厚度尽可能小(优选地在 5 到 100nm 之间)。

[0279] 上述具有热辐射效应的薄膜可单独使用,也可以与含硅绝缘膜互相层压在一起使用。

[0280] 此实例的结构可与实例 1 到 9 中任一结构自由组合而实施。

[0281] 实例 11

[0282] 在实例 1 中,优选的是用有机 EL 材料作为 EL 层。但也可以用无机 EL 材料来实施本发明。但当前的无机 EL 材料要求有很高的驱动电压,因此有必要使用击穿电压能够经得住该驱动电压的 TFT。

[0283] 如果将来开发出仅需要低驱动电压的无机 EL 材料时,则本发明可以适用于这种材料。

[0284] 进而,此实例的结构可与实例 1 到 10 中任一结构自由组合。

[0285] 实例 12

[0286] 通过实现本发明而制成的有源矩阵型 EL 显示器(EL 模件)与液晶显示器相比较其自身能够发光且在亮度位置上也能够满意地观看。因此本发明的器件能够用作为直视型 EL 显示器(含有 EL 模件的显示器)的显示单元。EL 显示器的实例包括个人电脑的监视器、接收 TV 广播的监视器、广告显示的监视器等。

[0287] 除以上 EL 显示器外,本发明的器件也可用作为任何包括显示单元在内的电子装置的显示器。

[0288] 电子装置的实例包括:EL 显示器;视频摄象机;数码照相机;头戴式显示器;汽车导航系统;个人电脑;便携式数据终端(移动电脑,移动电话,或电子书等);及配置有记录媒体(特别地,是指带有显示器的能对记录媒介如压缩唱盘(CD),激光唱盘(LD)或数字式视盘(DVD)进行重现并能够显示图象的设备)的图象播放装置。图 18 所示的是这些电子设备的实例。

[0289] 图 18(A)所示的是个人电脑,它包括主体 2001,外壳 2002,显示单元 2003,和键盘 2004。本发明可用于显示单元 2003。

[0290] 图 18(B)所示的是视频摄象机,它包括主体 2101,显示单元 2102,声音输入单元 2103,操作开关 2104,电池 2105 及图象单元 2106。本发明可用于显示单元 2102。

[0291] 图 18(C)所示的是头戴式 EL 显示器的一部分(右侧),它包括主体 2301,信号电缆 2302,头部固定带 2303,显示监视器 2304,光学系统 2305 及显示单元 2306。本发明可用于显示单元 2306。

[0292] 图 18(D)所示的是一装有记录媒体的图象播放器(具体地是一 DVD 播放器),包括主体 2401,记录媒体(如 CD, LD 或 DVD)2402,操作开关 2403,显示单元(a)2404 和显示单元(b)2405。显示单元(a)主要用于显示图象数据,显示单元(b)主要用于显示字符数据。本发明可用于图象单元(a)2404 和图象单元(b)2405。至于装配有记录媒体的图象播放器,还可列举出本发明适用的 CD 播放器和游戏机。

[0293] 图 18(E)所示的是一移动电脑,包括主体 2501,镜头单元 2502,图象单元 2503,操作开关 2504,和显示单元 2505。本发明可用于显示单元 2505。

[0294] 如果将来能够得到高亮度的 EL 材料,则可将本发明的显示单元用于向前型或背投型投影仪。

[0295] 如上所述,本发明的应用范围极宽,可将本发明用于任何领域的电子设备。此外,可利用实例 1 到 11 任一组合结构来实现该实施例的电子设备。

[0296] 实例 13

[0297] 在此实例中,根据实际 EL 显示器(单色显示器)的规格来确定设置在电流控制 TFT 和 EL 元件之间的电阻的电阻值。

[0298] 首先,确定用作 EL 层的 EL 材料。在此实例中,在 ITO 阳极上形成 50nm 厚的 TPD 作为空穴输运层、形成 50nm 厚的 Alq 作为 EL 层,再在其上形成银化镁阴极来制作出 EL 元件。此时,EL 层淀积在条状 ITO 图案(2mm 宽)的整个表面上,形成的条状银化镁电极(2mm 宽)与 ITO 模板垂直相交。

[0299] 图 23(A) 所示的是所制成的 EL 元件驱动电压和电流强度之间的关系。图 23(B) 所示的是电流强度和发光亮度之间的关系。此实例 EL 元件的发光峰值在 524nm 波长附近,色度坐标是 $x = 0.30$, $y = 0.57$ 。

[0300] 根据图 23(B),要得到 5000cd/m^2 的亮度,电流强度大约应是 100mA/cm^2 。此时,如果 EL 显示器像素单元的对角线为 5 英寸,其中一侧约为 $156\mu\text{m}$ 的矩形像素排列成矩阵形状,每一像素的电流约为 $24\mu\text{A}$ 。

[0301] 参见图 23(A),本实例中所用 EL 材料在施加 10V 电压时,允许流过电流的电流强度为 100mA/cm^2 。当施加 10V 电压时,为使电流稳定在大约 $24\mu\text{A}$,应用大约为 $420\text{k}\Omega$ 的电阻值。

[0302] 因此,如果将电阻值为 $420\text{k}\Omega$ 的电阻用作为图 1(B) 所示的电阻 109,则大约 $24\mu\text{A}$ 的恒定电流可稳定地流入 EL 元件 110。结果,能够得到大约 5000cd/m^2 的发光亮度,可显示明亮的图象。

[0303] 为了延长 EL 层的寿命,可进一步提高电阻的电阻值以抑制流入 EL 元件的电流。在这种情形下,发光亮度稍微下降。例如如果大约 1000cd/m^2 的亮度即可满足需要,则所需的电流强度大约为 30mA/cm^2 ,用于 EL 元件的驱动电压约为 6V。因此,每一像素中大约流过 $7.3\mu\text{A}$ 的电流。因此,需要大约 $820\text{k}\Omega$ 的电阻。

[0304] 因此,本发明所需电阻值可利用 EL 显示器的参数轻易导出。

[0305] 本发明可获得不受 TFT 性能变化影响的、能够进行清晰的多灰度彩色显示的有源矩阵型 EL 显示器。具体地说,在像素单元的电流控制 TFT 和 EL 元件之间设置一电阻,由此电阻的电阻值来确定出电流值的大小。再利用数字信号来启动时分灰度显示以获得高度细微的图象,该图象可保持很好的彩色复制性且不会由于电流控制 TFT 性能变化而引起灰度失真。

[0306] 形成于衬底上的最佳结构 TFT 除满足电路和元件所要求性能之外,还可实现高可靠性的有源矩阵型 EL 显示器。

[0307] 以此有源矩阵型 EL 显示器件作为显示单元,可生产出图象质量好、稳定性高的电子设备。

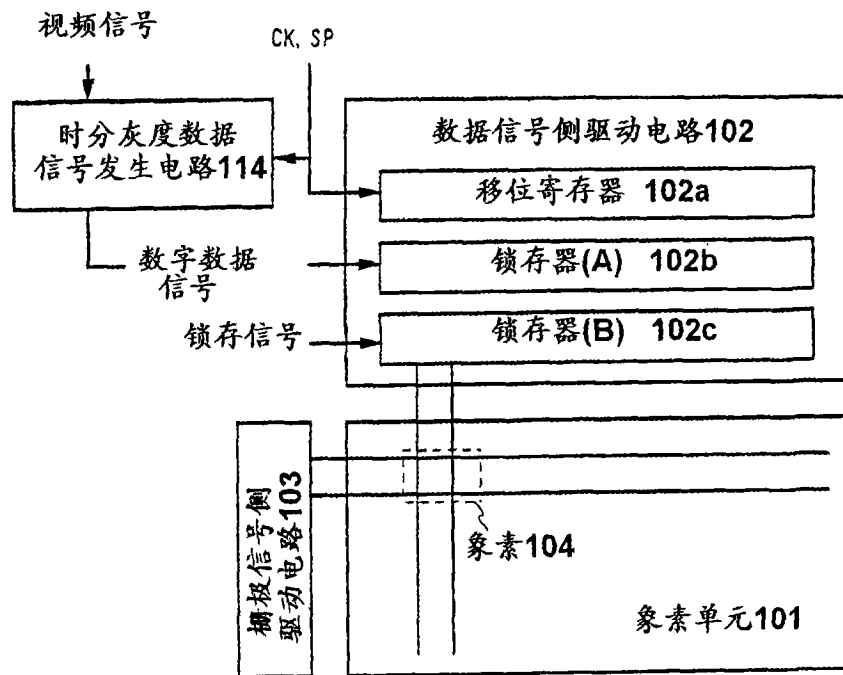


图 1A

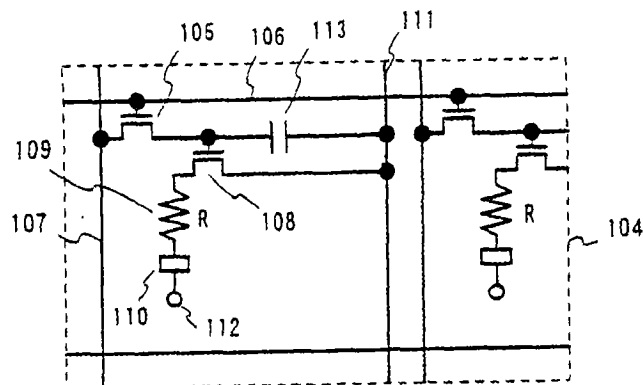


图 1B

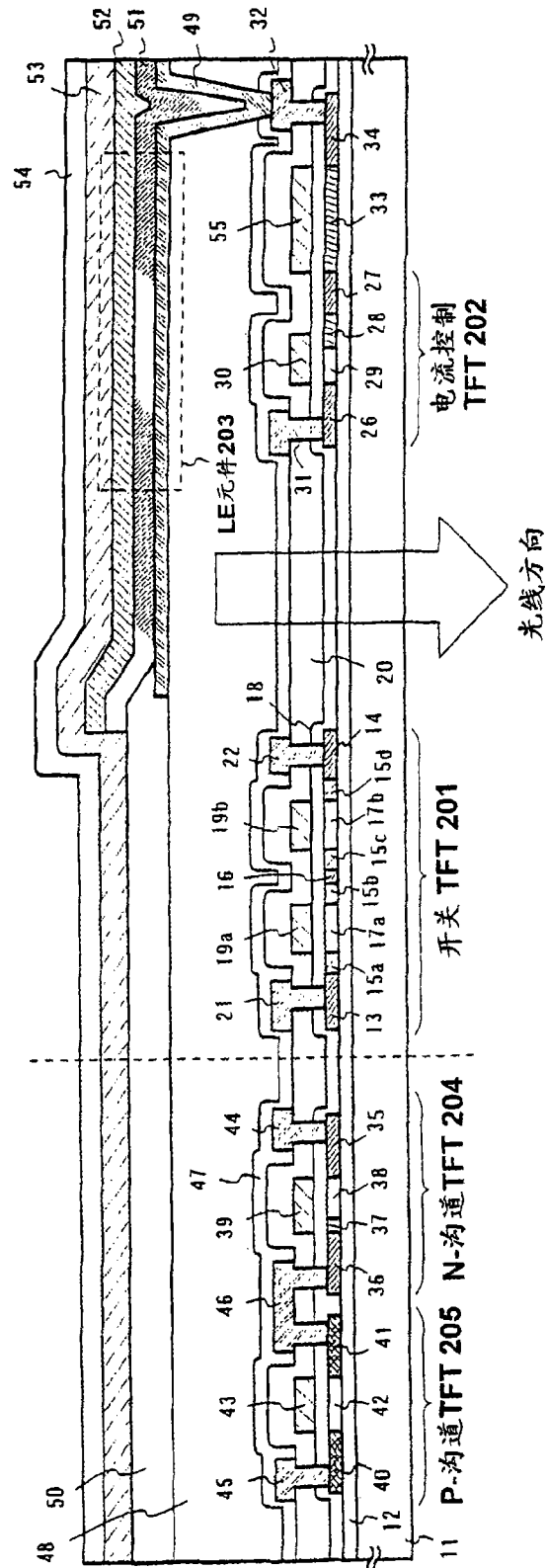


图 2

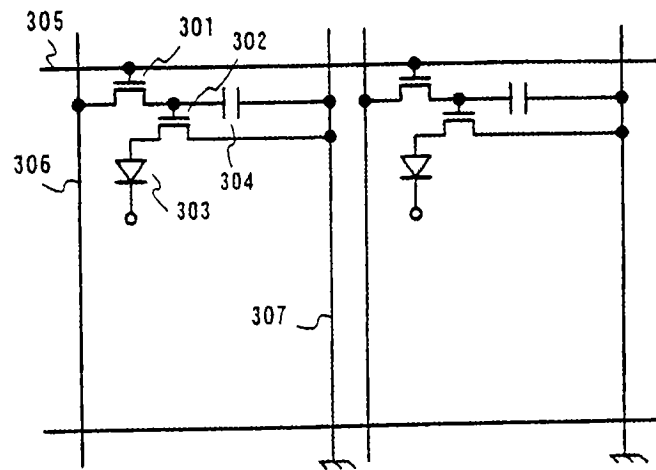


图 3
现有技术

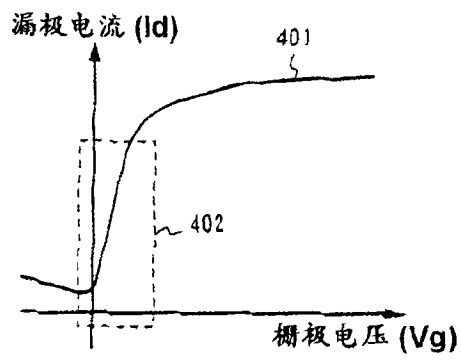


图 4A

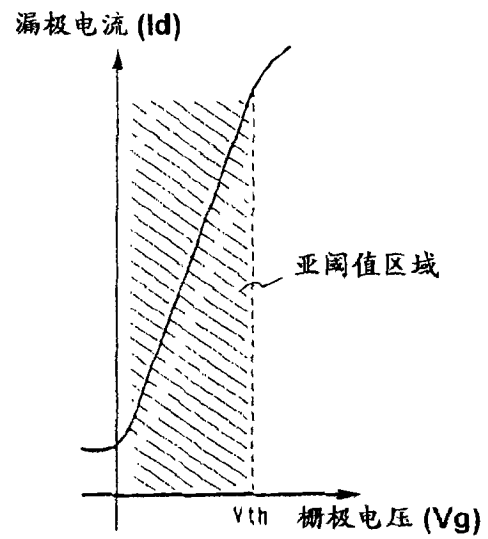
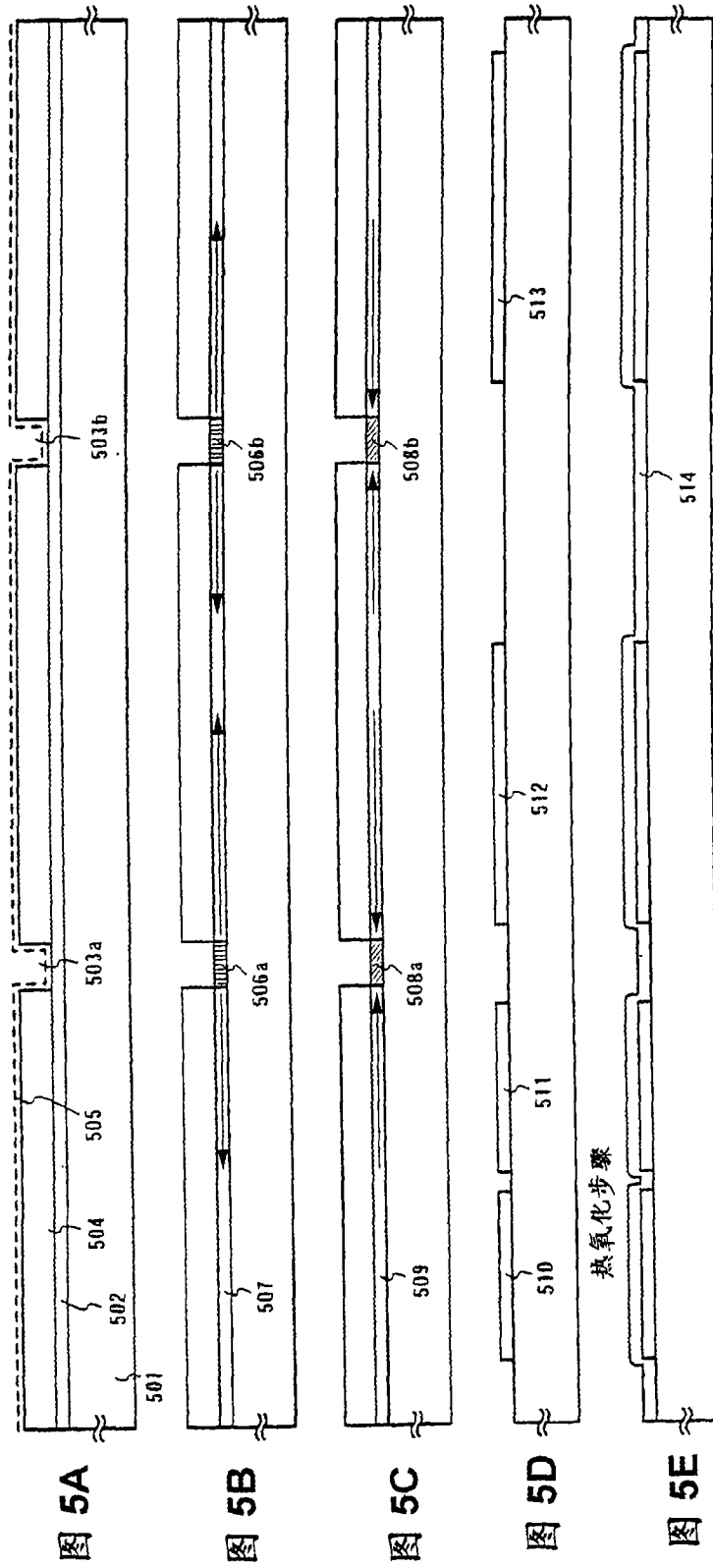
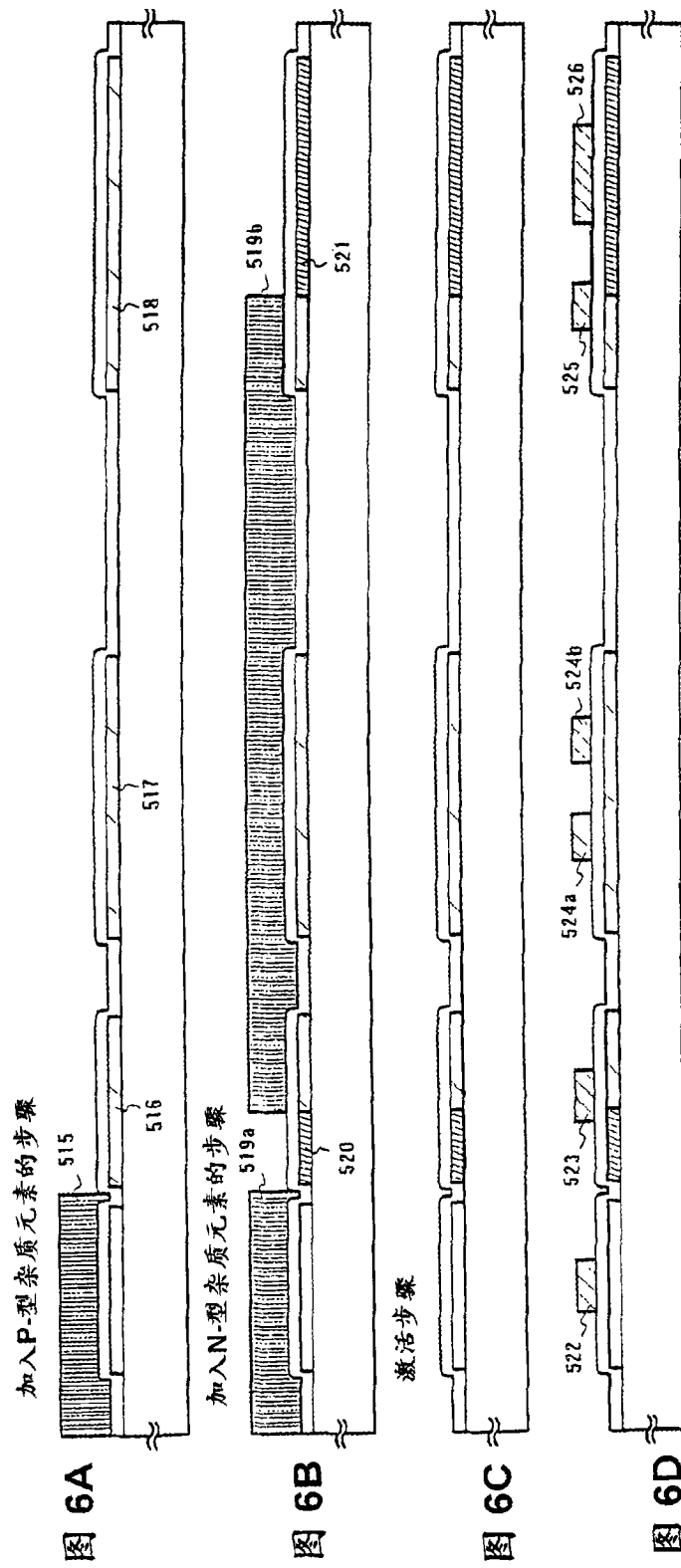
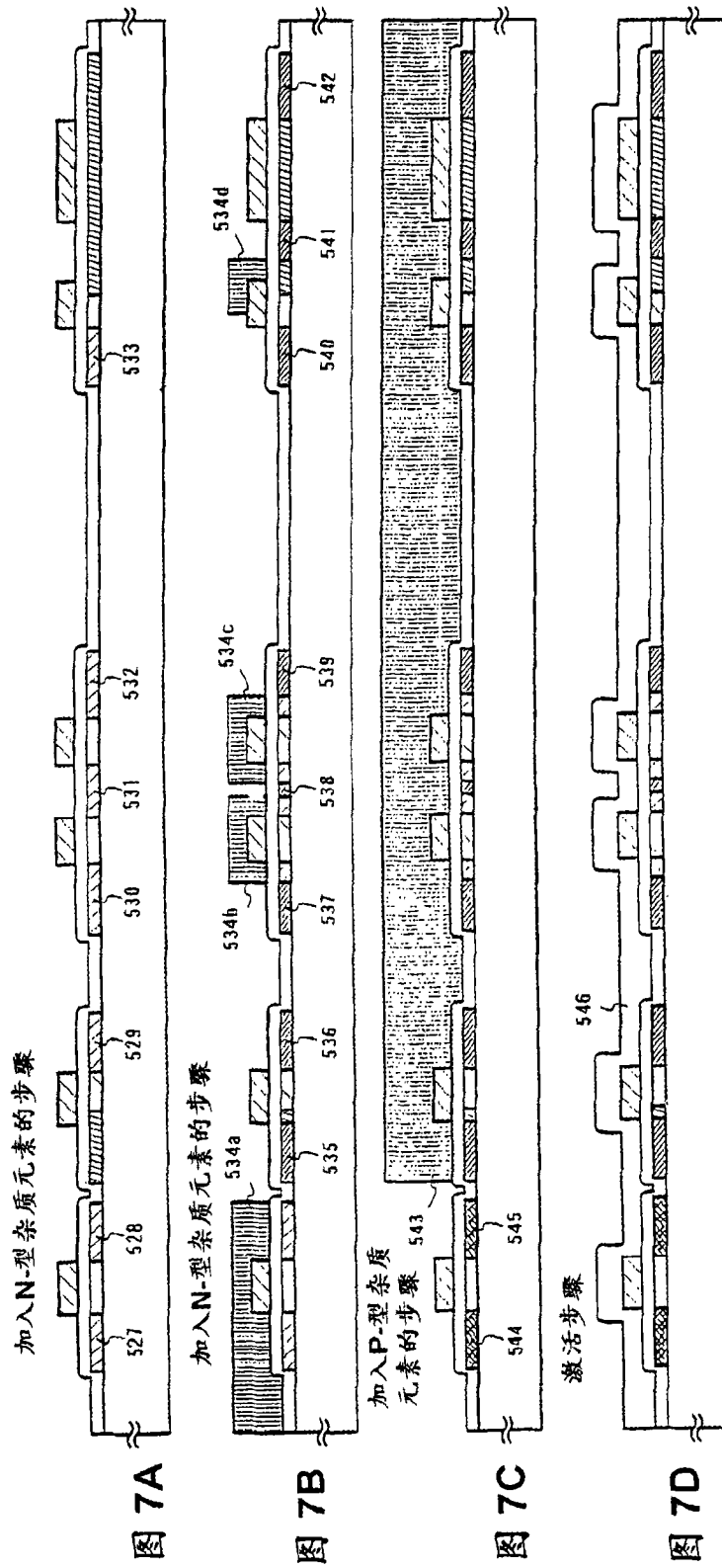
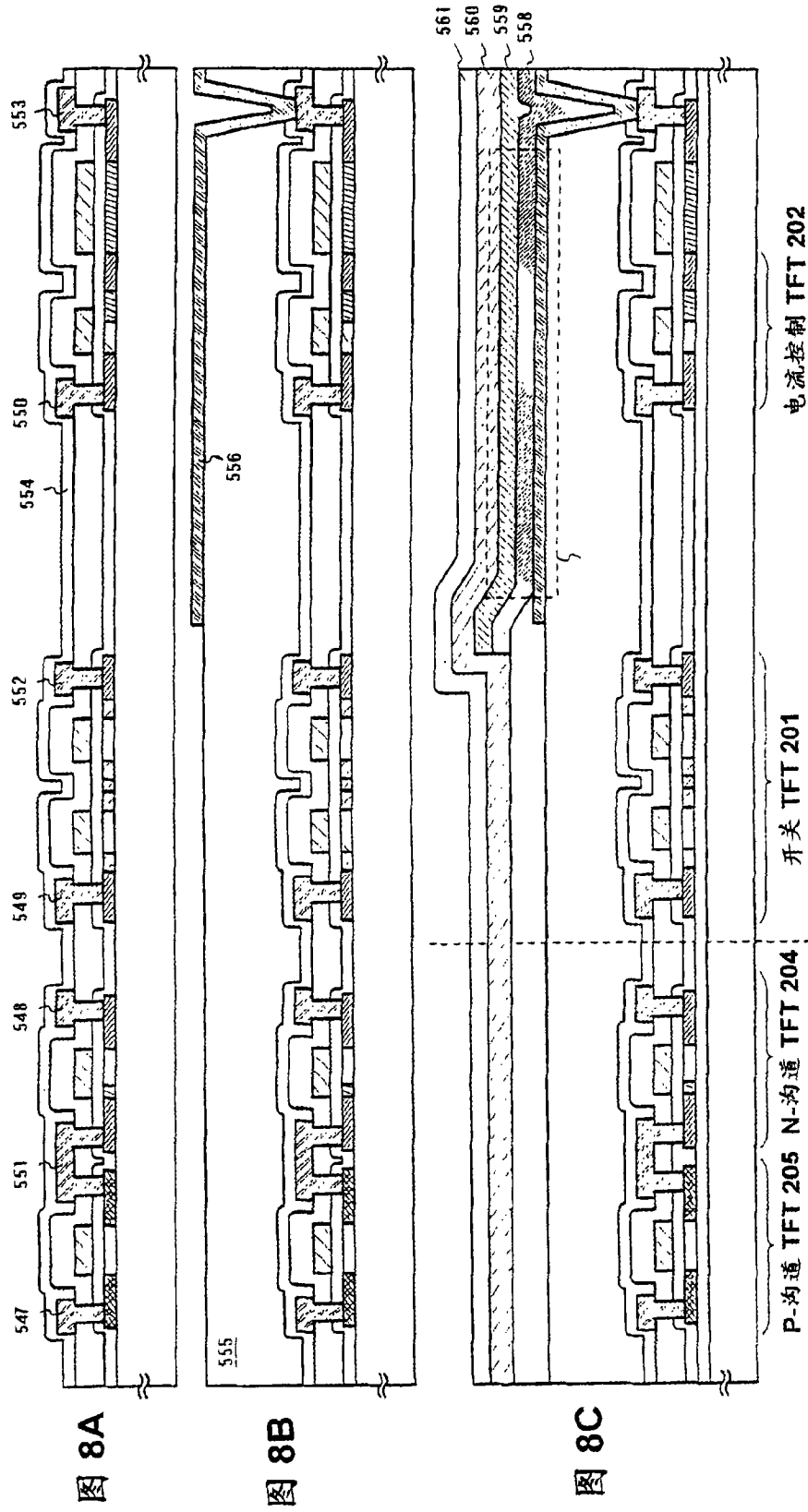


图 4B









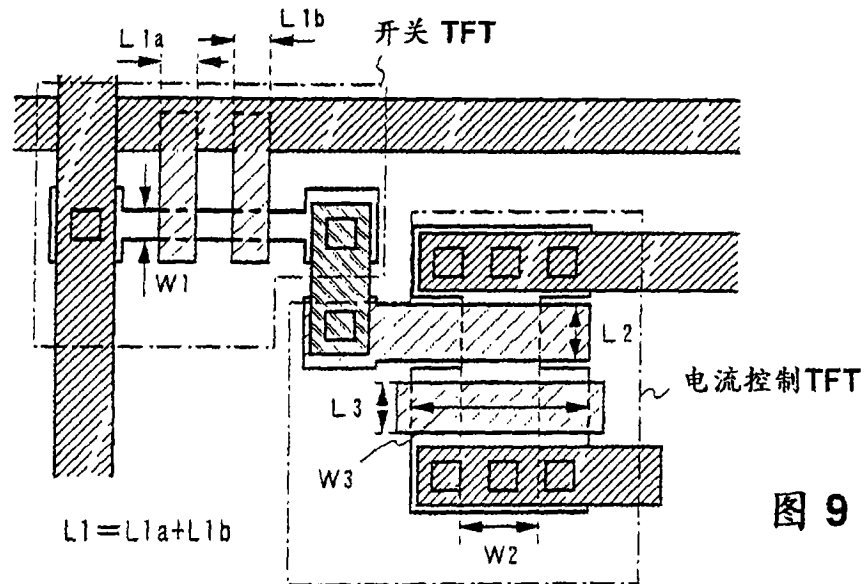


图 9

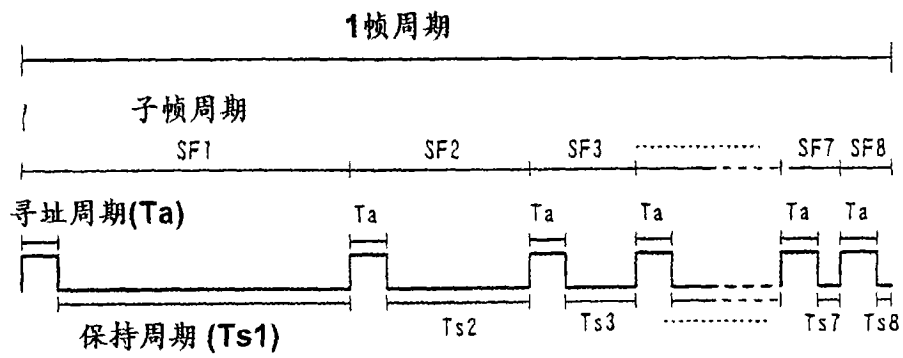


图 10

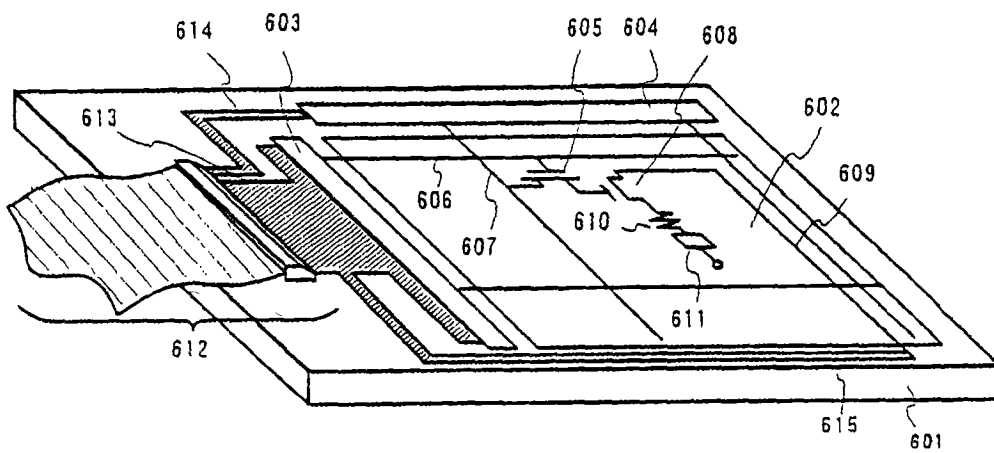


图 11

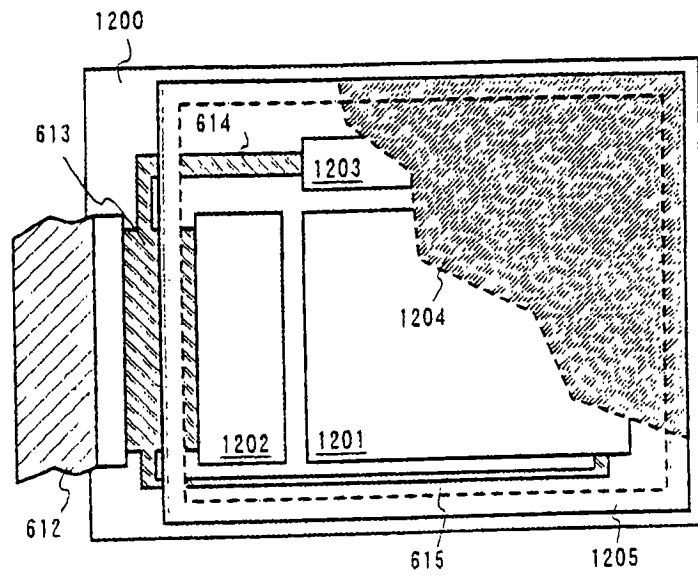


图 12A

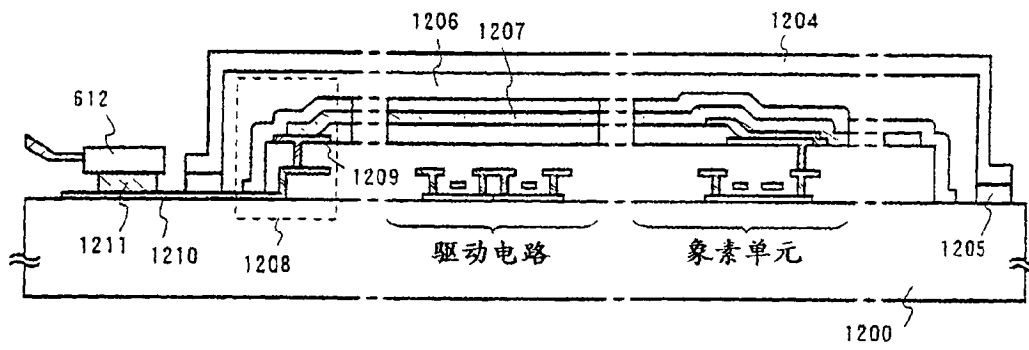


图 12B

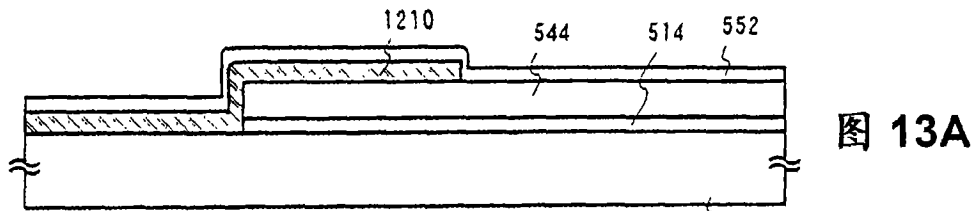


图 13A

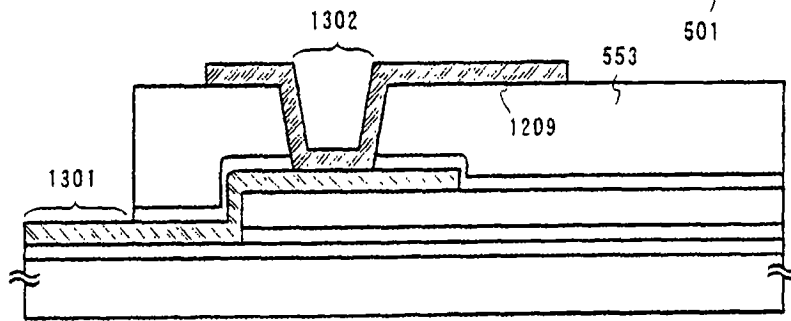


图 13B

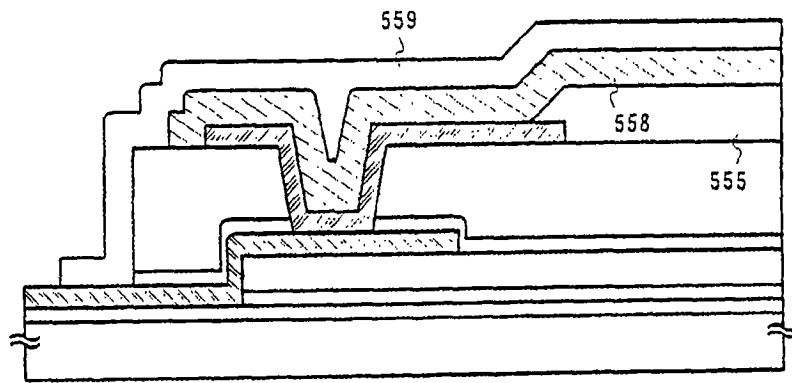


图 13C

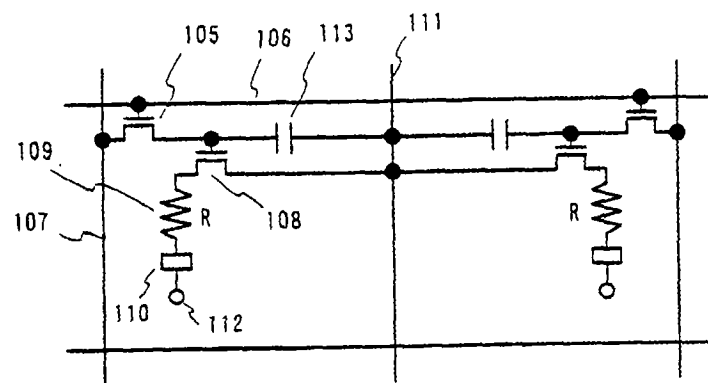


图 14

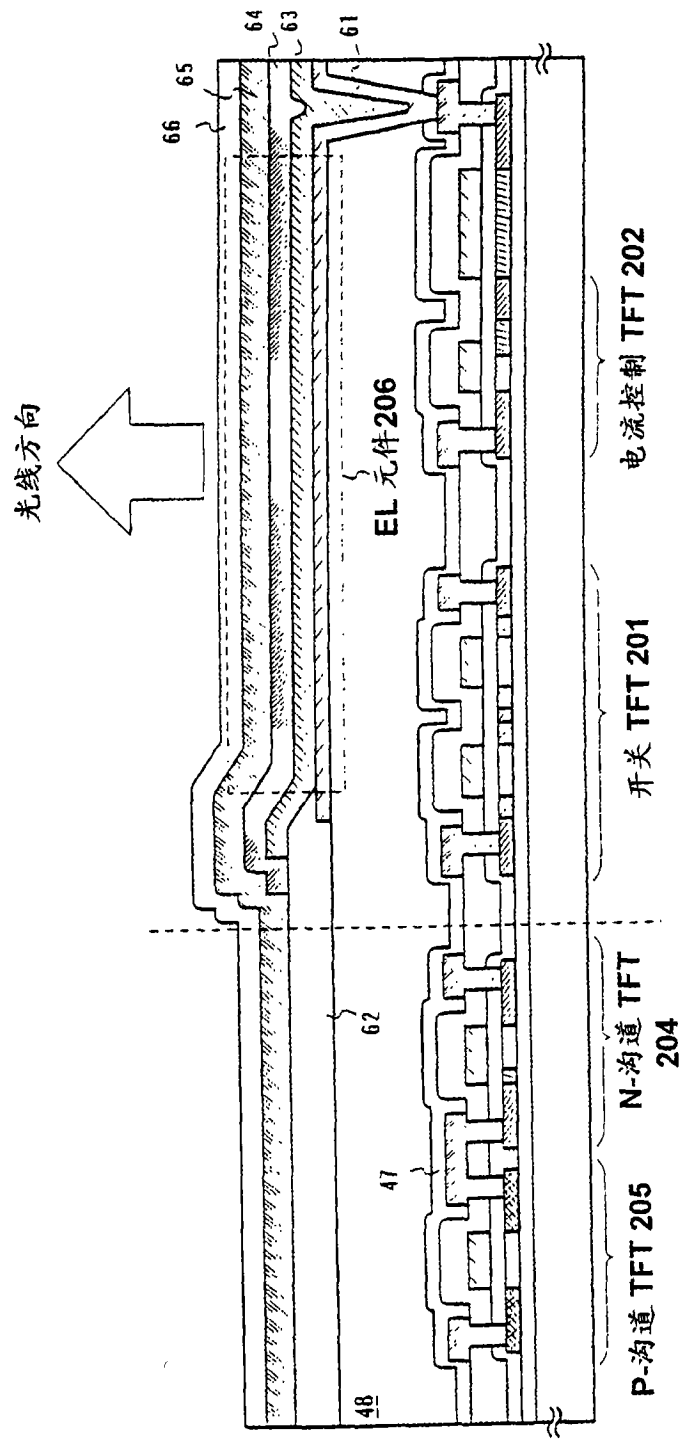


图 15

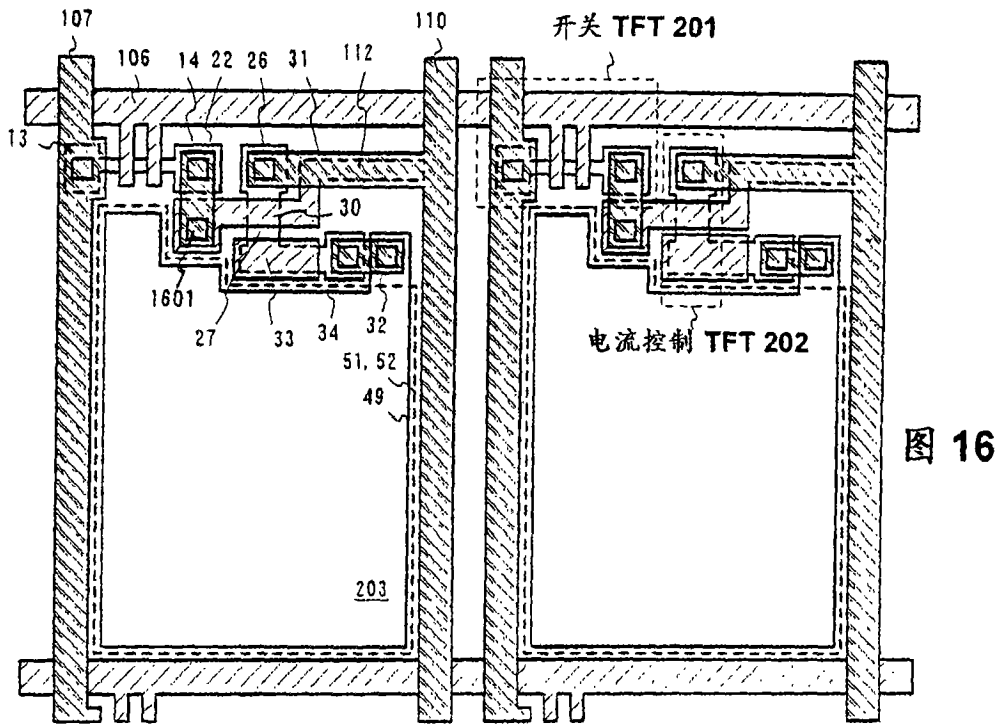


图 16

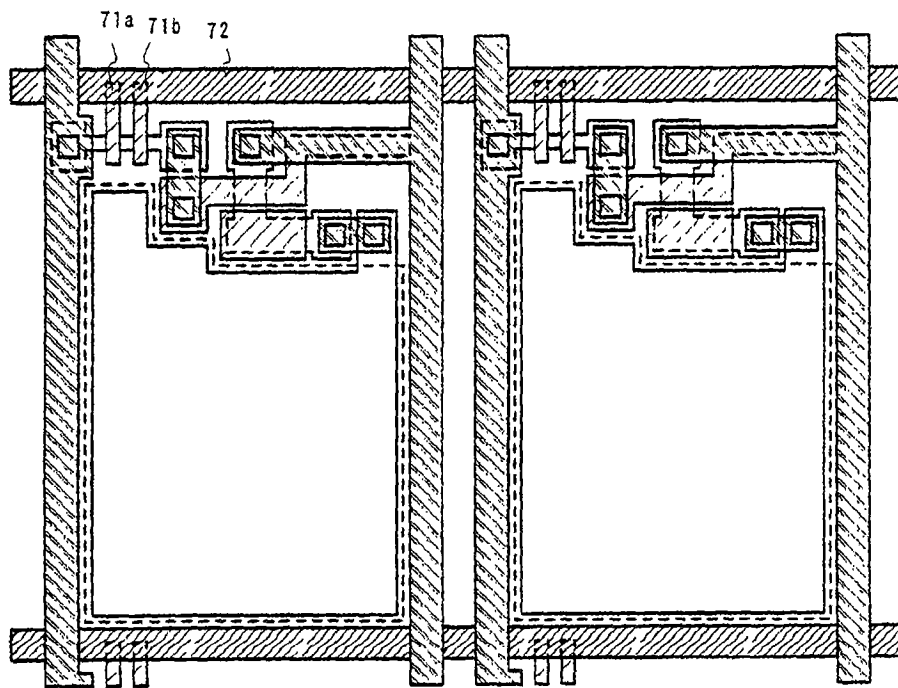


图 17

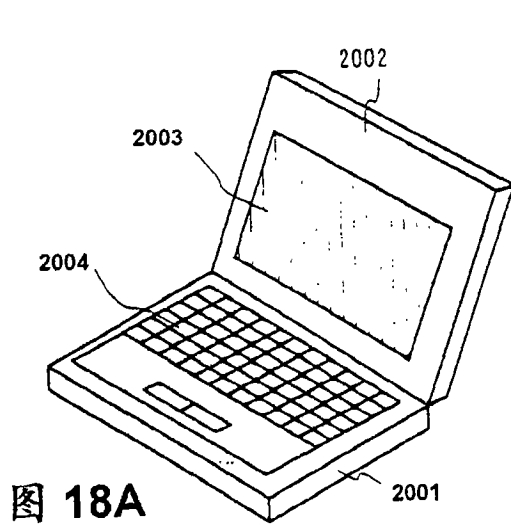


图 18A

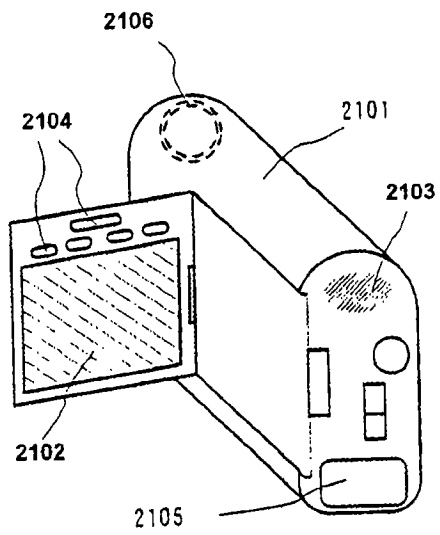


图 18B

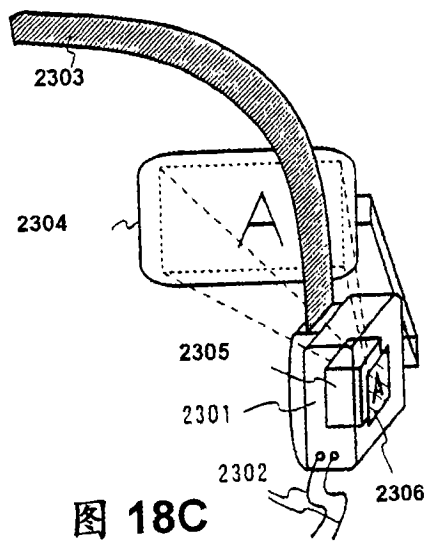


图 18C

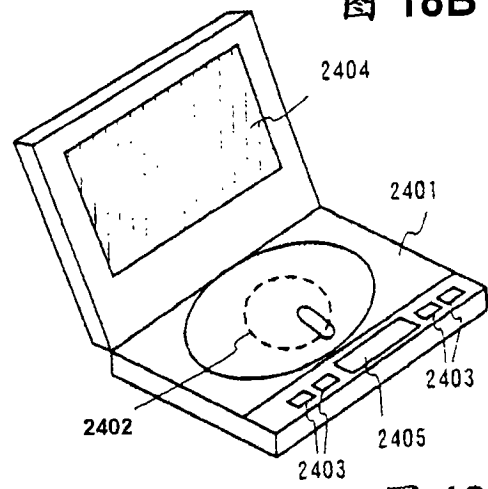


图 18D

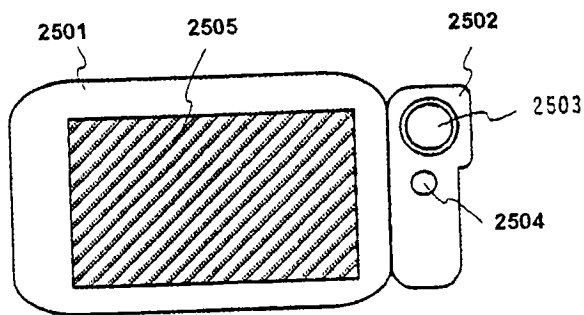


图 18E

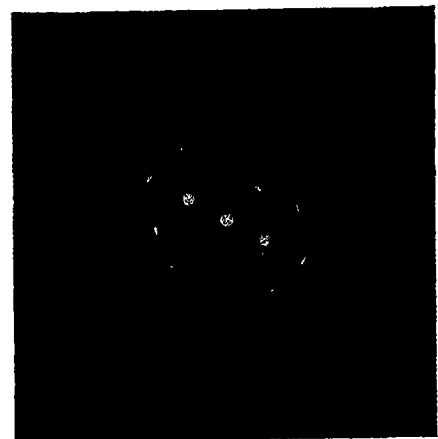


图 19A



图 19B

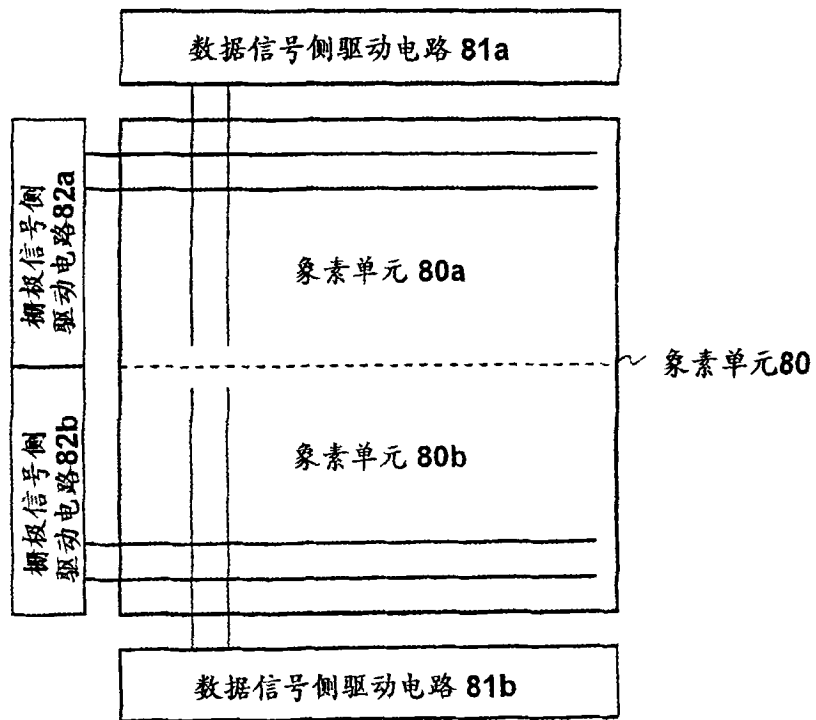


图 20

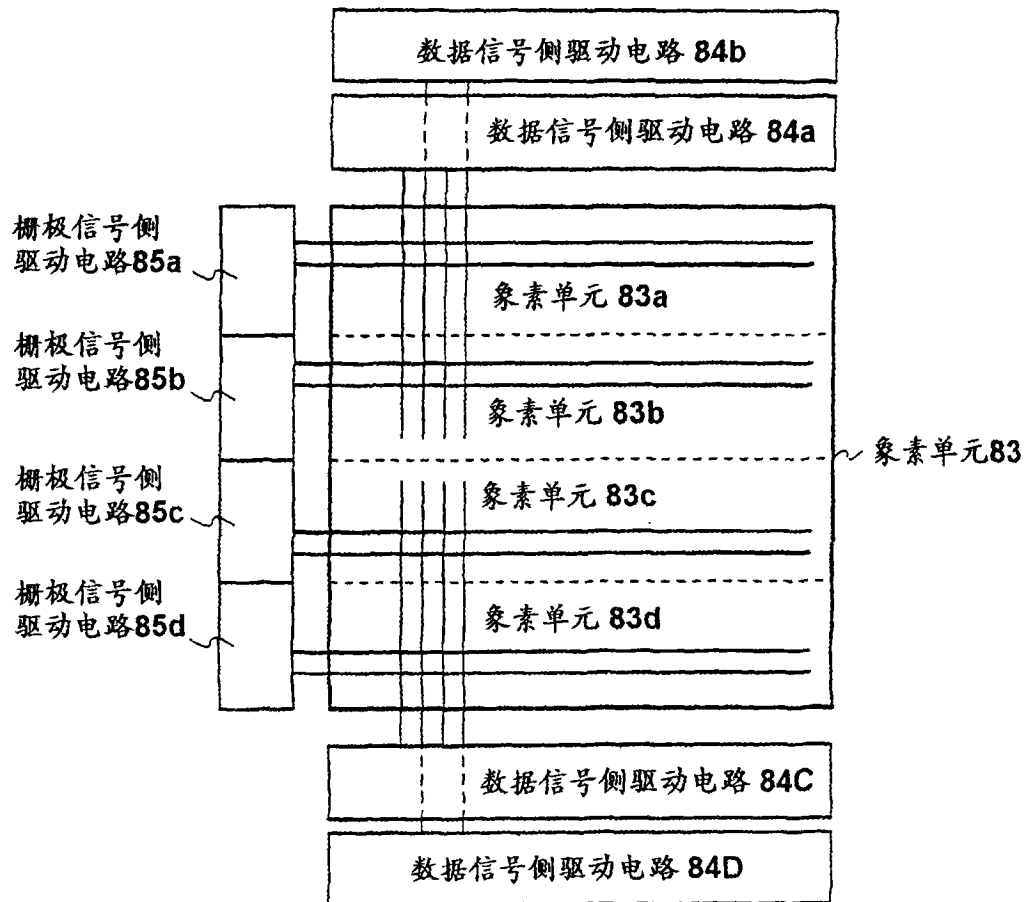


图 21

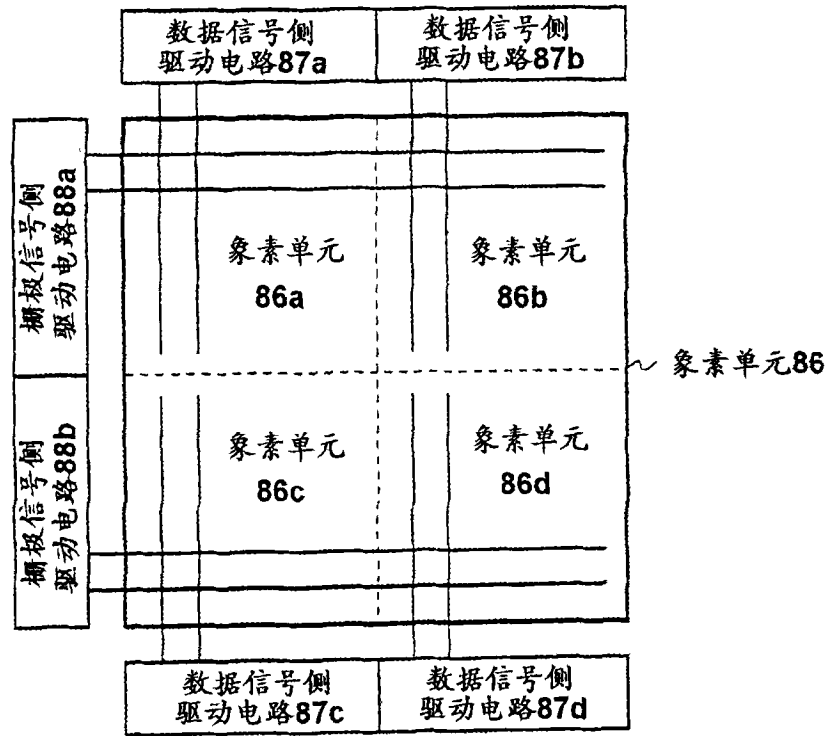


图 22

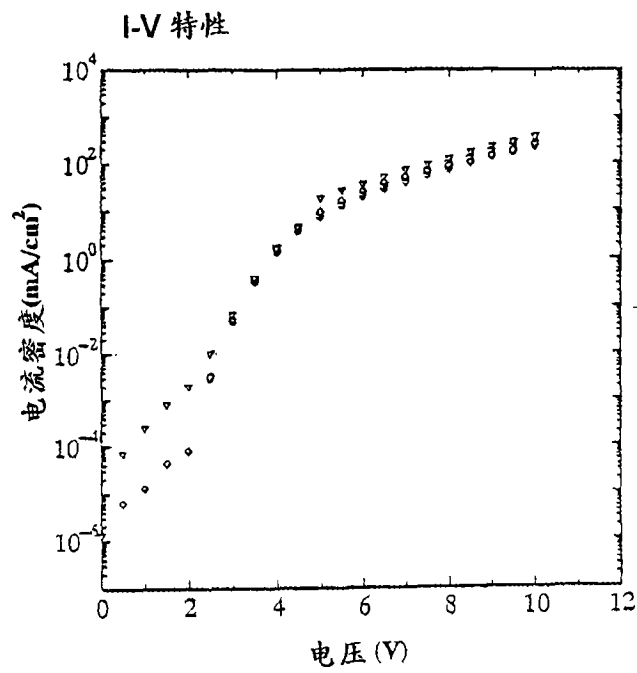


图 23A

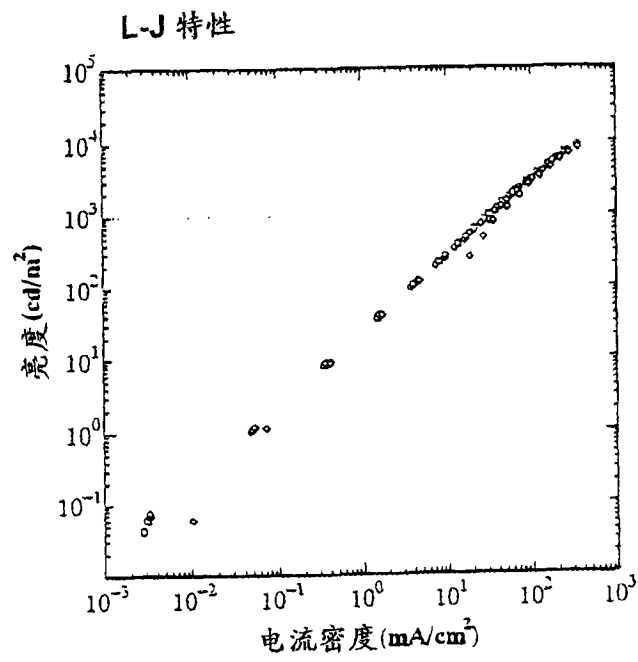


图 23B

专利名称(译)	电致发光显示器件及电子装置		
公开(公告)号	CN101262007B	公开(公告)日	2015-07-22
申请号	CN200810091988.1	申请日	2000-06-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社半导体能源研究所		
当前申请(专利权)人(译)	株式会社半导体能源研究所		
[标]发明人	小山润		
发明人	小山润		
IPC分类号	H01L27/32 H01L27/15 H01L23/522 G09G3/30 G09G3/32 G02F1/136 G09F9/30 G09G3/20 H01L51/50 H05B33/12 H05B33/14		
CPC分类号	G09G2300/0809 G09G2300/0408 G09G2320/0233 G09G3/3291 H01L27/3272 H01L27/3276 G09G2330/021 G09G3/2018 G09G2300/026 G09G2300/0426 G09G2320/043 G09G2310/04 G09G2300/0842 H01L2924/0002 H01L27/1214 G09G3/3258 G09G2310/0221 G09G3/3233 H01L27/3248 G09G3/3275 H01L27/156 G09G2300/0885 G09G2320/0223 H01L27/3262 G09G3/2022 H01L27/1255 H01L27/1251 H01L2924/00		
审查员(译)	杨燕		
优先权	1999176521 1999-06-23 JP		
其他公开文献	CN101262007A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种能够产生清晰的多灰度彩色显示的EL显示器件及具有此EL显示器的电子装置。输入到EL元件110中的电流由设置在形成于像素104内的电流控制TFT108和EL元件110之间的电阻109进行控制，电阻109的电阻值高于电流控制TFT108的通态电阻值。由按时间控制EL元件110发光及不发光的时分驱动系统来进行灰度显示，以避免由电流控制TFT108特性偏移而导致的后果。

